



(12) 发明专利

(10) 授权公告号 CN 102141711 B

(45) 授权公告日 2014. 08. 20

(21) 申请号 201110087342. 8

(22) 申请日 2008. 03. 07

(30) 优先权数据

23126/07 2007. 03. 08 KR

(62) 分案原申请数据

200810083128. 3 2008. 03. 07

(73) 专利权人 三星显示有限公司

地址 韩国京畿道

(72) 发明人 李旼哲 安炳宰 李钟焕 文然奎

李钟赫

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 蔡军红

(51) Int. Cl.

G02F 1/1362(2006. 01)

G09G 3/36(2006. 01)

(56) 对比文件

CN 1809862 A, 2006. 07. 26, 全文.

US 2004/0183792 A1, 2004. 09. 23, 全文.

审查员 周庆成

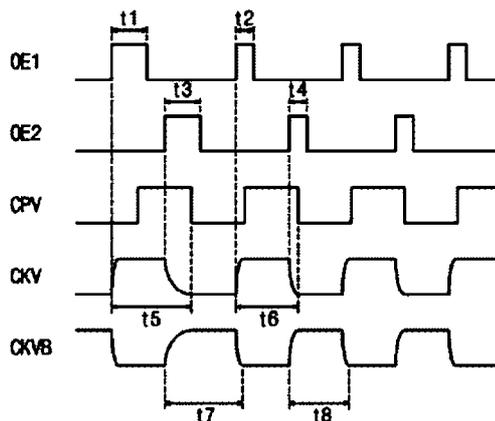
权利要求书2页 说明书15页 附图10页

(54) 发明名称

显示装置及驱动其的方法

(57) 摘要

一种显示装置,包括:栅极驱动器,其响应于栅极控制信号顺序地输出处于高状态的栅极信号;以及数据驱动器,其响应于数据控制信号将图像数据转换为数据信号。该显示装置进一步包括显示面板,所述显示面板包括:多条栅极线,其顺序地接收所述栅极信号;多条数据线,其接收所述数据信号;以及连接到所述栅极和数据线的多个像素,其响应于所述栅极信号接收所述数据信号以显示图像。所述数据信号的极性在所述栅极信号转变为低状态之后被反转。



1. 一种显示装置,包括:
栅极驱动器,其响应于栅极控制信号顺序地输出栅极信号;
数据驱动器,其响应于数据控制信号将图像数据转换为数据信号;以及显示面板,包括:
多条栅极线,其顺序地接收所述栅极信号;
多条数据线,其接收所述数据信号;以及
连接到所述多条栅极线和所述多条数据线的多个像素,其响应于所述栅极信号接收所述数据信号以显示图像,
其中所述栅极驱动器包括:
脉宽调制器,其接收第一开始信号并响应于选择信号输出具有比所述第一开始信号的脉宽更小的脉宽的第二开始信号;以及
多个级联级,其响应于来自所述脉宽调制器的第二开始信号操作以将所述栅极信号顺序地施加到所述多条栅极线。
2. 如权利要求 1 所述的显示装置,其中所述第二开始信号具有与所述栅极信号的水平扫描周期的脉宽相等的脉宽。
3. 如权利要求 1 所述的显示装置,其中所述脉宽调制器包括晶体管,该晶体管包括:
输入极,其接收所述第一开始信号;
控制极,其接收所述选择信号;以及
输出极,其输出所述第二开始信号。
4. 如权利要求 1 所述的显示装置,其中所述多个级联级中的奇数编号的级响应于所述栅极控制信号的第一时钟信号而向所述多条栅极线中的奇数编号的栅极线输出所述栅极信号,而所述多个级联级中的偶数编号的级响应于所述栅极控制信号的第二时钟信号而向所述多条栅极线中的偶数编号的栅极线输出所述栅极信号。
5. 如权利要求 4 所述的显示装置,其中所述第二开始信号被施加到第一级,而所述选择信号是所述第二时钟信号。
6. 如权利要求 4 所述的显示装置,其中所述第一时钟信号具有与所述第二时钟信号的相位相反的相位。
7. 如权利要求 1 所述的显示装置,其中所述脉宽调制器包括第一虚设级,其响应于所述第一开始信号而输出所述第二开始信号。
8. 如权利要求 7 所述的显示装置,其中所述第一虚设级被配置为与所述级联级基本相同。
9. 如权利要求 7 所述的显示装置,其中所述多个级联级中的每个级联级响应于前一相邻进位信号而导通并响应于下一相邻栅极信号而截止,而且所述栅极驱动器进一步包括第二虚设级,其产生虚设栅极信号以截止所述多个级联级中的最后级联级。
10. 一种显示装置,包括:
包含多个级联级的栅极驱动器,所述多个级联级包括第一级联级、以及多个后续级联级,以响应于栅极控制信号顺序地输出栅极信号;
数据驱动器,其响应于数据控制信号将图像数据转换为数据信号,并输出所述数据信号;以及

显示面板,包括:

多条栅极线,其顺序地接收所述栅极信号;

多条数据线,其接收所述数据信号;以及

连接到所述多条栅极线和所述多条数据线的多个像素,其响应于所述栅极信号接收所述数据信号以显示图像,

其中所述多个级联级中的第一级联级以及每个后续级联级包括:

第一晶体管,其将栅极信号上拉到栅极-导通电压;

连接到控制极的第二晶体管,其接收前一相邻输出信号以导通所述

第一晶体管;

连接到所述控制极的第三晶体管,其接收下一相邻输出信号以截止所述第一晶体管;

以及

连接到输出端子的第四晶体管,其接收下一相邻输出信号以将所述栅极信号下拉到栅极-截止电压;

其中所述第一级联级的第四晶体管具有大于或者等于所述多个级联级中的后续级联级的第四晶体管的沟道宽度的两倍的沟道宽度。

11. 如权利要求 10 所述的显示装置,其中所述多个级联级中的第一级联级以及每个后续级联级进一步包括第五晶体管,其将所述控制极的电势保持在所述栅极-截止电压。

12. 如权利要求 11 所述的显示装置,其中所述第一级联级的第五晶体管具有小于或者等于所述多个级联级中的后续级联级的第五晶体管的沟道宽度的十分之一的沟道宽度。

13. 如权利要求 12 所述的显示装置,其中:

所述多个级联级中的第一级联级以及每个后续级联级进一步包括第六晶体管,其响应于所述控制极的电势将进位信号上拉到栅极-导通电压,

施加到当前级的前一相邻输出信号是从前一相邻级输出的前一进位信号,而且

施加到当前级的下一相邻输出信号是从下一级输出的下一相邻栅极信号。

14. 如权利要求 13 所述的显示装置,其中所述多个级联级中的第一级联级以及每个后续级联级进一步包括连接到所述多条栅极线的第七晶体管,用于将栅极信号放电为所述栅极-截止电压。

15. 如权利要求 14 所述的显示装置,其中所述第一级联级的第七晶体管具有大于或者等于所述多个级联级中的后续级联级的第七晶体管的沟道宽度的 1.5 倍的沟道宽度。

16. 如权利要求 14 所述的显示装置,其中所述第一级联级的第七晶体管具有 6000 微米的沟道宽度,而所述多个级联级中的每个后续级联级的第七晶体管具有 4000 微米的沟道宽度。

显示装置及驱动其的方法

[0001] 本申请是申请日为 2008 年 3 月 7 日、申请号为 200810083128.3、发明名称为“显示装置及驱动其的方法”的发明专利申请的分案申请。

技术领域

[0002] 本发明涉及显示装置及驱动该显示装置的方法。而且更具体地,本发明涉及具有改善的显示质量的显示装置及驱动该显示装置的方法。

背景技术

[0003] 通常,液晶显示器包括用于显示图像的液晶显示面板。液晶显示面板包括下层基板、与下层基板相对的上层基板、以及插入在下层基板与上层基板之间的液晶层。

[0004] 液晶显示器进一步包括多条栅极线、多条数据线、以及连接到多条栅极线和多条数据线的多个像素。液晶显示器进一步包括通过薄膜处理在其上直接形成的栅极驱动器。栅极驱动器向多条栅极线顺序地输出栅极信号。

[0005] 通常,栅极驱动器包括移位寄存器,其中级联多个级中的单独的级。例如,每个级响应于来自相邻的前一级的输出信号而被导通,并响应于来自相邻的下一级的输出信号而被截止。

[0006] 由于第一级不具有相关的前一级,所以第一级接收开始信号代替来自前一级的输出信号。然而,当开始信号具有比水平扫描周期长的高电平期间而且被施加到第一级时,第一级在第一栅极信号转变为低电平时失灵。结果,第一栅极信号失真。

[0007] 另外,当由于其失真而在第一栅极信号完全转变为低电平之前数据驱动器输出施加到第二像素行的第二数据信号时,因第二数据信号而造成充电到第一像素行的像素电压降低。于是,出现这样的故障,其中第一像素行的像素比液晶显示面板中的其它像素更亮。

发明内容

[0008] 本发明提供具有改善的显示质量的显示装置以及驱动该显示装置的方法。

[0009] 本发明的一个示范性实施例中,一种显示装置包括栅极驱动器、数据驱动器、以及显示面板。栅极驱动器响应于栅极控制信号顺序地输出处于高状态的栅极信号。数据驱动器响应于数据控制信号将图像数据转换为数据信号。

[0010] 所述显示面板包括:多条栅极线,其顺序地接收所述栅极信号;多条数据线,其接收所述数据信号;以及连接到所述多条栅极和所述多条数据线的多个像素,其响应于所述栅极信号接收所述数据信号以显示图像。

[0011] 所述数据信号的极性在至少每一条线或每一个点处被反转。

[0012] 所述栅极控制信号包括:开始信号;第一时钟信号,其确定施加到所述多条栅极线中的奇数编号的栅极线的栅极信号的持续时间;以及第二时钟信号,其确定施加到所述多条栅极线中的偶数编号的栅极线的栅极信号的持续时间,而且具有与所述第一时钟信号的相位相反的相位。

[0013] 所述显示装置进一步包括时钟发生器,其响应于第一输出使能信号产生所述第一时钟信号,响应于第二输出使能信号产生所述第二时钟信号,产生具有与所述第一输出使能信号的相位不同的相位的所述第二输出使能信号,并产生时钟产生信号,其中所述第一时钟信号的期间等于所述第一输出使能信号转变为第一输出使能信号第一高状态的第一时刻与所述第二输出使能信号转变为第二输出使能信号第一高状态的第二时刻之间的持续时间。

[0014] 所述第一输出使能信号第一高状态的持续时间以及所述第二输出使能信号第一高状态的持续时间可以各自大于或等于大约 5.5 微秒。

[0015] 所述第一输出使能信号第一高状态的持续时间以及所述第二输出使能信号第一高状态的持续时间可以各自分别大于或等于第一输出使能信号后续高状态的持续时间以及第二输出使能信号后续高状态的持续时间。

[0016] 所述第一输出使能信号第一高状态的持续时间以及所述第二输出使能信号第一高状态的持续时间可以各自为大约 5.5 微秒,而所述第一输出使能信号后续高状态的持续时间以及所述第二输出使能信号后续高状态的持续时间可以各自为大约 3.7 微秒。

[0017] 根据本发明的可选择示范性实施例的显示装置包括:栅极驱动器,其响应于栅极控制信号顺序地输出栅极信号;数据驱动器,其响应于数据控制信号将图像数据转换为数据信号;以及显示面板。

[0018] 所述显示面板包括:多条栅极线,其顺序地接收所述栅极信号;多条数据线,其接收所述数据信号;以及连接到所述栅极线和所述数据线的多个像素,其响应于所述栅极信号接收所述数据信号以显示图像。

[0019] 所述栅极驱动器包括:第一虚设级,其响应于开始信号输出虚设进位 (carry) 信号;以及多个级联级,其响应于所述虚设进位信号操作以将所述栅极信号顺序地施加到所述多条栅极线。

[0020] 所述第一虚设级被配置为与级联级基本相同。

[0021] 所述多个级联级中的每个级联级响应于前一相邻进位信号而导通并响应于下一相邻栅极信号而截止,而且所述栅极驱动器进一步包括第二虚设级,其产生虚设栅极信号以截止所述多个级联级中的最后级联级。

[0022] 本发明的另一个可选择示范性实施例中,一种显示装置包括:栅极驱动器,其响应于栅极控制信号顺序地输出栅极信号;数据驱动器,其响应于数据控制信号将图像数据转换为数据信号;以及显示面板。

[0023] 所述显示面板包括:多条栅极线,其顺序地接收所述栅极信号;多条数据线,其接收所述数据信号;以及连接到所述多条栅极线和所述多条数据线的多个像素,其响应于所述栅极信号接收所述数据信号以显示图像。

[0024] 所述栅极驱动器包括:脉宽调制器,其接收第一开始信号并响应于选择信号输出具有比所述第一开始信号的脉宽更小的脉宽的第二开始信号;以及多个级联级,其响应于来自所述脉宽调制器的第二开始信号操作以将所述栅极信号顺序地施加到所述多条栅极线。

[0025] 所述第二开始信号具有与所述栅极信号的水平扫描周期的脉宽相等的脉宽。

[0026] 所述脉宽调制器包括晶体管,而且所述晶体管包括:输入极,其接收所述第一开始

信号；控制极，其接收所述选择信号；以及输出极，其输出所述第二开始信号。

[0027] 进一步，所述多个级联级中的奇数编号的级响应于所述栅极控制信号的第一时钟信号而向所述多条栅极线中的奇数编号的栅极线输出所述栅极信号。所述多个级联级中的偶数编号的级响应于所述栅极控制信号的第二时钟信号而向所述多条栅极线中的偶数编号的栅极线输出所述栅极信号。

[0028] 所述第二开始信号被施加到第一级，所述选择信号是所述第二时钟信号，而且所述第一时钟信号具有与所述第二时钟信号相反的相位。

[0029] 本发明的另一个可选择示范性实施例中，一种显示装置包括：包含多个级联级的栅极驱动器，所述多个级联级包括第一级联级、以及多个后续级联级，以响应于栅极控制信号顺序地输出栅极信号；数据驱动器，其响应于数据控制信号将图像数据转换为数据信号，并输出所述数据信号；以及显示面板。

[0030] 所述显示面板包括：多条栅极线，其顺序地接收所述栅极信号；多条数据线，其接收所述数据信号；以及连接到所述多条栅极线和所述多条数据线的多个像素，其响应于所述栅极信号接收所述数据信号以显示图像。

[0031] 所述多个级联级中的第一级联级以及每个后续级联级包括：第一晶体管，其将栅极信号上拉到栅极-导通电压；连接到控制极的第二晶体管，其接收前一相邻输出信号以导通所述第一晶体管；连接到所述控制极的第三晶体管，其接收下一相邻输出信号以截止所述第一晶体管；以及连接到输出端子的第四晶体管，其接收下一相邻输出信号以将所述栅极信号下拉到栅极-截止电压。

[0032] 所述第一级联级的第四晶体管具有大于或者等于所述多个级联级中的后续级联级的第四晶体管的沟道宽度的大约两倍的沟道宽度。

[0033] 所述第一级联级的第四晶体管可以具有大约 3000 微米的沟道宽度，而所述多个级联级中的每个后续级联级的第四晶体管可以具有大约 1100 微米的沟道宽度。

[0034] 所述多个级联级中的第一级联级以及每个后续级联级可以进一步包括第五晶体管，其将所述控制极的电势保持在所述栅极-截止电压。

[0035] 所述第一级联级的第五晶体管可以具有小于或者等于所述多个级联级中的后续级联级的第五晶体管的沟道宽度的大约十分之一的沟道宽度。

[0036] 所述第一级联级的第五晶体管可以具有大约 25 微米的沟道宽度，而所述后续级联级的第五晶体管可以具有大约 350 微米的沟道宽度。

[0037] 另外，所述多个级联级中的第一级联级以及每个后续级联级可以进一步包括第六晶体管，其响应于所述控制极的电势将进位信号上拉到栅极-导通电压。施加到当前级的前一相邻输出信号可以是从前一相邻级输出的前一进位信号，而施加到当前级的下一相邻输出信号可以是从下一级输出的下一相邻栅极信号。

[0038] 另外，所述多个级联级中的第一级联级以及每个后续级联级可以进一步包括连接到所述多条栅极线的第七晶体管，用于将栅极信号放电为所述栅极-截止电压。

[0039] 所述第一级联级的第七晶体管可以具有大于或者等于所述多个级联级中的后续级联级的第七晶体管的沟道宽度的大约 1.5 倍的沟道宽度。

[0040] 进一步，所述第一级联级的第七晶体管可以具有大约 6000 微米的沟道宽度，而所述多个级联级中的每个后续级联级的第七晶体管可以具有大约 4000 微米的沟道宽度。

[0041] 本发明的另一个示范性实施例中,一种驱动显示装置的方法包括:响应于栅极控制信号顺序地输出处于高状态的栅极信号;响应于数据控制信号将图像数据转换为数据信号;在所述栅极信号转变为低状态之后改变所述数据信号的极性;以及响应于所述栅极信号接收所述数据信号以显示图像。

[0042] 所述数据信号的极性在至少每一条线或每一个点处被反转。

[0043] 所述栅极控制信号包括:开始信号,启动所述栅极信号的输出;第一时钟信号,其确定所述栅极信号中的奇数编号的栅极信号的高电平期间;以及第二时钟信号,其确定所述栅极信号中的偶数编号的栅极信号的高电平期间,而且具有与所述第一时钟信号的相位相反的相位。

[0044] 所述方法进一步包括:响应于第一输出使能信号产生所述第一时钟信号;响应于具有与所述第一输出使能信号的相位不同的相位的第二输出使能信号产生所述第二时钟信号;以及产生时钟产生信号,其中所述第一时钟信号的期间等于所述第一输出使能信号转变为第一输出使能信号第一高状态的第一时刻与所述第二输出使能信号转变为第二输出使能信号第一高状态的第二时刻之间的持续时间。

[0045] 进一步,所述第一输出使能信号第一高状态以及所述第二输出使能信号第一高状态的持续时间可以分别大于或等于第一输出使能信号后续高状态的持续时间以及第二输出使能信号后续高状态的持续时间。

[0046] 根据本发明的示范性实施例,可以比其中数据信号的极性被反转的时刻更快地将从栅极驱动器的第一级输出的第一栅极信号降低为低电平。于是,可以有效地减少或避免第一像素行的线缺陷,从而改善显示装置的显示质量。

附图说明

[0047] 通过参照附图进一步详细描述其示范性实施例,本发明的以上和其它发明、特征和优点将变得更加显而易见,其中:

[0048] 图 1 是根据本发明的示范性实施例的液晶显示器的框图;

[0049] 图 2 是示出图 1 中的根据本发明的示范性实施例的液晶显示器的时钟发生器的输入和输出信号的波形图;

[0050] 图 3 是示出根据本发明的可选择示范性实施例的液晶显示器的时钟发生器的输入和输出信号的波形图;

[0051] 图 4 是示出图 1 中的根据本发明的示范性实施例的液晶显示器的栅极驱动器的框图;

[0052] 图 5A 是说明现有技术的液晶显示器中的第一栅极信号与数据信号之间的关系的栅极信号和数据信号对时间的曲线图;

[0053] 图 5B 是说明根据本发明的示范性实施例的液晶显示器中的第一栅极信号与数据信号之间的关系的栅极信号和数据信号对时间的曲线图;

[0054] 图 6A 是根据本发明的另一个示范性实施例的显示设备的栅极驱动器的框图;

[0055] 图 6B 是说明图 6A 中的根据本发明的该示范性实施例的显示设备的栅极驱动器的虚设级 D-SRC 的输入和输出信号的波形图;

[0056] 图 7 是示出根据本发明的另一个示范性实施例的显示设备的栅极驱动器的框图;

[0057] 图 8 是说明图 7 中的根据本发明的该示范性实施例的显示设备的栅极驱动器的脉宽调制器的输入和输出信号的波形图；

[0058] 图 9 是说明图 7 中的根据本发明的该示范性实施例的显示设备的栅极驱动器的第一栅极信号输出的曲线图；

[0059] 图 10 是根据本发明的另一个示范性实施例的栅极驱动器的第一级的示意性电路图；

[0060] 图 11A 是图 10 中的根据本发明的该示范性实施例的栅极驱动器的第一级的第一防波纹晶体管的平面图；以及

[0061] 图 11B 是图 10 中的根据本发明的该示范性实施例的栅极驱动器的第二级的第一防波纹晶体管的平面图。

具体实施方式

[0062] 以下将参照其中示出本发明的示范性实施例的附图来更全面地说明本发明。然而，本发明也可以以许多不同的形式具体化而不应当被解读为限于这里阐述的实施例。相反，提供这些实施例是为了使本公开彻底和完整，并向本领域技术人员全面地传达本发明的范围。全文中类似的引用数字代表类似的元素。

[0063] 应当理解，当元素被称为“在”其它元素“上”时，其可以直接在其它元素之上或者其之间可以存在中间元素。相反，当原始被称为“直接在”其它元素“上”时，则不存在中间元素。如这里所使用的，术语“和 / 或”包括一个或多个相关列出条目的任何和全部组合。

[0064] 应当理解，虽然这里可以使用术语“第一”、“第二”、“第三”等等来描述各种元素、组件、区域、层和 / 或部分，这些元素、组件、区域、层和 / 或部分不应当为这些术语所限制。这些术语仅仅用于将一个元素、组件、区域、层或部分与另一个元素、组件、区域、层或部分区分开。因而，可以将下面讨论的第一元素、组件、区域、层或部分称为第二元素、组件、区域、层或部分而不背离本发明的教导。

[0065] 这里使用的术语仅仅是用于描述具体实施例的目的，并不打算限制本发明。如这里所使用的，单数形式“一”、“一个”以及“该”意在同样包含复数形式，除非上下文清楚地另外指出。进一步应当理解，术语“包括”或“包含”当在本说明书中使用，指定所述的特征、区域、整数、步骤、操作、元素、和 / 或组件的存在，但并不排除存在附加一个或多个其它特征、区域、整数、步骤、操作、元素、组件和 / 或其群体。

[0066] 另外，这里可以使用诸如“下”或“底”以及“上”或“顶”的相对术语来描述如图中所示的一个元素与其它元素的关系。应当理解，相对术语意在涵盖除图中所示的朝向之外的设备的不同的朝向。例如，如果一幅图中的设备被翻转，则被描述为在其它元素的“下”侧的元素将在其它元素的“上”侧方位。因而，依赖于图的具体朝向，示范性术语“下”可以涵盖“下”和“上”二者的方位。类似地，如果一幅图中的设备被翻转，则被描述为在其它元素“下”或“下面”的元素将在其它元素的“上”方。因而，示范性术语“下”或“下面”可以涵盖下和上二者的方位。

[0067] 除非另外说明，这里使用的全部术语（包括技术和科学术语）具有与本发明所述领域普通技术人员通常理解的相同的含义，进一步应当理解，诸如在常用词典中定义的术语应当被解读为具有与它们在相关技术和本公开的上下文中的含义相一致的含义，而不应

当在理性化或过度正式的意义解读,除非这里明确地这样说明。

[0068] 这里参照作为本发明的理想化实施例的示意性图示的截面图描述本发明的示范性实施例。同样,可以预料例如作为制造技术和 / 或容许偏差的结果的图示的形状的变化。因而,本发明的实施例不应当被解读为限于这里图示的区域的具体形状,而应包括例如因制造导致的形状的偏差。例如,被图示或描述为平坦的区域典型地可以具有粗糙和 / 或非线性的特征。另外,图示的锐角可以是钝圆的。于是,图中图示的区域本质上是示意性的,它们的形状并非意在说明区域的精确形状,而且不打算限制本发明的范围。

[0069] 以下将参照附图更详细地描述本发明。

[0070] 图 1 是根据本发明的示范性实施例的液晶显示器的框图。

[0071] 参照图 1,液晶显示器包括在其上显示图像的液晶显示面板 100、向液晶显示面板 100 输出数据信号 D1-Dm 的数据驱动器 320、以及向液晶显示面板 100 输出栅极信号 G1-Gn 的栅极驱动器 210。

[0072] 液晶显示面板 100 包括阵列基板(未示出)、与阵列基板相对的滤色器基板(未示出)、以及插入在阵列基板与滤色器基板之间的液晶层(未示出)。

[0073] 液晶显示面板 100 进一步包括多条栅极线 GL1-GLn、以及与栅极线 GL1-GLn 绝缘并交叉的多条数据线 DL1-DLm,以在其上定义基本为矩阵结构的多个像素区域。在每个像素区域中,像素 P1 包括薄膜晶体管 Tr 以及液晶电容器 Clc。根据图 1 中所示的本发明的示范性实施例,第一像素的薄膜晶体管 Tr 包括电连接到第一栅极线 GL1 的栅极、电连接到第一数据线 DL1 的源极、以及电连接到担当液晶电容器 Clc 的第一电极的像素极的漏极。

[0074] 可以将栅极驱动器 210 直接形成在液晶显示面板 100 上并置于邻近栅极线 GL1-GLn 的一端。将栅极驱动器 210 电连接到栅极线 GL1-GLn 的一端以向栅极线 GL1-GLn 顺序地施加栅极信号 G1-Gn。

[0075] 数据驱动器 320 包括多个芯片(未示出),将所述芯片安装在液晶显示面板 100 上、或单独的薄膜上(未示出)。可以将数据驱动器 320 直接安装在液晶显示面板 100 上。将数据驱动器 320 电连接到数据线 DL1-DLm 的一端以向数据线 DL1-DLm 施加数据信号 D1-Dm。数据信号 D1-Dm 至少在每一条线或每一个点处被反转。

[0076] 所述液晶显示装置进一步包括定时控制器 350 和时钟发生器 360,以控制栅极驱动器 210 和数据驱动器 320。

[0077] 定时控制器 350 接收图像数据信号 I-data 以及诸如(但并不限于)垂直同步信号 Vsync、水平同步信号 Hsync、和主时钟 Mc1k 的各种控制信号。定时控制器 350 向数据驱动器 320 提供图像数据信号 I-data,并向数据驱动器 320 提供诸如输出开始信号 TP、数据使能信号 DE、水平开始信号 STH、和反转信号 REV 的数据控制信号。数据驱动器 320 响应于数据控制信号将图像数据信号 I-data 转换为数据信号 D1-Dm 并向数据线 DL1-DLm 输出数据信号 D1-Dm。

[0078] 定时驱动器 350 还向栅极驱动器 210 提供垂直开始信号 STV,并向时钟发生器 360 提供时钟产生信号 CPV、第一输出使能信号 OE1 和第二输出使能信号 OE2。时钟发生器 360 基于时钟产生信号 CPV、以及第一输出使能信号 OE1 和第二输出使能信号 OE2 来产生第一时钟信号 CKV 和第二时钟信号 CKVB。将由时钟发生器 360 分别产生的第一和第二时钟信号 CKV 和 CKVB 施加到栅极驱动器 210。

[0079] 栅极驱动器 210 响应于包括垂直开始信号 STV 以及第一和第二时钟信号 CKV 和 CKVB 的栅极控制信号分别向栅极线 GL1-GLn 顺序地输出栅极信号 G1-Gn。栅极驱动器 210 可以接收栅极 - 截止电压 V_{off} 。

[0080] 现在将参照图 2 更详细地描述时钟发生器 300。图 2 是示出图 1 中的根据本发明的示范性实施例的液晶显示器的时钟发生器的输入和输出信号的波形图。

[0081] 参照图 1 和 2, 第一输出使能信号 OE1 和第二输出使能信号 OE2 周期性地处于高电平, 而且第二输出使能信号 OE2 具有与第一输出使能信号 OE1 的周期持续时间相等的周期。第二输出使能信号 OE2 具有与第一输出使能信号 OE1 不同的相位。

[0082] 进一步参照图 2, 第一输出使能信号 OE1 的第一高电平期间 t_1 与第一输出使能信号 OE1 的后续高电平期间 t_2 不同。如图 2 中所示, 第一输出使能信号 OE1 的第一高电平期间 t_1 具有比第一输出使能信号 OE1 的每个后续高电平期间 t_2 的持续时间更长的持续时间。本发明的示范性实施例中, 将第一输出使能信号 OE1 的第一高电平期间 t_1 维持在高状态大约 5.5 微秒每个周期, 并将第一输出使能信号 OE1 的每个后续高电平期间 t_2 维持在高状态大约 3.7 微秒每个周期。从另一方面看, 将第一输出使能信号 OE1 的第一高电平期间 t_1 维持在高状态比第一输出使能信号 OE1 的每个后续高电平期间 t_2 长大约 1.8 微秒。

[0083] 进一步参照图 2, 第二输出使能信号 OE2 的第一高电平期间 t_3 与第二输出使能信号 OE2 的后续高电平期间 t_4 不同。

[0084] 如图 2 中所示, 第二输出使能信号 OE2 的第一高电平期间 t_3 具有比第二输出使能信号 OE2 的每个后续高电平期间 t_4 的持续时间更长的持续时间。本发明的示范性实施例中, 将第二输出使能信号 OE2 的第一高电平期间 t_3 维持在高状态大约 5.5 微秒每个周期, 并将第二输出使能信号 OE2 的每个后续高电平期间 t_4 维持在高状态大约 3.7 微秒每个周期。从另一方面看, 将第二输出使能信号 OE2 的第一高电平期间 t_3 维持在高状态比第二输出使能信号 OE2 的每个后续高电平期间 t_4 长大约 1.8 微秒

[0085] 仍参照图 2, 第一时钟信号 CKV 与第一输出使能信号 OE1 的第一高电平期间 t_1 的上升沿对应上升到高电平, 并与第二输出使能信号 OE2 的第一高电平期间 t_3 的上升沿对应逐渐下降到低电平。第一时钟信号 CKV 与时钟产生信号 CPV 的下降沿对应处于低电平, 而且维持在低电平直到第一输出使能信号 OE1 的第二高电平期间 t_2 处于高状态。由于第一和第二输出使能信号 OE1 和 OE2 各自的第一高电平期间 t_1 和 t_3 被维持在高状态比第一和第二输出使能信号 OE1 和 OE2 各自的余下的高电平期间 t_2 和 t_4 长大约 1.8 微秒, 所以第一时钟信号 CKV 的第一高电平期间 t_5 具有比第一时钟信号 CKV 的后续高电平期间 t_6 更长的持续时间。因而, 第一时钟信号 CKV 的第一时钟可以由第一输出使能信号 OE1 更早地处于高状态中改变, 并由第二输出使能信号 OE2 更早地处于低状态中改变。栅极驱动器 210 输出与第一时钟信号 CKV 的第一高电平期间 t_5 对应的第一栅极信号 G1。于是, 在向数据线 DL1 ~ DLm 施加数据信号 D1 ~ Dm 之前可以将第一栅极信号 G1 充分地放电。

[0086] 进一步, 如图 2 中所示, 第二时钟信号 CKVB 具有与第一时钟信号 CKV 的相位相反的相位。因而, 第二时钟信号 CKVB 的第一高电平期间 t_7 具有比第二时钟信号 CKVB 的后续高电平期间 t_8 更长的持续时间。

[0087] 如上所述, 由于将第一输出使能信号 OE1 的第一高电平期间 t_1 维持在高状态比第一输出使能信号 OE1 的后续高电平期间 t_2 长大约 1.8 微秒, 所以提早大约 1.8 微秒向栅极

驱动器 210 施加第一时钟信号 CKV 的第一高电平期间 t_5 。于是,栅极驱动器 210 可以将来自其的第一栅极信号 G1 的输出定时和下降定时提前,从而在向数据线施加数据信号之前将第一栅极信号 G1 充分地放电。因而,可以避免液晶显示面板 100 上显示的图像的失真。

[0088] 图 3 是示出根据本发明的可选择示范性实施例的液晶显示器的时钟发生器的输入和输出信号的波形图。参照图 1 和 3,将第一输出使能信号 OE1 的高电平期间 t_1 维持在高状态大约 5.5 微秒。同样,将第二输出使能信号 OE2 的高电平期间 t_3 维持在高状态大约 5.5 微秒。第二输出使能信号 OE2 具有与第一输出使能信号 OE1 的相位不同的相位。

[0089] 第一时钟信号 CKV 与第一输出使能信号 OE1 的高电平期间 t_1 的上升沿对应上升到高电平,并与第二输出使能信号 OE2 的高电平期间 t_3 的上升沿对应逐渐下降到低电平。第一时钟信号 CKV 与时钟产生信号 CPV 的下降沿对应处于低电平,而且维持在低电平直到第一输出使能信号 OE1 的下一后续高电平期间 t_2 。第一时钟信号 CKV 具有比第一时钟信号 CKV 的后续高电平期间 t_6 更长的多个高电平期间 t_5 (图 2 中所示)。第二时钟信号 CKVB 具有与第一时钟信号 CKV 的相位相反的相位。因而,第二时钟信号 CKVB 具有比第二时钟信号 CKVB 的后续高电平期间 t_8 更长的多个高电平期间 t_7 。(图 2 中所示)。

[0090] 因而,第一时钟信号 CKV 的第一时钟可以由第一输出使能信号 OE1 更早地的高状态中改变,并由第二输出使能信号 OE2 更早地在低状态中改变。栅极驱动器 210 输出与第一时钟信号 CKV 的第一时钟对应的第一栅极信号 G1。于是,在向数据线 DL1 ~ DLm 施加数据信号 D1 ~ Dm 之前可以将第一栅极信号 G1 充分地放电。

[0091] 结果,栅极驱动器 210 可以将来自其的第一栅极信号 G1 的输出定时和下降定时提前,从而在向数据线 DL1 ~ DLm 施加数据信号 D1 ~ Dm 之前将第一栅极信号 G1 充分地放电。因而,可以避免液晶显示面板 100 上显示的图像的失真。

[0092] 同样,由于第一和第二输出使能信号 OE1 和 OE2 的高电平期间分别被维持 5.5 微秒,所以时钟产生信号 CPV 与第一和第二输出使能信号 OE1 和 OE2 的高电平期间 t_1 和 t_3 之间的重叠期间得到增加。于是,第一时钟信号 CKV 的下降期间以及第二时钟信号 CKVB 的上升期间增加。由于第一时钟信号 CKV 的下降期间以及第二时钟信号 CKVB 的上升期间进而彼此重叠,在从栅极驱动器 210 输出的栅极信号 G1-Gn 之间建立了预定时间差。因而,第一时钟信号 CKV 的下降期间以及第二时钟信号 CKVB 的上升期间增加,而且栅极信号 G1-Gn 中的相邻栅极信号之间的时间差因而恒定。

[0093] 图 4 是示出图 1 中的根据本发明的示范性实施例的液晶显示器的栅极驱动器的框图。

[0094] 参照图 4,栅极驱动器 210 包括其中级联有多个级 SRC1-SRCn+1 的移位寄存器 210a。每个级包括第一输入端子 IN1、第一时钟端子 CK1、第二时钟端子 CK2、第二输入端子 IN2、电压输入端子 Vin、重置端子 RE、进位端子 CR、以及输出端子 OUT。

[0095] 将级 SRC2-SRCn+1 中的每一个级的第一输入端子 IN1 电连接到级 SRC1-SRCn 中的前一相邻级的进位端子 CR 以接收前一进位信号。然而,级 SRC1-SRCn+1 中的第一级 SRC1 的第一输入端子 IN1 接收启动栅极驱动器 210 的操作的垂直开始信号 STV。将级 SRC1-SRCn 中的每一个级的第二输入端子 IN2 电连接到级 SRC2-SRCn+1 中的下一相邻级的输出端子 OUT 以接收下一栅极信号。然而,级 SRC1-SRCn+1 中的最后级 SRCn+1 的第二输入端子 IN2 接收垂直开始信号 STV。

[0096] 向级 SRC1-SRCn+1 中的奇数编号的级 SRC1、SRC3、...、SRCn+1 的第一时钟端子 CK1 施加第一时钟信号 CKV，并向奇数编号的级 SRC1、SRC3、...、SRCn+1 的第二时钟端子 CK2 施加具有与第一时钟信号 CKV 相反的相位的第二时钟信号 CKVB。同样，向级 SRC1-SRCn+1 中的偶数编号的级 SRC2、...、SRCn 的第一时钟端子 CK1 施加第二时钟信号 CKVB，并向偶数编号的级 SRC2、...、SRCn 的第二时钟端子 CK2 施加第一时钟信号 CKV。

[0097] 级 SRC1-SRCn+1 中的每一个级的电压输入端子 Vin 接收地电压（未示出）或栅极 - 截止电压 Voff。另外，将最后级 SRCn+1 的进位端子 CR 电连接到级 SRC1-SRCn+1 中的每一个级的重置端子 RE。

[0098] 将级 SRC1-SRCn+1 的输出端子 OUT 分别电连接到栅极线 GL1-GLn。于是，级 SRC1-SRCn+1 通过输出端子 OUT 顺序地输出栅极信号 G1-Gn，以向栅极线 GL1-GLn 施加栅极信号 G1-Gn。

[0099] 将移位寄存器 210a 置于靠近栅极线 GL1-GLn 的第一端（图 1）。在一个示范性实施例中，栅极驱动器 210 进一步包括置于靠近栅极线 GL1-GLn 的第二端的放电电路 210b（图 4），使得放电电路 210b 响应于下一相邻级的下一栅极信号输出将各条栅极线的电压放电为栅极 - 截止电压 Voff。放电电路 210b 包括多个放电晶体管 NT16。与给定栅极线相关的每个放电晶体管 NT16 包括连接到下一相邻栅极线的控制极、接收栅极 - 截止电压 Voff 的输入极、以及连接到相关的栅极线的输出极。

[0100] 图 5A 是说明一般液晶显示器中的第一栅极信号与数据信号之间的关系的栅极信号和数据信号对时间的曲线图，而图 5B 是说明根据本发明的示范性实施例的液晶显示器中的第一栅极信号与数据信号之间的关系的栅极信号和数据信号对时间的曲线图。参照图 5A，由于一般栅极驱动器中的第一极没有相邻的在先极，所以第一级以上面参照图 4 所述的方式接收垂直开始信号 STV 以启动操作。

[0101] 进一步，施加到一般栅极驱动器的垂直开始信号 STV 具有比一个水平扫描周期的持续时间更长的高电平持续时间。于是，当向第一级施加垂直开始信号时，从第一级输出的第一栅极信号 G' 1 在其下降期间失真，如图 5A 中所示。

[0102] 当第一栅极信号 G' 1 失真时，在第一栅极信号 G' 1 下降为低电平之前向数据线施加数据信号。更具体地，在使用线反转驱动方法的显示设备中，数据信号的极性在第一栅极信号 G' 1 下降为低电平之前被反转。结果，当施加到连接到第一栅极线的第一像素行的具有负极性的数据信号在第一栅极信号 G' 1 完全下降为低电平之前被反转为具有正极性时，充电到第一像素行的像素电压因数据信号具有的负极性而降低。结果，出现行缺陷，导致第一像素行变得比其它像素行更亮。

[0103] 参照图 5B，根据本发明的示范性实施例的第一栅极信号 G1 比栅极信号 G' 1 更早地被放电。更具体地，由于提早大约 1.8 微秒产生第一输出使能信号 OE1 的第一高电平期间 t1（参照图 2），从栅极驱动器比栅极信号 G' 1 更早地输出第一栅极信号 G1。同样，由于提早大约 1.8 微秒产生第二输出使能信号 OE2 的第一高电平期间 t2（参照图 2），比栅极信号 G' 1 更早地将第一栅极信号 G1 放电。因而，可以在向数据线 DL1 ~ DLm 施加数据信号 D1 ~ Dm 之前将第一栅极信号 G1 充分地放电，从而避免液晶显示面板 100 上显示的图像的失真。

[0104] 结果，本发明的示范性实施例的第一栅极信号 G1 在数据信号的极性被反转时基

本处于低电平（图 5B）。因而，根据本发明的示范性实施例的栅极驱动器 210 避免第一像素行受下一像素行的数据信号的不利影响，从而有效地防止或减少上面图 5A 中比照现有技术讨论的第一像素行的线缺陷。

[0105] 图 6A 是根据本发明的另一个示范性实施例的显示设备的栅极驱动器的框图，而图 6B 是说明图 6A 中的根据本发明的该示范性实施例的显示设备的栅极驱动器的虚设级 D-SRC 的输入和输出信号的波形图。图 6A 中，以类似的引用数字指代图 4 中相同或类似的元素，因而下面将略去相同或类似元素的重复说明。

[0106] 参照图 6A，根据本发明的示范性实施例的栅极驱动器 220 包括移位寄存器 220a 和放电电路 220b。移位寄存器 220a 包括第一至第 $n+1$ 级 SRC1-SRC $n+1$ 以及虚设级 D-SRC。

[0107] 将第一至第 n 级 SRC1-SRC n 连接到显示面板的第一至第 n 栅极线 GL1-GL n （图 1），以顺序地输出栅极信号 G1-G n 。第 $n+1$ 级 SRC $n+1$ 被提供为靠近并在第 n 级 SRC n 之后，用于关闭第 n 级 SRC n 。更具体地，将从第 $n+1$ 级 SRC $n+1$ 的输出端子 OUT 输出的虚设栅极信号施加到第 n 级 SRC n 的第二输入端子 IN2，以将从第 n 级 SRC n 输出的栅极信号 GN 降低为栅极 - 截止电压 V_{off} 。

[0108] 进一步，虚设级 D-SRC 被提供为靠近并在第一级 SRC1 之前，并响应于垂直开始信号 STV 而操作。将从虚设级 D-SRC 输出的进位信号输出 D-CR 施加到第一级 SRC1 的第一输入端子 IN1。

[0109] 参照图 6A 和 6B，虚设级 D-SRC 在垂直开始信号 STV 的高电平期间响应于第二时钟信号 CKVB 而输出进位信号 D-CR。而且，第一级 SRC1 响应于虚设级 D-SRC 的进位信号 D-CR 而输出第一栅极信号 G1，使得栅极驱动器 220 避免第一栅极信号 G1 被垂直开始信号 STV 造成失真，如上面详细描述的。

[0110] 由于虚设级 D-SRC 驱动第一级 SRC1，虚设级 D-SRC 不连接到栅极线 GL1-GL n 。从而，虽然从虚设级 D-SRC 的输出端子 OUT 输出的虚设栅极信号被垂直开始信号 STV 造成失真，但是虚设栅极信号的失真并不显示在显示面板上。

[0111] 如上所述，将从虚设级 D-SRC 输出的进位信号 D-CR 输出到第一级 SRC1 代替垂直开始信号 STV。因而，可以避免从第一级 SRC1 输出的第一栅极信号的失真，有效地防止或减少显示面板的第一像素行的线缺陷。

[0112] 图 7 是示出根据本发明的另一个示范性实施例的显示设备的栅极驱动器的框图，图 8 是说明图 7 中的根据本发明的该示范性实施例的显示设备的栅极驱动器的脉宽调制器的输入和输出信号的波形图，而图 9 是说明图 7 中的根据本发明的该示范性实施例的显示设备的栅极驱动器的第一栅极信号输出的曲线图。图 7 中，以类似的引用数字指代图 4 中相同或类似的元素，因而下面将略去相同或类似元素的重复说明。

[0113] 参照图 7，根据本发明的另一个示范性实施例的栅极驱动器 230 包括移位寄存器 230a、脉宽调制器 230b、以及放电电路 230c。

[0114] 脉宽调制器 230b 包括晶体管。该晶体管的控制极接收第二时钟信号 CKVB，该晶体管的输入极接收第一垂直开始信号 STV1，而该晶体管的输出极输出第二垂直开始信号 STV2 并连接到第一级 SRC1 的第一输入端子 IN1。

[0115] 参照图 7 和 8，将第一垂直开始信号 STV1 维持在高状态持续大于或等于第一时钟信号 CKV 的半周期而且小于或等于第一时钟信号 CKV 的一个周期 T 的时间。第二时钟信号

CKVB 具有与第一时钟信号 CKV 的相位相反的相位,使得在第一时钟信号 CKV 的高电平期间将第二时钟信号 CKVB 维持在低电平。于是,在第二时钟信号 CKVB 的高电平期间脉宽调制器 230b 的晶体管被导通,而且通过脉宽调制器 230b 的输出极向第一级 SRC1 输出第一垂直开始信号 STV1。

[0116] 当第二时钟信号 CKVB 转变到低电平而且第一时钟信号 CKV 转变到高电平时,脉宽调制器 230b 的晶体管被截止而且在第二时钟信号 CKVB 的低电平期间保持截止。于是,施加到该晶体管的第一垂直开始信号 STV1 在第二时钟信号 CKVB 的低电平期间不通过脉宽调制器 230b 的晶体管到达第一级 SRC1。

[0117] 结果,第二垂直开始信号 STV2 具有与第二时钟信号 CKVB 的高电平期间的一半对应的高电平期间而且被从脉宽调制器 230b 的晶体管的输出极输出到第一级 SRC1。将从脉宽调制器 230b 输出的第二垂直开始信号 STV2 施加到移位寄存器 230a 的第一级 SRC1 的第一输入端子 IN1。

[0118] 图 9 中,第一曲线 A1 说明在向第一级 SRC1 的第一输入端子 IN1 施加第一垂直开始信号 STV1 时从第一级 SRC1 输出的第一栅极信号 G1。第二曲线 A2 说明根据上述本发明的示范性实施例在向第一级 SRC1 的第一输入端子 IN1 施加第二垂直开始信号 STV2 时从第一级 SRC1 输出的第一栅极信号 G1。

[0119] 参照图 9,当向第一级 SRC1 施加第一垂直开始信号 STV1 时(A1),从第一级 SRC1 输出的第一栅极信号 G1 的下降沿失真。例如,当在第一时钟信号 CKV 的低电平期间将第一垂直开始信号 STV1 维持在高电平时,第一栅极信号 G1 在第一时钟信号 CKV 的下降沿迅速降低,导致失真。

[0120] 应当在第二栅极信号 G2 的高电平期间将第一栅极信号 G1 完全放电到低电平。然而,由于如上所述第一栅极信号 G1 在第一时钟信号 CKV 的下降沿迅速降低,在第二栅极信号 G2 转变为高电平之前存在间隔,而且例如产生第一栅极信号 G1 被维持在低电平与高电平之间的中间电平的期间,第一栅极信号失真。

[0121] 然而,在图 7 的本发明的示范性实施例中,当向第一级 SRC1 施加图 8 中所示的第二垂直开始信号 STV2 时,第二垂直开始信号 STV2 在第一时钟信号 CKV 转变为低电平时转变为低电平,从而避免第一栅极信号 G1 在第一时钟信号 CKV 的下降沿迅速降低。于是,将第一栅极信号 G1 维持在高电平直到产生第二栅极信号 G2,并由第二栅极信号 G2 将第一栅极信号 G1 放电为低电平。因而,根据本发明的示范性实施例的栅极驱动器 230 防止来自第一级 SRC1 的栅极信号 G1 输出的失真,如图 9 的 A2 所示。

[0122] 图 10 是根据本发明的另一个示范性实施例的栅极驱动器的第一级 SRC1 的示意性电路图。参照图 10 描述的第一 SRC1 具有与栅极驱动器的其它级 SRC2-SRCn+1 相同的结构和功能,因而下面将略去其它级的重复说明。

[0123] 参照图 10,第一级 SRC1 包括上拉部分 211、进位部分 212、下拉部分 213、上拉驱动部分 214、防波纹(ripple preventing)部分 215、保持部分 216、倒相器部分 217、以及重置部分 218。

[0124] 上拉部分 211 包括上拉晶体管 NT1,其控制极连接到上拉驱动部分 214 的节点 QN(以下称为“Q-节点”),输入极连接到第一时钟端子 CK1,而输出极连接到输出端子 OUT。于是,如下面详细描述,上拉晶体管 NT1 响应于从上拉驱动部分 214 输出的电压将到输出

端子 OUT 的栅极信号上拉到通过第一时钟端子 CK1 提供的第一时钟信号 CKV。上拉晶体管 NT1 在第一时钟信号 CKV 的高电平期间导通以将栅极信号维持在高电平。

[0125] 进位部分 212 包括进位晶体管 NT2, 其控制极连接到 Q- 节点 QN, 输入极连接到第一时钟端子 CK1, 而输出极连接到进位端子 CR。进位晶体管 NT2 响应于从上拉驱动部分 214 输出的电压将施加到输出端子 OUT 的进位信号上拉到通过第一时钟端子 CK1 提供的第一时钟信号 CKV。进位晶体管 NT2 在第一时钟信号 CKV 的高电平期间导通以将进位信号维持在高电平。

[0126] 下拉部分 213 包括下拉晶体管 NT3, 其控制极连接到第二输入端子 IN2, 输入极连接到电压输入端子 Vin, 而输出极连接到输出端子 OUT。下拉晶体管 NT3 响应于下一相邻栅极信号将栅极信号下拉到通过电压输入端子 Vin 提供的栅极 - 截止电压 Voff (图 4)。在本发明的可选择示范性实施例中, 例如可以 (但不限于) 在水平扫描周期接收之后将栅极信号下拉到低电平。

[0127] 下拉驱动部分 214 包括缓冲晶体管 NT4、第一电容器 C1、第一放电晶体管 NT5 和第二放电晶体管 NT6、第四电容器 C4。缓冲晶体管 NT4 包括共同连接到第一输入端子 IN1 的输入极和控制极、以及连接到 Q- 节点 QN 的输出极。将第一电容器 C1 连接在 Q- 节点 QN 与输出端子 OUT 之间。第一放电晶体管 NT5 包括连接到 Q- 节点 QN 的输入极、连接到第二输入端子 IN2 的控制极、以及连接到电压输入端子 Vin 的输出极。第二放电晶体管 NT6 包括连接到输出端子 OUT 的输入极、连接到第二时钟端子 CK2 的控制极、以及连接到电压输入端子 Vin 的输出极。将第四电容器 C4 连接在 Q- 节点 QN 与进位端子 CR 之间。

[0128] 当缓冲晶体管 NT4 响应于相邻前一栅极信号而导通时, 第一和第四电容器 C1 和 C4 被充电。当例如高于上拉晶体管 NT1 的阈电压的电压充电到第一电容器 C1 时, Q- 节点 QN 的电势增加到高于该阈电压而且上拉晶体管 NT1 导通。同样, 当例如高于进位晶体管 NT2 的阈电压的电压充电到第四电容器 C4 时, Q- 节点 QN 的电势增加到高于该阈电压而且进位晶体管 NT2 导通。于是, 向输出端子 OUT 和进位端子 CR 输出第一时钟信号 CKV, 使得栅极信号和进位信号转变为高电平。在第一时钟信号 CKV 的一个高电平期间将栅极信号维持在高电平。

[0129] 当第一放电晶体管 NT5 响应于下一相邻栅极信号而导通时, 充电到第一电容器 C1 的电压通过第一放电晶体管 NT5 被放电为栅极 - 截止电压 Voff。于是, Q- 节点 QN 的电势被相邻下一栅极信号降低为栅极 - 截止电压 Voff, 从而截止上拉晶体管 NT1。进一步, 第一放电晶体管 NT5 避免栅极信号在相关的水平扫描周期结束后被输出。

[0130] 当第二放电晶体管 NT6 响应于施加到第二时钟端子 CK2 的第二时钟信号 CKVB 而导通时, 输出端子 OUT 通过第二放电晶体管 NT6 被电连接到电压输入端子 Vin。因而, 输出端子 OUT 的栅极信号通过第二放电晶体管 NT6 放电为栅极 - 截止电压 Voff。

[0131] 如下面详细描述, 防波纹部分 215 防止栅极信号在前一水平扫描周期 (n-1)H 期间被第一时钟信号 CKV 或第二时钟信号 CKVB 造成波纹。防波纹部分 215 包括第一防波纹晶体管 NT7 和第二防波纹晶体管 NT8。

[0132] 第一防波纹晶体管 NT7 包括连接到第二时钟端子 CK2 的控制极、连接到第一输入端子 IN1 的输入极、以及连接到 Q- 节点 QN 的输出极。第二防波纹晶体管 NT8 包括连接到第一时钟端子 CK1 的控制极、连接到 Q- 节点 QN 的输入极、以及连接到输出端子 OUT 的输出

极。

[0133] 第一防波纹晶体管 NT7 响应于通过第二时钟端子 CK2 提供的第二时钟信号 CKVB 而导通,以电连接第一输入端子 IN1 和 Q- 节点 QN。从而,第一防波纹晶体管 NT7 将 Q- 节点 QN 的电势保持为维持在栅极 - 截止电压 V_{off} 的前一相邻栅极信号。进而,第一防波纹晶体管 NT7 避免上拉晶体管 NT1 在 $(n-1)H$ 周期中第二时钟信号 CKVB 的高电平期间导通,从而防止栅极信号产生波纹。

[0134] 第二防波纹晶体管 NT8 响应于通过第一时钟信号 CKV 而导通,以将输出端子 OUT 电连接到 Q- 节点 QN。于是,将 Q- 节点 QN 的电势保持为维持在栅极 - 截止电压 V_{off} 的栅极信号。结果,第二防波纹晶体管 NT8 避免上拉晶体管 NT1 在 $(n-1)H$ 周期中第一时钟信号 CKV 的高电平期间导通,从而防止栅极信号产生波纹。

[0135] 保持部分 216 包括保持晶体管 NT10,其控制极连接到倒相器部分 217 的输出,输入极连接到电压输入端子 V_{in} ,而输出极连接到输出端子 OUT。

[0136] 倒相器部分 217 包括第一倒相晶体管 NT11、第二倒相晶体管 NT12、第三倒相晶体管 NT13、第四倒相晶体管 NT14、以及第二电容器 C2 和第三电容器 C3,用于导通或截止保持晶体管 NT10。

[0137] 第一倒相晶体管 NT11 包括共同连接到第一时钟端子 CK1 的输入极和控制极、以及通过第三电容器 C3 连接到第二倒相晶体管 NT12 的输出极的输出极。第二倒相晶体管 NT12 包括连接到第一时钟端子 CK1 的输入极、通过第二电容器 C2 连接到其输入极的控制极、以及连接到保持晶体管 NT10 的控制极的输出极。第三倒相晶体管 NT13 包括连接到第一倒相晶体管 NT11 的输出极的输入极、连接到输出端子 OUT 的控制极、以及连接到电压输入端子 V_{in} 的输出极。第四倒相晶体管 NT14 包括连接到保持晶体管 NT10 的控制极的输入极、连接到输出端子 OUT 的控制极、以及连接到电压输入端子 V_{in} 的输出极。

[0138] 第三和第四倒相晶体管 NT13 和 NT14 分别响应于通过处于高电平的输出端子 OUT 的处于高电平的栅极信号而导通,而且分别从第一和第二倒相晶体管 NT11 和 NT12 输出的第一时钟信号 CKV 被放电为栅极 - 截止电压 V_{off} 。于是,保持晶体管 NT10 在水平扫描周期 $1H$ 期间当当前栅极信号被维持在高电平时被截止。当当前栅极信号转变为低电平时,第三和第四倒相晶体管 NT13 和 NT14 被截止。于是,保持晶体管 NT10 响应于分别从第一和第二倒相晶体管 NT11 和 NT12 输出的第一时钟输入 CKV 而导通。结果,在前一水平扫描周期 $(n-1)H$ 期间第一时钟信号 CKV 的高电平期间由保持晶体管 NT10 将当前栅极信号保持在栅极 - 截止电压。

[0139] 重置部分 218 部件重置晶体管 NT15,其控制极连接到重置端子 RE,输入极连接到 Q- 节点 QN,而输出极连接到电压输入端子 V_{in} 。重置晶体管 NT15 响应于通过重置端子 RE 输入级 SRCn 的最后栅极信号 G_n (图 4) 而将通过第一输入端子 IN1 输入的噪声放电为从最后级 SRCn+1 输出的栅极 - 截止电压 V_{off} 。因而,上拉晶体管 NT1 响应于来自级 SRCn 的最后栅极信号 G_n 截止。进而,上拉晶体管 NT1 截止 n 个级中的每个级的上拉晶体管 NT1,从而响应于级 SRCn 的最后栅极信号 G_n 而重置级 SRC1-SRCn。

[0140] 本发明的示范性实施例中,第一级 SRC1 的下拉晶体管 NT3 具有大于或等于级 SRC2-SRCn 的下拉晶体管 NT3 的沟道宽度的大约两倍的沟道宽度。更具体地,本发明的可选择示范性实施例中,第一级 SRC1 的下拉晶体管 NT3 可以具有大约 3000 微米的沟道宽度,而

级 SRC2-SRCn 中的每个级的下拉晶体管 NT3 可以具有大约 1100 微米的沟道宽度,但不限于此。

[0141] 下拉晶体管 NT3 响应于相邻下一栅极信号将栅极信号放电为栅极 - 截止电压 V_{off} 。当第一级 SRC1 的下拉晶体管 NT3 的沟道宽度大于级 SRC2-SRCn 的下拉晶体管 NT3 的沟道宽度时,第一级 SRC1 的放电能力得到增强。于是,如上面参照图 5B 详细描述,即便 Q- 节点 QN 因垂直开始信号 STV 而没有在第一级 SRC1 中被迅速放电,从第一级 SRC1 向栅极线 GL1 输出的第一栅极信号 G1 也可以被迅速放电,而且第一栅极信号 G1 与第一时钟信号 CKV 的下降沿对应被快速降低。

[0142] 因而,由于第一级 SRC1 的下拉晶体管 NT3 的能力因第一级 SRC1 的下拉晶体管 NT3 的沟道宽度大于级 SRC2-SRCn 的下拉晶体管 NT3 的沟道宽度而得到提高,第一栅极信号 G1 被迅速放电,从而避免第一栅极信号 G1 的失真。

[0143] 连接到第一栅极线 GL1 用于将第一栅极信号 G1 放电的放电晶体管 NT16 具有大于或等于连接到栅极线 GL2-GLn 用于将栅极信号 G2-Gn 放电的放电晶体管 NT16 的沟道宽度的 1.5 倍的沟道宽度。更具体地,连接到第一栅极线 GL1 的放电晶体管 NT16 可以具有大约 6000 微米的沟道宽度,而连接到栅极线 GL2-GLn 的放电晶体管 NT16 可以具有大约 4000 微米的沟道宽度。

[0144] 于是,将第一栅极信号 G1 放电的放电晶体管 NT16 的放电能力与连接到栅极线 GL2-GLn 的放电晶体管 NT16 的放电能力相比得到提高,从而将第一栅极信号 G1 迅速放电,避免第一栅极信号 G1 的失真。

[0145] 连接到第一级 SRC1 的 Q- 节点 QN 的第一防波纹晶体管 NT7 可以具有小于或等于级 SRC2-SRCn 的第一防波纹晶体管 NT7 的沟道宽度的大约十分之一的沟道宽度。更具体地,第一级 SRC1 的第一防波纹晶体管 NT7 可以具有大约 25 微米的沟道宽度,而级 SRC2-SRCn 的第一防波纹晶体管 NT7 可以具有大约 350 微米的沟道宽度。

[0146] 第一级 SRC1 中的第一防波纹晶体管 NT7 响应于第二时钟信号 CKVB 而向 Q- 节点 QN 施加垂直开始信号 STV。然而,如果第一级 SRC1 中的第一防波纹晶体管 NT7 的能力退化,例如第一级 SRC1 的第一防波纹晶体管 NT7 的沟道宽度增加了,则在第二时钟信号 CKVB 的高电平期间 Q- 节点 QN 的电势的增加可能因垂直开始信号 STV 具有高电平而被延迟。从而,如上所述,与级 SRC2-SRCn 中的相关的晶体管各自的沟道宽度相比,第一级 SRC1 中下拉晶体管 NT3 和放电晶体管 NT16 的沟道宽度相对较大,而第一防波纹晶体管 NT7 的沟道宽度较小,以便有效地减少或避免第一栅极信号 G1 的失真。

[0147] 本发明的示范性实施例中,将第一级 SRC1 置于靠近显示面板的外围区域,使得与其它级 SRC2-SRCn 中相比可以容易地增强第一级 SRC1 的晶体管的沟道宽度。

[0148] 图 11A 是图 10 中的根据本发明的该示范性实施例的栅极驱动器的第一级 SRC1 的第一防波纹晶体管 NT7 的平面图,而图 11B 是图 10 中的根据本发明的该示范性实施例的栅极驱动器的第二级 SRC2 的第一防波纹晶体管 NT7 的平面图。

[0149] 参照图 11A 和 11B,第一级 SRC1 的第一防波纹晶体管 NT7 包括第一栅极 GE1、第一源极 SE1、以及第一漏极 DE1。第二级 SRC2 的第一防波纹晶体管 NT7 包括第二栅极 GE2、第二源极 SE2、以及第二漏极 DE2。如图 11A 和 11B 中所示,第一级 SRC1 的第一防波纹晶体管 NT7 具有比第二级 SRC2 的第一防波纹晶体管 NT7 的沟道宽度 W2 更窄的沟道宽度 W1。

[0150] 本发明的示范性实施例中,第一级 SRC1 的第一防波纹晶体管 NT7 具有具有大约 25 微米的沟道宽度,而第二级 SRC2 的第一防波纹晶体管 NT7 具有大约 350 微米的沟道宽度。

[0151] 如上所述,当第一级 SRC1 的第一防波纹晶体管 NT7 的沟道宽度 W_1 小于第二级 SRC2 的第一防波纹晶体管 NT7 的沟道宽度 W_2 时,可以有效地减少或避免第一栅极信号 G1 的时钟。然而,当第一级 SRC1 的第一防波纹晶体管 NT7 的沟道宽度减小时,第一级 SRC1 的 Q- 节点 QN 处的波纹电压可能增大。更具体地,第一级 SRC1 的 Q- 节点 QN 处的波纹电压与连接到 Q- 节点 QN 的电容器的总电容成反比例。例如,当连接到 Q- 节点 QN 的包括寄生电容的总电容增大时, Q- 节点 QN 处的波纹电压减小。

[0152] 因而,将第一级 SRC1 的第一防波纹晶体管 NT7 设计为具有与第二级 SRC2 的第一防波纹晶体管 NT7 的寄生电容相等的寄生电容。

[0153] 更具体地,第一级 SRC1 的第一防波纹晶体管 NT7 包括在第一栅极 GE1 与第一源极 SE1 之间形成的第一寄生电容器 C_{gs1} 、以及在第一栅极 GE1 与第一漏极 DE1 之间形成的第二寄生电容器 C_{gd1} 。第二级 SRC2 的第一防波纹晶体管 NT7 包括在第二栅极 GE2 与第二源极 SE2 之间形成的第三寄生电容器 C_{gs2} 、以及在第二栅极 GE2 与第二漏极 DE2 之间形成的第四寄生电容器 C_{gd2} ,使得第一级 SRC1 的第一防波纹晶体管 NT7 寄生电容与第二级 SRC2 的第一防波纹晶体管 NT7 的寄生电容基本相等。

[0154] 更具体地,在本发明的示范性实施例中,第一源极 SE1 的尺寸是这样的,以使得第一源极 SE1 与第一栅极 GE1 之间的重叠区域等于第二源极 SE2 与第二栅极 GE2 之间的重叠区域。于是,第一寄生电容器 C_{gs1} 具有与第三寄生电容器 C_{gs2} 相等的电容。

[0155] 此外,第一漏极 DE1 的尺寸是这样的,以使得第一漏极 DE1 与第一栅极 GE1 之间的重叠区域等于第二漏极 DE2 与第二栅极 GE2 之间的重叠区域。于是,第二寄生电容器 C_{gd1} 具有与第四寄生电容器 C_{gd2} 相等的电容。

[0156] 从而,连接到第一级 SRC1 的 Q- 节点 QN 的电容器的总电容不减少,以便有效地减少或避免 Q- 节点 QN 处的波纹电压。

[0157] 根据这里描述的本发明的示范性实施例,可以比其中数据信号的极性被反转的时刻更快地将从栅极驱动器的第一级输出的第一栅极信号降低为低电平。于是,可以有效地减少或基本避免第一像素行的线缺陷,从而改善显示装置的显示质量。

[0158] 此外,由于例如使用诸如来自虚设级的进位信号的信号来代替开始信号控制栅极驱动器的第一级,这里描述的本发明的示范性实施例中从第一级输出的第一栅极信号不失真。因而,可以进一步有效地减少或基本避免第一像素行的线缺陷,从而进一步改善显示装置的显示质量。

[0159] 本发明不应当被解读为限于这里描述的其示范性实施例。相反,提供这些示范性实施例是为了使本公开彻底和完整,并向本领域技术人员全面地传达本发明的概念。

[0160] 虽然已经参照其示范性实施例具体地展示和描述了本发明,但是本领域普通技术人员应当理解,本领域普通技术人员可以在其中作出各种变更和修改而不背离由所附权利要求书限定的本发明的精神和范围。

[0161] 对相关申请的交叉引用

[0162] 本申请要求 2007 年 3 月 8 日提交的韩国专利申请 No. 2007-23216 的优先权,其全部内容通过引用而被合并于此。

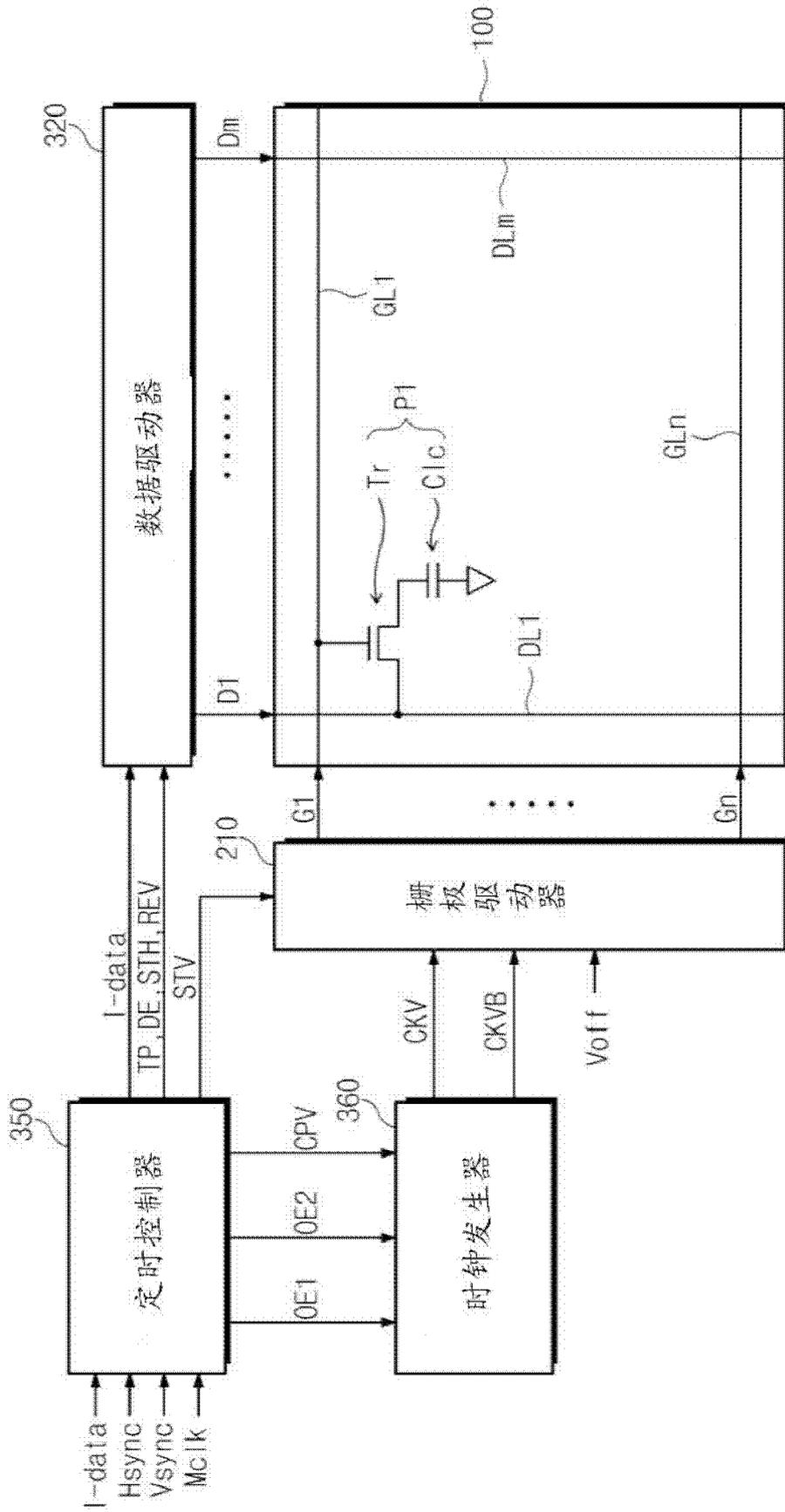


图 1

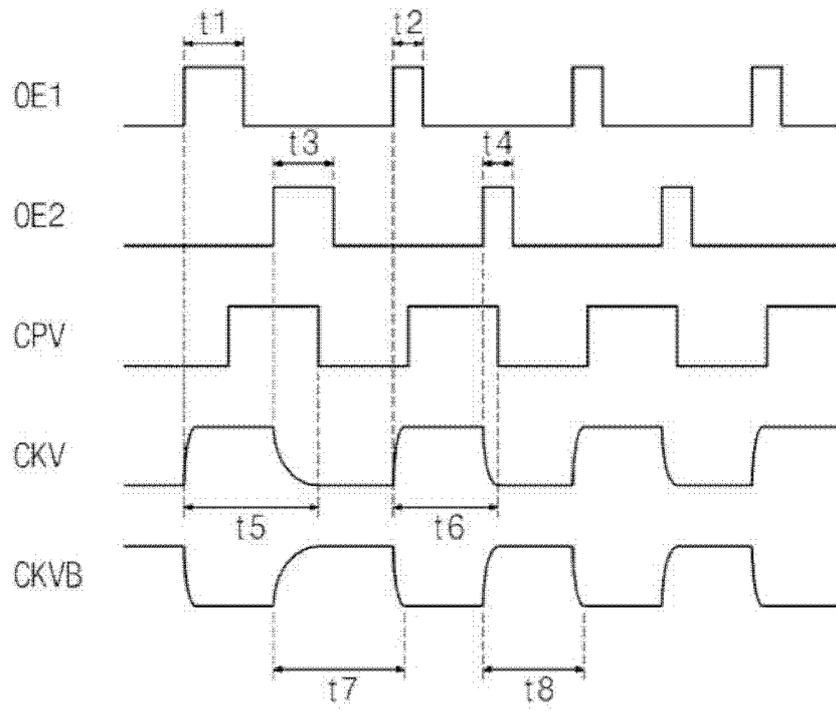


图 2

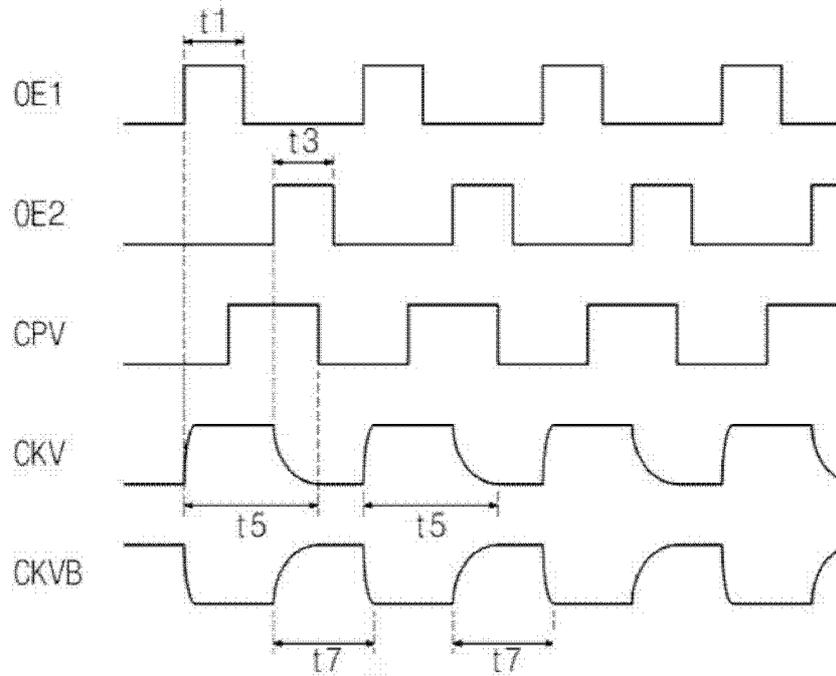


图 3

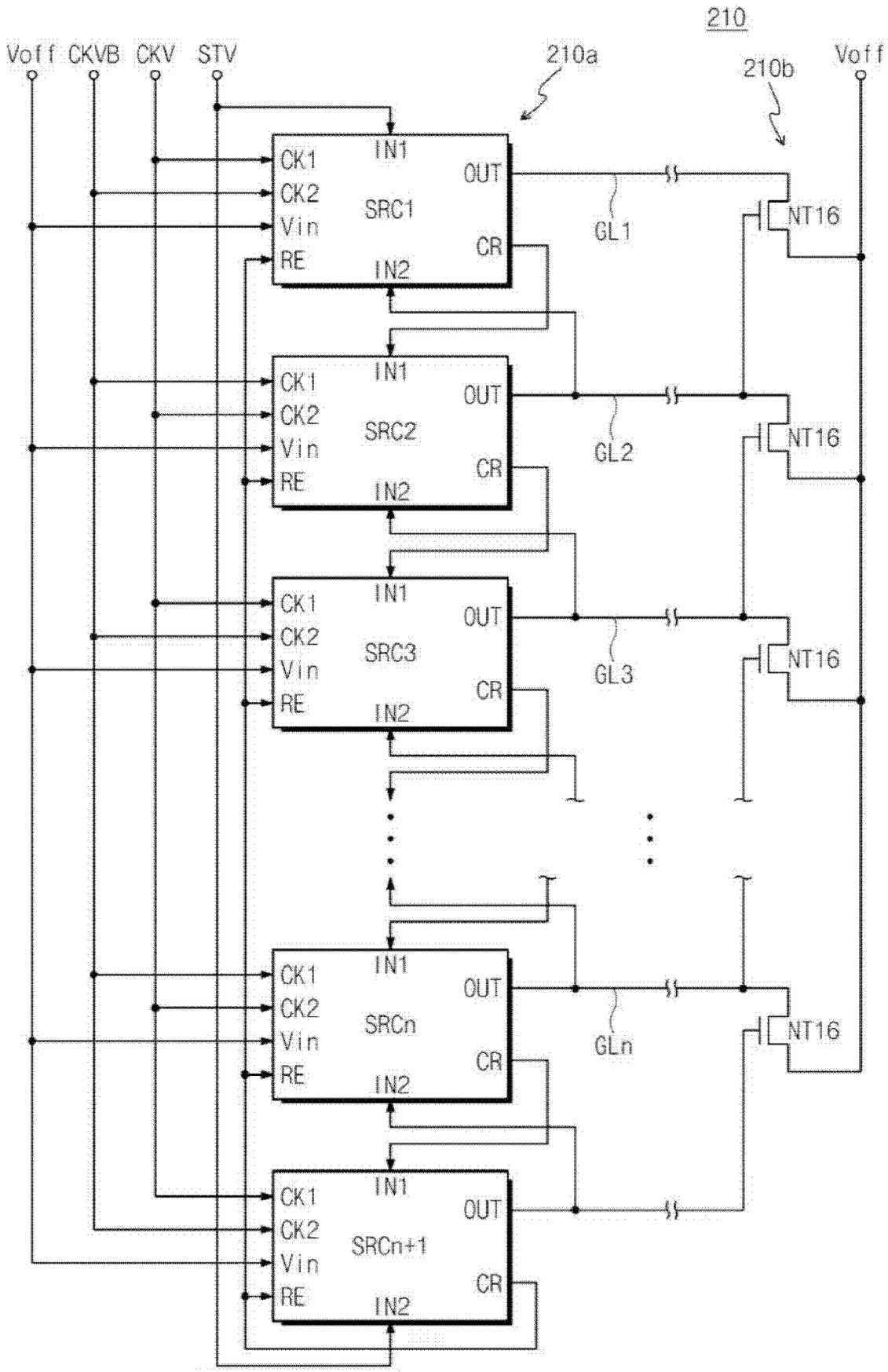


图 4

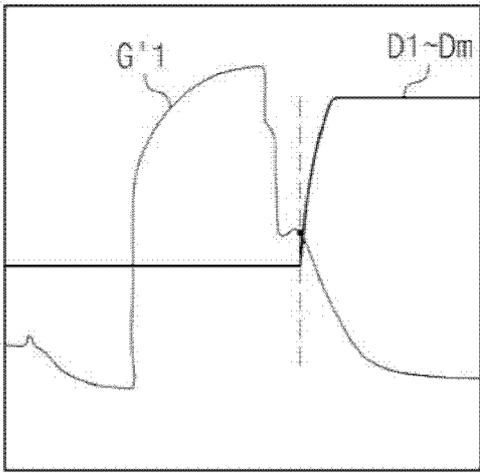


图 5A

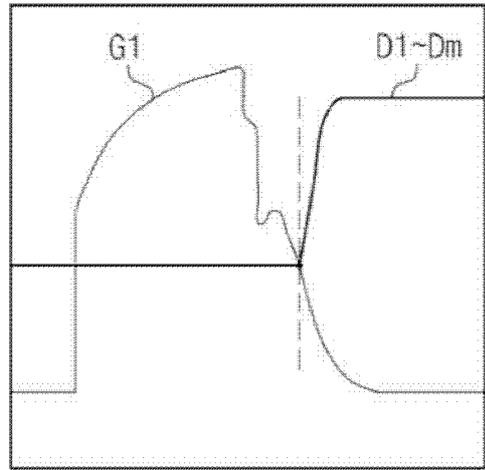


图 5B

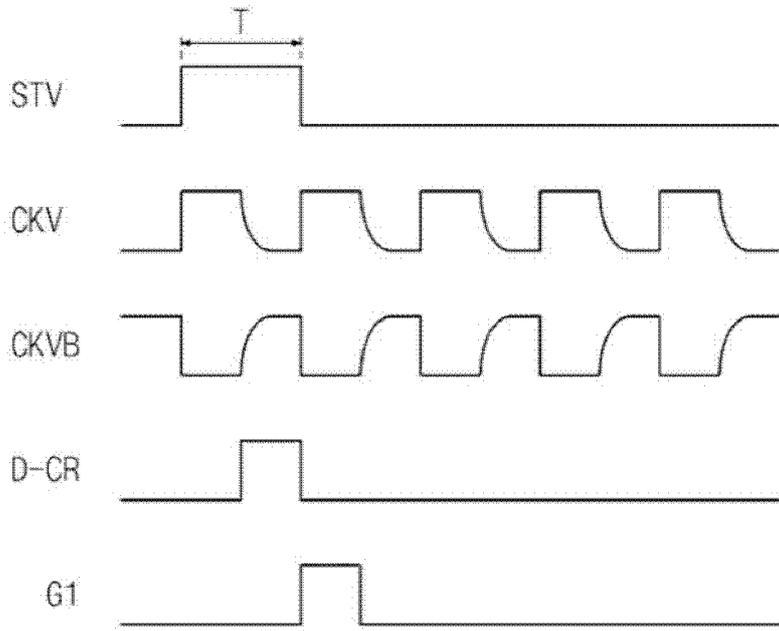


图 6B

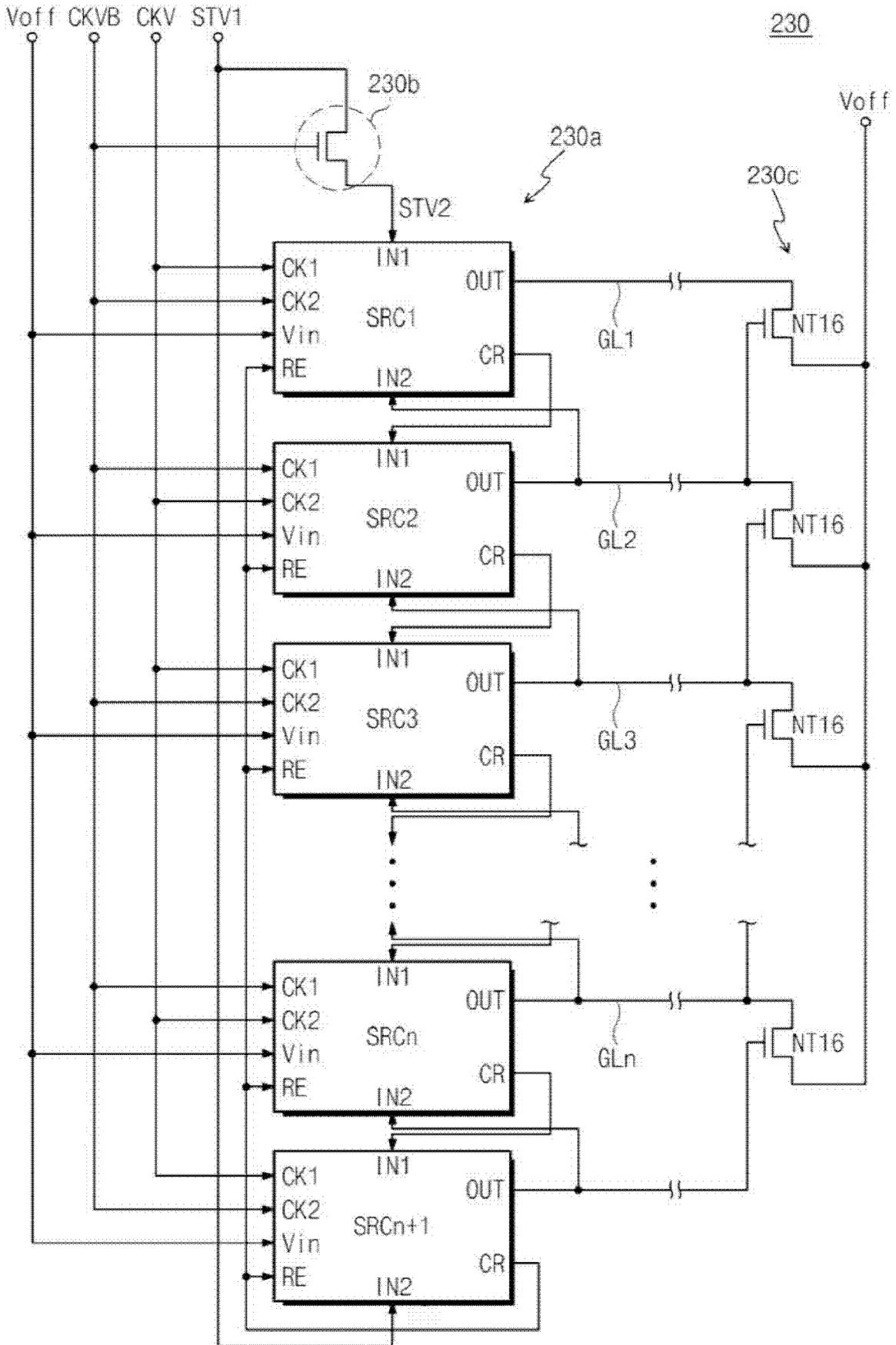


图 7

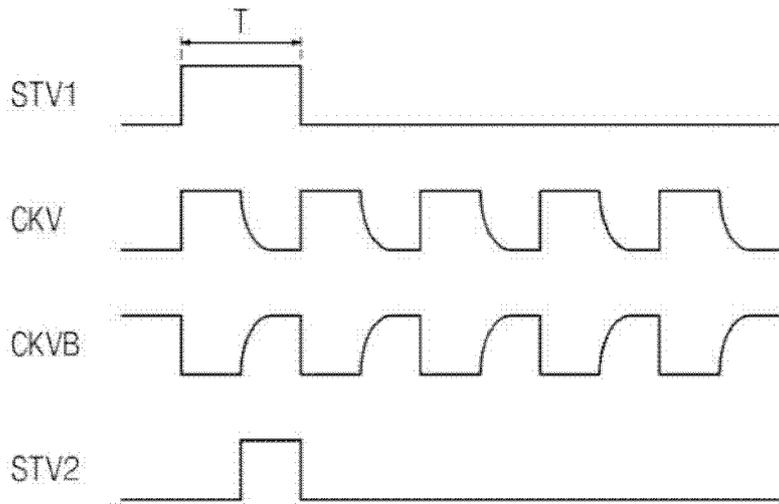


图 8

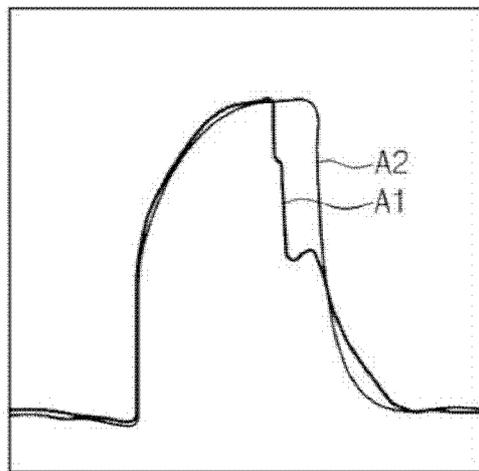


图 9

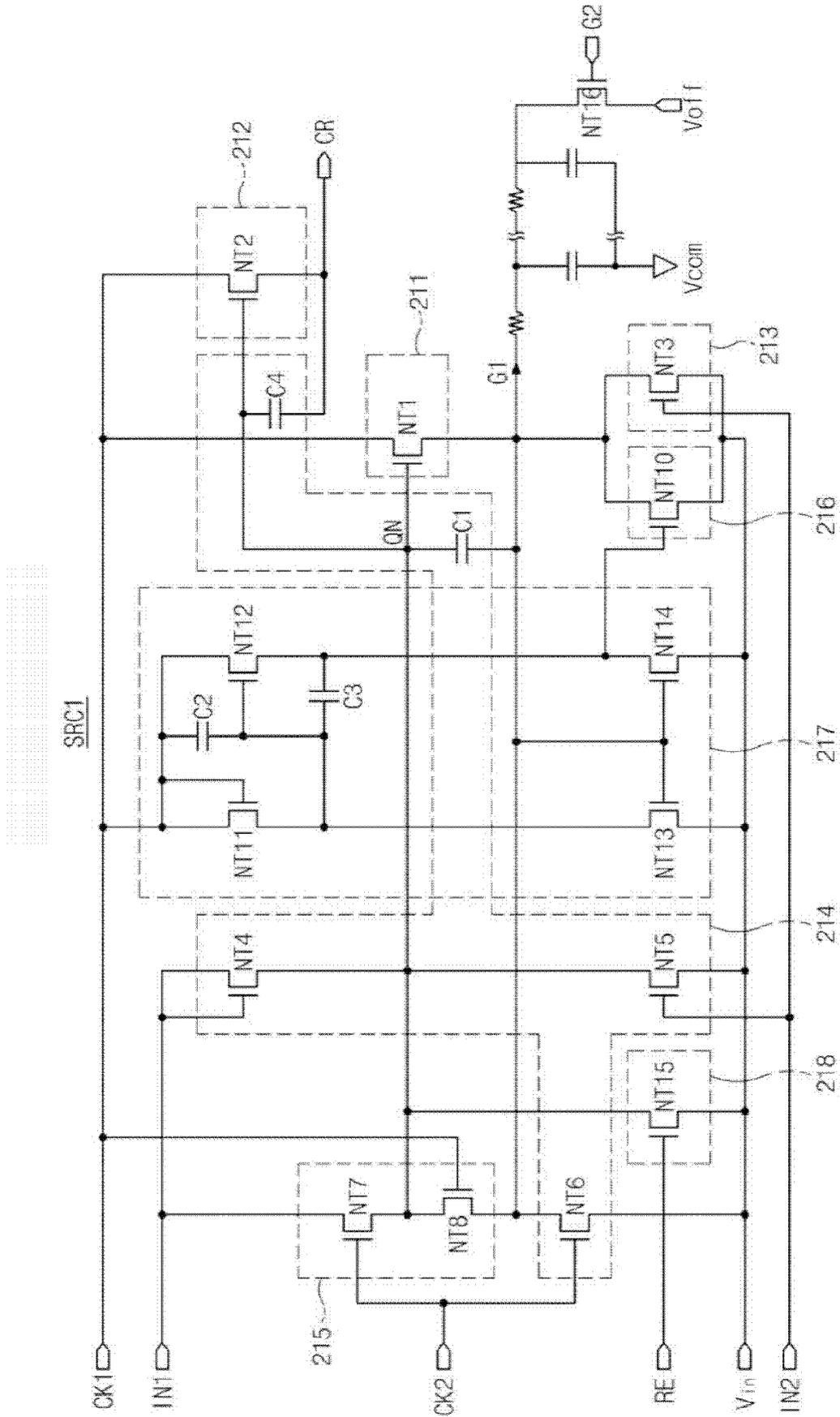


图 10

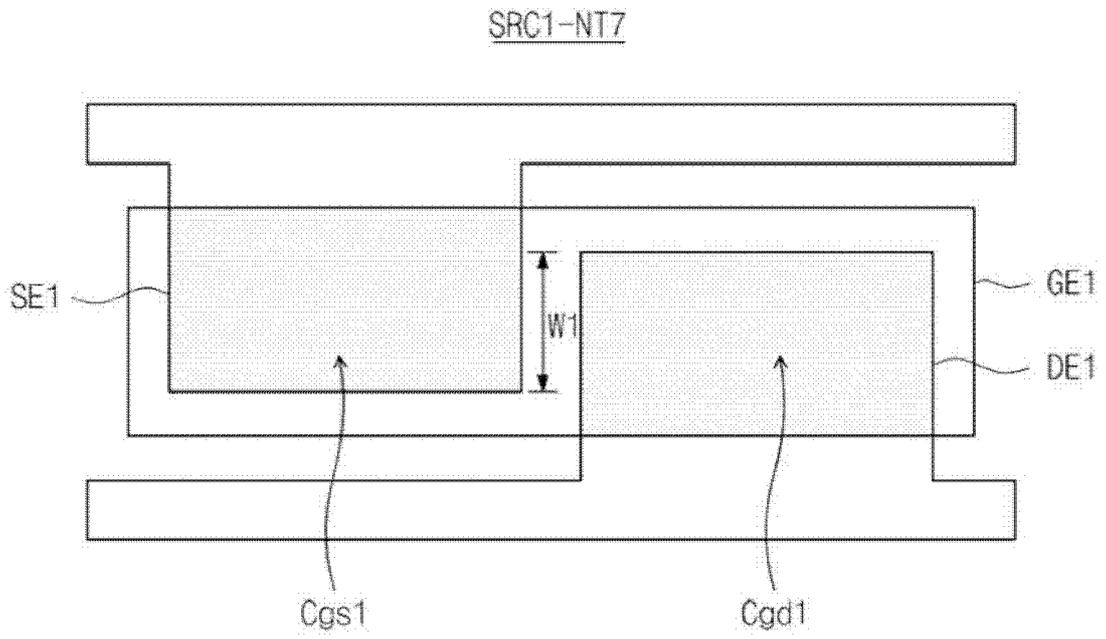


图 11A

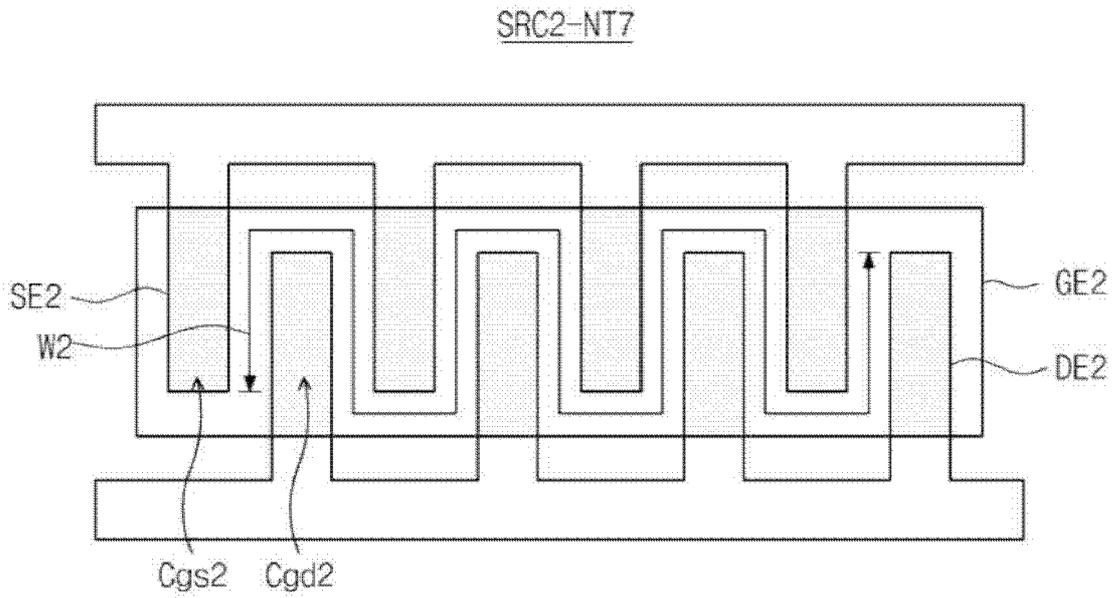


图 11B