

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro

(43) Internationales Veröffentlichungsdatum
12. Dezember 2024 (12.12.2024)



(10) Internationale Veröffentlichungsnummer
WO 2024/251553 A1

(51) Internationale Patentklassifikation:
H03K 17/16 (2006.01)

(21) Internationales Aktenzeichen: PCT/EP2024/064552

(22) Internationales Anmeldedatum:
27. Mai 2024 (27.05.2024)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
10 2023 114 786.2
06. Juni 2023 (06.06.2023) DE

(71) Anmelder: **SMA SOLAR TECHNOLOGY AG**
[DE/DE]; Sonnenallee 1, 34266 Niestetal (DE).

(72) **Erfinder: WIEHR, Anne**; Motzstraße 5, 34117 Kassel (DE). **HERMELING, Dirk**; Auf der Heide 41, 32469 Petershagen (DE). **WAPPLER, Thomas**; Weserring 31, 34302 Guxhagen (DE). **RIGBERS, Klaus**; Dawesbreite 34, 37079 Göttingen (DE).

(81) **Bestimmungsstaaten** (soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH,

(54) **Title:** METHOD FOR OPERATING A HALF-BRIDGE, DRIVER CIRCUIT, AND POWER CONVERTER COMPRISING THE DRIVER CIRCUIT

(54) **Bezeichnung:** VERFAHREN ZUM BETRIEB EINER HALBBRÜCKE, TREIBERSCHALTUNG UND STROMWANDLER MIT DER TREIBERSCHALTUNG

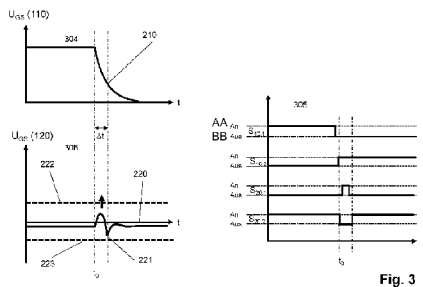


Fig. 3

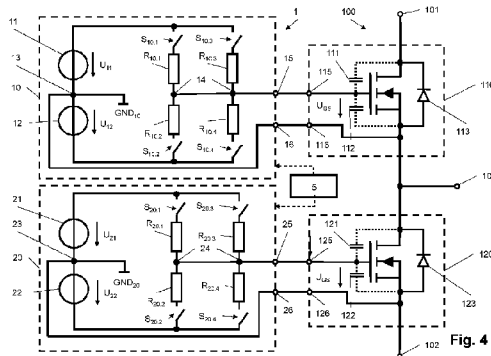


Fig. 4

(57) **Abstract:** The invention relates to a method for actuating a half-bridge (100) comprising a first semiconductor switch (110) and a second semiconductor switch (120) which are connected together in series between a first bridge connection (101) and a second bridge connection (102) using a driver circuit (1) which is connected to the semiconductor switches (110, 120). The method has the step of: varying a gate source voltage U_{GS} at a deactivated semiconductor switch of the two semiconductor switches (110, 120) by changing the gate potential U_G at a gate driver connection (15, 25) of the driver circuit (1), said gate driver connection being connected to the deactivated semiconductor switch (110, 120), wherein the variation of the gate source voltage U_{GS} at the deactivated semiconductor switch (110, 120) counteracts a voltage peak (221) which is produced by a switching process of the respective other semiconductor switch (120, 110) of the half-bridge (100) and which occurs on the basis of the switching process of the respective other semiconductor switch (120, 110). The invention additionally relates to a driver circuit (1) which is designed to carry out the method step and to a power converter comprising such a driver circuit (1).

(57) **Zusammenfassung:** Die Anmeldung beschreibt ein Verfahren zur Ansteuerung einer Halbbrücke (100) umfassend einen ersten Halbleiterschalter (110) und einen zweiten Halbleiterschalter (120), die zwischen einem ersten Brückenanschluss (101) und einem zweiten Brückenanschluss (102) seriell miteinander verbunden sind, mit einer mit den Halbleiterschaltern (110, 120) verbundenen Treiberschaltung (1) mit dem Verfahrensschritt: Variieren einer Gate-Source Spannung U_{GS} an einem ausgeschalteten der beiden Halbleiterschalter (110, 120) durch eine Änderung eines Gate-Potentials U_G an einem Gate-Treiberanschluss (15, 25) der Treiberschaltung (1), der mit dem ausgeschalteten Halbleiterschalter (110, 120) verbunden ist, wobei die Variation der Gate-Source Spannung U_{GS} an dem ausgeschalteten Halbleiterschalter (110, 120) einem Spannungs-Peak (221) entgegenwirkt, der durch

TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS,
ZA, ZM, ZW.

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, RU, TJ, TM), europäisches (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— mit internationalem Recherchenbericht (Artikel 21 Absatz 3)

einen Schaltvorgang des jeweils anderen Halbleiterschalters (120, 110) der Halbbrücke (100) erzeugt wird und in Abhängigkeit von dem Schaltvorgang des jeweils anderen Halbleiterschalters (120, 110) erfolgt. Die Anmeldung beschreibt weiterhin eine zur Durchführung des Verfahrensschritts ausgelegte Treiberschaltung (1) und einen Stromwandler mit einer derartigen Treiberschaltung (1).

VERFAHREN ZUM BETRIEB EINER HALBBRÜCKE, TREIBERSCHALTUNG UND STROMWANDLER MIT DER TREIBERSCHALTUNG

Technisches Gebiet der Erfindung

Die Erfindung betrifft ein Verfahren zum Betrieb einer Halbbrücke mit zwei seriell zueinander angeordneten Halbleiterschaltern, insbesondere – jedoch nicht ausschließlich – Halbleiterschaltern auf Basis von Silizium Carbid (SiC). Die Erfindung betrifft ferner eine für das Verfahren ausgelegte Treiberschaltung zum Betrieb der Halbbrücke, sowie einen Stromwandler mit zumindest einer derartigen Treiberschaltung.

Stand der Technik

Halbleiterschalter auf Basis von Siliziumcarbid (SiC) haben gegenüber herkömmlichen siliziumbasierten Halbleiterschaltern diverse Vorteile. Konkret ist mit ihnen ein Betrieb bei höheren Temperaturen, höheren (Sperr-)Spannungen, wie auch höheren Schaltfrequenzen möglich. SiC-basierte Halbleiterschalter weisen in der Regel geringere Schaltverluste und einen geringeren Durchgangswiderstand $R_{DS,on}$ auf, weswegen eine beim Betrieb dieser Bauteile abzuführende Verlustwärme im Vergleich zu herkömmlichen Si-basierten Halbleiterschaltern typischerweise geringer ist. Aufgrund dieser Vorteile werden SiC-basierte Halbleiterschalter, beispielsweise SiC-basierte Metal-Oxide-Field-Effect-Transistoren (SiC-MOSFETs) oder SiC-basierte Insulated-Gate-Bipolar-Transistoren (SiC-IGBTs) auch zunehmend in verschiedenen Bereichen der Leistungselektronik eingesetzt. Neben diesen Vorteilen existierten jedoch auch einige nachteilige Eigenschaften, die bei einem Einsatz zu beachten sind. Insbesondere weisen SiC-basierte Halbleiterschalter im Vergleich zu herkömmlichen Halbleiterschaltern einen engeren Toleranzbereich hinsichtlich ihrer zulässigen Gate-Source Spannung auf. Konkret sind sie anfällig für einen Betrieb bei negativen Gate-Source-Spannungen, die außerhalb eines erlaubten Toleranzbereiches liegen. Weiterhin ergibt sich beim Betrieb einer Halbbrücke aus zwei SiC-Halbleiterschaltern beim Schaltvorgang eines Halbleiterschalters aufgrund ihres schnelleren Schaltverhaltens ein stärkeres Übersprechen auf die Gate-Source-Spannung des jeweils anderen, also komplementären, Halbleiterschalters. Durch die beim Übersprechen entstehenden Spannungs-Peaks, deren Ausprägung bei höheren Schaltfrequenzen zunimmt, können die SiC-Halbleiterschalter geschädigt werden. Beim Betrieb können die Spannungs-Peaks sogar zu einem unerwünschten Verhalten,

beispielsweise einem unerwünschten Einschalten eines Halbleiterschalters führen und diesen dadurch zerstören. Für einen sicheren Betrieb der SiC-Halbleiterschalter innerhalb der Halbbrücke ist es daher wünschenswert, die Ausprägung der Spannungs-Peaks und/oder ein Überschreiten des erlaubten Toleranzbereiches der Gate-Source-Spannung durch die Spannungs-Peaks zu reduzieren.

Grundsätzlich tritt dieses Verhalten als Folge einer Umladung von parasitären Gate-Drain-Kapazitäten der jeweiligen Halbleiterschalter (vgl. auch Miller-Effekt) auch bei herkömmlichen Halbleiterschaltern auf. Es wird später anhand der Fig. 1a – 1c nochmals näher erläutert. Allerdings ist die Auswirkung der durch das Übersprechen entstehenden Spannungs-Peaks bei SiC basierten Halbleiterschaltern aufgrund ihres engen Toleranzbereichs der erlaubten Gate-Source-Spannung deutlich größer.

In den Druckschriften US11184003B2 und US11108388B1 werden ein Verfahren und eine Treiberschaltung für eine Siliziumkarbid-Leistungsvorrichtung offenbart, mit denen eine Spannungsspitze unterdrückt wird, die durch eine Änderung einer Gate-Source-Spannung und ein Übersprechen verursacht wird. Die Siliziumkarbid-Leistungsvorrichtung wird von einem Treiber gesteuert und umfasst eine Gate-Source-Spannung und eine Source-Spannung. Dabei nimmt die Source-Spannung entsprechend einem Anstieg der Gate-Source-Spannung ab oder die Source-Spannung entsprechend einem Abfall der Gate-Source-Spannung zu. Das bekannte Verfahren ist jedoch in der Umsetzung komplex und aufwendig. Daher ist ein alternatives Verfahren und eine alternative Treiberschaltung für einen schonenden Betrieb einer Halbbrücke, insbesondere einer Halbbrücke mit SiC-basierten Halbleiterschaltern wünschenswert, welches / welche die oben genannten Nachteile vermeidet, zumindest jedoch reduziert.

Der Artikel ZHANG, Z. [u.a.]; "Active Gate Driver for Crosstalk Suppression of SiC Devices in a Phase-Leg Configuration"; *IEEE Transactions on Power Electronics*, vol. 29, no. 4, April 2014. S. 1986 — 1997; offenbart zwei Gate-Assist-Schaltungen zur aktiven Unterdrückung eines Übersprechens zwischen zwei Halbleiterschaltern in einer Halbbrücke auf Grundlage der intrinsischen Eigenschaften von SiC Leistungsbaulementen. Eine der beiden Gate-Assist-Schaltungen verwendet einen Hilfstransistor in Reihe mit einem Kondensator, während die andere Gate-Assist-Schaltung zwei Hilfstransistoren mit einer Diode beinhaltet.

Die Druckschrift DE 10 2021 213 295 A1 offenbart ein Verfahren zur Ansteuerung eines ersten und eines zweiten Schaltelementes einer Halbbrücke in einem Stromwandler. Das Verfahren umfasst den Schritt: Einstellen einer ersten Variation eines ersten Stromverlaufs mittels eines ersten Gate-Treibers am ersten Steuerkontakt zum Schließen des ersten Schaltelementes. Das Verfahren umfasst weiterhin den Schritt: Einstellen einer zweiten Variation eines zweiten Stromverlaufs mittels eines zweiten Gate-Treibers am zweiten Steuerkontakt während des Schließens des ersten Schaltelementes.

Aufgabe der Erfindung

Der Erfindung liegt die Aufgabe zugrunde, ein Verfahren zum schonenden Betrieb einer Halbbrücke aus zwei seriell verbundenen Halbleiterschaltern, insbesondere aus SiC-basierten Halbleiterschaltern, anzugeben, mit dem ein Überschreiten eines erlaubten Toleranzbereiches der Gate-Source-Spannung durch im Betrieb vorliegende Spannungs-Peaks reduziert wird. Es ist zudem Aufgabe der Erfindung, eine zur Durchführung des Verfahrens geeignete Treiberschaltung sowie einen Stromwandler mit einer derartigen Treiberschaltung aufzuzeigen.

Lösung

Die Aufgabe, ein optimiertes Verfahren zum Betrieb einer Halbbrücke aufzuzeigen, wird erfindungsgemäß mit den Merkmalen des unabhängigen Patentanspruchs 1 gelöst. Die Aufgabe, eine für das Verfahren geeignete Treiberschaltung aufzuzeigen, wird erfindungsgemäß mit den Merkmalen des unabhängigen Anspruchs 10 gelöst. Die Aufgabe, einen geeigneten Stromwandler mit einer derartigen Treiberschaltung aufzuzeigen, wird erfindungsgemäß mit den Merkmalen des unabhängigen Anspruchs 17 gelöst. Vorteilhafte Ausführungsformen des Verfahrens sind in den Ansprüchen 2 bis 9 wiedergegeben. Vorteilhafte Ausführungsformen der Treiberschaltung sind in den Ansprüchen 11 bis 16 aufgeführt.

Beschreibung der Erfindung

Das erfindungsgemäße Verfahren zielt auf eine Ansteuerung einer Halbbrücke umfassend einen ersten Halbleiterschalter und einen zweiten Halbleiterschalter. Die beiden Halbleiterschalter sind zwischen einem ersten Brückenanschluss und einem zweiten Brückenanschluss angeordnet und dort seriell miteinander verbunden. Dabei wird die Halbbrücke, insbesondere werden deren Halbleiterschalter über eine mit den

Halbleiterschaltern verbundene Treiberschaltung angesteuert. Das Verfahren umfasst die **Schritte**:

- Variieren einer Gate-Source Spannung U_{GS} an einem ausgeschalteten der beiden Halbleiterschalter durch eine Änderung eines Gate-Potentials U_G an einem Gate-Treiberanschluss der Treiberschaltung, der mit dem ausgeschalteten Halbleiterschalter verbunden ist,
- wobei die Variation der Gate-Source Spannung U_{GS} an dem ausgeschalteten Halbleiterschalter einem Spannungs-Peak entgegenwirkt, der durch einen Schaltvorgang des jeweils anderen Halbleiterschalters der Halbbrücke erzeugt wird und in Abhängigkeit von dem Schaltvorgang des jeweils anderen Halbleiterschalters erfolgt.

Dass die Variation der Gate-Source-Spannung U_{GS} an dem ausgeschalteten Halbleiterschalter einem Spannungspike entgegenwirkt, bedeutet erfindungsgemäß, dass bei einem nach oben (i.e. zu positiveren Werten hin) gerichteten Spannungspike in der Gate-Source Spannung das Gate-Potential abgesenkt wird. Entsprechend wird bei einem nach unten gerichteten Spannungspike in der Gate-Source Spannung U_{GS} das Gate-Potential angehoben. Dass die Variation der Gate-Source Spannung an dem ausgeschalteten Halbleiterschalter in Abhängigkeit von dem Schaltvorgang des jeweils anderen Halbleiterschalters erfolgt, bedeutet, dass sie nicht dauernd erfolgen muss, sondern nur temporär und insbesondere in zeitlicher Nähe zu dem Schaltvorgang des jeweils anderen Halbleiterschalters erfolgen kann. Es kann auch bedeuten, dass ein Ausmaß der Variation des Gate-Potentials U_G an dem Gate Treiberanschluss abhängig von einer Frequenz des Schaltvorganges des Halbleiterschalters erfolgt.

Eine erfindungsgemäße Treiberschaltung ist zum Betrieb einer Halbbrücke ausgelegt, wobei die Halbbrücke einen ersten Halbleiterschalter und einen zweiten Halbleiterschalter aufweist, die zwischen einem ersten Brückenanschluss und einem zweiten Brückenanschluss seriell miteinander verbunden sind. Dabei umfasst die Treiberschaltung:

- eine erste Ansteuerschaltung mit einem ersten Gate-Treiberanschluss zur Verbindung mit einem Gate-Anschluss des ersten Halbleiterschalters und einem ersten Source-Treiberanschluss zur Verbindung mit einem Source-Anschluss des ersten Halbleiterschalters,

- eine zweite Ansteuerschaltung mit einem zweiten Gate-Treiberanschluss zur Verbindung mit dem Gate-Anschluss des zweiten Halbleiterschalters und einem zweiten Source-Treiberanschluss zur Verbindung mit einem Source-Anschluss des zweiten Halbleiterschalters, und
- eine Steuereinheit zum Betreiben der ersten Ansteuerschaltung und der zweiten Ansteuerschaltung. Dabei ist die Treiberschaltung **dadurch gekennzeichnet, dass** sie ausgelegt und eingerichtet ist, die Halbbrücke gemäß dem erfindungsgemäßen Verfahren zu betreiben.

Dass die Treiberschaltung eingerichtet ist, die Halbbrücke entsprechend dem erfindungsgemäßen Verfahren zu betreiben, beinhaltet insbesondere, dass die erste Ansteuerschaltung bei ausgeschaltetem ersten Halbleiterschalter zur Variation einer Gate-Source-Spannung U_{GS} an dem ersten Gate-Treiberanschluss durch eine Änderung eines daran anliegenden Gate-Potentials U_G ausgelegt ist. Weiterhin beinhaltet es, dass die zweite Ansteuerschaltung bei ausgeschaltetem zweiten Halbleiterschalter zur Variation einer Gate-Source-Spannung U_{GS} an dem zweiten Gate-Treiberanschluss durch eine Änderung eines daran anliegenden Gate-Potentials U_G ausgelegt ist. Die Treiberschaltung kann, muss jedoch nicht zwingend als separates Bauteil relativ zur Halbbrücke vorliegen. Vielmehr ist es auch möglich, dass die Treiberschaltung mit ihren Ansteuerschaltungen und die Halbbrücke mit ihren Halbleiterschaltern auf einer gemeinsamen Platine angeordnet sind und dort über Leiterbahnen miteinander verbunden sind. In diesem Fall können die jeweiligen Endpunkte der entsprechenden Leiterbahnen als Gate-Treiberanschlüsse, Source-Treiberanschlüsse, Gate-Anschlüsse und als Source Anschlüsse angesehen werden.

Die Erfindung nutzt den Effekt, dass über die Variation des Gate-Potentials an dem ausgeschalteten, also ausgeschaltet vorliegendem, Halbleiterschalter ein Risiko verringert wird, gegebenenfalls sogar vermieden wird, dass der Spannungsppeak, der in der Gate-Source-Spannung des ausgeschalteten Halbleiterschalters durch den Schaltvorgang des jeweils anderen Halbleiterschalters erzeugt wird, aus einem erlaubten Toleranzbereich des Halbleiterschalters herausragt. Konkret wird das Risiko reduziert, gegebenenfalls sogar verhindert, dass ein nach oben gerichteter Spannungsppeak eine obere Toleranzgrenze überschreitet und somit zu einem unerwünschten Einschalten des ausgeschalteten Halbleiterschalters führt. Dies erfolgt erfindungsgemäß dadurch, dass bei einem zu erwartenden nach oben gerichteten

Spannungspeak das Gate-Potential des ausgeschalteten Halbleiterschalters abgesenkt, insbesondere temporär abgesenkt, wird. Auf diese Weise wird sowohl ein Startpunkt als auch ein Endpunkt des Spannungspeaks, gewissermaßen der Spannungspeak als Ganzes, abgesenkt und ein Überschreiten der oberen Toleranzgrenze verhindert, zumindest jedoch reduziert. Weiterhin kann das Risiko reduziert, ggf. sogar verhindert werden, dass ein nach unten gerichteter Spannungspeak in der Gate-Source-Spannung des ausgeschalteten Halbleiterschalters eine untere Toleranzgrenze unterschreitet, insbesondere wiederholt unterschreitet und hierdurch den Halbleiterschalter bleibend schädigt. Dies erfolgt erfindungsgemäß dadurch, dass bei einem zu erwartenden nach unten gerichteten Spannungspeak das Gate-Potential des ausgeschalteten Halbleiterschalters angehoben wird, insbesondere temporär angehoben wird, also nach positiveren Werten hin variiert wird. Somit wird sowohl ein Startpunkt als auch ein Endpunkt des Spannungspeaks, gewissermaßen der Spannungspeak als Ganzes, angehoben und ein Unterschreiten der unteren Toleranzgrenze wird verhindert, zumindest jedoch reduziert. Dabei benötigt eine für das Verfahren ausgelegte Treiberschaltung relativ zu einer herkömmlichen Treiberschaltung nicht zwingend zusätzliche Komponenten und somit einen erhöhten Bauteilaufwand. Zumeist beschränken sich die für die Treiberschaltung notwendigen Änderungen auf entsprechende Softwareänderungen in der ohnehin vorhandenen Steuereinheit der Treiberschaltung. Zusätzliche Hardware - und ein damit verbundener Kostenaufwand - ist meist nicht, und wenn überhaupt, nur in eingeschränktem Maß erforderlich.

Vorteilhafte Ausgestaltungen der Erfindung sind in der nachfolgenden Beschreibung und den Unteransprüchen angegeben, deren Merkmale einzeln und in beliebiger Kombination miteinander angewendet werden können.

In einer Ausführungsform des Verfahrens kann die Variation der Gate-Source-Spannung U_{GS} an dem ausgeschalteten Halbleiterschalter durch den Schaltvorgang des jeweils anderen Halbleiterschalters zeitlich getriggert werden. Dabei kann sie insbesondere einen Zeitversatz Δt zum Schaltvorgang des komplementären Halbleiterschalters aufweisen. Der Zeitversatz Δt kann positive Werte, als auch negative Werte annehmen. Zudem ist es möglich, dass der Zeitversatz auch 0 beträgt und die Variation des Gate-Potentials quasi gleichzeitig mit dem Schaltvorgang erfolgt. Der jeweilige Zeitversatz hängt davon ab, wie lange die vorliegende

Ansteuerungseinheit für die gewünschte Variation des Gate-Potentials benötigt. Der Zeitversatz Δt kann vor einer Inbetriebnahme der Treiberschaltung und der Halbbrücke einmalig bestimmt und dann durch die Steuereinheit jeweils vorgegeben werden. Als Bezugspunkte für den Zeitversatz Δt können beispielsweise ein Startpunkt der Variation der Gate-Source-Spannung, sowie ein Zeitpunkt eines Signals zum Auslösen des Schaltvorganges an dem jeweils anderen Halbleiterschalter verwendet werden. Anstatt des Zeitpunktes, an dem das Auslösen des Schaltvorganges an dem jeweils anderen Halbleiterschalter signalisiert wird, kann jedoch auch der Zeitpunkt gewählt werden, an dem der Schaltvorgang des jeweils anderen Halbleiterschalters tatsächlich erfolgt, also der Zeitpunkt, bei dem die maximale Änderungsrate eines Absolutbetrags einer Drain-Source-Spannung an dem jeweils anderen Halbleiterschalter vorliegt, d.h. $|d/dt U_{DS}| = \max$.

In einer Ausführungsform des Verfahrens kann die Variation der Gate-Source-Spannung U_{GS} an dem ausgeschalteten Halbleiterschalter eine Anhebung des Gate-Potentials U_G an dem entsprechenden Gate-Treiberanschluss umfassen, wenn der jeweils andere Halbleiterschalter ausgeschaltet wird. Konkret hat nämlich ein Ausschalten des jeweils anderen Halbleiterschalters einen nach unten gerichteten Spannungspick in der Gate-Source-Spannung U_{GS} des bereits ausgeschaltet vorliegenden Halbleiterschalters zur Folge, also demjenigen Halbleiterschalter, der aktuell gerade keinen Schaltvorgang durchführt. Über die Anhebung des Gate-Potentials U_G an dem ausgeschalteten Halbleiterschalter wird der nach unten gerichtete Spannungspick zu positiveren Werten hin verschoben. Hierdurch wird verhindert, zumindest jedoch reduziert, dass der Spannungspick eine dem ausgeschalteten Halbleiterschalter zugeordnete untere Toleranzgrenze unterschreitet. In einer weiteren Ausführungsform des Verfahrens kann die Variation der Gate-Source-Spannung U_{GS} an dem ausgeschalteten Halbleiterschalter eine Absenkung des Gate-Potentials U_G an dem entsprechenden Gate-Treiberanschluss umfassen, wenn der jeweils andere Halbleiterschalter eingeschaltet wird. Dabei hat das Einschalten des jeweils anderen Halbleiterschalters einen nach oben gerichteten Spannungspick in der Gate-Source-Spannung U_{GS} des ausgeschalteten Halbleiterschalters zur Folge, also demjenigen Halbleiterschalter, der aktuell gerade keinen Schaltvorgang durchführt. Indem das Gate-Potential U_G an dem ausgeschalteten Halbleiterschalter abgesenkt wird, wird der Spannungspick nach negativeren Werten hin verschoben

und ein Überschreiten einer dem ausgeschalteten Halbleiterschalter zugeordneten oberen Toleranzgrenze wird verhindert bzw. reduziert.

In einer Ausführungsform des Verfahrens kann die Variation der Gate-Source-Spannung U_{GS} an dem ausgeschalteten Halbleiterschalter dadurch erfolgen, dass in der jeweiligen Ansteuerschaltung, die dem ausgeschalteten Halbleiterschalter zugeordnet ist, ein Kondensator mit einer voreingestellten Spannung abhängig von dem Schaltvorgang des jeweils anderen Halbleiterschalters temporär mit dem entsprechenden Gate-Treiberanschluss - und über diesen mit dem Gate-Anschluss des ausgeschalteten Halbleiterschalters - verbunden wird. In diesem Fall erfolgt die Variation des Gate-Potentials durch einen Ladungsaustausch zwischen dem vorgeladenen Kondensator und einer parasitären Gate-Source-Kapazität des ausgeschalteten Halbleiterschalters. Nach Auftreten des Spannungspeaks kann der Kondensator wieder von dem Gate-Treiberanschluss getrennt werden und mit einer Spannungsquelle innerhalb der Ansteuerschaltung verbunden werden, wodurch er für einen nachfolgenden Spannungspunkt wieder vorgeladen werden kann. Zu diesem Zweck kann die erste Ansteuerschaltung der Treiberschaltung einen Kondensator umfassen, der einen ersten Kontakt aufweist, der über einen Schalter – gegebenenfalls auch über zwei Schalter - entweder mit einem ersten Pol einer Spannungsquelle oder mit dem ersten Gate-Treiberanschluss der ersten Ansteuerschaltung verbindbar ist. Dabei kann ein zweiter Kontakt des Kondensators der ersten Ansteuerschaltung mit einem zweiten Pol der Spannungsquelle der ersten Ansteuerschaltung verbunden sein. Alternativ oder kumulativ dazu ist es ebenfalls möglich, dass die zweite Ansteuerschaltung einen Kondensator umfasst, der einen ersten Kontakt aufweist, der über einen Schalter – gegebenenfalls auch über zwei Schalter - entweder mit einem ersten Pol einer Spannungsquelle oder mit dem zweiten Gate-Treiberanschluss der zweiten Ansteuerschaltung verbindbar ist. Dabei kann ein zweiter Kontakt des Kondensators der zweiten Ansteuerschaltung mit einem zweiten Pol der Spannungsquelle der zweiten Ansteuerschaltung verbunden sein.

In einer weiteren Ausführungsform des Verfahrens kann die Variation der Gate-Source-Spannung U_{GS} an dem ausgeschalteten Halbleiterschalter innerhalb der Treiberschaltung – und damit auch das Ändern des Gate-Potentials U_G innerhalb der Treiberschaltung - durch Einstellen eines Potentials mit Hilfe eines Spannungsteilers erfolgen. Zu diesem Zweck kann die erste Ansteuerschaltung, alternativ oder

kumulativ auch die zweite Ansteuerschaltung, jeweils einen Spannungsteiler aufweisen. Der Spannungsteiler kann / die Spannungsteiler können jeweils einen Brückenweig aufweisen. Alternativ ist es jedoch auch möglich, dass der Spannungsteiler / dass jeder der Spannungsteiler jeweils mehrere Brückenweige aufweist. Jeder der Brückenweige kann jeweils eine obere Reihenschaltung eines oberen Schalters und eines oberen Widerstandes, sowie eine untere Reihenschaltung eines unteren Schalters und eines unteren Widerstandes umfassen. Die oberen Reihenschaltungen jedes Brückenweiges einer, insbesondere derselben Ansteuerschaltung können jeweils über einen dem Brückenweig zugeordneten Mittelabgriff miteinander verbunden sein. Auch die unteren Reihenschaltungen jedes Brückenweiges einer, insbesondere derselben Ansteuerschaltung können über den dem Brückenweig jeweils zugeordneten Mittelabgriff miteinander verbunden sein. Weiterhin kann der Mittelabgriff jedes Brückenweiges einer, insbesondere derselben Ansteuerschaltung jeweils mit dem Gate-Treiberanschluss der ihm zugeordneten Ansteuerschaltung verbunden sein. Der Gate-Treiberanschluss jeder Ansteuerschaltung kann wiederum mit dem Gate-Anschluss des ihr zugeordneten Halbleiterschalters verbunden sein. Auf diese Weise ist der Gate-Anschluss jedes Halbleiterschalters jeweils mit dem Mittelabgriff oder den Mittelabgriffen der ihm jeweils zugeordneten Ansteuerschaltung verbunden.

Bei dem Spannungsteiler, der einen oder mehrere Brückenweige mit jeweils einer oberen Reihenschaltung eines oberen Schalters und eines oberen Widerstandes und einer unteren Reihenschaltung eines unteren Schalters und eines unteren Widerstandes aufweist, ist eine erste Anzahl der oberen Reihenschaltungen stets gleich einer zweiten Anzahl der unteren Reihenschaltungen. Schließlich hat ein Brückenweig stets eine obere Reihenschaltung sowie auch eine untere Reihenschaltung. Alternativ zu dieser Ausführungsform kann der Spannungsteiler jedoch auch so ausgebildet sein, dass die erste Anzahl an oberen Reihenschaltungen ungleich der zweiten Anzahl an unteren Reihenschaltungen ist. Bei einer weiteren Ausführungsform der Treiberschaltung kann daher die erste Ansteuerschaltung und/oder die zweite Ansteuerschaltung jeweils einen Spannungsteiler aufweisen, wobei der Spannungsteiler eine erste Anzahl an oberen Reihenschaltungen mit jeweils einem oberen Schalter und einem oberen Widerstand und eine von der ersten Anzahl verschiedene zweite Anzahl an unteren Reihenschaltungen mit jeweils einem unteren Schalter und einem unteren Widerstand umfasst. Innerhalb einer, insbesondere

derselben Ansteuerschaltung ist jede der oberen Reihenschaltungen mit jeder der unteren Reihenschaltungen über einen gemeinsamen Mittelabgriff verbunden. Der gemeinsame Mittelabgriff ist mit dem Gate-Treiberanschluss der entsprechenden Ansteuerschaltung verbunden. Der Gate-Treiberanschluss ist wiederum mit dem Gate-Anschluss desjenigen Halbleiterschalters verbunden, der der jeweiligen Ansteuerschaltung zugeordnet ist.

Bei einer Ausführungsform des Verfahrens, die den Spannungsteiler mit der ersten Anzahl von oberen Reihenschaltungen und der davon verschiedenen zweiten Anzahl an unteren Reihenschaltungen verwendet, erfolgt die Variation der Gate-Source-Spannung U_{GS} an dem ausgeschalteten Halbleiterschalter innerhalb der Ansteuerschaltung des ausgeschalteten Halbleiterschalters durch ein Einstellen eines Potentials mit Hilfe des so ausgelegten Spannungsteilers. Bei jeder der Ansteuerschaltungen, die den derart ausgebildeten Spannungsteiler aufweisen, ist der gemeinsame Mittelabgriff des Spannungsteilers mit dem Gate-Treiberanschluss der entsprechenden Ansteuerschaltung verbunden. Der Gate-Treiberanschluss jeder der Ansteuerschaltungen ist wiederum mit dem Gate-Anschluss des ihr jeweils zugeordneten Halbleiterschalters verbunden. Daher gilt dies auch für die Ansteuerschaltung, die dem jeweils ausgeschalteten Halbleiterschalter zugeordnet ist. Daher kann das Potential, das an dem gemeinsamen Mittelabgriff des Spannungsteilers und dem damit verbundenen Gate-Treiberanschluss der dem ausgeschalteten Halbleiterschalter zugeordneten Ansteuerschaltung herrscht, dem Gate-Anschluss des ausgeschalteten Halbleiterschalters übergeben werden.

In einer Variante des Verfahrens kann das Einstellen des Potentials mit Hilfe des Spannungsteilers dadurch erfolgen, dass zumindest ein oder mehrere obere Schalter sowie ein oder mehrere untere Schalter des Spannungsteilers gleichzeitig geschlossen sind. Die Variante des Verfahrens kann für jeden der dargestellten Spannungsteiler verwendet werden. Die Verwendung ist also unabhängig davon, ob bei dem Spannungsteiler die erste Anzahl der oberen Reihenschaltungen gleich oder ungleich der zweiten Anzahl der unteren Reihenschaltungen ist. Auf diese Weise kann an dem Mittelabgriff des Spannungsteilers statisch ein vordefiniertes Potential bereitgestellt und an den Gate-Treiberanschluss der zugeordneten Ansteuerschaltung übergeben werden. Die Übergabe des Potentials kann sowohl für eine vorgegebene Zeitdauer kontinuierlich erfolgen, indem die entsprechenden Schalter für die vorgegebene Zeitdauer kontinuierlich geschlossen gehalten werden. Alternativ dazu

kann sie jedoch auch getaktet erfolgen, indem die entsprechenden Schalter für die vorgegebene Zeitdauer synchron zueinander alternierend geschlossen und wieder geöffnet – also synchron zueinander getaktet - werden. Diese Variante kann insbesondere dann verwendet werden, wenn der Spannungsteiler mehrere Brückenarme aufweist oder wenn jeder der Spannungsteiler jeweils mehrere Brückenarme aufweist.

In einer alternativen Ausführungsform des Verfahrens kann das Einstellen des Potentials mit Hilfe des Spannungsteilers aber auch dadurch erfolgen, dass bei dem betreffenden Spannungsteiler entweder ein oder mehrere obere Schalter, jedoch keiner der unteren Schalter gleichzeitig geschlossen ist/sind, oder, dass bei dem betreffenden Spannungsteiler ein oder mehrere untere Schalter, jedoch keiner der oberen Schalter gleichzeitig geschlossen ist/sind. Auch die alternative Variante des Verfahrens kann für jeden der dargestellten Spannungsteiler verwendet werden, unabhängig davon, ob bei dem Spannungsteiler die erste Anzahl der oberen Reihenschaltungen gleich oder ungleich der zweiten Anzahl der unteren Reihenschaltungen ist. Bei dieser Variante kann der Mittelabgriff jeweils zwischen mehreren, beispielsweise zwischen zwei, Potentialen hin und her springen, wodurch die Gate-Source-Kapazität des ausgeschalteten Halbleiterschalters in kurzen Zeitpulsen getaktet aufgeladen oder entladen werden kann.

Im Rahmen der Erfindung kann die erste Ansteuerschaltung baugleich oder im Wesentlichen baugleich zu der zweiten Ansteuerschaltung ausgeführt sein. Alternativ dazu kann die erste Ansteuerschaltung jedoch auch eine Bauform aufweisen, die verschieden zu einer Bauform der zweiten Ansteuerschaltung ist. Konkret kann beispielsweise eine der Ansteuerschaltungen einen Spannungsteiler und die andere der Ansteuerschaltungen einen Kondensator zum Ändern des Gate-Potentials aufweisen.

In einer Ausführungsform der Treiberschaltung kann die erste Ansteuerschaltung maximal eine Spannungsquelle oder maximal zwei Spannungsquellen aufweisen. Alternativ oder ergänzend dazu ist es ebenfalls möglich, dass die zweite Ansteuerschaltung maximal eine Spannungsquelle oder maximal zwei Spannungsquellen aufweist. Unter einer Spannungsquelle im Rahmen der Erfindung ist eine Komponente oder Schaltung zu verstehen, deren bereitgestellte Spannung sich auch bei Belastung nicht oder nur unwesentlich ändert. Eine unwesentliche

Änderung ist hier insbesondere eine Spannungsänderung, die maximal 30% eines Nominalwertes der Spannungsquelle nicht überschreitet.

Ein erfindungsgemäßer Stromwandler umfasst eine oder mehrere Halbbrücken sowie eine oder mehrere erfindungsgemäße Treiberschaltungen. Dabei ist die Treiberschaltung / jede der Treiberschaltungen zur Ansteuerung einer ihr jeweils zugeordneten Halbbrücke der einen oder mehreren Halbbrücken gemäß dem erfindungsgemäßen Verfahren ausgelegt. Es ergeben sich auch für den Stromwandler die bereits in Verbindung mit dem Verfahren erläuterten Vorteile.

Kurzbeschreibung der Figuren

Im Folgenden wird die Erfindung mithilfe von Figuren dargestellt. Von diesen zeigen

Fig. 1a eine Halbbrücke mit zwei Halbleiterschaltern, die von einer herkömmlichen Treiberschaltung angesteuert wird;

Fig. 1b Diagramme zur Erläuterung eines Spannungspeaks in der Gate-Source-Spannung eines Halbleiterschalters, der beim Einschalten des jeweils anderen Halbleiterschalters mit der herkömmlichen Treiberschaltung erzeugt wird;

Fig. 1c Diagramme zur Erläuterung eines Spannungspeaks in der Gate-Source-Spannung eines Halbleiterschalters, der beim Ausschalten des jeweils anderen Halbleiterschalters mit der herkömmlichen Treiberschaltung erzeugt wird;

Fig. 2 eine erste Ausführungsform einer erfindungsgemäßen Treiberschaltung zur Reduktion / Verhinderung einer Beschädigung einer Halbbrücke durch einen Spannungsppeak in der Gate-Source-Spannung eines Halbleiterschalters;

Fig. 3 Diagramme zur Erläuterung eines Betriebs der Treiberschaltung aus Fig. 2 (am Beispiel: Ausschalten des jeweils anderen Halbleiterschalters);

Fig. 4 eine zweite Ausführungsform einer erfindungsgemäßen Treiberschaltung zur Reduktion / Verhinderung einer Beschädigung einer Halbbrücke durch einen Spannungsppeak in der Gate-Source-Spannung eines Halbleiterschalters;

Fig. 5a Diagramme zur Erläuterung eines Betriebs der Treiberschaltung aus Fig. 4
(am Beispiel Einschalten des jeweils anderen Halbleiterschalters);

Fig. 5b Diagramme zur Erläuterung eines Betriebs der Treiberschaltung aus Fig. 4
(am Beispiel Ausschalten des jeweils anderen Halbleiterschalters);

Fig. 6 eine dritte Ausführungsform einer erfindungsgemäßen Treiberschaltung zur Reduktion / Verhinderung einer Beschädigung einer Halbbrücke durch einen Spannungsspeak in der Gate-Source-Spannung eines Halbleiterschalters;

Fig. 7 Diagramme zur Erläuterung eines Betriebs der Treiberschaltung aus Fig. 6
(am Beispiel Ausschalten des jeweils anderen Halbleiterschalters);

Fig. 8 eine vierte Ausführungsform einer erfindungsgemäßen Treiberschaltung zur Reduktion / Verhinderung einer Beschädigung einer Halbbrücke durch einen Spannungsspeak in der Gate-Source-Spannung eines Halbleiterschalters;

Figurenbeschreibung

In **Fig. 1a** zeigt eine herkömmliche Treiberschaltung 80 zur Ansteuerung einer Halbbrücke 100 mit einem ersten Halbleiterschalter 110 und einem zweiten Halbleiterschalter 120, die zwischen Brückenanschlüssen 101, 102 der Halbbrücke 100 angeordnet sind und dort über einen Brückenabgriff 103 seriell miteinander verbunden sind. Jeder der Halbleiterschalter 110, 120 wird über eine ihm zugeordnete Ansteuerschaltung 60, 70 der Treiberschaltung 80 angesteuert und über diese alternierend an- und ausgeschaltet. Hierzu weist jede der Ansteuerschaltungen 60, 70 einen Spannungsgenerator 61, 71 auf, dessen erster Kontakt jeweils über einen ohmschen Widerstand 62, 72 und einen Gate-Treiberanschluss 65, 75 der Ansteuerschaltung 60, 70 mit einem Gate-Anschluss 115, 125 des entsprechenden Halbleiterschalters 110, 120 verbunden ist. Der zweite Kontakt des Spannungsgenerators 61, 71 ist jeweils über einen Source-Treiberanschluss 66, 76 mit einem Source-Anschluss 116, 126 des entsprechenden Halbleiterschalters 110, 120 verbunden. Die Ansteuerschaltungen 60, 70 werden über eine Steuereinheit 50 der Treiberschaltung 80 gesteuert und sind ausgelegt, die ihnen zugeordneten Halbleiterschalter 110, 120 über ein Erzeugen einer entsprechenden Gate-Source-Spannung U_{GS} in alternierender Weise an- und auszuschalten.

Die Halbleiterschalter 110, 120 sind exemplarisch als MOSFET's dargestellt. Beispielsweise kann es sich jeweils um einen Siliziumkarbid (SiC)-MOSFET handeln. Alternativ ist es jedoch auch möglich, dass die Halbleiterschalter jeweils als IGBT's beispielsweise jeweils als SiC-IGBT's ausgeführt sind. Die Halbleiterschalter 110, 120 weisen parasitäre Kapazitäten auf. Konkret weisen sie zwischen ihren Gate-Anschlüssen 115, 125 und ihren Drain-Anschlüssen sogenannte Gate-Drain Kapazitäten 111, 121 und zwischen ihren Gate-Anschlüssen 115, 125 und ihren Source Anschlüssen sogenannte Gate-Source-Kapazitäten 112, 122 auf, die in Fig. 1a jeweils gestrichelt dargestellt sind. Die Halbbrücke 100 weist zudem für jeden der beiden Halbleiterschalter 110, 120 eine antiparallel orientierte Freilaufdiode 113, 123 auf. Bei der Freilaufdiode 113, 123 kann es sich sowohl um eine intrinsische Diode des entsprechenden Halbleiterschalters 110, 120 (bspw. im Fall von eines MOSFET's als Halbleiterschalter) oder aber eine separate Freilaufdiode handeln, die antiparallel mit dem entsprechenden Halbleiterschalter verbunden ist (bspw. im Fall eines IGBT's als Halbleiterschalter).

Im Folgenden wird ein Entstehen eines Spannungspeaks 221 in der Gate-Source-Spannung eines der Halbleiterschalter – hier exemplarisch des zweiten Halbleiterschalters 120 - erläutert, wenn der jeweils andere der Halbleiterschalter – hier der erste Halbleiterschalter 110 – eingeschaltet wird. Zu diesem Zweck sind in **Fig. 1b** mehrere Diagramme 91, 92, 93, 94 dargestellt, die Zeitverläufe unterschiedlicher Spannungen der Halbleiterschalter 110, 120 charakterisieren. Konkret ist in Diagramm 91 ein Zeitverlauf 210 der Gate-Source Spannung U_{GS} und in Diagramm 92 ein Zeitverlauf 215 der Drain-Source-Spannung des ersten Halbleiterschalters 110 dargestellt. Die Diagramme 93, 94 sind dem zweiten Halbleiterschalter 120 zugeordnet. Konkret stellt das Diagramm 93 einen Zeitverlauf 220 der Gate-Source-Spannung U_{GS} und das Diagramm 94 einen Zeitverlauf 225 der Drain-Source Spannung U_{DS} des zweiten (hier ausgeschalteten) Halbleiterschalters 120 dar. Die Zeitverläufe können z.B. bei Verwendung der Treiberschaltung 80 in Verbindung mit der Halbbrücke 100 beim Einschalten des ersten Halbleiterschalters 110, bei ausgeschaltetem zweiten Halbleiterschalter 120 entstehen.

Zum Zeitpunkt t_0 wird von dem Spannungsgenerator 61 der ersten Ansteuerschaltung 60 ein sprunghafter Spannungsanstieg erzeugt, um den ersten Halbleiterschalter 110

bei ausgeschaltetem zweiten Halbleiterschalter 120 einzuschalten. Als Folge wird die Gate-Source-Kapazität 112 des entsprechenden Halbleiterschalters 110 über den Widerstand 62 aufgeladen, welche Aufladung sich in dem Zeitverlauf 210 in der Gate-Source Spannung des ersten Halbleiterschalters 110 – hier einem exponentiell abklingenden Spannungsanstieg - widerspiegelt. Bei Erreichen eines Schwellwertes für die Gate-Source Spannung U_{GS} wird ein nahezu schlagartiges Einschalten des entsprechenden Halbleiterschalters 110 initiiert. Dementsprechend sinkt die dem Halbleiterschalter 110 zugeordnete Drain-Source-Spannung U_{DS} auf einen niedrigen Wert ab, der einer Durchlassspannung des Schalters entspricht. Der schlagartige Einbruch des Spannungsabfalls U_{DS} über den Lastanschlüssen des ersten Halbleiterschalters führt zu einem schlagartigen Anstieg bei einem Spannungsabfall des zweiten Halbleiterschalters 120. Konkret erhöht sich nämlich an dem zweiten (ausgeschalteten) Halbleiterschalter 120 der Spannungsabfall zwischen seinem Drain-Anschluss und seinem Source Anschluss schlagartig auf den doppelten Wert, nämlich von jeweils der halben zwischen den Brückenanschlüssen 101,102 anliegenden Spannung (bei geöffnetem Schaltzustand der zwei Halbleiterschaltern 110, 120) auf nahezu die gesamte zwischen den Brückenanschlüssen 101, 102 anliegende Spannung (bei geöffnetem zweiten Halbleiterschalter 120 und geschlossenem ersten Halbleiterschalter 110). Die hohen zeitlichen Änderungsraten der Spannungsabfälle zwischen den Lastanschlüssen der Halbleiterschalter 110, 120 haben starke Umladungsvorgänge an den entsprechenden Gate-Drain-Kapazitäten 111, 121 der Halbleiterschalter 110, 120 zur Folge. Konkret muss an der Gate-Drain-Kapazität 121 des zweiten Halbleiterschalters 120 trotz seines in diesem Zeitraum dauerhaft ausgeschalteten Zustandes der entsprechende Ladestrom durch die Ansteuerungsschaltung 70 des zweiten Halbleiterschalters 120 bereitgestellt werden. Weil der Umladestrom der Ansteuerschaltung 70 zwischen dem Spannungsgenerator 71 und dem Gate-Anschluss 125 des zweiten Halbleiterschalters 120 jedoch durch den Widerstand 72 limitiert ist und nicht beliebig hohe Werte annehmen kann, führt dies in der Folge zu einem nach oben hin (i.e. zu positiven Werten hin) gerichteten Spannungsspeak 221 in dem Zeitverlauf 220 der Gate-Source-Spannung U_{GS} des zweiten Halbleiterschalters 120 (vgl. Diagramm 93). Der Spannungsspeak 221 kann, sofern er eine obere Toleranzgrenze 222 überschreitet, sogar zu einem unerwünschten Einschalten des zweiten Halbleiterschalters 120 und somit zu einem

Kurzschluss der Halbbrücke 100 und ggf. zu einer Zerstörung beider Halbleiterschalter 110, 120 führen.

In **Fig. 1c** sind Zeitverläufe 210, 215, 220, 225 von charakteristischen Spannungen in mehreren Diagrammen 91, 92, 93, 94 für den Fall dargestellt, dass der erste Halbleiterschalter 110 ausgeschaltet wird, während der zweite Halbleiterschalter 120 ausgeschaltet vorliegt. Dabei stellt das Diagramm 91 den Zeitverlauf 210 der Gate-Source-Spannung U_{GS} und das Diagramm 92 den entsprechenden Zeitverlauf 215 für den Spannungsabfall U_{DS} über den Lastanschlüssen (i.e. Drain und Source) des ersten Halbleiterschalters 110 dar. Indem Diagramm 93 ist der Zeitverlauf 220 der Gate-Source-Spannung U_{GS} und in dem Diagramm 94 der Zeitverlauf 225 der zwischen den Lastanschlüssen Drain und Source abfallenden Spannung U_{DS} für den zweiten Halbleiterschalter 120 dargestellt.

Ähnlich zum Fall der Fig. 1b erzeugt die Spannungsänderung zwischen den Lastanschlüssen des ersten Halbleiterschalters 110 bei seinem Ausschaltvorgang eine gegenläufige Spannungsänderung zwischen den Anschlüssen des zweiten Halbleiterschalters 120. Konkret wird beim Ausschalten des ersten Halbleiterschalters 110 der Spannungsabfall zwischen Drain und Source des zweiten Halbleiterschalters sprunghaft halbiert, i.e. von nahezu einer vollen zwischen den Brückenanschlüssen 101, 102 anliegenden Spannung (bei eingeschaltetem ersten Halbleiterschalter 110) hin zu nahezu der halben zwischen den Brückenanschlüssen 101, 102 anliegenden Spannung (bei ausgeschaltetem ersten Halbleiterschalter 110 und ausgeschaltetem zweiten Halbleiterschalter 120) (vgl. Diagramm 94). Diese sprunghafte Änderung des Spannungsabfalls zwischen den Drain- und Source-Anschlüssen des zweiten Halbleiterschalters 120 hat auch hier, ähnlich zu dem in Fig. 1b erläuterten Verhalten, Umladevorgänge an der Gate-Drain-Kapazität 121 des zweiten Halbleiterschalters 120 zur Folge. Da diese nicht beliebig schnell erfolgen können, sondern vielmehr dessen Strom durch den Widerstand 72 limitiert ist, führt dies zu einem hier nach unten hin (d.h. zu negativen Werten hin) gerichteten Spannungsspeak 221. Wenn dieser Spannungsspeak 221 einen unteren Toleranzgrenze 223 unterschreitet, insbesondere im normalen Betrieb der Halbbrücke 100 mehrfach wiederholt unterschreitet, kann dies zu einer dauerhaften Beschädigung des entsprechenden Halbleiterschalters 120 führen.

Das Verhalten der Brückenschalter 110, 120 wurde in Fig. 1b und 1c für den exemplarischen Fall erläutert, dass der erste Halbleiterschalter 110 ein- oder ausgeschaltet wurde, während der zweite Halbleiterschalter 120 ausgeschaltet vorliegt bzw. ausgeschaltet bleibt. Das Verhalten lässt sich jedoch auch auf den Fall übertragen, dass der zweite Halbleiterschalter 120 ein- oder ausgeschaltet wird, während der erste Halbleiterschalter 110 ausgeschaltet vorliegt bzw. ausgeschaltet bleibt. In diesem Fall treten bei dem ersten Halbleiterschalter 110 die erwähnten Spannungspicks 221 auf.

In **Fig. 2** ist eine erste Ausführungsform einer erfindungsgemäßen Treiberschaltung 1 in Verbindung mit einer durch die Treiberschaltung 1 betriebenen Halbbrücke 100 dargestellt. Dabei ist die Treiberschaltung 1 im Gegensatz zu der herkömmlichen Treiberschaltung 80 aus Fig. 1a zur Reduktion / Verhinderung einer Beschädigung der Halbbrücke 100 durch einen Spannungspick 221 in der Gate-Source-Spannung U_{GS} eines der Halbleiterschalter 110, 120 ausgelegt. Bei den Halbleiterschaltern 110, 120 der Halbbrücke 100 kann es sich insbesondere um SiC-MOSFET's oder SiC-IGBT's handeln. Die Halbbrücke 100 entspricht in ihrem Aufbau im Wesentlichen der auch in Fig. 1a gezeigten Halbbrücke 100. Daher wird hier auf die Beschreibung in Fig. 1a verwiesen und im Folgenden lediglich die Treiberschaltung 1 näher erläutert.

Die Treiberschaltung 1 beinhaltet zwei Ansteuerschaltungen 10, 20, die jeweils einem der Halbleiterschalter 110, 120 zugeordnet sind. Sie weisen jeweils einen Gate-Treiberanschluss 15, 25 und einen Source-Treiberanschluss 16, 26 auf. Bei jeder Ansteuerschaltung 10, 20 ist der Gate-Treiberanschluss 15, 25 jeweils mit dem Gate-Anschluss 115, 125 und der Source-Treiberanschluss 16, 26 jeweils mit dem Source-Anschluss 116, 126 des zugeordneten Halbleiterschalters 110, 120 verbunden. Jede der Ansteuerschaltungen 10, 20 weist jeweils zwei Spannungsquellen 11, 12, 21, 22 auf, die über einen Mittelpunkt 13, 23 seriell miteinander verbunden sind. Jede der Spannungsquellen 11, 12, 21, 22 weist eine ihr jeweils zugeordnete Spannung U_{11} , U_{21} , U_{12} , U_{22} auf. Der Mittelpunkt 13, 23 dient für die jeweilige Ansteuerschaltung 10, 20 jeweils als Bezugspotential GND_{10} , GND_{20} und ist bei jeder der Ansteuerschaltungen 10, 20 mit dem entsprechenden Source-Treiberanschluss 16, 26 verbunden. Die Ansteuerungsschaltungen 10, 20 weisen weiterhin jeweils einen Spannungsteiler in Form eines Brückenastes auf. Der Brückenast umfasst jeweils eine obere Reihenschaltung eines oberen Schalters $S_{10.1}$, $S_{20.1}$ und eines

oberen Widerstandes $R_{10.1}$, $R_{20.1}$ sowie eine untere Reihenschaltung eines unteren Schalters $S_{10.2}$, $S_{20.2}$ und eines unteren Widerstandes $R_{10.2}$, $R_{20.2}$. Die oberen und die unteren Reihenschaltungen desselben Brückenzeiges sind jeweils über einen Mittelabgriff 14, 24 seriell miteinander verbunden. Innerhalb derselben Ansteuerschaltung 10, 20 ist jeder Brückenzeig an einem Ende jeweils mit einem positiven (+) Pol der ersten Spannungsquelle 11, 21 und an dem anderen Ende mit einem negativen (-) Pol der zweiten Spannungsquelle 12, 22 verbunden. Der Mittelabgriff 14, 24 ist jeweils mit dem Gate-Treiberanschluss 15, 25 der entsprechenden Ansteuerschaltung 10, 20 verbunden. In der Treiberschaltung 1 dient der Mittelabgriff 14, 24 nicht nur zum Ein- und Ausschalten des ihm zugeordneten Halbleiterschalters 110, 120, sondern auch zur Änderung eines Gate-Potenzials U_G an dem Gate-Anschluss 15, 25 des jeweiligen Halbleiterschalters 110, 120, wenn sich dieser im ausgeschalteten, also geöffneten Zustand befindet. Zu diesem Zweck weist die Treiberschaltung 1 zur Steuerung der Ansteuerschaltungen 10, 20, insbesondere zur Steuerung deren oberer und unterer Schalter $S_{10.1}$, $S_{10.2}$, $S_{20.1}$, $S_{20.2}$, eine Steuereinheit 5 auf. In Kombination mit der Steuereinheit 5 ist die Treiberschaltung 1 insbesondere ausgelegt, ein Gate-Potential U_G des ersten Halbleiterschalters 110 in Abhängigkeit eines Schaltvorgangs an dem zweiten Halbleiterschalter 120 zu ändern, wenn sich der erste Halbleiterschalter 120 in einem ausgeschalteten, also in einem geöffneten Zustand befindet. Mit Hilfe der Steuereinheit 5 ist die Treiberschaltung 1 zusätzlich ausgelegt, ein Gate-Potential U_G des zweiten Halbleiterschalters 120 in Abhängigkeit eines Schaltvorgangs an dem ersten Halbleiterschalter 110 zu ändern, wenn sich der zweite Halbleiterschalter 120 in einem ausgeschalteten, also in einem geöffneten Zustand befindet.

In **Fig. 3** wird ein Betrieb der Treiberschaltung 1 aus Fig. 2 anhand von Diagrammen 304, 305, 306 erläutert. Die Erläuterung erfolgt exemplarisch für den Fall eines Ausschaltens des ersten Halbleiterschalters 110 bei ausgeschaltetem, also ausgeschaltet vorliegendem, zweiten Halbleiterschalter 120.

Ausgangspunkt ist ein eingeschaltet vorliegender erster Halbleiterschalter 110 und ein ausgeschaltet vorliegender zweiter Halbleiterschalter 120. Zum Ausgangszeitpunkt $t=0$ liegt bei der ersten Ansteuerschaltung 10 der obere Schalter $S_{10.1}$ geschlossen und der untere Schalter $S_{10.2}$ geöffnet vor. Bei der zweiten Ansteuerschaltung 20 liegt der obere Schalter $S_{20.1}$ in seinem geöffneten Zustand und der untere Schalter $S_{20.2}$ in

seinem geschlossenen Zustand vor. In dem Diagramm 304 ist ein Zeitverlauf 210 der Gate-Source-Spannung U_{GS} an dem ersten Halbleiterschalter 110 dargestellt. Zum Zeitpunkt t_0 wird der Ausschaltvorgang des ersten Halbleiterschalters 110 initiiert. Hierzu wird an dem Gate Treiberanschluss 115 relativ zum Source-Treiberanschluss 116 eine negative Gate-Source-Spannung U_{GS} aufgebaut, indem der untere Schalter $S_{10.2}$ geschlossen und der obere Schalter $S_{10.1}$ kurz zuvor, gegebenenfalls auch zeitgleich bei t_0 , geöffnet wird. Eine in der Gate-Source-Kapazität 112 gespeicherte Ladung entlädt sich über den unteren Widerstand $R_{10.2}$ der ersten Ansteuerschaltung 10 und es ergibt sich ein exponentiell abklingender Zeitverlauf 210. Bei Unterschreiten einer Schwellenwerte für die Gate-Source-Spannung (hier nach einer Zeitdauer Δt nach Auslösen des Schaltvorganges) wird der erste Halbleiterschalter 110 geöffnet und der Widerstand zwischen seinem Drain- und seinem Source-Anschluss wird hochohmig. Mit dem Schaltvorgang wird nun ein Spannungsspeak 221 in der Gate-Source-Spannung des ausgeschalteten bzw. ausgeschaltet vorliegenden zweiten Halbleiterschalters 120 erzeugt. Damit der Spannungsspeak 221 nicht die untere Toleranzgrenze 223 unterschreitet, wird das Gate-Potential U_G des zweiten Halbleiterschalters 120 relativ zu seinem Source-Potential angehoben. Die Anhebung erfolgt dadurch, dass bei der zweiten Ansteuereinheit 20 der untere Schalter $S_{20.2}$ kurzzeitig geöffnet, und der obere Schalter $S_{20.1}$ kurzzeitig geschlossen wird. Dies ist anhand der den Schaltern $S_{10.1}$, $S_{10.2}$, $S_{20.1}$, $S_{20.2}$ zugeordneten Zeitverläufe in dem Diagramm 305 dargestellt. Durch die Anhebung des Gate Potentials U_G wird der Spannungsspeak 221 nach oben hin verschoben, was in dem Diagramm 306, welches einen Zeitverlauf der Gate-Source Spannung U_{GS} an dem zweiten Halbleiterschalter 120 darstellt, durch einen nach oben gerichteten Pfeil symbolisiert ist.

Anstelle eines einmalig gepulsten Anhebens des Gate-Potentials U_G des ausgeschaltet vorliegenden zweiten Halbleiterschalters 120 kann auch ein mehrmals gepulstes Anheben erfolgen. In diesem Fall würde der obere Schalter $S_{20.1}$ der zweiten Ansteuerschaltung 20 mehrere kurze Einschaltpulse aufweisen. So kann in getakteter Art und Weise ein Unterschreiten der Toleranzgrenze 223 an dem zweiten Halbleiterschalter 120 verhindert werden, welches ansonsten herkömmlicherweise erfolgen würde.

Der oben erläuterte Betrieb lässt sich auch auf den Fall übertragen, bei dem innerhalb der Halbbrücke 100 der zweite Halbleiterschalter 120 bei ausgeschaltetem, also

ausgeschaltet vorliegendem, ersten Halbleiterschalter 110 ausgeschaltet wird. Dann spiegelt der in Diagramm 304 dargestellte Zeitverlauf 210 die Gate-Source-Spannung U_{GS} an dem zweiten Halbleiterschalter 120 wider, während der in Diagramm 306 dargestellte Zeitverlauf 220 die Gate-Source-Spannung U_{GS} an dem ausgeschalteten ersten Halbleiterschalter 110 widerspiegelt. Die Zeitverläufe der den Ansteuereinheiten 10, 20 zugeordneten oberen und unteren Schalter $S_{10.1}$, $S_{10.2}$, $S_{20.1}$, $S_{20.2}$ sind dabei zwischen den Ansteuereinheiten 10, 20 zu tauschen, d.h. der aktuell dargestellte Zeitverlauf für $S_{10.1}$ beschreibt dann den Zeitverlauf des Schalters $S_{20.1}$, der aktuell dargestellte Zeitverlauf für $S_{10.2}$ beschreibt dann den Zeitverlauf des Schalters $S_{20.2}$, der aktuell dargestellte Zeitverlauf für $S_{20.1}$ beschreibt dann den Zeitverlauf des Schalters $S_{10.1}$, und der aktuell dargestellte Zeitverlauf für $S_{20.2}$ beschreibt dann den Zeitverlauf des Schalters $S_{10.2}$.

In **Fig. 4** ist eine zweite Ausführungsform einer erfindungsgemäßen Treiberschaltung 1 zur Reduktion / Verhinderung einer Beschädigung einer Halbbrücke 100 durch einen Spannungspike 221 in der Gate-Source-Spannung eines Halbleiterschalters 110, 120 dargestellt. Die Treiberschaltung 1 entspricht in vielen Punkten der bereits in Fig. 2 dargestellten ersten Ausführungsform, weswegen zu den identischen Punkten auf die Figurenbeschreibung der Fig. 2 verwiesen wird. Im Folgenden werden daher lediglich die Unterschiede zu der ersten Ausführungsform gemäß Fig. 2 beschrieben.

Auch die zweite Ausführungsform der Treiberschaltung 1 beinhaltet zwei Ansteuerschaltungen 10, 20, die jeweils zur Ansteuerung eines der Halbleiterschalter 110, 120 ausgelegt sind. Im Unterschied zur ersten Ausführungsform nach Fig. 2 umfasst jede der Ansteuerschaltungen 10, 20 jedoch einen Spannungsteiler mit jeweils 2 Halbbrücken. Jede der Halbbrücken weist eine obere Reihenschaltung aus einem oberen Schalter $S_{10.1}$, $S_{10.3}$, $S_{20.1}$, $S_{20.3}$ und einem oberen Widerstand $R_{10.1}$, $R_{10.3}$, $R_{20.1}$, $R_{20.3}$, sowie eine untere Reihenschaltung aus einem unteren Schalter $S_{10.2}$, $S_{10.4}$, $S_{20.2}$, $S_{20.4}$ und einem unteren Widerstand $R_{10.2}$, $R_{10.4}$, $R_{20.2}$, $R_{20.4}$ auf. Die oberen Reihenschaltungen und die unteren Reihenschaltungen jeder, insbesondere derselben Halbbrücke sind jeweils über einen Mittelabgriff 14, 24 seriell miteinander verbunden. Jeder der Mittelabgriffe 14, 24 ist jeweils mit dem Gate-Treiberanschluss 15, 25 seiner zugeordneten Ansteuerschaltung 10, 20 verbunden. Der Source-Treiberanschluss 16, 26 jeder Ansteuerschaltung 10, 20 ist jeweils mit dem Mittelpunkt 13, 23 seiner entsprechenden Ansteuerschaltung 10, 20 verbunden. Der Mittelpunkt

13, 23 über den auch die beiden Spannungsquellen U_{11} , U_{12} einer Ansteuerschaltung 10, 20 seriell miteinander verbunden sind, dient innerhalb der Ansteuerschaltung 10, 20 jeweils als Bezugspotential GND_{10} , GND_{20} .

Die Steuereinheit 5 ist ausgelegt, innerhalb jeder Ansteuerschaltung 10, 20 ein Potential U_G an dem Gate-Treiberanschluss 15, 25 – und darüber eine Gate-Source-Spannung U_{GS} zwischen dem Gate-Treiberanschluss 15, 25 und dem Source-Treiberanschluss 16, 26 über eine Betätigung von einem oder mehreren Schaltern $S_{10.1} - S_{10.4}$, $S_{20.1} - S_{20.4}$ einzustellen. Dabei ist es bei jeder der Ansteuerschaltungen 10, 20 möglich, einen oder mehrere obere Schalter $S_{10.1}$, $S_{10.3}$, $S_{20.1}$, $S_{20.3}$, jedoch keinen der unteren Schalter $S_{10.2}$, $S_{10.4}$, $S_{20.2}$, $S_{20.4}$ gleichzeitig zu schließen oder geschlossen zu halten, sowie einen oder mehrere untere Schalter $S_{10.2}$, $S_{10.4}$, $S_{20.2}$, $S_{20.4}$, jedoch keinen der oberen Schalter $S_{10.1}$, $S_{10.3}$, $S_{20.1}$, $S_{20.3}$ gleichzeitig zu schließen oder geschlossen zu halten. Weiterhin ist es jedoch auch möglich, innerhalb jeder der Ansteuerschaltungen 10, 20 einen oder mehrere obere Schalter ($S_{10.1}$, $S_{10.3}$, $S_{20.1}$, $S_{20.3}$), sowie einen oder mehrere untere Schalter ($S_{10.2}$, $S_{10.4}$, $S_{20.2}$, $S_{20.4}$) des Spannungsteilers gleichzeitig zu schließen oder geschlossen zu halten. Insbesondere mit der letzten Variante ist es möglich, mehrere diskret einstellbare Potential-Level an dem Gate-Treiberanschluss 15, 25 gezielt vorzugeben. Obwohl in Fig. 4 für jede der Ansteuerschaltungen exemplarisch ein Spannungsteiler mit lediglich zwei Halbbrücken dargestellt, ist es im Rahmen der Erfindung jedoch auch möglich, dass der Spannungsteiler mehr als zwei Halbbrücken, beispielsweise 3 oder 4 Halbbrücken, umfasst.

In den **Fig. 5a und 5b** wird ein Betrieb der Treiberschaltung 1 aus Fig. 4 näher erläutert. Während **Fig. 5a** exemplarisch ein Einschalten des ersten Halbleiterschalters 110 bei ausgeschaltetem zweiten Halbleiterschalter 120 aufzeigt, wird in **Fig. 5b** exemplarisch ein Ausschalten des ersten Halbleiterschalters 110 bei ausgeschaltetem zweiten Halbleiterschalter 120 dargestellt. Die Diagramme 504-505 zeigen im Einzelnen: einen Zeitverlauf 210 einer Gate-Source-Spannung U_{GS} des ersten Halbleiterschalters 110 (Diagramm 504), einen Zeitverlauf 220 einer Gate-Source-Spannung U_{GS} des zweiten Halbleiterschalters 120 zusammen mit dem zweiten Halbleiterschalter 120 zugeordneten oberen Toleranz- 222 und unteren Toleranzgrenzen 223 (Diagramm 506), sowie Zeitverläufe, die die Schaltzustände der

oberen und unteren Schalter $S_{10.1}$ - $S_{10.4}$, $S_{20.1}$ - $S_{20.4}$ innerhalb der Ansteuerschaltungen 10, 20 darstellen (Diagramm 505).

Ausgangspunkt von **Fig. 5a** ist ein geöffneter erster Halbleiterschalter 110 und ein geöffneter zweiter Halbleiterschalter 120. Daher sind in der ersten Ansteuerschaltung 10 die oberen Schalter $S_{10.1}$, $S_{10.3}$ geöffnet, während die unteren Schalter $S_{10.2}$, $S_{10.4}$ geschlossen sind. In der zweiten Ansteuerschaltung 20 sind die oberen Schalter $S_{20.1}$, $S_{20.3}$ geöffnet, während ein unterer Schalter $S_{20.2}$ geschlossen und ein anderer unterer Schalter $S_{20.4}$ geöffnet ist. Zum Zeitpunkt t_0 wird nun ein Schließen des ersten Halbleiterschalters 110 initiiert. Dies erfolgt durch die erste Ansteuerschaltung 10, konkret durch ein dortiges Schließen der oberen Schalter $S_{10.1}$, $S_{10.3}$, wobei die unteren Schalter $S_{10.2}$, $S_{10.4}$ kurz zuvor – ggf. auch zeitgleich mit den oberen Schaltern geöffnet wurden. Die Steuereinheit 5 weiß nun, dass aufgrund des Schaltvorganges (hier des Einschaltens) des ersten Halbleiterschalters 110 ein nach oben gerichteter Spannungspack 221 in der Gate-Source-Spannung U_{GS} des zweiten Halbleiterschalters 120 zu erwarten ist. Dem nach oben gerichteten Spannungspack 221 wird nun dadurch entgegengewirkt, dass ein unterer Schalter $S_{20.4}$ der zweiten Ansteuerschaltung 20 für eine durchschnittliche Dauer Δt^* des Spannungspacks 221 temporär geschlossen wird. Hierdurch ergibt sich ein Absenken des Gate-Potenzials U_G am Gate-Treiberanschluss 25 der zweiten Ansteuerschaltung 20 und infolgedessen eine Verschiebung des nach oben gerichteten Spannungspacks 221 nach unten hin. Dies ist in Diagramm 506 durch einen nach unten gerichteten Pfeil symbolisiert. Nach Ablauf der Zeitdauer Δt^* wird der untere Schalter $S_{20.3}$ der zweiten Ansteuerschaltung 20 wieder geöffnet.

Im Gegensatz zur Fig. 5a ist der Ausgangspunkt von **Fig. 5b** nun ein geschlossener erster Halbleiterschalter 110 und ein geöffneter zweiter Halbleiterschalter 120. Entsprechend sind in der ersten Ansteuerschaltung 10 die oberen Schalter $S_{10.1}$, $S_{10.3}$ geschlossen, während die unteren Schalter $S_{10.2}$, $S_{10.4}$ geöffnet sind. In der zweiten Ansteuerschaltung 20 sind die oberen Schalter $S_{20.1}$, $S_{20.3}$ geöffnet, während ein unterer Schalter $S_{20.2}$ geschlossen und ein anderer unterer Schalter $S_{20.4}$ geöffnet ist. Zum Zeitpunkt t_0 wird nun ein Öffnen des ersten Halbleiterschalters 110 initiiert. Dies erfolgt bei der ersten Ansteuerschaltung 10, insbesondere durch ein Schließen der unteren Schalter $S_{10.2}$, $S_{10.4}$, wobei die oberen Schalter $S_{10.1}$, $S_{10.3}$ kurz zuvor, ggf. auch zeitgleich bei t_0 , geöffnet wurden. Dem danach entstehenden nach unten gerichteten

Spannungspeak 221 in der Gate-Source-Spannung U_{GS} des zweiten Halbleiterschalters 120 wird hier dadurch entgegengewirkt, dass ein oberer Schalter $S_{20.3}$ der zweiten Ansteuerschaltung 20 für eine durchschnittliche Dauer Δt^* des Spannungspeaks 221 geschlossen wird. Hierdurch ergibt sich ein Anheben des Gatepotenzials U_G am Gate-Treiberanschluss 25 der zweiten Ansteuerschaltung 20. Indem das Gate-Potenzial U_G an dem Gate-Treiberanschluss 25 angehoben wird, ergibt sich eine Verschiebung des nach unten gerichteten Spannungspeaks 221 nach oben hin, was in Diagramm 506 durch einen nach oben gerichteten Pfeil symbolisiert ist. Nach Ablauf der Zeitdauer Δt^* wird der obere Schalter $S_{20.3}$ wieder geöffnet.

In Fig. 5b ist ein Überschreiten einer oberen Toleranzgrenze 221 durch einen nach oben gerichteten Spannungspeak 221 schon dadurch reduziert bzw. verhindert, dass der ausgeschaltete Zustand des betreffenden Halbleiterschalters - hier: des zweiten Halbleiterschalters 120 - durch ein negatives Gate-Source-Potential $U_{GS} < 0$ aufrechterhalten wird. Daher kann hier bei Auftreten eines nach oben gerichteten Spannungspeaks 221 eine Absenkung des entsprechenden Gate-Potentials U_G gegebenenfalls entfallen. Die Absenkung kann jedoch notwendig werden, sollte i) der ausgeschaltete Zustand des betreffenden Halbleiterschalters nicht mit einer negativen Gate-Source-Spannung $U_{GS} < 0$ V, sondern beispielsweise mit einer Gate-Source-Spannung von $U_{GS} = 0$ V aufrechterhalten werden und/oder ii) ein Verhältnis aus der Höhe des Spannungspeaks 221 und einem Abstand der Toleranzgrenze 222, 223 einen Schwellwert übersteigen. Dabei kann es vorteilhaft sein, bei dem ausgeschalteten der Halbleiterschalter 110, 120 ein Basis-Niveau des Gate-Potentials U_G leicht negativ zu halten, wenn ein nach oben gerichteter Spannungspeak zu erwarten ist und andererseits leicht positiv zu halten, wenn ein nach unten gerichteter Spannungspeak zu erwarten ist. Eine Einstellung entsprechender Basis-Niveaus für das Gate-Potential U_G an dem betreffenden Gate-Treiberausgang 15, 25 kann ebenfalls durch ein Betätigen der entsprechenden Schalter $S_{10.1} - S_{10.4}$, $S_{20.1} - S_{20.4}$ erfolgen.

In **Fig. 6** ist eine dritte Ausführungsform einer erfindungsgemäßen Treiberschaltung 1 für einen schonenden Betrieb zusammen mit einer durch die Treiberschaltung 1 gesteuerten Halbbrücke 100 dargestellt. Im Folgenden werden lediglich die unterschiedlichen Aspekte zu den Ausführungsformen der Fig. 2 und Fig. 4 erläutert, während zu gleichartigen Aspekten auf die vorherige Beschreibung verwiesen wird.

Auch bei der dritten Ausführungsform der Treiberschaltung 1 weist jede der Ansteuerschaltungen 10, 20 eine Reihenschaltung von zwei Spannungsquellen 11, 12 bzw. 21, 22 auf. Die zwei Spannungsquellen einer, insbesondere derselben Ansteuerschaltung 10, 20 sind jeweils über einen als Bezugspotential GND_{10} , GND_{20} operierenden Mittelpunkt 13, 23 seriell miteinander verbunden. Der Mittelpunkt 13, 23 ist jeweils mit dem Source-Treiberanschluss 16, 26 der ihm zugeordneten Ansteuerschaltung 10, 20 verbunden. Ein positiver (+) Pol der ersten Spannungsquelle 11, 21 und ein negativer (-) Pol der zweiten Spannungsquelle 12, 22 dienen einem Verstärker 17, 27, gegebenenfalls auch einem invertierenden Verstärker 18, 28 als Versorgungsspannung (in Fig. 6 nicht explizit gezeichnet). Der Verstärker 17, 27 ist eingangsseitig über einen ersten Steuereingang 19.1 mit der Steuereinheit 5 der Treiberschaltung 1 verbunden. Ein Ausgang des Verstärkers 17, 27 ist über einen Widerstand $R_{10.5}$, $R_{20.5}$ mit dem Gate-Treiberanschluss 15, 25 der jeweiligen Ansteuerschaltung 10, 20 verbunden. Der negative (-) Pol der zweiten Spannungsquelle 12, 22 ist entweder über einen Kondensator C_{10} , C_{20} und einen fünften Schalter $S_{10.5}$ mit dem Mittelpunkt 13, 23 oder aber über den Kondensator C_{10} , C_{20} und einen sechsten Schalter $S_{10.6}$, $S_{20.6}$ mit dem Gate-Treiberanschluss 15, 25 verbunden. Innerhalb ihrer jeweiligen Ansteuerschaltung 10, 20 sind der fünfte Schalter $S_{10.5}$, $S_{20.5}$ und der sechste Schalter $S_{10.6}$, $S_{20.6}$ jeweils mit einem ihrer Kontakte mit dem Kondensator C_{10} , C_{20} der Ansteuerschaltung 10, 20 verbunden. Die Schalter $S_{10.5}$, $S_{20.5}$, $S_{10.6}$, $S_{20.6}$ werden in jeder der Ansteuerschaltungen 10, 20 über einen zweiten mit der Steuereinheit 5 verbundenen Steuereingang 19.2, 29.2 gesteuert. Dabei sind die Schaltzustände des fünften Schalter $S_{10.5}$, $S_{20.5}$ aufgrund des invertierenden Verstärkers 18, 28 jeweils invers zu denen des sechsten Schalters $S_{10.6}$, $S_{20.6}$, d.h. dann, wenn der fünfte Schalter $S_{10.5}$, $S_{20.5}$ geschlossen ist, ist der sechste Schalter $S_{10.6}$, $S_{20.6}$ geöffnet und umgekehrt.

In **Fig. 7** wird ein Betrieb der dritten Ausführungsform der Treiberschaltung 1 aus Fig. 6 anhand von verschiedenen Diagrammen 704 – 706 exemplarisch für den Fall eines Ausschaltens des ersten Halbleiterschalters 110 bei ausgeschaltetem 2. Halbleiterschalter 120 näher erläutert. Dabei zeigen die Diagramme einen Zeitverlauf 210 für eine Gate-Source-Spannung U_{GS} des ersten Halbleiterschalters 120 (Diagramm 704) und einen Zeitverlauf 220 einer Gate-Source-Spannung U_{GS} des ausgeschalteten zweiten Halbleiterschalters 120 (Diagramm 706). In Diagramm 705

sind entsprechende Zeitverläufe für die Steuereingänge 19.1, 19.2, 29.1, 29.2 und die Schaltzustände der fünften und sechsten Schalter $S_{10.5}$, $S_{10.6}$, $S_{20.5}$, $S_{20.6}$ der jeweiligen Ansteuerschaltungen 10, 20 wiedergegeben.

Ausgangspunkt bei $t = 0$ ist ein geschlossener erster Halbleiterschalter 110 und ein geöffneter zweiter Halbleiterschalter 120. Dabei weisen bei der ersten Ansteuerschaltung 10 der erste Steuereingang 19.1 und der zweite Steuereingang 19.2 jeweils ein „Hoch“-Signal auf. Der fünfte Schalter 10.5 liegt in einem geschlossenen („An“) Zustand und der sechste Schalter in seinem geöffneten („An“) Zustand vor. Bei der zweiten Ansteuerschaltung 20 weist der erste Steuereingang 19.1 ein „Niedrig“-Signal und der zweite Steuereingang 29.2 ein „Hoch“-Signal auf. Folglich liegt dort der fünfte Schalter $S_{20.5}$ in seinem geschlossenen („An“) Zustand und der sechste Schalter $S_{20.6}$ in seinem geöffneten („Aus“) Zustand vor.

Zum Zeitpunkt t_0 erfolgt durch die Steuereinheit 5 ein Signal zum Ausschalten des ersten Halbleiterschalters 110, indem der erste Steuereingang 19.1 von dem „Hoch“-Signal auf ein „Niedrig“-Signal wechselt. In Reaktion darauf stellt der Verstärker 17 an seinem Ausgang ein Potential bereit, das dem negativen (-) Pol der zweiten Spannungsquelle 12 entspricht. Infolgedessen kann sich die in der Gate-Source Kapazität 112 gespeicherte Ladung über den Gate-Treiberanschluss 15 und den Widerstand $R_{10.5}$ entladen, weswegen der Zeitverlauf 210 der Gate-Source Spannung U_{GS} des ersten Halbleiterschalters 110 ab t_0 exponentiell abklingt. Um einem gleich einsetzenden nach unten gerichteten Spannungspack 221 in der Gate-Source-Spannung U_{GS} des zweiten Halbleiterschalters 120 entgegenzuwirken, wird ein Gate-Potential U_G des zweiten Halbleiterschalters 120 in dessen ausgeschaltetem Zustand angehoben. Hierzu wird bei t_0 der zweite Steuereingang 29.2 der zweiten Ansteuerschaltung 20 durch die Steuereinheit 5 für eine vordefinierte Zeitdauer Δt^* von dem vorliegenden „Hoch“-Signal auf ein „Niedrig“-Signal gesetzt. Somit wird bei der zweiten Ansteuerschaltung 20 für die vordefinierte Zeitdauer Δt^* der fünfte Schalter $S_{20.5}$ geöffnet und der sechste Schalter $S_{20.6}$ geschlossen. Der zuvor auf die Potentialdifferenz zwischen Bezugspotential GND_{20} und negativem (-) Pol der zweiten Spannungsquelle 22 aufgeladene Kondensator C_{20} der zweiten Ansteuerschaltung 20 wird dadurch temporär mit dem Gate-Treiberanschluss 25 verbunden, wodurch das Gate-Potenzial U_G an dem Gate-Anschluss des zweiten Halbleiterschalters 120 – und damit auch der Spannungspack 221 innerhalb seiner erlaubten Toleranzgrenzen 222,

223 – angehoben wird. Die Anhebung des Spannungspeaks 221 ist in Diagramm 706 durch einen nach oben gerichteten Pfeil symbolisiert.

In **Fig. 8** ist eine vierte Ausführungsform einer erfindungsgemäßen Treiberschaltung 1 für einen schonenden Betrieb einer Halbbrücke 100 zusammen mit der durch die Treiberschaltung 1 gesteuerten Halbbrücke 100 dargestellt. Die Treiberschaltung 1 der Fig. 8 ähnelt in vielen Merkmalen den in Fig. 2 und Fig. 4 jeweils dargestellten Treiberschaltungen 1. Daher werden im Folgenden lediglich die unterschiedlichen Aspekte zu den Ausführungsformen der Fig. 2 und Fig. 4 erläutert, während zu gleichartigen Aspekten auf die vorherigen Beschreibungen verwiesen wird.

Auch bei der vierten Ausführungsform der Treiberschaltung 1 in Fig. 8 umfassen die erste Ansteuerschaltung 10 und die zweite Ansteuerschaltung 20 jeweils einen Spannungsteiler. Der Spannungsteiler weist eine erste Anzahl (in Fig. 8: exemplarisch = 1) an oberen Reihenschaltungen mit jeweils einem oberen Schalter $S_{10,1}$, $S_{20,1}$ und einem oberen Widerstand $R_{10,1}$, $R_{20,1}$ auf. Zudem weist der Spannungsteiler eine zweite Anzahl (in Fig. 8 exemplarisch = 2) an unteren Reihenschaltungen mit jeweils einem unteren Schalter $S_{10,2}$, $S_{10,4}$, $S_{20,2}$, $S_{20,4}$ und einem unteren Widerstand $R_{10,2}$, $R_{10,4}$, $R_{20,2}$, $R_{20,4}$ auf. Im Unterschied zu den Ausführungsformen in Fig. 2 und Fig. 4 ist bei der vierten Ausführungsform der Treiberschaltung 1 jedoch die erste Anzahl der oberen Reihenschaltungen verschieden zu der zweiten Anzahl der unteren Reihenschaltungen. Innerhalb derselben Ansteuerschaltung 10, 20 ist jede der oberen Reihenschaltungen jeweils mit einem Ende mit einem gemeinsamen Mittelabgriff 14, 24 des Spannungsteilers verbunden. Auch jede der unteren Reihenschaltungen ist innerhalb der ihr zugeordneten Ansteuerschaltung 10, 20 jeweils mit einem Ende mit dem gemeinsamen Mittelabgriff 14, 24 verbunden. Der gemeinsame Mittelabgriff 14, 24 ist wiederum mit dem Gate-Treiberanschluss 15, 25 der jeweiligen Ansteuerschaltung verbunden.

Die oberen Reihenschaltungen derselben Ansteuerschaltung 10, 20 sind mit ihrem anderen Ende jeweils mit dem positiven Pol der ersten Spannungsquelle 11, 21 der jeweiligen Ansteuerschaltung verbunden. Hingegen sind die unteren Reihenschaltungen derselben Ansteuerschaltung mit ihrem anderen Ende mit dem negativen Pol der zweiten Spannungsquelle 12, 22 der jeweiligen Ansteuerschaltung verbunden. Die beiden Spannungsquellen 11, 12, 21, 22 ein und derselben

Ansteuerschaltung 10, 20 sind jeweils in Reihe zueinander verschaltet, also es gilt für jede der Ansteuerschaltungen 10, 20, dass jeweils der negative Pol ihrer ersten Spannungsquelle 11, 21 mit dem positiven Pol ihrer zweiten Spannungsquelle 12, 22 verbunden ist. Analog zu den Treiberschaltungen der Fig. 2 und Fig. 4 ist auch die vierte Ausführungsform der Treiberschaltung 1 gemäß Fig. 8 in Kombination mit der Steuereinheit 5 ausgelegt, ein Gate-Potential U_G des ersten Halbleiterschalters 110 in Abhängigkeit eines Schaltvorgangs an dem zweiten Halbleiterschalter 120 zu ändern, wenn sich der erste Halbleiterschalter 120 in einem ausgeschalteten, also in einem geöffneten Zustand befindet. Mit Hilfe der Steuereinheit 5 ist die Treiberschaltung 1 zusätzlich ausgelegt, ein Gate-Potential U_G des zweiten Halbleiterschalters 120 in Abhängigkeit eines Schaltvorgangs an dem ersten Halbleiterschalter 110 zu ändern, wenn sich der zweite Halbleiterschalter 120 in einem ausgeschalteten, also in einem geöffneten Zustand befindet.

Indem die erste Anzahl an oberen Reihenschaltungen ungleich der zweiten Anzahl an unteren Reihenschaltungen ist, kann ein größerer Freiheitsgrad und eine feinere Einstellung der Potentiale an dem jeweiligen Gate-Treiberanschluss 15, 25 individuell nur für das Aufladen der jeweiligen Gate-Source-Kapazität 112, 122 oder nur für das Entladen der jeweiligen Gate-Source-Kapazität 112, 122 bereitgestellt werden. Es ergibt sich somit ein Kostenvorteil gegenüber der in Fig. 4 dargestellten Ausführungsform der Treiberschaltung 1.

In Fig. 8 ist exemplarisch der Fall dargestellt, bei dem die erste Anzahl der oberen Reihenschaltungen gleich 1 und die zweite Anzahl der unteren Reihenschaltungen gleich 2 ist. Dabei weisen die Spannungsteiler in beiden der Ansteuerschaltungen 10, 20 jeweils gleiche erste Anzahlen und gleiche zweite Anzahlen auf. Im Rahmen der Erfindung sind jedoch auch andere Kombinationen einer ersten Anzahl oberer Reihenschaltungen – z.B. 2, 3 oder mehr als 3 obere Reihenschaltungen - und einer zweiten Anzahl unterer Reihenschaltungen – z.B. 1, 3 oder mehr als 3 untere Reihenschaltungen – möglich. Es ist im Rahmen der Erfindung ebenso möglich, dass die erste Anzahl an oberen Reihenschaltungen und die zweite Anzahl an unteren Reihenschaltungen für die unterschiedlichen Ansteuerschaltungen 10, 20 verschieden ausgebildet sind.

Bezugszeichenliste

1	Treiberschaltung
5	Steuereinheit
10, 20	Ansteuerschaltung
11, 21	Spannungsquelle
12, 22	Spannungsquelle
13, 23	Mittelpunkt
14, 24	Mittelabgriff
15, 25	Gate-Treiberanschluss
16, 26	Source-Treiberanschluss
17, 27	Verstärker
18, 28	Verstärker (invertierend)
19.1, 19.2	Steuereingang
29.1, 29.2	Steuereingang
60, 70	Ansteuerschaltung (Prior Art)
61, 71	Spannungsgenerator
62, 72	Widerstand
65, 75	Gate-Treiberanschluss
66, 76	Source-Treiberanschluss
80	Treiberschaltung (Prior Art)
91, 93	Diagramm $U_{GS}(t)$
92, 94	Diagramm $U_{DS}(t)$
100	Halbbrücke
101	Brückenanschluss
102	Brückenanschluss
103	Brückenabgriff
110, 120	Halbleiterschalter
111, 121	Gate-Drain-Kapazität
112, 122	Gate-Source-Kapazität

113, 123	Diode
115, 125	Gate-Anschluss
116, 126	Source Anschluss
210, 220	Zeitverlauf $U_{GS}(t)$
221	Spannungs-Peak
222	Oberer Grenzwert
223	Unterer Grenzwert
304, 306	Diagramm $U_{GS}(t)$
305	Diagramm Schalterzustände
501, 503	Diagramm $U_{GS}(t)$
502	Diagramm Schalterzustände
504, 506	Diagramm $U_{GS}(t)$
505	Diagramm Schalterzustände
704, 706	Diagramm $U_{GS}(t)$
705	Diagramm Schalterzustände
$R_{10.1} - R_{10.6}$	Widerstand
$R_{20.1} - R_{20.6}$	Widerstand
$S_{10.1} - S_{10.6}$	Schalter
$S_{20.1} - S_{20.6}$	Schalter
GND_{10}, GND_{20}	Bezugspotential
$U_{10.1}, U_{20.1}$	Spannungsquelle
$U_{10.2}, U_{20.2}$	Spannungsquelle

Patentansprüche

1. Verfahren zur Ansteuerung einer Halbbrücke (100) umfassend einen ersten Halbleiterschalter (110) und einen zweiten Halbleiterschalter (120), die zwischen einem ersten Brückenanschluss (101) und einem zweiten Brückenanschluss (102) seriell miteinander verbunden sind, mit einer mit den Halbleiterschaltern (110, 120) verbundenen Treiberschaltung (1) **mit den Schritten:**
 - Variieren einer Gate-Source Spannung U_{GS} an einem ausgeschalteten der beiden Halbleiterschalter (110, 120) durch eine Änderung eines Gate-Potentials U_G an einem Gate-Treiberanschluss (15, 25) der Treiberschaltung (1), der mit dem ausgeschalteten Halbleiterschalter (110, 120) verbunden ist,
 - wobei die Variation der Gate-Source Spannung U_{GS} an dem ausgeschalteten Halbleiterschalter (110, 120) einem Spannungs-Peak (221) entgegenwirkt, der durch einen Schaltvorgang des jeweils anderen Halbleiterschalters (120, 110) der Halbbrücke (100) erzeugt wird und in Abhängigkeit von dem Schaltvorgang des jeweils anderen Halbleiterschalters (120, 110) erfolgt.
2. Verfahren nach Anspruch 1, wobei die Variation der Gate-Source-Spannung U_{GS} an dem ausgeschalteten Halbleiterschalter (110, 120) durch den Schaltvorgang des jeweils anderen Halbleiterschalters (120, 110) zeitlich getriggert wird, und insbesondere einen Zeitversatz Δt zum Schaltvorgang des jeweils anderen Halbleiterschalters (120, 110) aufweist.
3. Verfahren nach Anspruch 1 oder 2, wobei die Variation der Gate-Source-Spannung U_{GS} an dem ausgeschalteten Halbleiterschalter (110, 120) dadurch erfolgt, dass in der jeweiligen Ansteuerschaltung (10, 20), die dem ausgeschalteten Halbleiterschalter (110, 120) zugeordnet ist, ein Kondensator (C_{10} , C_{20}) mit einer voreingestellten Spannung temporär mit dem entsprechenden Gate-Treiberanschluss (15, 25) verbunden wird.
4. Verfahren nach einem der Ansprüche 1 bis 3, wobei die Variation der Gate-Source-Spannung U_{GS} an dem ausgeschalteten Halbleiterschalter (110, 120) innerhalb der Ansteuerschaltung (10, 20) des ausgeschalteten Halbleiterschalters (110, 120) durch ein Einstellen eines Potentials mit Hilfe eines Spannungsteilers erfolgt, wobei der Spannungsteiler eine erste Anzahl an oberen Reihenschaltungen mit jeweils einem oberen Schalter ($S_{10.1}$, $S_{20.1}$) und einem oberen Widerstand ($R_{10.1}$,

- R_{20.1}) und eine von der ersten Anzahl verschiedene zweite Anzahl an unteren Reihenschaltungen mit jeweils einem unteren Schalter (S_{10.2}, S_{10.4}, S_{20.2}, S_{20.4}) und einem unteren Widerstand (R_{10.2}, R_{10.4}, R_{20.2}, R_{20.4}) umfasst, wobei jede der oberen Reihenschaltungen mit jeder der unteren Reihenschaltungen über einen gemeinsamen Mittelabgriff (14, 24) verbunden ist, der mit dem Gate-Anschluss (115, 125) des ausgeschalteten Halbleiterschalters (110, 120) verbunden ist.
5. Verfahren nach einem der Ansprüche 1 bis 3, wobei die Variation der Gate-Source-Spannung U_{GS} an dem ausgeschalteten Halbleiterschalter (110, 120) innerhalb der Treiberschaltung (1) durch ein Einstellen eines Potentials mit Hilfe eines Spannungsteilers erfolgt, der eine oder mehrere Brückenarme aufweist, die jeweils eine obere Reihenschaltung eines oberen Schalters (S_{10.1}, S_{10.3}, S_{20.1}, S_{20.3}) und eines oberen Widerstandes (R_{10.1}, R_{10.3}, R_{20.1}, R_{20.3}) und eine untere Reihenschaltung eines unteren Schalters (S_{10.2}, S_{10.4}, S_{20.2}, S_{20.4}) und eines unteren Widerstandes (R_{10.2}, R_{10.4}, R_{20.2}, R_{20.4}) umfassen, wobei die obere Reihenschaltung und die untere Reihenschaltung jedes Brückenarms einer Ansteuerschaltung (10, 20) jeweils über einen Mittelabgriff (14, 24) miteinander verbunden sind, der mit dem Gate-Anschluss (115, 125) des ausgeschalteten Halbleiterschalters (110, 120) verbunden ist.
 6. Verfahren nach Anspruch 4 oder 5, wobei das Einstellen des Potentials mit Hilfe des Spannungsteilers dadurch erfolgt, dass zumindest ein oder mehrere obere Schalter (S_{10.1}, S_{10.3}, S_{20.1}, S_{20.3}) sowie ein oder mehrere untere Schalter (S_{10.2}, S_{10.4}, S_{20.2}, S_{20.4}) des Spannungsteilers gleichzeitig geschlossen sind.
 7. Verfahren nach Anspruch 4 oder 5, wobei das Einstellen des Potentials mit Hilfe des Spannungsteilers dadurch erfolgt, dass entweder
 - ein oder mehrere obere Schalter (S_{10.1}, S_{10.3}, S_{20.1}, S_{20.3}), jedoch keiner der unteren Schalter (S_{10.2}, S_{10.4}, S_{20.2}, S_{20.4}) gleichzeitig geschlossen ist/sind, oder,
 - ein oder mehrere untere Schalter (S_{10.2}, S_{10.4}, S_{20.2}, S_{20.4}), jedoch keiner der oberen Schalter (S_{10.1}, S_{10.3}, S_{20.1}, S_{20.3}) gleichzeitig geschlossen ist/sind.
 8. Verfahren nach einem der vorangehenden Ansprüche, wobei die Variation der Gate-Source-Spannung U_{GS} an dem ausgeschalteten Halbleiterschalter (110, 120) eine Anhebung des Gate-Potentials U_G an dem entsprechenden Gate-

Treiberanschluss (15, 25) umfasst, wenn der jeweils andere Halbleiterschalter (120, 110) ausgeschaltet wird.

9. Verfahren nach einem der vorangehenden Ansprüche, wobei die Variation der Gate-Source-Spannung U_{GS} an dem ausgeschalteten Halbleiterschalter (110, 120) eine Absenkung des Gate-Potentials U_G an dem entsprechenden Gate-Treiberanschluss (15, 25) umfasst, wenn der jeweils andere Halbleiterschalter eingeschaltet wird.
10. Treiberschaltung (1) zum Betrieb einer Halbbrücke (100), wobei die Halbbrücke (100) einen ersten Halbleiterschalter (110) und einen zweiten Halbleiterschalter (120) aufweist, die zwischen einem ersten Brückenanschluss (101) und einem zweiten Brückenanschluss (102) seriell miteinander verbunden sind, umfassend:
 - eine erste Ansteuerschaltung (10) mit einem ersten Gate-Treiberanschluss (15) zur Verbindung mit dem Gate-Anschluss (115) des ersten Halbleiterschalters (110) und einem ersten Source-Treiberanschluss (16, 26) zur Verbindung mit einem Source-Anschluss (116) des ersten Halbleiterschalters (110),
 - eine zweite Ansteuerschaltung (20) mit einem zweiten Gate-Treiberanschluss (25) zur Verbindung mit dem Gate-Anschluss (125) des zweiten Halbleiterschalters (120) und einem zweiten Source-Treiberanschluss (26) zur Verbindung mit einem Source-Anschluss (126) des zweiten Halbleiterschalters (120), und
 - eine Steuereinheit (5) zum Betreiben der ersten Ansteuerschaltung (10) und der zweiten Ansteuerschaltung (20),**dadurch gekennzeichnet, dass** die Treiberschaltung (1) ausgelegt und eingerichtet ist, die Halbbrücke (100) gemäß dem Verfahren nach einem der vorangehenden Ansprüche zu betreiben.
11. Treiberschaltung (1) nach Anspruch 10, dadurch gekennzeichnet, dass die erste Ansteuerschaltung (10) und/oder die zweite Ansteuerschaltung (20) jeweils einen Spannungsteiler aufweist, wobei der Spannungsteiler eine erste Anzahl an oberen Reihenschaltungen mit jeweils einem oberen Schalter ($S_{10.1}$, $S_{20.1}$) und einem oberen Widerstand ($R_{10.1}$, $R_{20.1}$) und eine von der ersten Anzahl verschiedene zweite Anzahl an unteren Reihenschaltungen mit jeweils einem unteren Schalter ($S_{10.2}$, $S_{10.4}$, $S_{20.2}$, $S_{20.4}$) und einem unteren Widerstand ($R_{10.2}$, $R_{10.4}$, $R_{20.2}$, $R_{20.4}$)

- umfasst, wobei jede der oberen Reihenschaltungen mit jeder der unteren Reihenschaltungen über einen gemeinsamen Mittelabgriff (14, 24) verbunden ist, und wobei der gemeinsame Mittelabgriff (14, 24) mit dem Gate-Treiberanschluss (115, 125) der entsprechenden Ansteuerschaltung (10, 20) verbunden ist.
12. Treiberschaltung (1) nach Anspruch 10, **dadurch gekennzeichnet, dass** die erste Ansteuerschaltung (10) und/oder die zweite Ansteuerschaltung (20) jeweils einen Spannungsteiler mit einem Brückenzeig aufweist, der eine obere Reihenschaltung eines oberen Schalters ($S_{10.1}$, $S_{10.3}$) und eines oberen Widerstandes ($R_{10.1}$, $R_{10.3}$) und eine untere Reihenschaltung eines unteren Schalters ($S_{10.2}$, $S_{10.4}$) und eines unteren Widerstandes ($R_{10.2}$, $R_{10.4}$) umfasst, wobei die obere Reihenschaltung und die untere Reihenschaltung des Brückenzeigs über einen Mittelabgriff (14, 24) miteinander verbunden sind, und wobei der Mittelabgriff (14, 24) jeweils mit dem Gate-Treiberanschluss (115, 125) der entsprechenden Ansteuerschaltung (10, 20) verbunden ist.
13. Treiberschaltung (1) nach Anspruch 12, **dadurch gekennzeichnet, dass** der Spannungsteiler der ersten Ansteuerschaltung (10) und/oder der Spannungsteiler der zweiten Ansteuerschaltung (20) jeweils mehrere Brückenzeige aufweist, wobei jeder der Brückenzeige jeweils eine obere Reihenschaltung eines oberen Schalters ($S_{10.1}$, $S_{10.3}$) und eines oberen Widerstandes ($R_{10.1}$, $R_{10.3}$) und eine untere Reihenschaltung eines unteren Schalters ($S_{10.2}$, $S_{10.4}$) und eines unteren Widerstandes ($R_{10.2}$, $R_{10.4}$) umfasst, wobei die obere Reihenschaltung und die untere Reihenschaltung jedes Brückenzeigs einer Ansteuerschaltung (10, 20) über einen dem jeweiligen Brückenzeig zugeordneten Mittelabgriff (14, 24) miteinander verbunden sind, und wobei jeder der Mittelabgriffe (14, 24) mit dem Gate-Treiberanschluss (15, 25) der ihm zugeordneten Ansteuerschaltung (10, 20) verbunden ist.
14. Treiberschaltung (1) nach einem der Ansprüche 10 bis 13, **dadurch gekennzeichnet, dass** die erste Ansteuerschaltung (10) einen Kondensator (C_{10}) umfasst, der einen ersten Kontakt aufweist, der über zumindest einen Schalter ($S_{10.5}$, $S_{10.6}$) entweder mit einem ersten Pol einer Spannungsquelle (12) oder mit dem ersten Gate-Treiberanschluss (15) der ersten Ansteuerschaltung (10) verbindbar ist und/oder wobei die zweite Ansteuerschaltung (20) einen Kondensator (C_{20}) umfasst, der einen ersten Kontakt aufweist, der über zumindest

einen Schalter ($S_{20.5}$, $S_{20.6}$) entweder mit einem ersten Pol einer Spannungsquelle (22) oder mit dem zweiten Gate-Treiberanschluss (25) der zweiten Ansteuerschaltung (20) verbindbar ist.

15. Treiberschaltung (1) nach Anspruch 14, **dadurch gekennzeichnet, dass** ein zweiter Kontakt des Kondensators (C_{10}) der ersten Ansteuerschaltung (10) mit einem zweiten Pol der Spannungsquelle (12) der ersten Ansteuerschaltung (10) verbunden ist, und/oder wobei ein zweiter Kontakt des Kondensators (C_{20}) der zweiten Ansteuerschaltung (20) mit einem zweiten Pol der Spannungsquelle (22) der zweiten Ansteuerschaltung (20) verbunden ist.
16. Treiberschaltung (1) nach einem der Ansprüche 10 bis 15, deren erste Ansteuerschaltung (10) maximal zwei Spannungsquellen (11, 12) aufweist und/oder deren zweite Ansteuerschaltung (20) maximal zwei Spannungsquellen (21, 22) aufweist.
17. Stromwandler mit einer oder mehreren Halbbrücken (100), **dadurch gekennzeichnet, dass** der Stromwandler eine Treiberschaltung (1) oder mehrere Treiberschaltungen (1) nach einem der Ansprüche 10 bis 16 zur Ansteuerung der einen oder mehreren Halbbrücken (100) umfasst.

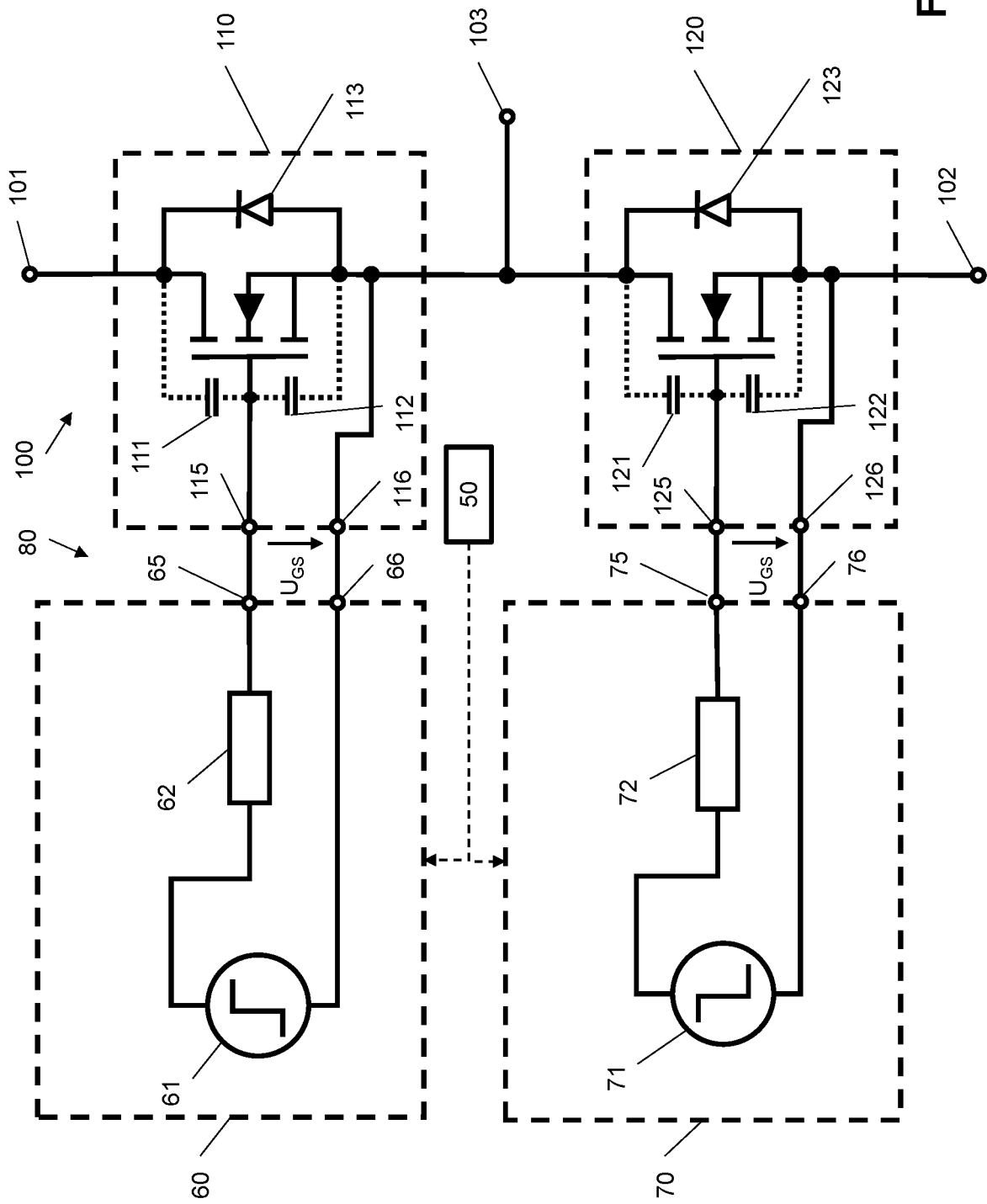


Fig. 1a

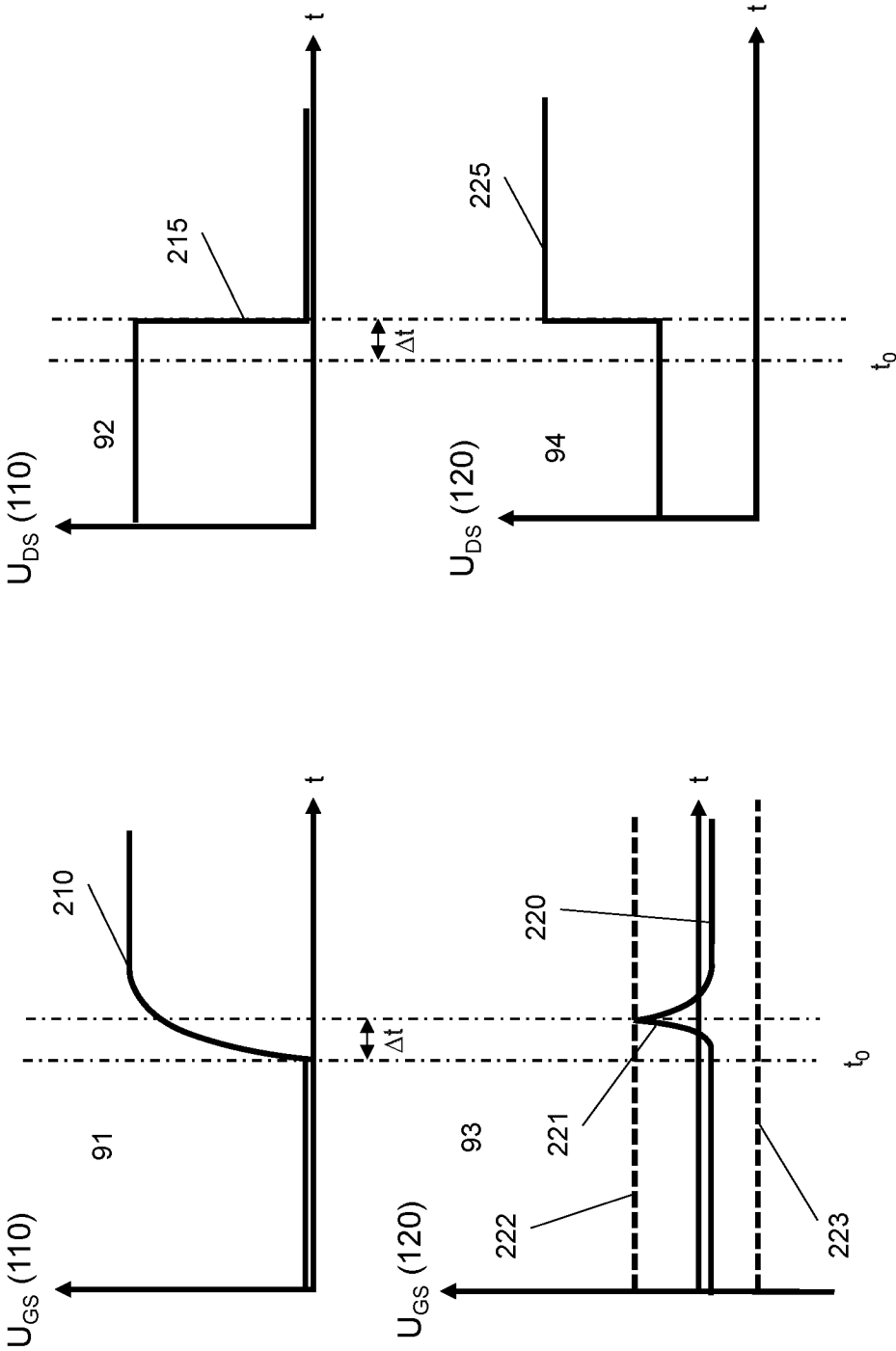


Fig. 1b

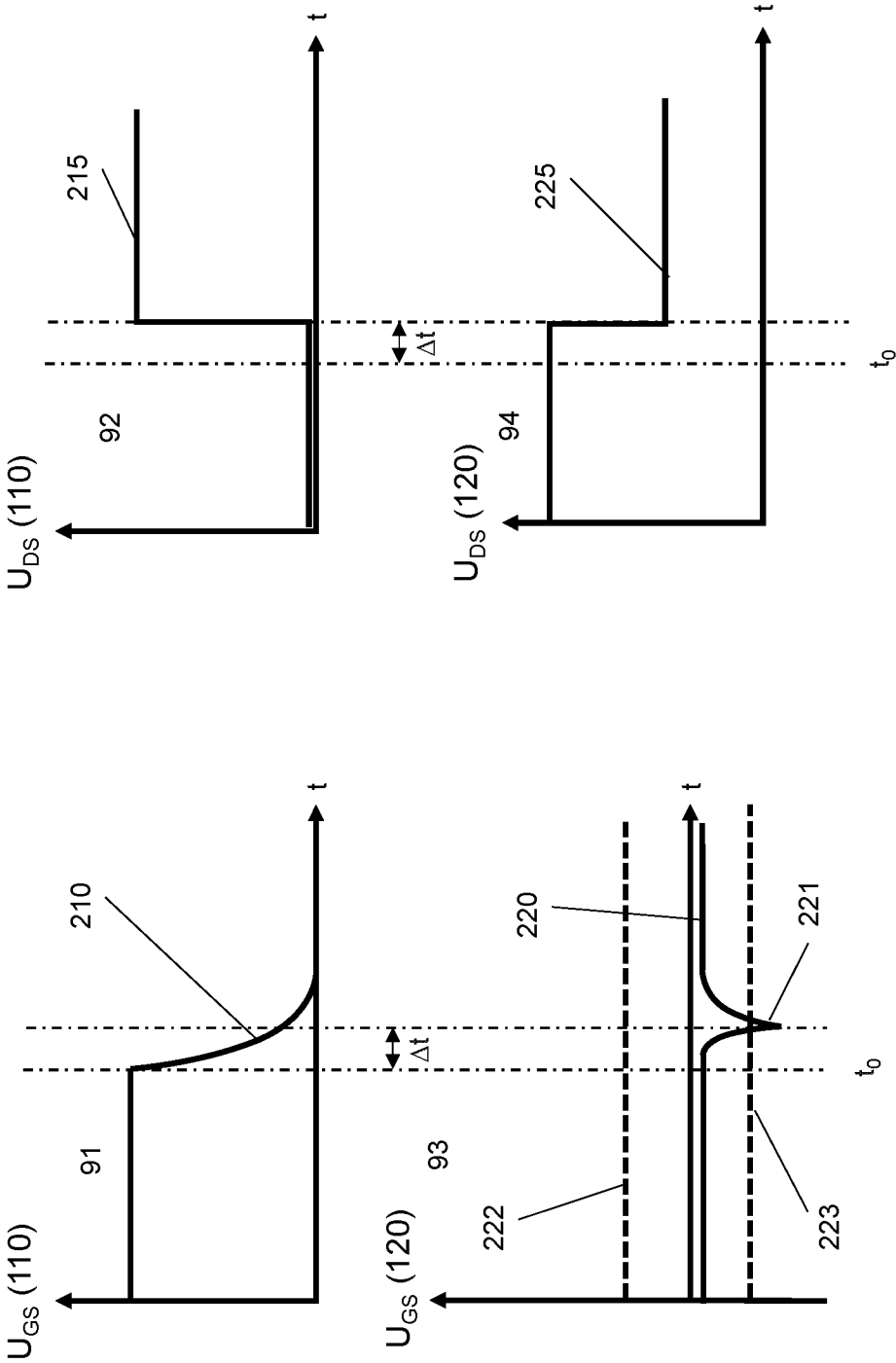


Fig. 1c

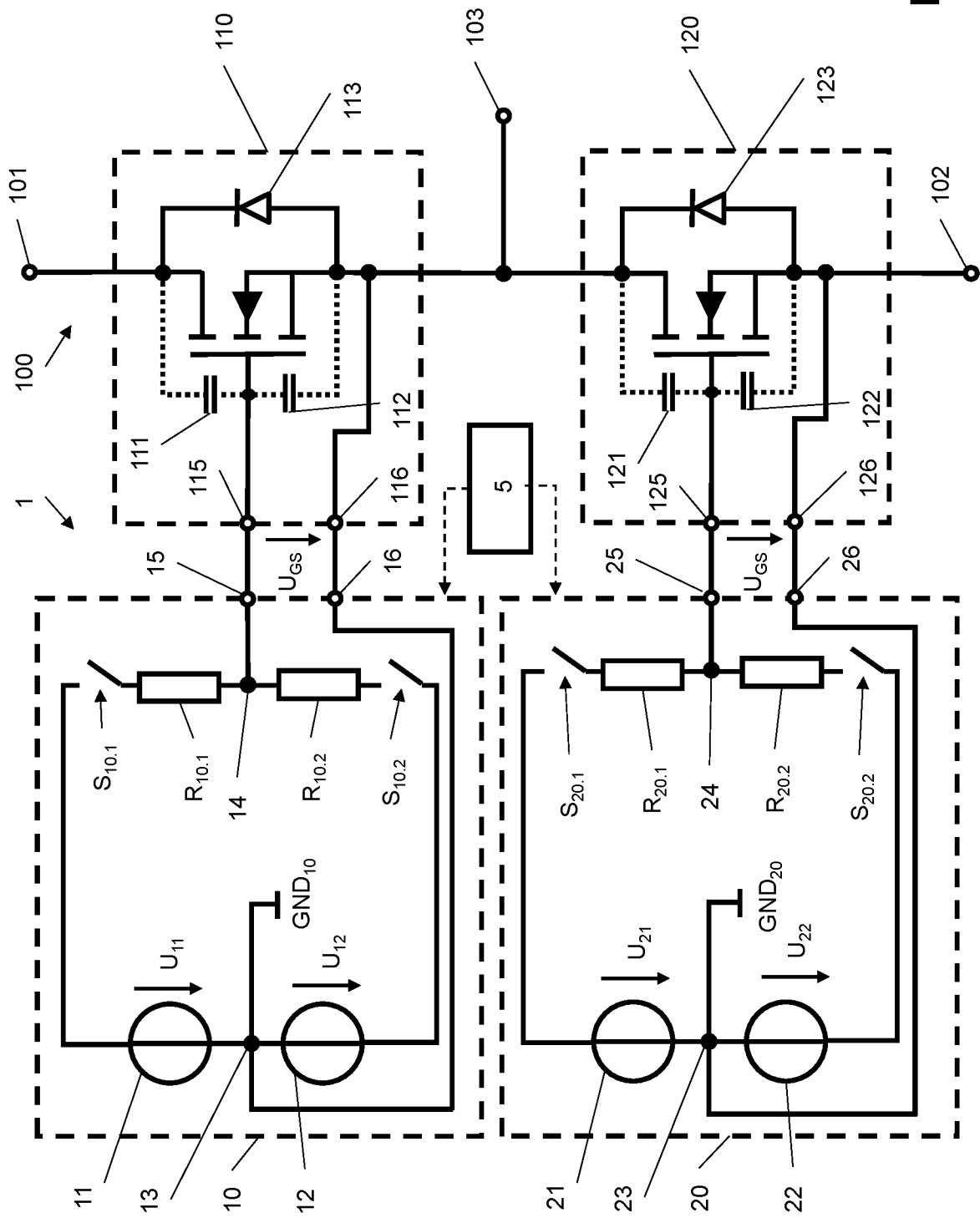


Fig. 2

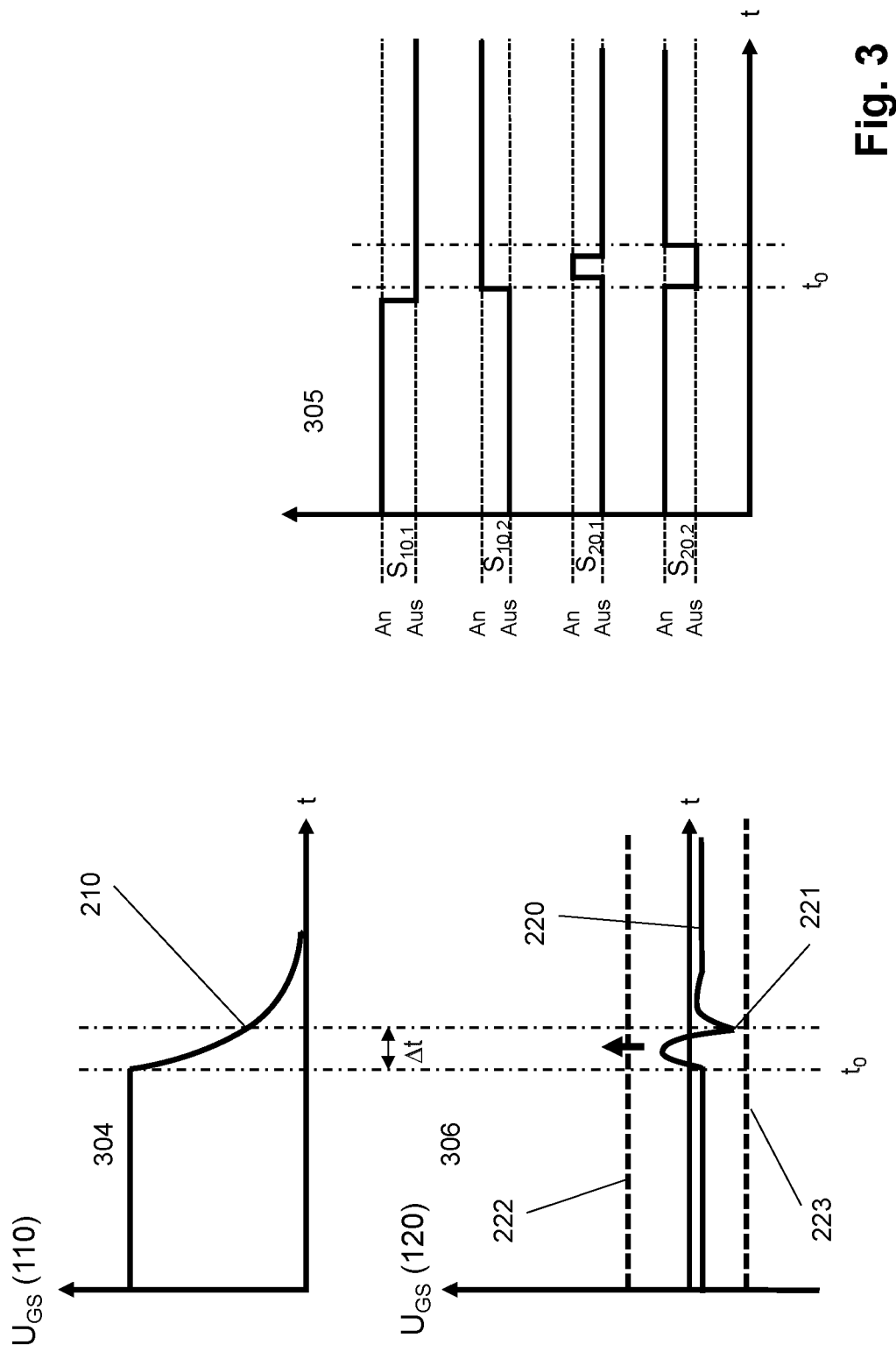
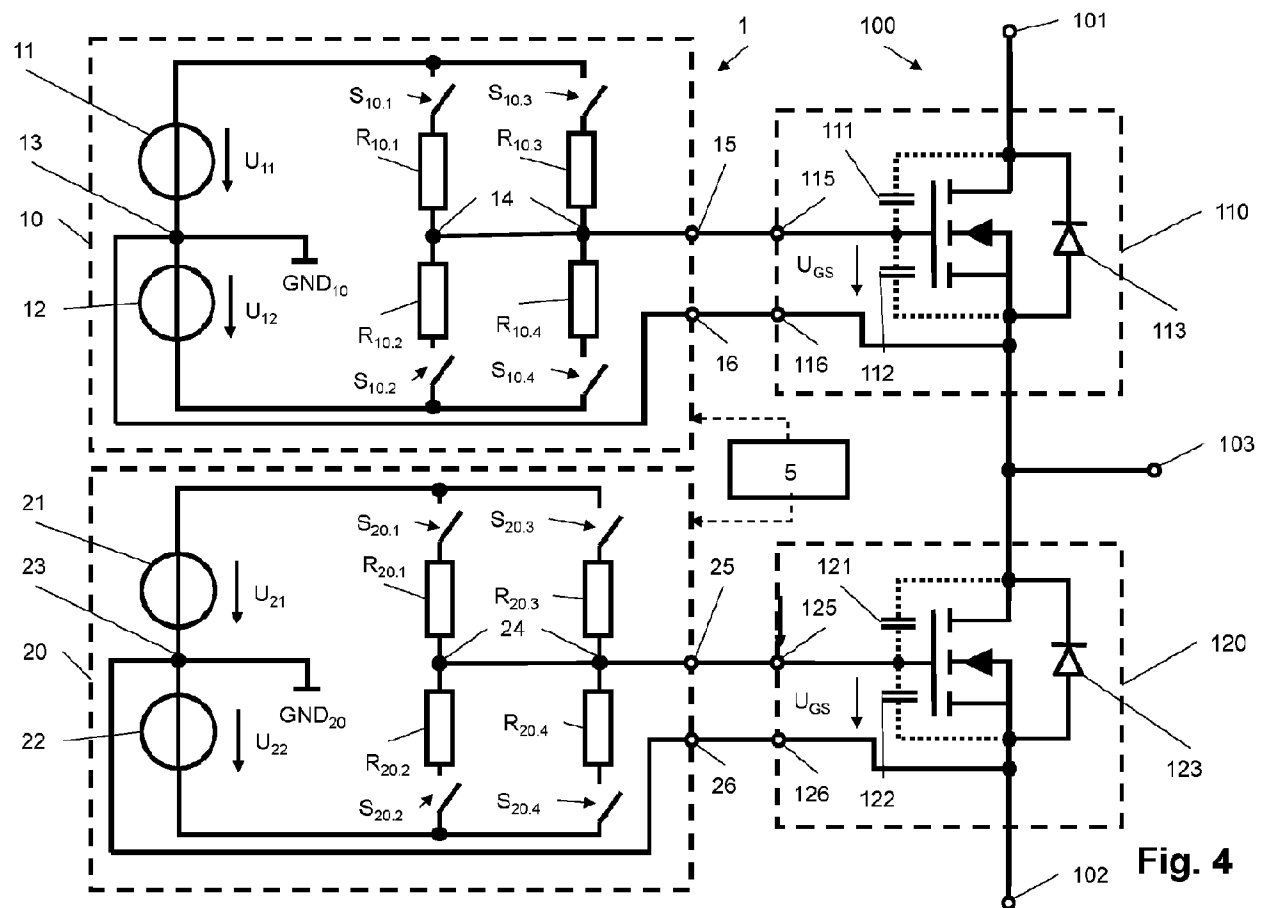


Fig. 3



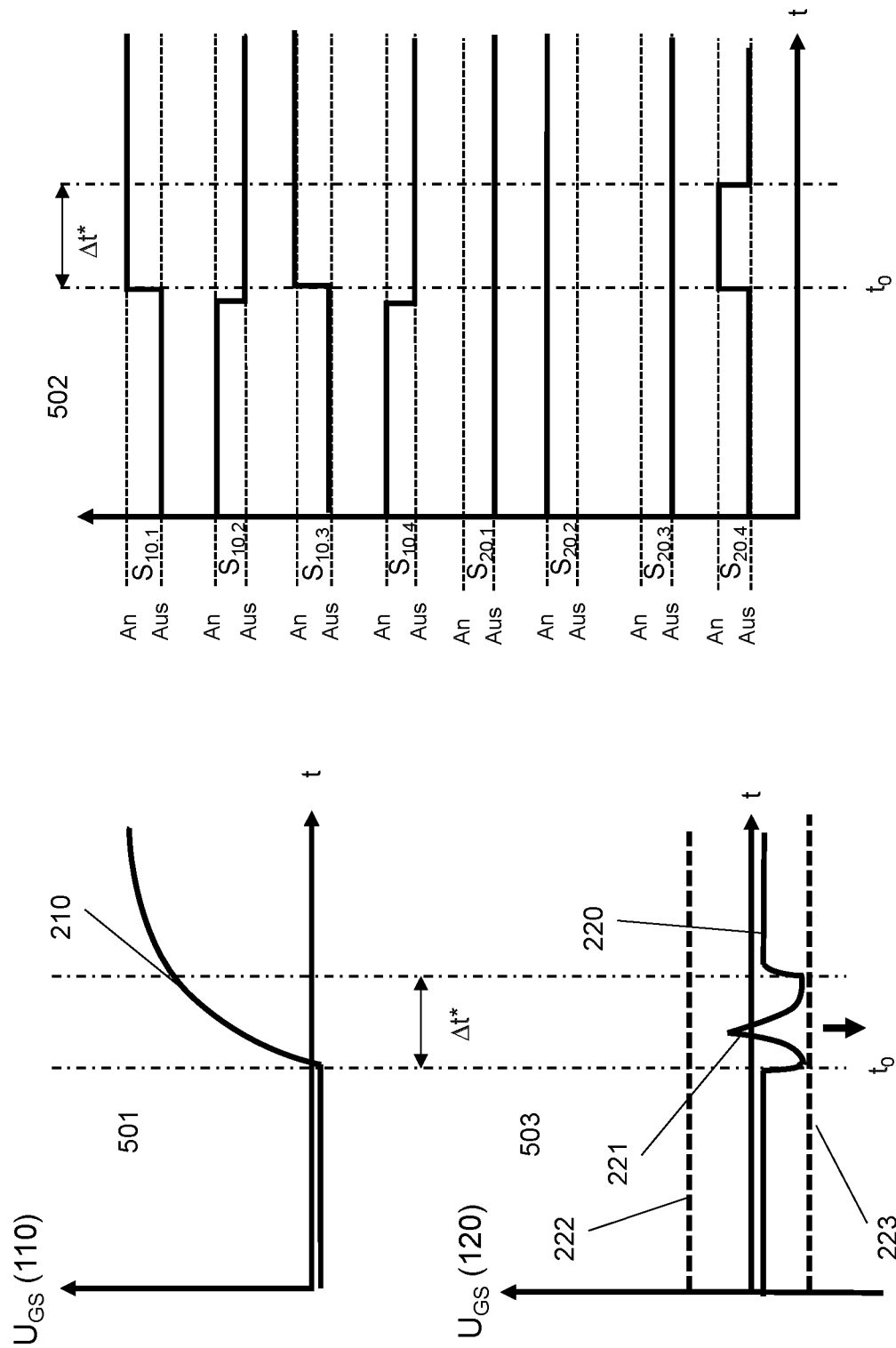


Fig. 5a

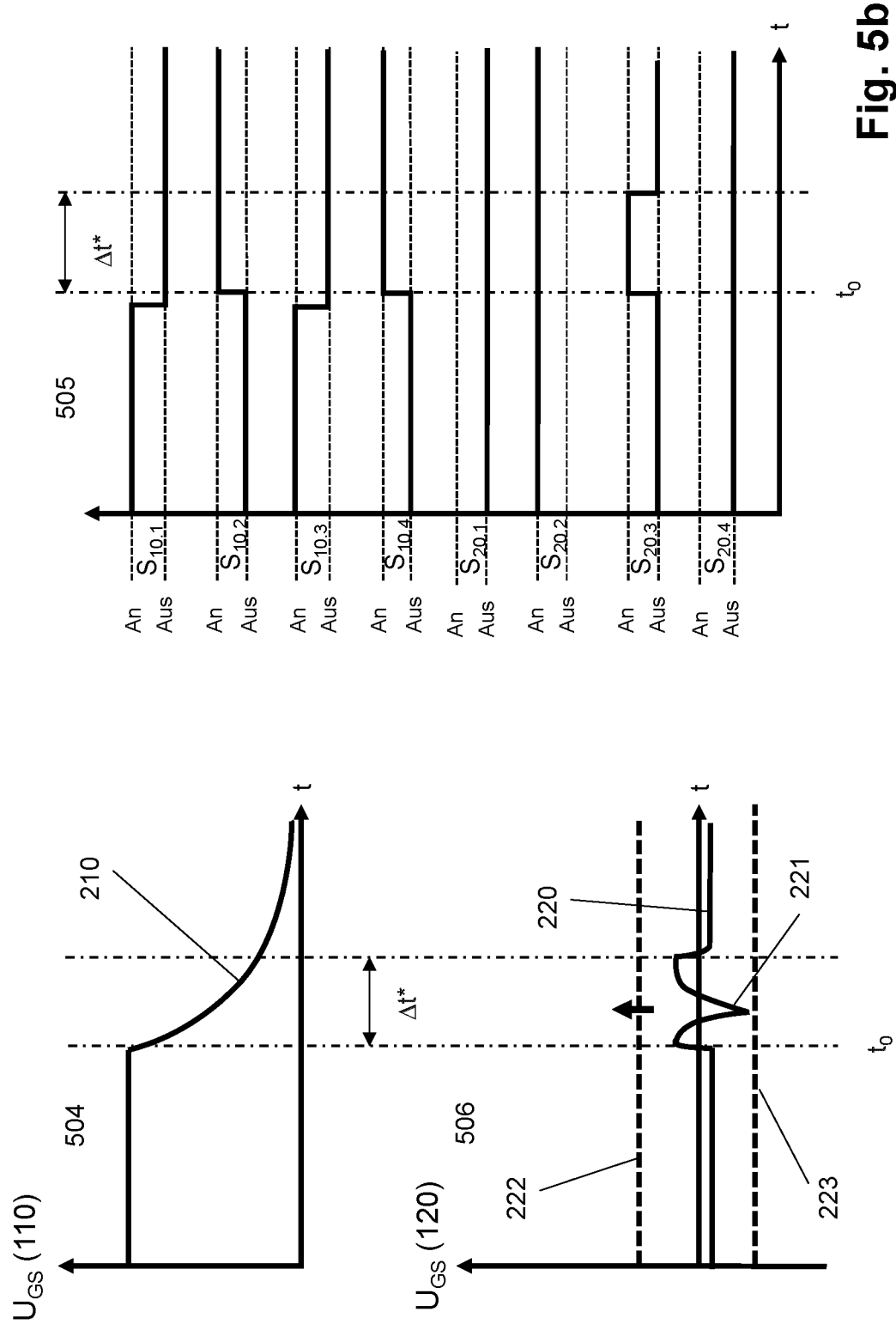
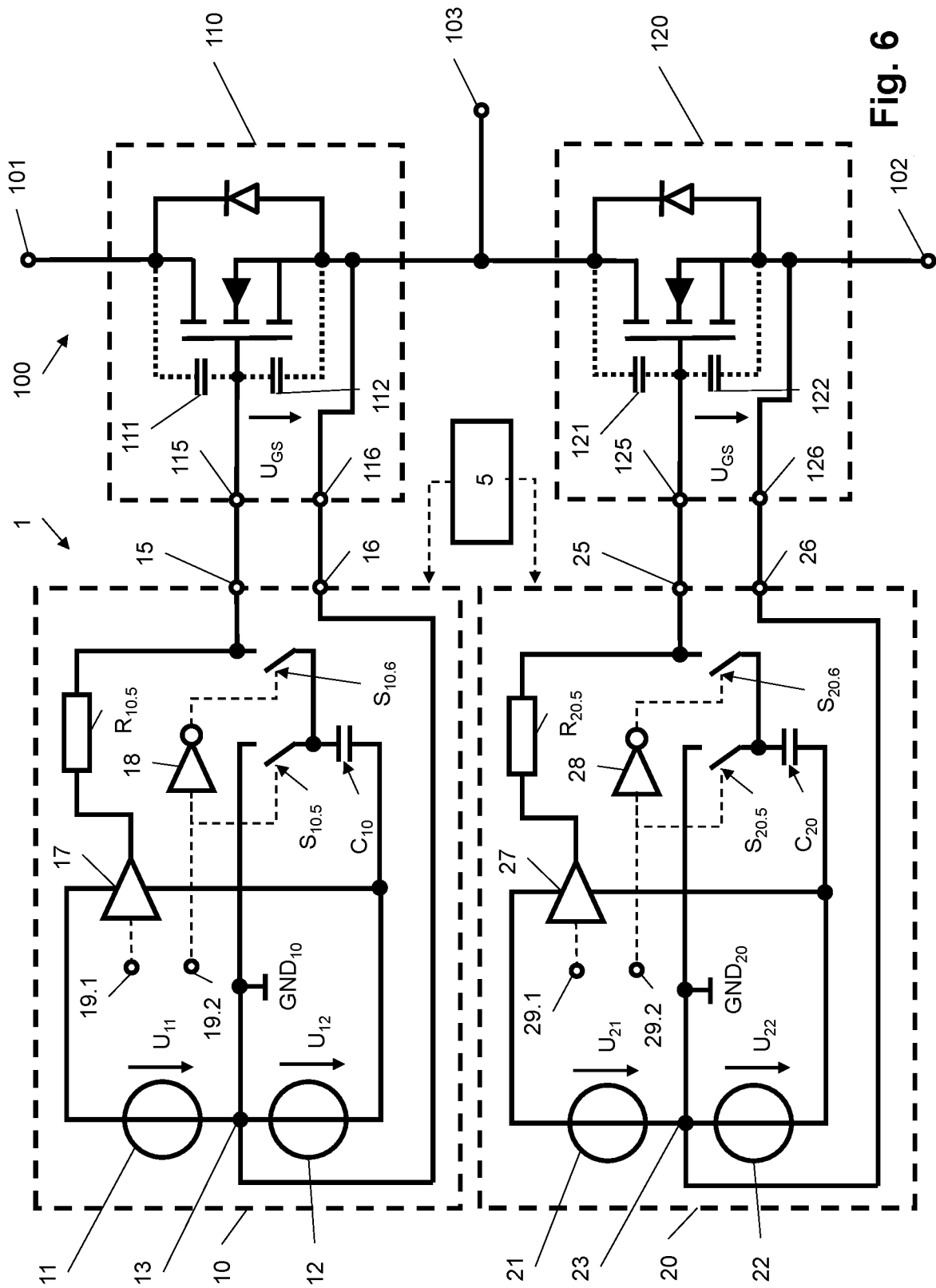


Fig. 5b



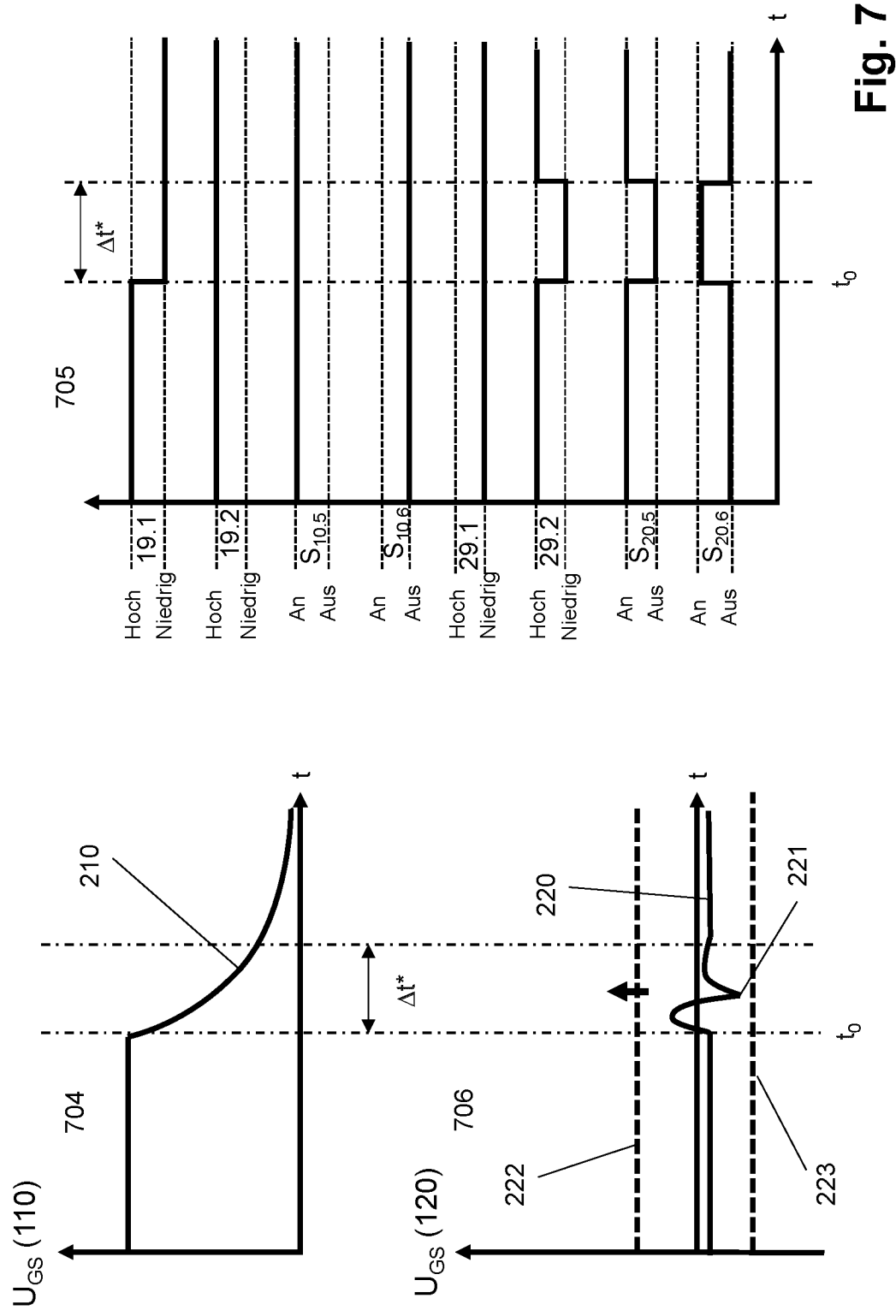


Fig. 7

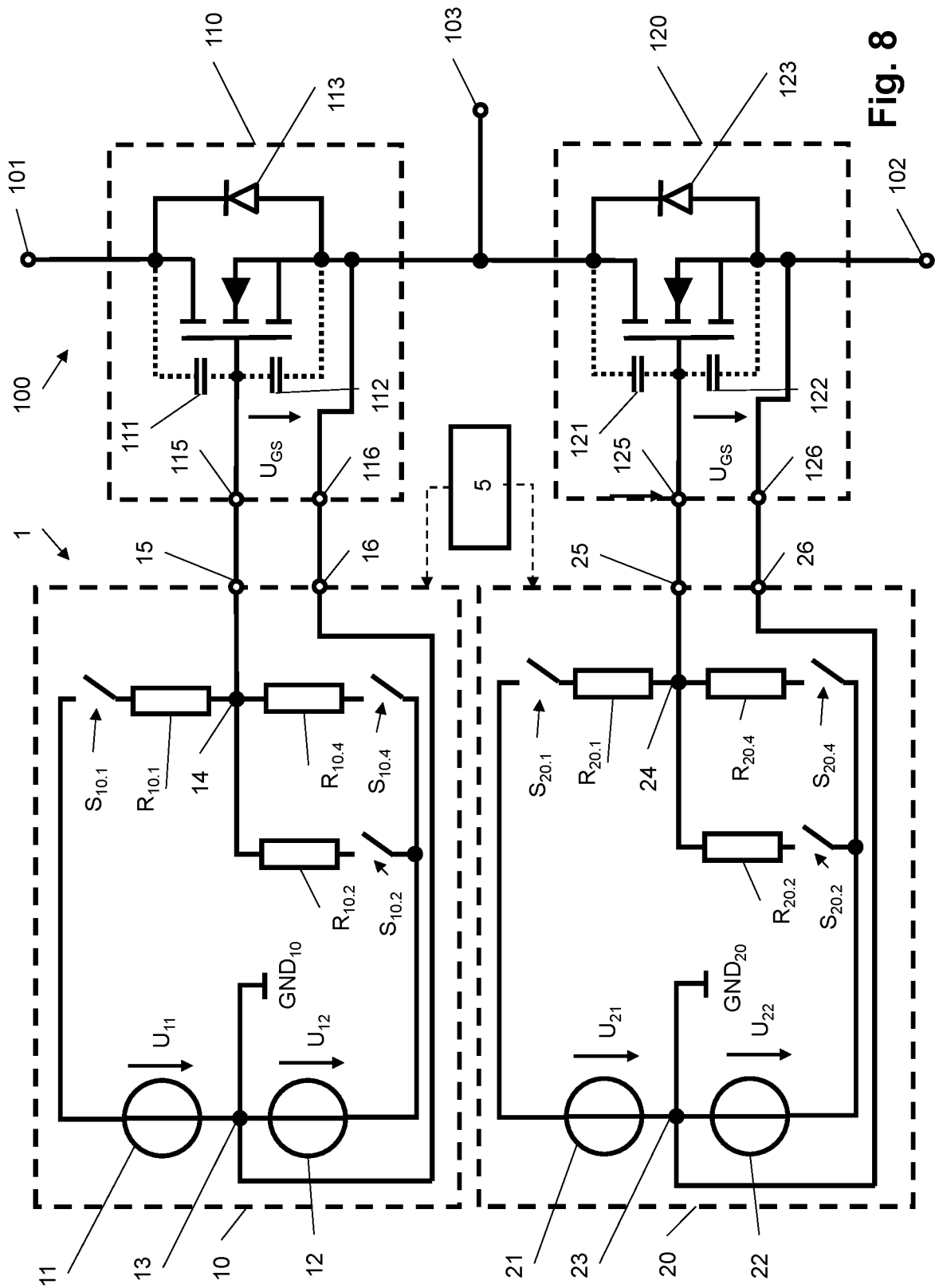


Fig. 8

INTERNATIONAL SEARCH REPORT

International application No.

PCT/EP2024/064552

A. CLASSIFICATION OF SUBJECT MATTER**H03K 17/16**(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	DE 10344572 A1 (MITSUBISHI ELECTRIC CORP [JP]) 12 August 2004 (2004-08-12)	1,2,4-7,10-13,16,17
Y	figures 1,2,3, 12,13	3, 14, 15
A	paragraph [0002]	8, 9
Y	ZHANG ZHEYU ET AL. "Active Gate Driver for Crosstalk Suppression of SiC Devices in a Phase-Leg Configuration" <i>IEEE TRANSACTIONS ON POWER ELECTRONICS, INSTITUTE OF ELECTRICAL AND ELECTRONICS ENGINEERS, USA</i> , Vol. 29, No. 4, 01 April 2014 (2014-04-01), pages 1986-1997, [retrieved on 2013-10-15] DOI: 10.1109/TPEL.2013.2268058 ISSN: 0885-8993, XP011529961 cited in the application figure 2a	3, 14, 15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

23 August 2024

Date of mailing of the international search report

09 September 2024

Name and mailing address of the ISA/EP

European Patent Office
p.b. 5818, Patentlaan 2, 2280 HV Rijswijk
Netherlands (Kingdom of the)

Telephone No. (+31-70)340-2040

Facsimile No. (+31-70)340-3016

Authorized officer

Simon, Volker

Telephone No.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/EP2024/064552

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
DE	10344572	A1	12 August 2004	DE	10344572	A1	12 August 2004
				JP	4113436	B2	09 July 2008
				JP	2004229057	A	12 August 2004
				US	2004145407	A1	29 July 2004

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES INV. H03K17/16 ADD.		
Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC		
B. RECHERCHIERTE GEBIETE Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole) H03K		
Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen		
Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe) EPO-Internal		
C. ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	DE 103 44 572 A1 (MITSUBISHI ELECTRIC CORP [JP]) 12. August 2004 (2004-08-12)	1,2,4-7, 10-13, 16,17
Y	Abbildungen 1,2,3, 12,13	3,14,15
A	Absatz [0002]	8,9
Y	----- ZHANG ZHEYU ET AL: "Active Gate Driver for Crosstalk Suppression of SiC Devices in a Phase-Leg Configuration", IEEE TRANSACTIONS ON POWER ELECTRONICS, INSTITUTE OF ELECTRICAL AND ELECTRONICS ENGINEERS, USA, Bd. 29, Nr. 4, 1. April 2014 (2014-04-01), Seiten 1986-1997, XP011529961, ISSN: 0885-8993, DOI: 10.1109/TPEL.2013.2268058 [gefunden am 2013-10-15] in der Anmeldung erwähnt Abbildung 2a -----	3,14,15
☐ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen ☒ Siehe Anhang Patentfamilie		
* Besondere Kategorien von angegebenen Veröffentlichungen : "A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist "E" frühere Anmeldung oder Patent, die bzw. das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist "L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt) "O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht "P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist "T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist "X" Veröffentlichung von besonderer Bedeutung:: die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden "Y" Veröffentlichung von besonderer Bedeutung:: die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist "&" Veröffentlichung, die Mitglied derselben Patentfamilie ist		
Datum des Abschlusses der internationalen Recherche 23. August 2024		Absendedatum des internationalen Recherchenberichts 09/09/2024
Name und Postanschrift der Internationalen Recherchenbehörde Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Bevollmächtigter Bediensteter Simon, Volker

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

PCT/EP2024/064552

Formblatt PCT/ISA/210 (Anhang Patentfamilie) (April 2005)