(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G06F 15/18

(45) 공고일자 1999년06월15일
(11) 등록번호 10-0199911
(24) 등록일자 1999년03월08일

(21) 출원번호 10-1993-0010961
(22) 출원일자 1993년06월16일
(65) 공개번호 특1994-0000992
(43) 공개일자 1994년01월19일

(30) 우선권주장 899,968 1992년06월17일 미국(US)

(73) 특허권자 모토로라 인크 빈센트 비. 인그라시아
미합중국 일리노이주 샤움버그 이스트 알곤퀸 로드 1303
(72) 발명자 제이.그레그 비오트
미국 텍사스78749 오스틴 펜스라인6901
제임스 엠. 시비그트로스
미국 텍사스78681 라운드록 웰쉬드라이브2412
제임스 엘.브로세기니
미국 텍사스78749 오스틴 펜스라인 6901
(74) 대리인 이병호, 최달용

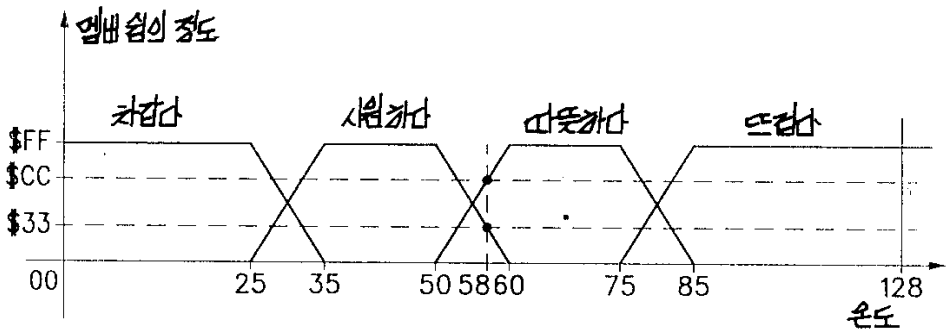
심사관 : 안철흥

(54) 디지탈데이타프로세서작동방법

요약

한가지 REV 소프트웨어 명령어에 응답하여 한 데이터 프로세서(10)의 다수 퍼지 논리 규칙을 평가하기 위한 회로(14), 상기 REV 명령어는 각각의 한 규칙 스트랭스를 결정하기 위하여 메모리(32)에 기억된 상기 규칙을 평가한다. 신례는 한 버퍼 어드레스에 의해 각각의 규칙 결과로부터 분리된다. 상기 선례를 평가하기 위해서, 한 ALU (52)는 어큐뮬레이터(58)에 기억된 새로운 선례로부터 메모리(32)의 한 설례를 감산한다. 연속적으로, 한 스웹 논리(46)는 상기 규칙의 규칙 스트랭스로써 최소 값을 할당하기 위하여 제어 정보를 제공한다. 유사하게, 최대규칙 스트랭스는 상기 결과의 평가동안 요구된다. ALU (52)는 어큐뮬레이터(58)에 기억된 한 결과로부터 메모리(32)의 결과를 감산한다. 한 결과에 의존할 때, 스웹 논리(46)는 상기 평가된 규칙의 결과로 최대 규칙 스트랭스를 할당하기 위하여 제어 정보를 제공한다.

대표도



명세서

[발명의 명칭]

디지탈 데이터 프로세서 작동 방법

[도면의 간단한 설명]

제1도는 퍼지 논리를 설명하기 위하여 사용된 몇가지 통상의 개념 및 기본 용어를 형성하는 그래프 다이

어그램.

제2도는 본 발명에 따라 한 데이터 처리 시스템을 형성하는 블럭 다이어그램.

제3도는 제2도의 실행 장치를 형성하는 블록 다이어그램.

제4도는 제3도의 레지스터 스웹(swap) 논리 회로를 형성하기 위한 논리 회로.

제5도는 한 어레이의 규칙(rule)이 제2도의 내부 메모리 안에서 평가 되어지는 것을 형성하는 메모리 맵(map).

제6도는 상기 기술된 본 발명에 따라서 상기 REV 명령의 실행동안 형성된 기능의 흐름을 형성하는 흐름도.

* 도면의 주요부분에 대한 부호의 설명

10 : 데이터 처리 시스템　　12 : 중앙 처리 장치

20 : 제어 장치　　24 : 발진기

26 : 전력 회로　　28 : 타이밍 회로

[발명의 상세한 설명]

[본 발명의 분야]

본 발명은 통상적으로 데이터 처리 시스템에 관한 것이며, 특히, 데이터 처리 시스템의 퍼지 논리 동작의 실행에 관한 것이다.

[본 발명의 배경]

데이터 프로세서는 2 진기의 입력 및 출력이 0 또는 1 같이 기계 번역되는 기능이 발달되었으며, 다른 방법은 존재하지 않았다. 이러한 작용은 대부분 상황에서 잘 동작하지만, 때때로, 한 응답은 단순히 예 또는 아니오가 아니라 그 사이의 어딘가에 존재한다. 퍼지 논리(fuzzy logic) 로 언급되는 이러한 개념은 2 진 논리에 근거된 데이터 프로세서가 예 그리고 아니오 사이에서 응답을 할 수 있게 발달되었다.

퍼지 논리는 퍼지 범위로써 퍼지 멤버쉽 기능을 가지는 논리 시스템이다. 멤버쉽 기능은, 온도가 따뜻하다라는 주관적인 표현을 데이터 프로세서가 인식할 수 있는 값으로 해석하는 것이다.

따뜻하다(warm)같은 레벨은 입력 값의 범위를 식별하는 데 이요되며, 상기 레벨이 한 측면상에 참(ture)이며 다른 측면상에서는 거짓(false)이다라는 입력값이 바운더리가 포인트는 아니다. 오히려, 퍼지 논리를 실행하는 시스템으로써, 상기 멤버쉽 기능의 바운더리는 점차적으로 변하여 인접한 멤버쉽 세트의 바운더리에 중복될 수 있다. 그러므로, 멤버쉽 정도는 통상적으로 입력 값에 할당된다. 예컨대, 만약 온도의 범위가 상기 멤버쉽 기능에 제공된다면, 입력 온도는 차갑다(cod) 그리고 따듯하다(warm)으로 레벨된 양쪽 기능의 중복 영역으로 떨어질 수도 있다. 그때 프로세싱은 각각의 멤버쉽 기능을 멤버쉽 정도를 결정할 것을 그 당시에 요구한다(즉, 상기 현재 온도가 상기 멤버쉽 세트차갑다(cold) 및 따뜻하다(warm)에 적당한 온도).

퍼지피케이션(fuzzification)으로서 언급된 단계는, 퍼지 논리를 실행하는 시스템에서 멤버쉽 기능의 한 입력에 관련하여 이용된다. 상기 퍼지피케이션 프로세서는 온도가 따뜻하다: 같이 주관적인 표현에 구체적인 수 값을 부여하다. 이러한수 값은 사람의 인식에 접근한 근사값을 제공한다.

상기 퍼지피케이션 단계후에, 규칙(rule) 평가로 언급된 단계가 실행된다. 규칙 평가 단계 동안, 퍼지 입력 값에 따른 규칙 표현은 퍼지 출력을 이끌어 내기 위하여 평가된다 예컨대, 한 규칙(rule) 평가되는 것을 가정하면, 만약 온도가 따뜻하다 및 압력이 높다면, 팬(fan) 속도는 중간이다처럼 표현될 수 있다. 이러한 규칙에서, 온도가 따뜻하다 및 압력이 높다 같은 두가지 선례는 팬속도가 중간이다같은 상기 결과에 대한 규칙 스트랭스(strength)를 결정하기 위하여 평가되는 것이 틀림없다. 상기 규칙 평가 단계동안, 한 선례가 참이다는 정도는 상기 규칙이 참이다는 상기 정도에 영향을 준다. 상기 최소의 선례는 상기 규칙에 대한 상기 규칙 스트랭스의 결과로써 적용된다. 그러므로, 만약 더욱더 한 규칙이 평가된다면, 그리고 더욱더 상기 팬에 한 명령어가 주어진다면, 각자의 상기 규칙에 대한 상기 결과의 규칙 스트랭스는 상기 팬의 작용을 결정한다. 예컨데, 상기 제공된 규칙은 X에 대한 규칙 스트랭스를 가지기 위하여 평가될 수 있다. 부가적으로, 제 2 규칙은 상기 팬이 Y에 대한 규칙 스트랭스에 의해 빠른 속도에서 켜지도록 평가되며, Y는 X 보다 빠르다. 퍼지 논리 작동에 마지막 단계는 상기 규칙 평가 단계에 의해 제공된 퍼지 출력에 응답하여 적당한 작용을 제공하는 것이다.

퍼지 논리 프로세스의 상기 마지막 단계는 디퍼지피케이션으로써 인용되었다. 이러한 단계는 한가지 작용으로 상기 규칙 평가 단계에 대한 경합하는 결과를 해결한다. 디퍼지피케이션은 표준 데이터 처리 시스템에 적용된 합성 결과로서 모든 퍼지 출력을 합하는 프로세스이다. 퍼지 논리에 관한 더 많은 정보를 위하여, James M. Sibigtroth에 의해서 하드웨어에 실행하는 퍼지 숙련 규칙(Implementing Fuzzy Expert Rules in Hardware)로 제목된 한 항목을 언급한다. 상기 항목은 25에서 31 페이지상에 AIEXPERT의 1992년 4월호에 출판되었다.

요약하면, 규칙(rures)은 하나 이상의 작용(결과)에 따른 한 시리즈의 전제(선례)를 만들었다. 각각의 선례는 퍼지 입력에 대응하며, 각각의 작용은 퍼지 출력에 대응한다. 규칙 평가 단계에 대한 하드웨어 실행에 있어서, 제공된 접속 및 회로는 퍼지 입력과 퍼지 출력에 관련하여 이용된다. 이러한 방법은 종종 제공된 메모리 회로를 요구하며 비가요성(inflexible)이다. 상기 규칙 평가 단계에 대하 소프트 웨어 실행에 있어서, 명령어에 대한 프로그램은 규칙을 평가하기 위해서 이용된다. 상기 소프트웨어 방법은 하드웨어 방법보다 통상적으로 느리며 상당한 양의 프로그램 메모리를 요구한다. 데이터가 가능한한 빨리 계산되고, 이동되고, 그리고 다루어지는 산업에서, 빠른 실행 시간은 필수적이다. 그러므로, 소프트웨어

는 몇가지 적용에 대해 실행가능한 해결법이 아니다.

그러므로, 필요성은 상기 규칙 평가 단계를 빠르게 실행하기 위한 회로 또는 방법이 존재하지만, 확장 가능한 하드웨어 필요조건이 존재하지 않는다. 통상적으로, 하드웨어 해결에 연관된 상기 속도는 통상적으로 그러한 해결법에 연관되고 제공된 회로 영역없이 필요하게 되었다.

[본 발명의 요약]

상기 언급된 필요성은 상기 본 발명에 적합하게 되었다. 따라서, 한가지 형태에 있어서, 퍼지 규칙 평가 작동을 실행하기 위해서 디지털 데이터 프로세서를 작동하는 방법이 제공된다.

상기 방법은,

1) 메모리 위치로부터 한 어드레스 값을 검색하는 단계와,

2) 상기 어드레스 값과 제 1 바운더리 값을 비교하는 단계와, 및 만약 상기 어드레스 값이 제 1 바운더리 값에 부합한다면, 상기 퍼지 규칙 계산 작동을 종료하는 단계와,

3) 상기 어드레스 값과 제 2 바운더리 값을 비교하는 단계 및, 만약 상기 어드레스이 제 2 바운더리 값에 부합된다면, 제 1 프래그(flag)신호의 상태가 변화하는 단계와,

4) 만약 상기 어드레스값이 제 1 및 제 2 바운더리 값 중에 어느것과도 부합하지 않거나, 제 1 프래그 신호가 제 1 상태에 있다면, 상기 메모리 위치로부터 검색된 멤버쉽 기능 값을 이용하여 제 1 산술 연산을 실행하는 단계와,

5) 상기 어드레스 값에 의해 특정된 메모리 위치로부터 검색된 결과 값을 이용하여 제 2 산술 연산을 실행하는 단계 그리고 만약 상기 어드레스 값에 상기 제 1 및 제 2 경계 값 중 어느 하나의 부합하지 않거나, 상기 제 1 프래그 신호가 제 2 상태에 있다면, 상기 어드레스 값에 의해 특정된 상기 메모리 위치에 상기 제 2 산술 연산에 대한 결과를 기록하는 단계와,

6) 제 1 단계에서 제 5 단계까지 반복하는 단계를 구비한다. 이러한 그리고 다른 특징, 및 유효성을 첨부하는 도면에 관련하여 다음의 상세한 설명으로부터 더욱더 분명하게 이해될 것이다.

[양호한 실시예에 대한 상세한 설명]

한 회로 및 방법을 제공하는 상기 본 발명은 데이터 처리 시스템 및 최소의 회로 소자의 퍼지논리 작동으로써 규칙 평가 단계를 실행한다.

상기 규칙 평가 단계는 단 한가지 명령어로 기호화되며, 이것은 데이타 처리 시스템으로써 과도한 양의 부가된 회로 소자 없이 유효하게 실행된다. 그러므로, 상기 본 발명은 한 명령어를 제공함으로써, 이것은 데이타 처리 시스템의 사용자가 길이 및 시간을 소비하는 소프트웨어 프로그램없이 빠르게 규칙 평가 단계를 실행하도록 한다.

기호화 코드 레벨 REV에 인용된 상기 본 발명의 명령어는 상기 데이타 처리 시스템이 메모리로부터 연산수의 검색 및 그러한 연산수(operands)을 이용하는 산술 연산수의 실행을 포함하는 일련의 단계를 실행하는 원인이다. 만약 상기 규칙의 선례가 평가되는 상기 멤버쉽 기능값 및 그 규칙의 상기 결과가 상기 본 발명의 REV 명령어에 대한 실행에 앞서 메모리에 적당하게 기억된다면, REV 명령어의 상기 실행은 상기 규칙에 대한 적당한 평가에 기인한다. 상기 선례 및 결과가 특별한 포맷(format)으로써 메모리에 기억된다는 가정에 의해서, 그리고 상기 명령어의 실행이 가능한 존재하는 하드웨어를 철저하게 이용함에 의해서, 상기 본 발명은 매우 적게 부가하는 하드웨어를 가진 통상의 목적 데이터 처리 시스템으로써 퍼지 논리 규칙에 대한 효율적인 평가를 인정한다. 예컨대, 상기 데이터 프로세서로써 신호된 산술을 실행하는 상기 과정에 이용된 조건부 코드 레지스터의 오버플로어, 또는 V 비트는 연산수의 처리와 메모리를 연결하는 프래그(flag)로써 상기 본 발명에 이용된다.

본 발명의 상기 실행에 대해 기술하는 동안, 상기 단어 표명하다 및 부정하다 그리고 다양한 문법적인 형태는 높은 활성(active high) 및 낮은 활성(active low)한 논리 신호의 혼합을 다규칙때 혼동을 피하기 위하여 이용된다. 표명하다는 논리 신호의 활성, 또는 논리적인 참, 안정으로써 논리신호 또는 레지스터 비트에 대한 상기 표현을 참조하여 이용된다. 부가적으로 16 진수 값은 값이 앞서는 것을 $표시에 의해 지시될 수 있다.

제1도는 퍼지 논리에 대한 몇가지 기본 용어 및 개념을 도시하는 그래프이다. 제1도에 기술된 퍼지 논리 시스템에 있어서, 시스템 압력은 화씨 온도께 등급의 온도이다. 4개의 멤버쉽 기능은 레벨을 온도의 범위에 주기위해서 제공된다. 예컨대, 0도부터 35 도 까지, 온도는 차갑다(cold)로 레벨된다. 유사하게, 25도부터 60도가지, 온도는 시원하다(cool)로 레벨된다. 상기 멤버쉽 세트의 각각에 대한 상기 바운더리가 인접한 세트의 상기 바운더리에 겹치는 것에 주의해라. 그러므로 온도는 한 멤버쉽 세트 이상이 될 수 있다. 예컨대, 상기 시스템 입력이 58도의 온도를 지시하고 있다고 가정하자. 제1도에 도시된 것같이, 58도는 춥고 더운 멤버쉽 세트 양쪽의 상기 바운더리 내에 있다. 그러나, 각각의 멤버쉽 세트로써 멤버쉽 정도는 얻어질 수 있다. 상기 16 진수 값 $33을 가지는 멤버쉽의 정도 및 따뜻하다(warm) 멤버쉽 세트에 대해 16진수 값 $CC을 가지는 멤버쉽의 정도를 갖는다. 만약 상기 시스템 입력이 70도의 온도를 지시한다면, 상기 온도는 따뜻하다 멤버쉽 세트로써 16진수 값 $FF의 멤버쉽 정도를 가질 것이다. 또한, 70도의 상기 온도는 상기 따뜻하다(hot) 멤버쉽 세트안에 16 진수 값 $00을 가지는 멤버쉽의 등급을 가질 것이다. 제1도에 기술된 퍼지 논리 시스템으로써 멤버쉽 등급은 16진수 값 $00부터 $77까지 범위될 수 있으며, 이것은 0.00부터 0.996까지의 분수와 일치한다. 종래 기술에 숙련된 사람들은 두 위치 16 진수 값이 단하나의 8비트 2진 바이트에 의해 표현될 수 있다.

상기 기술된 작동에 대한 명령어 및 방법의 한 실생은 MC68HC11 마이크로 제어기(controller)의 변형된 형태로써 실행된다. 상기 MC68HC11은 8 비트 마이크로 제어 장치이며, 이것은 16 비트 어드레스 및 기억 레지스터를 포함하여 텍사스 Austin의 모토로라로부터 이용할 수 있다. 이러한 실행은 제2도에 보다 상세히 도시된다. 제 2도는 상기 규칙 평가 명령어가 실행되도록 하는 데이타 처리 시스템(10)을

도시한다. 데이타 처리 시스템(10)은 통상적으로 중앙처리 장치(CPU) 12, 발진기(24), 전력회로(26), 타이밍 회로(timing circuit) (28), 외부의 버스 인터페이스(30), 그리고 내부의 메모리(32)를 포함한다. CPU (12)는 통상적으로 실행 장치(14), 버스 제어 논리 회로(16), 명령어 해독(decode) 논리 회로(18), 제어 장치(20), 그리고 순서기(seguencer) (22)를 가진다.

작동하는 동안, Osel 신호는 크리스탈(crystal)같은 외부 소오스(source)를 경우하여 발진기(24)에 제공된다. 상기 크리스탈은 상기 Osel 및 Osc2 신호사이에서 상기 크리스탈이 발진할 수 있도록 접속되었다. 상기 Osc1 은 데이타 처리 시스템(10)의 남아있는 부분에 클럭(Clock) 신호를 제공한다. 수정 발진기의 작동은 데이터 처리 기술에 잘 공지되었으며, 상기 기술로서 통상의 기술을 가지고 작동하는 것은 명백히 해야한다.

전력 회로(20)는 외부의 전력 전원으로부터 Vdd 및 Vss 신호를 모두 수신한다. 상기 Vdd 신호는 양의 5 볼트(Volts)을 제공하며, 상기 Vss 신호는 기준 또는 그라운드(ground) 전압을 제공한다. 상기 Vdd 및 Vss 신호는 데이타 처리 시스템(10)에 대해 각각의 남아있는 성분이 제공된다. 이러한 시호의 경로지정(routing)은 데이터 처리 기술에 잘 공지되어 있으며 상기 기술로써 통상의 기술에 경로지정하는 것이 명백할 것이다.

타이밍 회로(28)는 클럭 신호를 수신하며, 각각의 CPU(12), 외부의 버스 인터페이스(30), 그리고 시한 제어 버스(Timing Control bus) (38)을 경유하여 내부 메모리(32)에 적당한 신한 신호 다음에 제공한다.

다수의 어드레스 값은 외부 버스 인터페이스(30)으로부터 외부의 어드레스 버스(External Address bus) (35)까지 제공된다. 유사하게, 다수의 데이터 값은 외부의 데이터 버스 (33)를 경유하여 외부의 버스 인터페이스(30)는 어드레스의 전송 및 수용 그리고 외부 사용자 및 데이타 처리 시스템(10)사이에 데이터 값을 제어한다. 외부의 버스 인터페이스(30)는 각각의 내부 어드레스 버스(36) 및 내부의 데이터 버스(34)을 경유하여 데이타 처리 시스템(10)에 대한 나머지 부분의 데이터 값 및 다수의 어드레스를 전달한다.

내부 메모리(34)는 데이타 처리 시스템(10)에 적당히 작용하여 필요한 정보를 기억하는 기능을 한다. 부가적으로, 다른 데이터 값은 만약 사용자 프로그램안에 특정된 내부 어드레스 버스(36) 및 내부 데이터 버스(34)를 경유하여 제공된다면 그안에 기얼될 수 있다.

CPU (12)은 데이타 처리 시스템(10)의 작동하는 동안에 요구된 각각의 명령어를 실행한다. 내부 어드레스 버스(36) 및 내부 데이터 버스(34)는 실행 장치(14) 및 데이타 처리 시스템의 나머지 부분 사이에 정보를 전달한다. 버스 제어 논리 회로(16)는 명령어 및 연산수를 인출한다. 각각의 명령어는 명령 해독 논리 회로(18)에 의해 다음에 해독돼서 제어 장치(20) 및 순서기(22)에 공급된다. 제어 장치(20) 및 순서기(22)는 데이타 처리 시스템(10)의 계산 능력을 최대로 유효하게 이용하기 위하여 각각의 명령어에 대한 실행 순서를 유지한다. 부가적으로, 제어 장치(20)는 마이크로 롬(Micro-ROM) 메모리(도시되지 않음)를 포함하며, 이것은 각각의 실행 장치(14), 버스 제어 논리(16) 그리고 마이크로 롬(Micro-ROM) 제어 버스(65)를 경유하는 명령 해독 논리(18)로 다수의 제어 정보를 제공한다. 다수의 제어 정보는 상기 REV 명령의 적당한 실행이 필요하다.

실행 장치(14)는 제3도에 있어서 더욱더 상세히 도시된다. 실행 장치(14)는 통상적으로 데이터 버퍼(buffer)(40), 제 1 셀렉터(42), 제 2 셀렉터(selector) (44), 레지스터 스웹 논리 회로(46), 조건 코드(Conditior Code) 논리 회로(47), A-입력 제어 회로(48), A-입력 멀티플렉서(50), 산술(arithmetic) 논리 회로(ALU) (52), B-입력 제어 회로 (54), B-입력 멀티플렉서(56), 어큐뮬레이터(58), 조건 코드 레지스터(60), 그리고 비교기(72)를 포함한다. 어큐뮬레이터(accumulator) (58) 및 조건 코드 레지스터(60)를 부가함에 있어서, 다른 기억(storage) 레지스터는 실행 장치(14)에서 실행될 수 있다. 예컨대, 지표 레지스터(index register) 또는 제 2 어큐뮬레이터는 또한 포함된다. 상기 기억 레지스터의 실행 및 사용은 종래의 기술에 잘 공지되어 있으며 종래 기술의 통상 기술로써 실행 및 사용은 명백히 될 것이다.

외부의 정보 버스(41)는 어드레스 및 데이터 정보를 데이터 버퍼(40)에 제공한다. 외부의 정보 버스(41)는 내부의 어드레스 버스(36) 및 내부의 데이터 버스(34) 각각으로부터 상기 어드레스 및 데이터 정보를 수신한다. 데이터 버퍼(40)는, 셀렉터(42) 및 (44)가 정보를 전달할 수 있게 개별적으로 작동될 때, 외부의 정보 버스(40)에 경유하여 전달된 상기 값을 정보 버스 A66 및 정보 버스 B64을 경유하여 실행 장치(14)의 나머지 부분에 제공한다. 여기에 상세히 도시되지 않았을 지라도, 정보 버스 A66 및 정보 버스 B64 모두는 16비트 폭이 있고 상위 측면(high side) (8비트에서 15비트) 그리고 하위측면(low side) (0비트에서 7비트)으로 분배된다. 부가적으로, 데이터 버퍼(40)는 어드레스 정보를 비교기(72)에 제공한다.

어큐뮬레이터(58)의 제 1 및 제 2 입력은 개별적으로 정보 버스 A66 및 정보 버스 B64 에 쌍방향으로 결합된다. 어큐뮬레이터 및 지표 레지스터 같은 어떠한 부차적인 레지스터는 정보 버스 A66 및 정보 버스 B64에 비슷하게 결합될 것이다.

다수의 제어 신호는 마이크로-롬 제어 버스(65)를 경유하는 A-입력 제어 논리(48) 및 B-입력 제어 논리(54) 양쪽에 제공된다. Micro-ROM 제어 버스(65)는 제어 장치(20)으로써 (도시되지 않음) Micro-ROM 메모리에 의해 제공된 정보에 응답하여 다수의 제어 신호를 제공한다.

A-입력 제어(48)는 제어 A신호를 A-입력 멀티플렉서(50)에 대한 제어 입력에 제공한다. 정보 버스 A(66)는 A-입력 멀티플렉서(50)의 데이터 입력에 접속된다. A-입력 멀티플렉서(50)는 ALU(56)의 제 1 입력에 A-입력 하위 측면으로 레벨된 제 1 10비트 출력 및 ALU (56)에 대한 제 2 입력에 A-입력 상위 측면으로 레벨된 제 2 10비트 출력 양쪽다 제공한다. B-입력 제어(54)는 제어 B 신호를 B-입력 멀티플렉서(56)의 제어 입력에 제공한다. 정보 버스 B 64 는 B-입력 멀티플렉서(56)는 ALU(56)의 제 3 입력에 B-입력 하위 측면으로 레벨된 제 1 10비트 출력 및 ALU (56)의 제 4 입력에 B-입력 상위 측면으로 레벨된 제 2 10비트 출력 양쪽에 제공한다.

ALU (52)는 각각의 입력이 다수의 결과를 제공하는 프로세스이며, 이것은 결과(Results) 버스 (120)을 경유하여 전달된다. 결과 버스 (120)는 ALU (52)에 의해 제공된 상기 결과를 레지스터 스웹 논리(46) 및

조건 코드 논리(47)에 제공한다. 부가적으로, 결과 버스(120)는 다수의 결과를 정보 버스 B 64에 제공한다.

조건 코드 논리(47)는 토글(Toggle) 신호를 수신하기 위하여 비교기(72)에 결합된다. 조건 코드 논리(47)는 조건 코드 신호를 제공하기 위하여 조건 코드 레지스터(60)에 결합된다.

조건 코드 레지스터(60)는 V_{CCR} 신호를 레지스터 스웹 논리(46)의 제 2 제어 입력에 제공한다. 부가적으로, 시한 제어 신호는 레지스터 스웹(swap) 논리(46)의 제 1 제어 입력에 제공된다. 상기 시한 제어 신호는 시한 제어 버스(38)를 경유하여 제공된다. 레지스터 스웹 논리(46)는 개별적으로 인에이블 A 및 인에이블 B로 레벨된 제 1 및 제 2 출력을 제공한다. 상기 인에이블(Enable) A 신호는 셀렉터(42)의 제 1 제어 입력에 제공된다. 정보 버스 A (66)는 셀렉터(42)에 쌍방향으로 결합된다. 셀렉터(42)의 출력은 다수의 선택된 신호를 전달하기 위하여 데이터 버퍼(40)에 결합된다. 유사하게 상기 인에이블(enable) B 신호는 셀렉터(44)의 제 1 입력에 제공된다. 정보 버스 B (64)는 셀렉터 (44)에 쌍방향으로 결합된다. 셀렉터(44)의 출력은 제 2 다수의 선택된 신호를 전달하기 위하여 데이터 버퍼(40)에 결합된다.

레지시터 스웹 논리(46)는 제4도에서 보다 상세히 도시된다. 통상적으로, 레지스터 스웹 논리(46)는 AND 게이트(62), AND 게이트(70), 인버터(68)를 포함한다. 상기 VCCR 신호는 AND 게이트(62)의 제 1 입력 및 인버터(68)의 입력을 제공한다. 인버터(68)의 출력 AND 게이트(70)의 제 1 입력예 제공한다. 상기 시한 제어 신호는 제 2 입력을 AND 게이트(62) 및 AND 게이트(70)에 제공한다. 합성 버스(bus) (120)는 ALU(52)부터 AND 게이트 (62) 및 AND 게이트(70) 양쪽의 제 3 입력가지 레벨된 신호를 제공한다. AND 게이트(62)의 출력은 인에이블 A 신호를 제공하며, AND 게이트(70)에 대한 상기 출력은 인에이블 B 신호를 제공한다.

퍼지 논리 작동을 실행하는 동안, 데이타 처리 시스템(10)의 이용자는 기호와 코드 REV(Rule EValuation)의 명령을 이용할 수 있다. 상기 설명된 것처럼, 퍼지 입력은 시스템 입력 신호가 다수의 한정된 멤버쉽 세트의 각각에 멤버쉽의 정도가 할당되는 퍼지피케이션 단계의 결과로써 제공된다. 여기에서 설명된 본 발명의 실행에 대해서, 퍼지 입력에 할당된 멤버쉽의 각각의 정도는 상기 REV 명령의 실행에 앞서 데이타 처리 시스템(10)의 상기 내부의 메모리(32)안의 소정 메모리 위치에 기억된다. 다수의 퍼지 입력으로써 멤버쉽 각각의 정도에 대한 할당은, Greg Viot, James M. Sibigtroth 와 James L. Broseghini에 의해서 퍼지 논리 작동동안에 한 세트 멤버쉽을 결정하는 호로 및 방법으로 주제되어진 특허출원 결정을 연기하여 앞뒤를 참조하므로써 더욱더 상세히 설명된다.

여기에 기술돈 상기 에로써, 멤버쉽 세트의 두군이 제 1 및 제 2 시스템 입력의 퍼지피케이션 동안 이용된다고 가정한다. 상기 두가지 군중에 첫 번째 군온 온도 측정에 제공되며, 이것은 차갑다(cold), 시원하다(cool), 따뜻하다(warm), 그리고 뜨겁다(hot) 멤버쉽 세트로 나눠어진다. 퍼지화될 때, 시원하다(cool) 멤버쉽 세트로써 상기 제 1 시스템 입력에 대한 멤버쉽의 정도는 변할 수 있게 레벨된 Tool을 이용하기 위해 언급된다. 유사하게 상기 시원하다, 따뜻하다, 뜨겁다 멤버쉽 세트의 각각으로써 상기 제 1 시스템 입력에 대한 멤버쉽의 정도는 상기 언어학상 변하는 Tcold, Twarm, 그리고 Thot 층 각각의 하나에 대해서 언급된다.

상기 두가지 군 중에 두 번째 압력측정에 제공되며, 이것은 가벼운(light), 중간(medium), 무거운(heavy) 멤버쉽 세트로써 나뉘어진다. 퍼지화될 때, 가벼운, 중간, 무거운 멤버쉽 세트로써 상기 제 2 시스템 입력에 대한 멤버쉽의 정도는 언어학상 변할 수 있게 개별적으로 레벨된 Plight, Pmedium 그리고 Pheavy 중에 하나를 이용하기 위해 언급된다. 상기 시스템 입력이 퍼지화된 후에, 각각의 상기 개별 멤버쉽 세트로써 상기 제 1 및 제 2 시스템 입력에 대한 멤버쉽의 상기 정도는 메모리의 소정 위치에 기억된다. 부가적으로, 규칙(rules)은 적당한 액션을 제공하기 위해서 평가되는 것이 틀림없다. 이러한 예로써 평가된 3가지 규칙은,

(1) 규칙 1 은, 만약 온도가 시원하다(Tcool)그리고 압력이 낮(Plight)으면, 액션 1 및 액션 20이고,

(2) 규칙 2 는, 만약 온도가 따뜻하다(Twarm) 그리고 압력이 중간이면, 액션 30이고, 그리고

(3) 규칙 3 은, 만약 압력이 중간(Pmedium)이면 액션 3 의 형태를 가진다고 가정한다.

각각의 상기 규칙이,

(4) 만약 퍼지 입력 1 및 퍼지 입력 2 라면, 액션 X 및 액션 Y의 통상적인 형태를 가진다는 것에 주의해라.

규칙 평가 동안에, 상기 규칙에 대한 (If)부분은 멤버쉽 값의 최소 단계를 결정하기 위하여 첫 번째로 평가된다. 상기 규칙의 (If)부분은 상기 퍼지 입력 1 값 및 퍼지 입력 2 값 모두를 포함한다. 규칙 효과를 결정하기 위한 평상적인 방법은 평가되고 있는 퍼지 입력에 대한 멤버쉽의 최소의 정도를 결정하는 것이다. 어떤 식으로도, 다른 실행은 존재한다. 예컨데, 규칙의 스트랭스는 각각의 그것의 선례중 멤버쉽에 대한 정도의 합계로써 평가될 수 있다. 유사하게, 멤버쉽에 대한 상기 정도는 규칙 효과를 결정하기 위한 평가의 어떤 형태로써 배가되거나 다루어질 수 잇다.

이러한 실행으로써, 상기 규칙의 스트랭스(the strengh of the the rule)는 단지 가장 약한 약한 성분(the weakest component) 만큼 강한 것이다. 멤버쉽 값에 대한 가장 약한 정도는 상기 규칙에 대한 then 부분으로써 특성된 각각의 액션에 대한 규칙 스트랭스 크기를 결정하기 위해 이용된다. 폼(form) (4)에 도시된 상기 규칙에 있어서, 최소의 상기 퍼지 입력(1) 및 퍼지 입력(2)값에 대응하는 규칙 스트랭스(strengh)는 개별적으로 액션 X 및 액션 Y 값의 상기 어드레스에 의해 지정된 내부 메모리(32)의 제 1 및 제 2 어드레스 위치에 기억된다. 다수의 액션 값 중에 소정의 하나에 대응하는 각각의 상기 규칙 스트랭스는 각각의 액션에 대응하는 퍼지 출력 값을 제공하기 위해 이용된다. 상기 퍼지 출력 값은 상기 사용자에 의해 특성된 작동을 실행하기 위해 다음에 디퍼지화(defuzzified)될 수 있다. 비록 단 두가지 퍼지 입력값 및 두가지 액션값이 폼(4)에 제공될지라도, 둘중에 어느정도 값은 제공될 수 있다. 데이타 처리 시스템(10)의 사용자는 규칙에 대한 상기 폼을 결정하고, 실행되기 위해 퍼지 입력 또는 작용에 대해 어

떠한 수를 제공할 수 있다.

부가적으로, 한 개의 규칙 이상이 평가될 때, 가능성은 한 액션이 한가지 규칙 스트랭스 이상 할당되도록 존재한다. 그러한 상황에서, 보다 높은 값을 가진 상기 규칙 스트랭스는 상기 액션에 의해 할당되어야 한다. 그러므로, 상기 액션은 가장 높은 값을 가진 규칙 스트랭스가 할당된다.

여기에서 기술된 본 발명의 실행에 있어서, 내부의 메모리(32)는 통상적으로 메모리 기억을 위하여 이용된다. 그러나, 데이타 처리 시스템(10) 외부에 다른 메모리 회로(도시되지 않음)는 또한 이용될 수 잇다. 그러한 외부 메모리 회로의 실행 및 이용은 상기 데이터 처리 기술을 잘 공지되어 졌으며 통상의 기술중에 하나에 명백히 되어야 한다. 이러한 실행으로써, 각각의 퍼지입력은 상기 폼의 내부 메모리(32)에 기억된다.

[표 1]

메모리 어드레스	퍼지 입력	명령어
$1000	$00	Tcold
$1001	$33	Tcool
$1002	$CC	Twarm
$1003	$00	Thot
$1004	$00	Plight
$1005	$FF	Pmedium
$1006	$00	Pheavy

어레이 1

어레이(1)안에 도시된 것과 같이, 상기 두 시스템 입력에 대하여 퍼지 입력으로써 온도 및 압력같은 인용된 멤버쉽의 정도는 각각의 시스템 입력에 멤버쉽 세트에 대하여 제공된다. 이전에 제1도에 업급하여 기술되므로써, 제 1 시스템 입력은 화씨 58도의 온도이다. 화씨 58 도의 온도는 시원하다 및 뜨겁다 멤버쉽 세트의 $00 에 대한 멤버쉽의 정도, 상기 시원하다 멤버쉽 세트의 $33에 대한 멤버쉽의 정도, 그리고 멤버쉽 세트의 $CC에 대한 멤버쉽의 정도를 가지기 위해 퍼지화된다. 어레이(1)에 도시된 것처럼, 가변 Tcold 및 Thot의 상기 값은 $00이면, 이것은 상기 제 1 시스템 입력이 두가지 멤버쉽 세트중에 어느것도 아니다는 것을 지시한다. 그러나, 상기 제 1 시스템 입력은 $33의 값을 가진 Tcoo 및 $CC의 값을 가지는 Twarm을 가진다. 그러므로, 상기 제 1 입력은 상기 시원하다 멤버쉽 세트로써 $33에 대한 멤버쉽의 정도 및 뜨겁다멤버쉽 세트로써 $CC에 대한 멤버쉽의 정도를 가진다.

유사하게, 제 2 입력은 가벼운 및 무거운 압력 멤버쉽 세트에서 $00에 대한 멤버쉽의 정도를 지시하기 위하여 퍼지화된다. 그러므로, 상기 가변 Plight 및 Pheavy의 값은 $00이며, 이것은 상기 제 2 입력이 두가지 멤버쉽 제트 중 어느것도 포함하지 않는다. 그러나, 상기 제 2 입력은 온건한(moderate) 멤버쉽 세트로써 $FF에 대한 멤버쉽의 정도를 가진다. 그러므로, 가변 Pmedium은 $FF의 값을 가진다.

상기 퍼지 입력처럼, 평가된 각각의 상기 규칙(규칙 1에서 규칙 3)은 내부 메모리(32)로써 규칙 어레이안에 또한 기억된다. 상기 규칙 어레이는 제5도에 도시된다. 각각의 규칙에 대해서, 상기 퍼지 입력 및 상기 퍼지 출력 양쪽에 대한 어드레스 위치는 제공된다. 상기 퍼지 입력 및 퍼지 출력의 상기 어드레스는 제5도의 폼에 기억되고, 어레이(1)에 이전에 도시된 것과같은 데이터 값의 테이블을 언급한다. 상기 퍼지 입력처럼, 상기 퍼지 출력에 대응하는 데이터 값의 상기 테이블은 여기에 상세히 도시되지 않은 어레이에 또한 제공된다.

상기 규칙 어레이의 시작은 데이타 처리 시스템(10)의 사용자에 의해 특정된 소정의 어드레스에 위치된다. 여기에서 기술되고 제5도에서 예시된 예로서, 상기 소정의 어드레스는 $E000 와 같고, 상기 REV 명려의 실행에 앞서 지표레지스터(index register)에 기억된다. 규칙 (1)에 대해 상기 퍼지 입력중 제 1 퍼지 입력의 어드레스는 상기 규칙 베이스(base)의 시작하는 16진수 어드레스 $E000에 위치된다. 이러한 예로서, Tcool은 상기 규칙 어레이의 어드레스 $E000에 기억되는 $1001의 규칙(1) 및 어드레스에 대한 상기 제 1 퍼지 입력이다. 상기 Plight 값이 규칙(1)의 제 1 퍼지 입력이기 대문에, $1004의 한 어드레스는 어드레스 $E002의 상기 규칙 어레이에 기억된다.

상기 퍼지 입력으로부터 상기 퍼지 입력을 분리하기 위해서 $FFFE의 값을 가진 버퍼는 어드레스 $E004의 상기 규칙 어레이에 기억된다. 결과적으로, 규칙(1)의 상기 퍼지 출력은 $FFEE의 값을 가진 버퍼에 의해서 규칙(2)의 퍼지 입력으로부터 분리된다. $FFFE의 값을 가지는 버퍼에 의해서, 퍼지 입력의 어떤수가 퍼지 출력의 어떤수로 분리되는 상기 포맷은 다수의 규칙에 대한 각각의 상기 퍼지 입력 및 출력이 메모리에 기억될 때까지 되풀이 된다. 그러한 점에서, 특별한 버퍼 값은 상기 규칙 베이스의 끝(end)을 지시한다. 여기서 기술된 예로써, 상기 규칙 베이스의 상기 끝(end)은 $FFF의 값에 의해 인용된다. 비록 상기 동일한 버퍼값이 상기 퍼지 출력을 각각의 규칙에 대한 상기 퍼지 출력으로부터 분리되는데 이용될지라도, 버퍼의 어떤수는 데이타 처리 시스템(10)의 상기 디자이너에 의해 이용될 수 있다. 그러한 순서로써 각각의 상기 규칙에 대해서 각각의 상기 퍼지 입력 및 출력을 위치함에 의해서, 각각의 상기 규칙은 각각의 상기 퍼지 입력 및 출력 분리 사이의 분리에 대한 인디케이터로써 상기 버퍼 어드레스를 이용함에 의해서 결과적으로 평가될 수 있다. 그러므로 상기 규칙은 퍼지 입력 및 퍼지 출력(작용)에 대해서 특정

수를 가진 일정한 포맷을 따르지 않는다. 이것은 규칙을 상기 퍼지 시스템에 제공하므로써 보다 커다란 가역성을 허용한다. 규칙 (1), 규칙 (2) 및 규칙 (3) (1), (2) 및 (3)]에 볼수 있는 것처럼, 상기 다수의 퍼지 입력 및 대응하는 액션은 본 발명의 실행으로써 규칙으로부터 규칙 까지 변할 수 있다.

상기 REV 명령의 실행을 시작하기 위해서, 규칙에 대한 각각의 상기 퍼지 입력 및 출력은 제 5도에 예시된 상기 소정의 포맷을 가지는 상기 규칙 어레이의 메모리에 기억되는 것이 틀림없다. 부가적으로, 상기 규칙 어레이의 상기 개시 어드레스는 실행 장치(14)의 지표 레지스터에 기억되고, 어큐뮬레이터(58)는 상기 REV 명령의 실행에 앞서 $FF의 16진수 값으로 초기화된다. 부가적으로, 각각의 상기 퍼지 출력은 $00의 16진수 값으로 할당된다. 상기 REV 멸령의 실행은 제6도에 도시된 흐름도에 따라서 실행될 수 있다. 상기 흐름도는 상기 REV 명령의 실행동안 실행된 각각의 기능에 대한 더욱 상세할 설명은 상기 REV 명령에 대한 실행 예의 과정동안 따를 것이다.

제6도에 도시된 것처럼, 상기 REV 명령의 실행으로써, 제 1 단계는, 상기 REV 명령이 해독될 때 실행된다. 여기서 X로써 인용된 상기 지표 레지스터안에 기억된 상기 어드레스는 제 1 규칙 연산수를 이끌기 위해 다음에 이용된다. 어드레스 X는 다음 어드레스 위치(X+2)의 지점에서 다음에 증대한다.

제 1 규칙 연산수의 상기 값은 상기 값이 16진수 $FFFE와 동일한지 아닌지를 결정하기 위하여 다음에 테스트된다. 만약 상기 값이 16진수 $FFE와 동일하다면, 상기 VCCR 신호는 한 버퍼 값이 검색될 수 있도록 토글(toggle)된다. 마약 상기 VCCR 신호가 토글된후에 0 상태에 있다면, 규칙의 제 1 퍼지 입력은 평가되고 어큐뮬레이터(58)은 16 진수 값 $FF로 초기화 되어야 한다. 다른한편으로, 어큐뮬레이터(58)의 상기 값은 수정되지 않는다.

만약 제 1 규칙 연산수의 상기 값이 $FFFE와 같지 않다면, 상기 값은 상기 값이 16 진수 $FFFF와 같은지 또는 그렇지 않은지를 결정하기 위하여 테스트된다. 만약 상기 값이 16 진수 $FFF 와 같다면, 상기 규칙 어레이의 끝은 억세스되어지고, 상기 REV 명령은 종료된다.

만약 상기 제 1 규칙 연산수의 상기 값이 $FFF와 같지 않다면, 상기 제 1 규칙 연산수의 상기 값은 내부 메모리(32)로부터 퍼지 입력 또는 출력값을 억세스하기 위하여 이용된다. 어큐물레이터(58)의 내용은 퍼지 입력 또는 출력 값으로부터 신호된 결과를 제공하기 위하여 다음에 감산된다. 상기 결과의 신호는 상기 N 신호 값에 의해 지시된다.

만약 상기 N 신호가 0 이라면, 어큐뮬레이터(58) 및 데이터(40)의 내용은 스웹되지 않으며, 상기 지표 레지스터에 기억된 어드레스는 다음 규칙 연산수를 억세스한다. 그러나, 만약 상기 N 신호가 0이라면, 상기 V 신호는 테스트된다.

만약 상기 V 신호가 0이라면, 어큐뮬레이터(58)의 내용은 상기 제 1 규칙 연산수에 의해 억세스된 상기 퍼지 입력 값의 상기 값과 대치되어야 한다. 그러므로, 최소 기능은 규칙 스트랭스를 결정하기 위하여 이용되며, 이것은 현재 평가되는 규칙의 상기 퍼지 출력에 할당될 것이다. 다음으로, 지표 레지스터에 기억된 상기 어드레스는 다음 규칙 연산수를 억세스하기 위해 이용된다.

만약 상기 V 신호가 0 이라면, 데이터 버퍼(40)의 내용은 어큐뮬레이터(58)의 보다 강한 규칙 스트랭스와 대치되어야 한다. 그러므로, 최대의 규칙 스트랭스는 새롭게 평가되는 상기 퍼지 출력에 할당된다. 다음으로, 상기 지표 레지스터에 기억된 어드레스는 다음 규칙 연산수를 억세스 하기 위하여 이용된다.

제6도에 도시된 흐름도는 데이타 처리 시스템(10)으로써 상기 REV 명령 실행의 중복을 제공한다. 더욱더 상세한 예는 지금 주어질 것이다.

상기 REV 명령의 기본적인 연산은, 각각의 선례값이 메모리로부터 검색되고 그리고 최소의 선례값이 결정된다면, 그러면 각각의 결과값은, 만약 선재하는 결과 값이 규칙 스트랭스 값 보다 작다면, 그 규칙 스트랭스 값과 메모리를 대치하고 규칙 스트랭스 값을 비교하면서 검색되는 것을 따른다.

이전에 기술된 것처럼, 다수의 퍼지 입력은 상기 REV 명령의 실행에 앞서 데이타 처리 시스템(10)의 사용자에 의해 내부 메모리(32)의 제 1 소정 메모리 위치에 기억된다. 다수의 퍼지 입력은 어레이(1)에 따라서 기억된다. 부가적으로, 다수의 퍼지 입력을 평가하는 각각의 규칙은 제5도에 도시된 형태의 내부 메모리(32)로써 제 2 소정 메모리 위치에 또한 기억된다. 비록 여기 상세히 도시하지 않을지라도, 상기 퍼지 출력에 따라서 각각의 상기 규칙 스트랭스 값은 어레이(1)과 비슷한 어레이 $2000의 개시 어드레스에서 내부 메모리(32)에 또한 기억된다. 데이타 처리 시스템(10)의 상기 사용자는 상기 REV 명령의 실행에 앞서 퍼지 출력의 모든 값을 $00의 16진수 값으로 할당한다. 부가적으로, 데이타 처리 시스템(10)의 사용자는 상기 REV 명령 실행에 앞서 $FF의 16진수 값에 대해 어큐뮬레이터(58)를 초기화한다. 이전에 설명한 것처럼, 어큐뮬레이터(58)가 $FF에 초기화 될 때, 상기 V신호는 무시된다.

작동하는 동안, 사용자는 내부의 또는 외부의 메모리(32)에 기억된 소프트웨어 프로그램을 통하여 데이타 처리 시스템(10)에 REV 명령을 제공할 수 있다. 만약 상기 REV 명령이 데이타 처리 시스템(10)의 외부 소오스(source)에 의해 제공된다면, 상기 REV 명령은 외부 버스 인터페이스(30)의 외부 데이터 버스(33)를 경우하여 입력될 것이다. 외부의 버스 인터페이스(30)는 내부 데이터 버스(34)를 경유하여 상기 REV 명령을 CPU(12)에 제공할 것이다. 만약 상기 REV 명령이 내부 메모리(32)의 소프트웨어 프로그램에 의해서 제공된다면, 상기 REV 명령은 내부 데이터 버스(34)를 경유하여 CPU (12)에 제공될 것이다. CPU (12)로써, 실행 장치(14)는 상기 REV 명령을 각각의 버스 제어 논리 회로(16), 제어 장치(20), 그리고 순서기(22)로부터 수신된 제어 신호에 응답하여 명령 해독 논리 회로(18)에 제공한다. 부가적으로, CPU (12) 각각의 컴포넌트(components)는 시한 제어 버스(38)을 경유하여 타이밍 제어 신호를 수신한다. 상기 시한 제어 신호에 대한 이용 및 경로지정은 상기 데이터 처리 기술로써 잘 공지되었고, 여기서는 상세히 설명하지 않을 것이다.

명령어 해독 논리 회로(18)는 다수의 제어 및 정보 신호 필요성을 상기 REV 명령의 적당한 실행에 제공하기 위하여 상기 REV 명령을 해독한다. 상기 REV 명령의 수용 및 데코딩하에서, 실행 장치(14)는 상기 단계의 필요성을 내부의 메모리(32)에 기억된 다수의 퍼지 입력을 평가하기 시작한다. 제2도에서 CPU (12)의 제어 장치(20) 및 순서기(22)는 제어 신호의 필요성을 배열하는 한 시리즈(series)를 내부 메모리(3

2)로부터 실행 장치(14)까지 상기 퍼지 입력 및 퍼지 출력 양쪽에 대해 상기 어드레스 포인터에 전송하기 위하여 제공한다.

상기 REV 명령어 실행을 개시하기 위해서, 실행 장치(14)의 상기 지표 레지스터(도시되지 않음)는 한 포인터를 상기 규칙 베이스 개시에 제공한다. 데이타 처리 시스템의 지포레지스터 및 그들의 이용은 데이터 처리 기술안에 통상적으로 공지되어졌고, 그러므로 여기서 상세히 설명하지 않겠다. 상기 포인터는 내부 메모리(32)에 대한 규칙 베이스의 개시어드레스 포인트이고, 상기 차갑다(cool) 온도 멤버쉽 세트안에 상기 제 1 입력에 대한 멤버쉽 정도가 기억된다. 상기 어드레스는 규칙 (1)의 제 1 퍼지 입력값이 기억된 한 어드레스를 지시한다. 여기에 기술된 예로써, 16 진수 어드레스 $1001 은 내부 메모리(32)의 어드레스 $E000 에 기억된다.

규칙(1)에 대한 제 1 퍼지 입력값이 상기 어드레스가 상기 규칙 어레이로부터 억세스될 때, 상기 어드레스는 외부 정보 버스(41)를 경유하여 데이터 버퍼(40)에 제공된다. 데이터 버퍼(40)는 상기 어드레스 값을 비교기(72)에 제공하고, 상기 어드레스 값은 $FFFE의 16 진수 값과 비교된다. 만약 상기 어드레스 값이 $FFFE이라면, 버퍼 어드레스는 포인트 되어지고 상기 V 비트는 토클되어야 한다. 통상적으로, 상기 V 비트는 신호된 산술 연산의 중복 에러를 지시하기 위하여 이용된다. 그러나, 본 발명의 상기 실행에 있어서, 조건 코드 레지스터의 상기 중복 비트(V)는, 억세스된 어드레스가 퍼지 입력 어드레스 및 버퍼 어드레스 또는 퍼지 출력 어드레스에 대응하는 것이 어느것인지 지시하기 시작한다. 제 1 규칙의 상기 퍼지 입력에 대응하는 한 어드레스가 억세스되고, 상기 V 비트는 부정으로 남아있다. 만약 억세스될 때, 상기 V 비트는 부정으로 남아있다. 만약 억세스되고 상기 억세스된 어드레스가 버퍼 값이라면, 상기 V 비트는 토글된다. 여기서 기술된 상기예로써, 상기 버퍼 값은 $FFE의 16 진수 값이다. 부가적으로, 상기 퍼지 출력의 상기 어드레스가 억세스될 때, 상기 V비트는 표명(asserted)되어 남아있다.

상기 어드레스 값이 $FFFE라면, 비교기(72)는 토글 신호를 표명한다. 조건 코드 논리 회로(47)는 토글 신호를 수신하고 다음으로 표명된 조건 코드 신호를 조건 코드 레지스터(60)에 제공한다. 번걸아, 조건 코드 레지스터(60)는 상기 V 신호에 일치하여 표명하고 부정한다.

여기에 기술된 예로써, $1001의 어드레스값은 상기 규칙 어레이에서 규칙 1에 대한 상기 제 1 퍼지 입력값의 어드레스인 어드레스 $E000 으로부터 억세스된다. $1001 이 $FFFE와 같지 않기 때문에, 비교기(72)는 상기 토글 신호를 표명하지 않는다. 그러므로, 조건 코드 논리 회로(47)에 의해 제공된 상기 조건 코드 신호는 조건 코드 레지스터(60)가 상기 V신호를 토글하기 위해 작동하지 않는다.

비교기(72)는 또한 규칙(1)에 대한 상기 제 1 퍼지 입력의 어드레스 값과 $FFFF의 16 진수 값을 비교한다. 만약 상기 어드레스 값이 $FFFF와 같다면, 규칙 어레이 어드레스의 끝은 포인트 되어지고, 상기 REV 명령의 실행은 종료된다.

부가적으로, 어드레스 $1001이 내부 메모리(32)로부터 억세스될 때, 상기 차갑다 온도 멤버쉽 세트안에 제 1 시스템 입력에 대한 멤버쉽의 정도는 제공된다. 어레이(1)에 도시된 것처럼, 멤버쉽의 상기 정도는 $33의 16 진수 값과 같다. 내부 메모리(32)는 상기 정보를 내부 데이터 버스(34)를 경유하여 실행 장치(14)의 데이터 버퍼(40)에 제공한다. 외부 정보 버스(41)는 내부 어드레스 버스(36) 및 내부 데이터 버스(34)를 경유하여 전송된 정보를 제공한다.

상기 제 1 퍼지 입력($33)은 연속 프로세싱동안 데이터 버퍼(40)에 기억된다. 규칙(1)에 선례에 대한 멤버쉽의 최소 정도를 결정하기 위해서, 어큐뮬레이터(58) ($FF_)의 상기 새로운 내용은 상기 제 1 퍼지 입력($33)으로부터 감산된다. 이러한 기능을 실행하기 위해서 어큐뮬레이터(58)의 내용은 정보 버스 A66에 제공되고, 데이터 버퍼(40)의 내용은 정보버스 B64에 제공된다. 부가적으로, 다수의 제어 및 타이밍 시호는 Micro-ROM 제어 버스(65)를 경유하여 실행 장치(14)에 제공된다. 다수의 제어 및 타이밍 신호는 제2도의 명령 해독 논리에 의해 상기 REV 명령을 해독하는 결과로써 제공된다.

실행 장치(14)에 있어서, 상기 제 1 퍼지 입력은 A-입력 멀티플렉서(50)에 제공되고, 어큐뮬레이터(58)의 내용은 Micro-ROM 제어 버스(65)를 경유하여 전송된 상기 타이밍 신호에 따라서 결정된 시간의 포인트에서 B-입력 멀티플레것(56)을 제공한다. B-입력 제어 회로(54)는 B-입력 멀티플렉서(56)의 제어 작동에 대해 제어 B 신호를 제공한다. 상기 예로써, 상기 제어 B 신호는 B-입력 멀티플렉서(46)가 ALU(52)에 대해 변경되지 않은 제 1 퍼지 입력 값을 패스하도록 한다. 유사하게, A-입력 제어 회로(54)는 제어 A 신호를 A-입력 멀티플렉서(50)에 제공한다. 상기 제어 A 신호는 상기 내용이 ALU 52의 상기 제 1 퍼지 입력으로부터 감산될 수 있게 하기 위해, A-입력 멀티플렉서(50)가 어큐뮬레이터 58의 내용을 부정하도록 한다.

상기 제 1 퍼지 입력 값 및 부정된 어큐뮬레이터 내용크기의 수용하에서 ALU (52)는 한 결과를 제공하기 위하여 상기 제 1 퍼지 입력($33)으로부터 어큐뮬레이터 58 ($FF)의 내용을 감산한다. 상기 결과는 음의 수($33-$FF=-$CC)이고, 상기 N 신호는 표명된다. 상기 표명된 N 신호는 결과 버스(120)를 경유하여 전송된다. 만약 상기 결과가 양이 값이면, 상기 N 프래그(flag)는 세트되지 않고, 부정된 N 신호는 결과 버스(120)를 경유하여 제공될 것이다. 감산 연산에 대한 상기 수의 결과는 요구되지 않고, 연속하는 산술 연산동안 다시 기록된다.

레지스터 스웹 논리(46)는, 사용자가 규칙에 대한 각각의 퍼지 입력으로써 멤버쉽의 최소정도를 결정하고, 상기 규칙에 의해 특정된 각각의 액션을 위한 규칙 스트랭스로써 멤버쉽의 최소 정도를 연속으로 이용하는 것을 허용한다. 작동하는 동안에, 레지스터 스웹 논리(46)는 상기 V 및 N 신호의 값에 의존하여 어큐뮬레이터(58) 및 데이터 버퍼(40)의 내용을 스위치 할수도 있고 하지 않을 수도 있다.

레지스터 스웹 논리(46)는 어큐뮬레이터(58) 및 데이터 버퍼(40)에 대한 내용의 스위칭 제어를 위한 타이밍 제어 신호, V 신호, N 신호를 수신한다. 상기 기술된 것처럼, 퍼지 입력값이 내부 메모리(32)로부터 실행 장치(14)에 제공될 때, 상기 VCCR 신호는 부정된 상태다. 부가적으로 ALU (52)는 데이터 버퍼(40)의 내용으로부터 어큐뮬레이터(58)에 대한 내용의 감산의 결과가 양인자 음인지 지시하기 위하여 상기 N 신호를 제공한다. 만약 어큐뮬레이터(58)의 내용이 데이터 버퍼(40)에 기억된 상기 제 1 퍼지 입력보다 크다면, 상기 N 신호는 음의 결과를 지시하기 위하여 표명된다. 반대로, 만약 상기 제 1 퍼지 입력이 어

큐율레이터(58)의 내용보다 작다면, 상기 N 신호는 양의 결과를 지시하기 위하여 부정된 상태이다. 타아밍 회로(28)에 의해 결정된 적당한 시간에서, 상기 타이밍 제어 신호는, 레지스터 스웹 논리 회로(46)가 데이터 버퍼(40)에 어큐율레이터(58)의 내용을 전송하고, 어큐율레이터(58)에 데이터 버퍼(40)의 내용을 전송하고, 어큐율레이터 (48) 및 데이터 버퍼(40)의 내용이 동일하게 남아있도록 할수 있게 표명된다.

규칙 1 에 대한 If 부분의 평가동안, 어큐율레이터(58)의 내용이 상기 제 1 퍼지 입력으로부터 감산될 때, 음의 결과는 발생된다($33-$FF=-$CC) 그러므로, 상기 N 신호는 표명되어 남아있다. 부가적으로, 상기 V신호는 퍼지 입력이 내부 메모리(32)로부터 검색되도록 지시하기 위하여 부정된다. 상기 타이밍 제어 신호가 표명될 때, AND 게이트(62)의 출력은 0 이고, 상기 인에이블 A 신호는 표명되지 않았다. 그러나, 인버터(68)의 출력은 표명되어지고, AND 게이트(70)는 상기 인에이블 B 신호를 표명하기 위하여 작동된다. 상기 인에이블 B 신호가 표명될대, 셀렉터(44)는 데이터 버퍼(40)로부터 어큐율레이터(58)까지 데이터를 전송하기 위하여 작동된다. 상기 포인트에서, 멤버쉽의 상기 최고 정도는 $33이고, 어큐율레이터(58)에 기억된다.

유사하게, 규칙 (1)의 상기 제 2 퍼지 입력은 데이터 버퍼(40)에 제공된다. 상기 제 2 퍼지 입력은 멤버쉽의 정도가 있고, 상기 제 2 시스템 입력은 가벼운 압력으로써(Plight) 멤버쉽 세트를 가진다. 상기 예로써, 멤버쉽의 상기 정도는 $00의 16 진수 값을 가진다. 다시, 내부 메모리(32)는 상기 제 2 퍼지 입력에 대한 멤버쉽의 정도를 외부 정보 버스(41)를 경유하여 실행 장치(14)의 데이터 버퍼(40)에 제공한다.

멤버쉽의 최소 정도를 결정하므로써, 상기 제 1 퍼지 압력은 상기 제 2 퍼지 입력으로부터 감산된다. 실행 장치(14)에 있어서, 상기 제 1 퍼지 입력은 a-입력 멀티플렉서(50)에 제공되며, 상기 제 2 퍼지 입력은 Micro-ROM 제어 버스(65)를 경유하여 전송된 타이밍 신호에 따라서 결정된 시간의 포인트에서 B-입력 멀티플렉서(56)에 제공된다. B-입력 제어 회로(54)는 B-입력 멀티플렉서(56)의 작동을 제어하기 위하여 제어 B신호를 제공한다. 상기 예로써, 상기 제어 B 신호는 B-입력 멀티플렉서(46)이 ALU (52)에 대해 변화되지 않은 제 2 퍼지 값을 패스하도록 허용한다. 유사하게, A-입력 제어 회로(54)는 제어 A 신호를 A-입력 멀티플렉서(50)에 제공한다. 상기 제어 A 신호는, A-입력 멀티플렉서(50)이 ALU(52)에 대해 상기 제 2 퍼지 입력이 감산되도록 하기 위하여 상기 제 1 퍼지 입력을 부정하도록 한다.

상기 제 2 퍼지 입력 값 및 부정된 제 1 퍼지 입력 값의 수용하에서, ALU (52)는 다시 음의 결과를 제공하기 위하여 상기 제 2 퍼지 입력으로부터 상기 제 1 버퍼 입력 값을 감산한다. 그러므로, 상기 N 신호는 표명된다. 부가적으로, 상기 V 신호는 상기 퍼지 입력이 내무 메모리(32)로부터 검색되어지도록 지시하기 위하여 부정된다.

상기 타이밍 제어 신호가 표명될 때, AND 게이트(62)의 출력은 0이고, 인에이블 A 신호는 표명되지 않는다. 상기 제 1 예로써, AND 게이트(70)는 상기 인에이블 B 신호로 표명하지 않는다. 상기 인에이블 B 신호가 표명될 때, 셀렉터(44)는 데이터 버퍼(40)으로부터 어큐율레이터(58)까지 데이터를 전송할 수 있다. 그러므로, 상기 포인트에서, 멤버쉽의 최소 정도는 $00이고 어큐율레이터(58)에 기억된다.

규칙 (1)에 상기 퍼지 입력에 대해 상기 메모리의 끝에서, 버퍼 어드레스는 비교기(72)에 의해 인식된다. 비교기(72)는 표명된 토글 신호를 조건 코드 논리 회로(47)에 제공한다. 조건 코드 논리 회로(47)는 조건 코드 레지스터(60)의 상기 V 비트가 표명된 V 신호를 제공하기 위하여 토글되어지는 조건 코드 레지스터에 상기 조건 코드 신호를 다음에 제공한다. 상기 기술된 것처럼 상기 V 신호는 규칙 (1)에 대한 퍼지 출력의 한 어드레스가 내무 메모리(32)에서 검색되기 위해서 상기 다음 어드레스에 있다는 것을 지시하기 위해 표명된다. 여기에 기술된 예로서, 상기 V 신호는, 규칙(1)에 대한 상기 퍼지 출력의 어드레스가 내무 메모리(32)로부터 검색될 때, 상기 REV 명령의 then부분의 실행동안 표명된다.

다수의 퍼지 출력중 하나가 선택될 때, 최대의 작동은 실행된다. 그러므로, 상기 REV 명령의 상기 then 부분에 대해서, 최대 규칙 스트랭스는 각각의 퍼지 출력에 할당된다. 상기 기술된 것처럼 초대 규칙 스트랭스는 각각의 퍼지 출력에 할당되어야 한다. 그러므로, 상기 REV 명령의 상기 If 부분의 실행의 결과로써, 어큐율레이터 58에 기억된 멤버쉽 값의 상기 최소 단계는 내무 메모리(32)의 상기 퍼지 출력 어드레스에 새롭게 기억된 규칙 스트랭스 값을 비교한다. 상기 새로운 규칙 스트랭스값은 상기 REV 명령의 상기 then 부분의 실행동안 어큐율레이터(58)에 기억되어 상주한다. 상기 최대 규칙 스트랭스 값은 항상 내무 메모리(32)에 기억된다. 상기 설명된 것처럼, 멤버쉽 값의 최소 정도는, 각각의 퍼지 입력에 대한 멤버쉽의 정도가 최소값을 결정하기 위해 비교되는 상기 REV 명령의 제 1 부분에 계산된다.

상기 퍼지 입력의 최소값은 어큐율레이터(58)에 남아있다. 상기 규칙이 새롭게 평가되는 퍼지 출력의 상기 어드레스 포인터는 상기 규칙 어레이 다음에 제공된다. 실행 장치(14)의 상기 지포 레지스터(도시되지 않음)는 상기 제 1 퍼지 출력의 한 어드레스 포인트에 상기 포인터를 증가한다. 예컨대, 상기 포인터는 어드레스 $E006에 증가된다. 어드레스 $E006에서, 16 진수 어드레스 $E006 에 증가된다. 어드레스 $E006에서, 16 진수 어드레스 $2000 즉 상기 제 1 퍼지 출력의 한 어드레스는 제공된다. 데이타 처리 시스템(10)의 사용자가 상기 REV 명령의 실행에 앞서 16 진수 값 $00을 상기 퍼지 출력 어레이에 기억되기 때문에, 내부 메모리(32)는 어드레스 $2000가 억세스될 때 16 진수 값 $00을 제공한다. 상기 퍼지 출력($00)의 값은, 상기 퍼지 출력값이 연속 연산동안 기억된 외부 정보 버스(41)를 경유하여 데이터 버퍼(40) 다음에 제공된다.

최대 규칙 스트랭스 값을 결정하기 위해서 어큐율레이터(58)의 상기 내용은 보다 커다란 값을 가지도록 하기 위해 데이터 버퍼(40)으로부터 감산된다. 즉, 상기 규칙 평가 단계의 If부분 동안 계산된 멤버쉽 값의 최소정도는 규칙(1)에 대한 상기 제 1 퍼지 출력의 상기 어드레스 위치에 새롭게 기억된 상기 규칙 스트랭스 값으로부터 감산된다. 상기 연산을 실행하기 위하여, 어큐율레이터(58)의 내용은 정보 버스 A66에 제공되며, 데이터 버퍼(40)의 내용은 정보 버스 B64 에 제공된다. 부가하여, 다수의 제어 및 타이밍 신호가 Micro-ROM 제어 버스(65)를 경유하여 실행 장치(14)에 제공된다. 다수의 제어 및 타이밍 신호는 제2도의 명령 해독 논리(18)에 의해 상기 REV 명령을 해독하는 결과로써 제공된다.

실행 장치(14)에 있어서, 어큐율레이터(58)에 기억된 멤버쉽 값의 최소 정도는 A-입력 멀티플렉서(50)에 제공되며, 데이터 버퍼(40)에 기억된 새로운 퍼지 출력값은 Micro-ROM 제어 버스(65)를 경유하여 전송된 타이밍 신호에 일치하여 결정된 시간의 포인트에서 B-입력 멀티플렉서(56)에 제공된다. B-입력 제어 회

로(56)는 B-입력 멀티플렉서(56)의 연산을 제어하기 위하여 제어 B 신호를 제공한다. 예컨대, 상기 제어 B 신호는 B-입력 멀티플렉서가 내부 메모리(32)로부터 ALU (52)까지 변화되지 않은 퍼지 출력 값을 패스하는 것을 허용한다. 유사하게, A-입력 제어 회로(48)는 상기 제어 A 신호를 A-입력 멀티플렉서(40)에 제공한다. 상기 제어 A 신호 때문에 A-입력 멀티플렉서(50)는 ALU (52)의 연속 감산 연산에 대해 어큐뮬레이터(58)의 내용이 부정으로 동작한다.

A-입력 멀티플렉서(50) 및 B-입력 멀티플렉서(56)으로부터 상기 값의 수용하에서 ALU (52)는 규칙(1)의 상기 제 1 퍼지 출력에 대응하는 소정 메모리 위치에 기억된 상기 퍼지 출력 값으로부터 어큐뮬레이터(58)에 기억된 멤버쉽 값의 최소 정도를 감산한다. 예컨대, 어큐뮬레이터(58)에 기억된 상기 값이 16 진수 값 $00를 가진다. 규칙(1)에 대한 각각의 퍼지 출력이 16 진수 $00 에 할당되기 때문에, ALU (52)에 의해 제공된 상기 결과는 $00 이다. 상기 출력이 음의수가 아니기 때문에 상기 N 신호는 부정으로 남아있고, 연속하여 레지스터 스웹 논리(46)에 제공된다.

상기 설명된 것처럼, 조건 코드 레지스터(60)는 상기 VCCR 신호를 레지스터 스웹 논리(46)에 제공한다. 부가적으로, 상기 타이밍 제어 신호는 레지스터 스웹 논리(48)에 타이밍 회로(28)같은 외부 소오스에 의해 제공된다. 각각의 상기 VCCR, N, 그리고 타이밍 제어 신호의 수용하에서, 레지스터 스웹 논리(46)는 이에이블 A 및 인에이블 B 신호를 부정한다. 그러므로, 셀렉터(42) 및 (44)는 개별적으로 작동하지 않고, 데이터 버퍼(40) 및 어큐뮬레이터(58) 사이에 데이터의 전송을 허용하지 않는다. 따라서, 내부 메모리(32)안에 상기 제 1 퍼지 출력의 상기 규칙 스트랭스는 변하지 않고, 16 진수의 값 $00을 계속하여 가진다.

유사하게, 규칙(1)의 상기 제 2 버퍼 출력에 대하여 규칙 스트랭스의 결정동안, 어큐뮬레이터(58)에 기억된 상기 값 및 내부 메모리(32)로부터 검색된 상기 규칙 스트랭스 값이 16진수의 값 $00을 가진다. 그러므로, ALU (52)는 다시 상기 N신호를 부정하고, 레지스터 스웹 논리(46)는 인에이블 A 및 인에이블 B 신호 규칙 부정하기 위해 연속적으로 동작한다. 그러므로, 규칙(1)의 평가후에, 각각의 특정된 퍼지 출력 액션 1, 액션(2)이 상기 규칙 스트랭스는 $00의 16 진수 값을 가진다.

다시, 규칙(1)을 위해 상기 퍼지 출력에 대한 상기 메모리 위치의 끝에서, 한 버퍼 어드레스는 비교기(72)에 의해 인식된다. 비교기(72)는 표명된 토글 신호를 조건 코드 논리 회로(47)에 제공한다. 조건 코드 논리회로(47)는 조건 코드 레지스터(60)의 상기 V 비트가 부정된 V 신호를 제공하기 위하여 토글되기 위해 조건 코드 레지스터에 조건코드 신호를 제공한다. 상기 기술된 것처럼, 상기 V 신호는 규칙(2)에 대한 퍼지 입력의 한 어드레스가 내부 메모리(32)로부터 검색되기 위해 다음 어드레스에 있다는 것을 지시하기 위해 부정된다. 예컨대, 상기 V 신호는, 규칙(2)에 대한 상기 퍼지 입력의 어드레스가 내부 메모리(32)로부터 검색될 때, 상기 REV 명령의 if 부분의 실행동안 부정된다. 상기 V신호가 부정될 때, 어큐뮬레이터(58)의 내용을 $FF의 값에 다시 초기화된다.

상기 REV 명령의 계속되는 실행은 규칙(2)에 대한 평가를 요구한다. 상기 기술된 것처럼, 제어 장치(20)는 내부 메모리(32)로부터 실행 장치(14)까지 규칙(2)에 대한 각각의 퍼지 입력을 전송하기 위하여 제어 신호의 필요조건을 배열하는 한 시리즈를 제공한다. 규칙(2)의 평가동안에, 내부 메모리(32)는 상기 따뜻하다 온도 멤버쉽 세트의 제 1 시스템 입력에 대한 멤버쉽의 정도가 기억되는 제 1 어드레스에 제공한다. 상기 기술된 예로써 상기 어드레스는 내부 메모리(32)에 16 진수 어드레스 $1002 의 포인트일 것이다. 어드레스 $1002 가 내부 메모리(32)로부터 억세스될 때, $CC의 16 진수 값을 가진 멤버쉽 정도는 내부 데이터 버스(34)를 경유하여 데이터 버퍼(40)에 제공된다.

규칙(1)의 평가동안, 규칙(2)에 대한 상기 제 1 퍼지 입력은 어큐뮬레이터(58)의 초기화된 내용과 비교된다.

어큐뮬레이터(58)는, 상기 제 2 버퍼 어드레스가 인식될 때, $FF의 16 진수 값으로 다시 초기화된다. 그러므로, 상기 최소값은 상기 기술된 방법에 따라서 감지되고 한 $CC는 어큐뮬레이터(58)에 기억된다.

유사하게, 규칙(2)의 상기 제 2 퍼지 입력은 데이타 버퍼(40)에 제공된다. 상기 제 2 퍼지 입력은 멤버쉽의 상기 정도가 있고, 상기 제 2 시스템 입력은 중간 압력 멤버쉽 세트를 가진다. 예컨대, 멤버쉽의 정도는 $FF의 16 진수 값을 가진다.

멤버쉽의 최소 정도를 결정하기 위해서, ALU(52)는 양의 $33의 결과를 제공하기 위하여 상기 제 2 퍼지 입력으로부터 상기 제 1 퍼지 입력을 감산한다. 상기 결과가 양의 값이기 때문에, 상기 N 프래그(flag)는 소거되며, 부정된 N 신호는 결과 버스(120)를 경유하여 제공된다.

결과적으로, 레지스터 스웹 논리(46)는 V 신호, N 신호, 그리고 어큐뮬레이터(58) 및 데이터 버퍼(40)의 내용에 대한 스위칭(swithing)을 제어하기 위한 타이밍 제어 신호를 수신한다. 레지스터 스웹 논리(46)는 상기 인에이블 A 및 인에이블 B 신호를 부정한다. $CC의 16 진수 수 즉 멤버쉽의 상기 최소정도는 어큐뮬레이터(58)에 기억되어 남아있다.

규칙 2를 위해 상기 퍼지 입력에 대한 상기 메모리 위치의 끝에서, 한 버퍼 어드레스는 비교기(72)에 의해 인식된다. 비교기(72)는 표명된 토클 신호를 조건 코드 논리 회로(47)에 제공한다. 조건 코드 논리회로(47)는 조건 코드 레지스터(60)의 상기 비트가 표면된 V 신호를 제공하여 토글되기 위해 조건 코드 레지스터에 조건 코드 신호를 제공한다. 상기 설명된 것처럼, 상기 V 신호는, 규칙(2)에 대한 퍼지 출력의 한 어드레스가 내부 메모리(32)로부터 검색되기 위해 다음 어드레스에 있다.

규칙 (2)에 대한 상기 퍼지 입력의 최소값을 어큐뮬레이터(58)에 남아있다. 새롭게 평가되는 규칙의 상기 퍼지 출력은 상기 규칙 어레이 다음에 제공된다. 실행 장치(14)의 상기 지표 레지스터는 상기 제 1 퍼지 출력 중 한 어드레스의 포인트에 상기 포인터를 충분한다. 예컨대, 상기 포인터는 어드레스 $E012에 의해 충분된다. 어드레스 $E012로써, 즉 상기 제 1 퍼지 출력 중 한 어드레TM 즉 16 진수 어드레스 $2002는 제공된다. 데이타 처리 시스템(10)의 사용자가 상기 REV 명령의 실행에 앞서 $00 의 16 진수 값이 상기 퍼지 출력 어레이에 기억된 모든 데이터 값을 할당하기 때문에, 내부 메모리(32)는 어드레스 $2002가 억세스될 때, $00의 16 진수 값을 제공한다. 상기 퍼지 출력 값($00)는, 상기 퍼지 출력 값이

연속 연산 동안 기억되는 외부 정보 버스(41)를 경유하여 데이터 버퍼(40) 다음에 제공된다.

ALU (52)는 데이터 버퍼(40)에 기억된 $00 의 16 진수 값으로부터 어큐뮬레이터(58)에 기억된 $CC 의 16 진수 값 다음에 감산한다. 한 결과는 음의 $CC의 값이고, 상기 N 신호는 표명된다. 각각의 상기 N, V 그리고 타이밍 신호가 레지스터 스웹 논리(46)에 제공될 때, 레지스터 스웹 논리(46)는 인에이블 A 신호로 표명되고, 인에이블 B 신호로 부정된다.

상기 인에이블 A 신호가 표명될 때, 셀렉터(42)는 데이터 버퍼(40)로 어큐뮬레이터(58)의 내용을 드라이브하기 위해 동작될 수 있다. 데이터 버퍼(40)는 최대의 규칙 스트랭스 값으로써 어큐뮬레이터(58)에 의해 제공된 멤버쉽 값($CC) 중 이전에 최소 정도를 기억한다. 부가적으로, 데이터 버퍼(40)는 규칙(2)에 대한 상기 제 1 퍼지 출력의 상기 어드레스 위치($2002)로 상기 최대 규칙 스트랭스를 전송한다. 그러므로, $CC의 값은 상기 REV 명령의 실행동안 상기 포인트에서 내부 메모리(32)의 어드레TM $2002 는 액션(3)에 대한 새로운 규칙 스트랭스 값이다.

다시, 규칙(2)에 대하여 상기 퍼지 출력에 대한 상기 퍼지 출력에 대한 상기 메모리 위치의 끝에서, 버퍼 어드레스는 비교기(72)에 인식된다. 비교기(72)는 표명된 토글 신호를 조건 코드 논리 회로(47)에 제공한다. 조건 코드 논리 회로(47)는, 조건 코드 레지스터(60)의 상기 V 비트가 부정된 V 신호를 제공하여 토글되기 위해 조건 코드 레지스터에 조건 코드 신호를 제공한다. 상기 설명된 것처럼, 상기 V 신호는 규칙(3)에 대한 퍼지 입력의 한 어드레스가 내부 메모리(32)로부터 검색되기 위하여 다음 어드레스에 있다는 것을 지시하기 위해서 부정된다. 상기 기술된 예로써, 상기 V 신호는, 규칙(3)에 대한 상기 퍼지 입력의 어드레스가 내부 메모리(32)로부터 검색될 때, 상기 REV 명령에 대한 if부분의 실행동안 부정된다. 상기 VCCR 신호가 부정될 때, 어큐뮬레이터(58)의 내용은 $FF의 값에 다시 초기화된다.

상기 REV 명령의 계속하는 실행은 규칙(3)에 대한 평가 시작이다. 상기 설명된 것처럼, CPU (12)의 제어 장치(20)는 내부 메모리(32)로부터 실행 장치(14)까지 규칙(3)에 대한 각각의 퍼지 입력을 전송하기 위하여 제어 신호 필요를 배열하는 한 시리즈를 제공한다. 규칙(3)에 대한 평가동안, 내부 메모리(32)는 중간 압력 멤버쉽 세트에 대한 멤버쉽의 정도가 기억되는 제 1 어드레스를 제공한다. 상기 기술된 예로써, 상기 어드레스는 내부 메모리(32)안에 16 진수 어드레스 $1005 의 포인트 일 것이다. 어드레스 $1005 가 내부 메모리(32)로부터 억세스될 때, $FF의 16 진수 값을 가진 멤버쉽의 정도는 내부 데이터 버스(34)를 경유하여 데이터 버퍼(40)에 제공된다.

상기 기술된 것처럼, 어큐뮬레이터(58)의 상기 내용은 V 신호가 부정될 때, $FF에서 초기화된다. 데이터 버퍼(40)에 기억된 멤버쉽의 정도가 ALU (52)에 의해 어큐뮬레이터(58)의 내용으로부터 감산될 때, 0의 결과값은 발생된다. 상기 결과가 음의 값이 아니기 때문에, 상기 N 신호는 표명되지 않는다. 그러므로, 레지스터 스웹 논리(56)는 인에이블 A 또는 인에이블 B 신호로 표명되지 않고, 정도는 데이터 버퍼(40) 및 어큐뮬레이터(58) 사이에서 전송되지 않는다.

규칙(3)의 상기 퍼지 출력에 대한 메모리 위치의 끝에서, 한 버퍼 어드레스는 비교기(72)에 의해 인식된다. 비교기(72)는 한 표명된 토글 신호를 조건 코드 논리 회로(47)에 제공한다. 조건 코드 논리 회로(47)는, 조건 코드 레지스터(60)의 상기 V 비트가 한 표명된 V 신호를 제공하여 토들되기 위해서 조건 코드 레지스터(60)에 조건 코드 신호 다음에 제공한다. 상기 기술한 것처럼, 상기 V 신호는, 규칙(3)에 대한 퍼지 출력의 한 어드레스가 내부 메모리(32)로부터 검색되기 위하여 상기 다음 어드레스에 있다고 지시하여 표명된다.

연속적으로, 규칙(3)에 대한 상기 퍼지 출력의 어드레스는 내부 메모리(32)로부터 억세스되고, $CC의 16 진수 값은 데이터 버퍼(40)에 제공된다. $CC의 상기 16 진수 값은 규칙92)의 평가 결과로써 제공되며 액션(3) 즉 상기 퍼지 출력은 16 진수 $CC 의 규칙 스트랭스 값이 할당된다. 그러므로, 16 진수 값 $CC 는 데이터 버퍼(40)에 제공된다.

ALU (52)는 데이터 버퍼(40)에 기억된 $CC의 16 진수 값으로부터 어큐뮬레이터(58)에 기억된 $FF의 상기 16 진수 값 다음에 감산한다. 한 결과는 음의 $-33 값이다. 레지스터 스웹 논리(46)에 제공될 때, 레지스터 스웹 논리(46)는 상기 인에이블 A를 표명한다. 그러므로, 셀렉터(42)는 어큐뮬레이터(58)로부터 데이터 버퍼(40)까지 데이터를 전송하기 위하여 동작된다. 데이터 버퍼(40)는 규칙(3)에 대한 상기 퍼지 출력, 상기 액션 3 퍼지 출력의 어드레스 위치로 멤버쉽 값의 최소 정도로 전송한다. 그러므로, $FF의 16 진수 값은 상기 REV 명령의 실행동안 상기 포인트에서 액션(3)의 새로운 규칙 스트랭스 값이다.

규칙(3)의 평가후에, 평가되는 규칙에 대한 상기 어레이의 끝을 지시하는 한 특별한 버퍼 어드레스는 비교기(72)에 의해 감지되고, 상기 REV 명령은 종료된다. 상기 포인트에서, 각각의 규칙 1, 2, 3은 평가되어지고, 각각의 대응하는 퍼지 출력은 한 규칙 스트랭스 값에 할당된다. 상기 기술된 예로써, 각각의 액션(1) 및 (2)는 16 진수 $00의 규칙 스트랭스 값으로 할당된다. 부가적으로, 액션(3)은 16 진수 $FF의 규칙 스트랭스 값으로 할당된다. 각각의 상기 액션은 데이타 처리 시스템(10)에 대하여 적당한 액션을 결정하도록 디퍼지피케이션 경로지정(routine) 퍼지 출력으로써 다음에 제공된다. 예컨데, 액션(3)은 밸브(Valve)를 오픈하고 또는 팬을 턴온하므로써 디퍼지화 될 수 있다. 부가적으로, 액션(1)에서 (3)의 상기 규칙 스트랭스는, 팬이 턴 온 되고 또는 밸브가 오픈되는 정도를 결정하므로써 디퍼지화 될 수 있다. 상기 더퍼지화 작동은 데이터 처리 기술로써 잘 공지되어 있고, 그러므로, 여기서 상세히 설명하지 않겠다.

그러므로, 데이타 처리 시스템(10)으로 상기 REV 명령의 실행동안, 각각의 규칙(1), 규칙(2) 및 규칙(3)은 빠르게 평가되고, 소수의 부가된 회로소자가 평가된다. 제 3 도에 도시된 대부분의 상기 회로소자는 데이터 프로세서의 일반 목적 프로세싱을 실행하기 위하여 통상적으로 이용된다. 상기 Micro-ROM 의 소수부가 메모리 및 소수부가된 명령 해독 논리는 사기 본 발명을 실행하기 위하여 요구된다. 부가적으로, 실행 장치(14)에 있어서, 비교기(72) 및 레지스터 스위치 논리 회로(46)는 통상적으로 요구된 노리에 부가하여 요구된다.

상기 규칙 평가 단계가 상기 REV 명령의 실행동안 완전하게 프로세스되기 때문에, 보다 빠른 실행 시간은 성취될 수 있다. 상기 규칙 평가 단계의 상기 실행으로써, 다수의 단계를 가진 소프트웨어 프로그램은

요구된다. 예컨데, 통상적으로 MC68HC11 명령을 이용하여 실행된 소프트웨어 프로그램은 30 개 명령어를 상기 규칙 평가 단계를 실행하기 위하여 요구한다. 상기 REV 명령어는 상기 MC68HC11 프로그램의 모든 31 가지 명령과 대치한다. 그러므로, 상기 규칙 평가 단계 실행에 통상적으로 요구된 상기 실행 시간은 단 하나의 REV 명령어 실행에 의해 상당히 줄어졌다.

부가적으로 상기 REV 명령어는 매우 가요성이었고, 퍼지 입력 또는 퍼지 출력의 일정한 수를 요구하지 않는다. 버퍼 어드레스를 감지하고 그리고 상기 VCCR 신호를 세팅에 의해서, 실행 장치(14)는 각각의 퍼지 출력 및 퍼지 입력의 최대 또는 최소 값을 제공한다. 데이타 처리 시스템(10)의 사용자는 상기 규칙이 내부 메모리(32)의 소정 위치에 평가되도록 하기 위해 상기 포맷을 기억하는 것이 요구된다. 상기 규칙이 소정 메모리 위치에 기억되는 종래 기술 해결로써, 상기 규칙은 한 규칙에 대하여 제 1 소정수의 퍼지 입력 및 제 2 소정 수의 퍼지 출력을 가지고 일정한 포맷을 따라야 한다. 만약 상기 버퍼 어드레스가 감지되지 않거나, 퍼지 입력 및 퍼지 출력의 일정한 수가 각각의 규칙에 대하여 요구된다면, 다수의 메모리는 소수의 퍼지 입력 또는 퍼지 출력을 가지는 상기 규칙이 낭비될 것이다.

마찬가지로, 상기 규칙이 외부 소오스의 간섭없이 평가될 수 있는 메모리의 순서에 기억되기 때문에, 한 가지 규칙 이상의 각각의 REV 명령어에 대하여 평가될 것이다. 제 1 풀이 평가된 후에 제 2 규칙은 데이타 처리 시스템(10)의 사용자로부터 부가하는 정보의 검색없이 즉시 평가될 수 있다. 규칙은 상기 어레이의 끝이 도달될때까지 검색될 것이다. 상기 어레이의 끝은 특정 버퍼 어드레스에 의해 지시된다. 상기 실행으로써 규칙 평가 단계의 실행동안, 각각의 규칙은 분리하여 평가된다. 그러므로, 이전의 소프트웨어 기술을 사용하여 다수의 규칙을 평가하기 위한 상기 시간 필요성은 상기 REV 명령을 사용하는 동일한 수의 규칙을 평가하기 위한 상기 시간 필요 조건 보다 길다.

여기에 기술된 본 발명의 실행으로써, 상기 REV 명령의 실행은 어떤 중간 결과의 손실없이 일시정지 될 수 있다. 상기 일시정지 회로가 프로세스될 때, 상기 REV 명령어의 실행은 상기 REV 명령이 일시정지되는 포인트에서 계속될 수 있다. 상기 REV 명령어는 내부 메모리(32)의 상기 규칙 어레이 포인터가 일시정지 동안 세이브(save)된 지표 레지스터에 기억되기 때문에 일시 정지 될 수 있다. 부가하면, 상기 V의 상기 상태가 일시 정지 동안 변하지 않는다. 왜냐하면, 그것은 일시정지 동작동안 변하지 않는 프로세서 상태 레지스터, 조건 코드 레지스터(60)에 기억되기 때문이다. 최소 및 최대 연산에 대한 중간 결과는 어큐뮬레이터(58)에 또한 기억된다. 다시, 어큐뮬레이터(58)는 일시정지 작동동안 변하지 않는 프로세서 상태 레지스터, 조건 코드 레지스터(60)에 기억되기 때문이다. 최소 및 최대 연산에 대한 중간 결과는 어큐뮬레이터(58)에 또한 기억된다. 다시, 어큐뮬레이터(58)는 일시정지 작동동안 변화되지 않는다. 그러므로, 비록 상기 REV 명령어가 다수의 룰을 프로세스할 때 시간을 소비할지라도, 상기 명령어는 더욱 긴급한 작동이 실행될 수 있게 하기위해 데이타 처리 시스템(10)의 사용자에 의해 일시정지 될 수 있다. 상기 REV 명령어의 실행은 보다 긴급한 작동이 끝난 다음에 계속된다.

여기에 기술된 본 발명의 상기 실행은 단 한가지 예의 방법에 의해 제공된다. 그런, 많은 다른 실행은 여기에 기술된 다른 기능으로 실행하기 위하여 존재할 수 있다. 예컨데, 평가될 상기 규칙에 대한 규칙 베이스의 개시는 상기 REV 명령어의 연산수로써 제공될 수 있다. 부가적으로, 데이타 처리 시스템(10)의 외부 메모리 회로는 상기 규칙의 평가동안 이용된 퍼지 입력 및 각각의 상기 규칙을 기억하기 위하여 이용될 수 있다. 마찬가지로, 비록 상기 N 및 V 신호가 본 발명의 상기 실행으로써 레지스터 스웹 논리(46)의 작동을 제어하기 위하여 이용될지라도, 데이타 처리 시스템(10) 내의 다른 신호는 사용하기 위하여 쉽게 채택될 수 있다. 부가적으로, 레지스터 스웹 논리(56)에 이용된 상기 논리 게이트 NANb, OR, NOR 또는 Exclusive-OR 게이트 같은 다른 논리 회로로써 또한 대치될 수 있다.

본 발명의 원리가 기술될 동안, 상기 기술이 예의 방법에 의해 유일하게 되어있고 본 발명의 범위를 제한하지 않았다는 것을 기술에 숙련된 사람은 분명 이해될 것이다. 따라서 부착된 청구항에 의해서, 본 발명의 솔직한 정신 및 범위내에서 잘못되는 본 발명의 모든 변경을 막기 위해서 의도된다.

(57) 청구의 범위

청구항 1

퍼지 규칙 평가 작동을 실행하기 위해 디지털 데이터 프로세서를 작동하는 방법에 있어서, 1) 메모리 위치로부터 한 어드레스 값을 검색하는 단계와; 2) 상기 어드레스 값을 제 1의 바운더리 값과 비교하고 만약 상기 어드레스 값이 제 1의 바운더리 값에 부합되면(matches), 상기 퍼지 규칙 계산 작동을 종료하는 단계와; 3) 상기 어드레스 값과 제 2의 바운더리 값과 비교하고 만약 상기 어드레스 값이 제 2의 바운더리 값에 부합하면 제 1의1 플래그의 상태를 변화하는 단계와; 4) 만약 상기 어드레스값이 제 1 및 제 2의 바운더리 값 중에 어느것과도 부합하지 않거나, 제 1 프래그 신호가 제 1 상태에 있다면, 상기 어드레스 값에 의해 특정된 메모리 위치로부터 검색된 멤버쉽 기능 값을 이용하여 제 1의 산술 작동을 실행하는 단계와; 5) 만약 상기 어드레스 값이 제 1 및 제 2의 바운더리 값 중 어느 것과도 부합하지 않고 제 1의 플래그 신호가 제 2의 상태에 있으며 상기 어드레스 값에 의해 특정된 메모리 위치로부터 결과 값을 검색하고, 상기 결과 값을 이용해서 제 2 산술 작동을 수행하고 상기 제 2의 산술 작동의 결과를 상기 어드레스에 의해 특정된 메모리 위치에 선택적으로 기록하는 단계; 및 6) 단계 1)에서 5)를 반복하는 단계를 포함하는 것을 특징으로 하는 퍼지 규칙 평가 작동을 실행하기 위해 디지탈 데이터 프로세서를 작동하는 방법.

청구항 2

퍼지 규칙 평가 작동을 수행하기 위해 디지털 데이터 처리 시스템을 작동하는 방법에 있어서, 1) i) 메모리 한 위치로부터 한 어드레스 값을 검색하는 단계와; ii) 상기 어드레스 값이 제 1 바운더리 값과 부합하는지를 결정하는 단계와; iii) 만약 상기 어드레스 값과 제 1 바운더리 값과 부합한다면 다수의

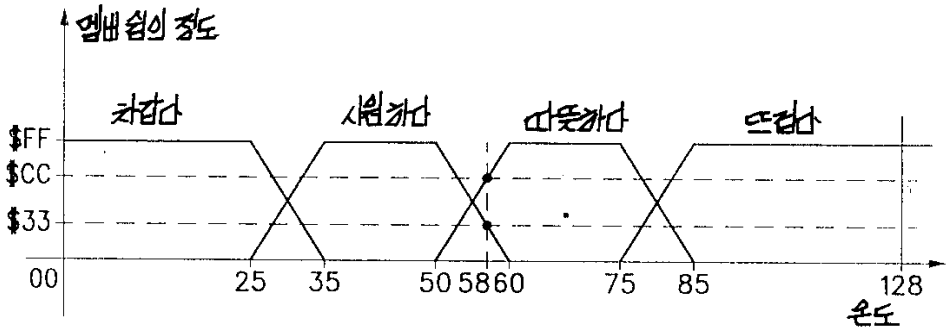
멤버쉽 값을 검색하는 단계를 종료하는 단계와; iv) 만약 상기 어드레스 값이 상기 제 1의 바운더리 값과 부합하지 않는다면, 상기 어드레스 값에 의해 특정된 메모리 위치로부터 멤버쉽 기능 값을 검색하는 단계; 및 v) 1) i)내지 1) iv) 단계를 반복하는 단계를 포함하는 메모리로부터 다수의 멤버쉽 기능 값을 검색하는 단계와; 2) 다수의 멤버쉽 기능 값 중 작은 하나를 결정하는 단계; 및 3) i) 상기 메모리 한 위치로부터한 어드레스 값을 검색하는 단계와; ii) 상기 어드레스 값이 제 2 바운더리 값과 부합하는지를 결정하는 단계와; iii) 만약 상기 어드레스 값이 상기 제 2 바운더리 값과 부합한다면 다수의 값을 결정하는 단계를 종료하는 단계와; iv) 만약 상기 어드레스 값이 제 2의 바운더리 값과 부합하지 않는다면, 상기 어드레스 값에 의해 특정된 메모리 위치로부터 결과 값을 검색하는 단계와; v) 상기 검색된 결과 값과 다수의 멤버쉽 값 중 가장 작은 값과 비교하는 단계와; vi) 만약 상기 검색된 결과 값이 다수 멤버쉽 값이 가장 작은 값보다 작다면, 상기 어드레스 값에 의해 특정된 메모리 위치에서 다수의 멤버쉽 값중 가장 작은 값을 기억하는 단계 및; vii) 3) i)내지 3) vi) 단계를 반복하는 단계를 실행함으로써 다수의 결과 값을 결정하는 단계를 포함하는 것을 특징으로 하는 퍼지 규칙 평가 작동을 수행하기 위해 디지털 데이터 처리 시스템을 작동하는 방법.

청구항 3

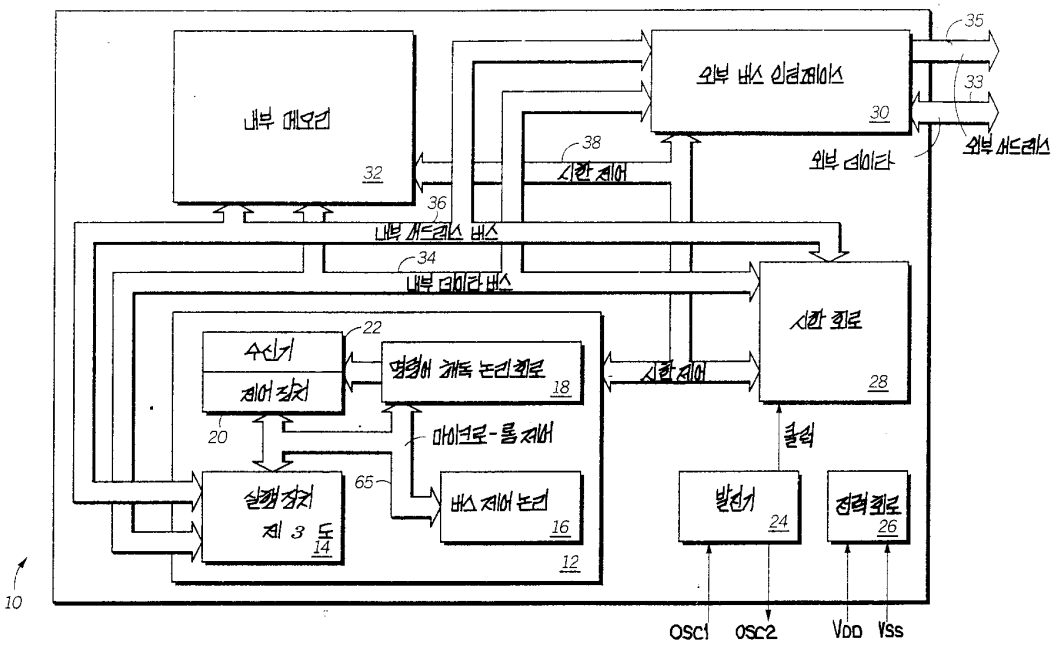
디지털 데이터 프로세서 작동 방법에 있어서, 제 1의 명령을 디코딩하는 단계; 및 상기 제 1의 명령의 디코딩에 응답하여, 1) 한 지표 레지스터(index register)의 내용에 의해 특정된 메모리 위치로부터 어드레스 값을 검색하는 단계와; 2) 상기 지표 레지스터의 내용을 증가하는 단계와; 3) 상기 어드레스 값을 제 1바운더리 값과 비교하고, 만약 상기 어드레스 값이 제 1의 바운더리 값과 부합하면 제 1의 명령의 실행을 종료하는 단계와; 4) 상기 어드레스 값을 제 2바운더리 값과 비교하고, 만약 상기 어드레스 값이 제 2의 바운더리 값과 부합하면 제 1의 플래그 신호의 상태로 변화하는 단계와; 5) 만약 상기 어드레스 값이 제 1 및 제 2의 바운더리 값중 어느 것과도 부합하지 않고 상기 제 1의 플래그 신호가 제 1의 상태에 있다면, 상기 어드레스 값에 의해 특정된 메모리 위치로부터 제 1의 데이터 값을 검색하고 상기 제 1의 데이터 값을 이용하여 제 1의 산술 연산을 수행하는 단계와; 6) 만약 상기 어드레스 값이 제 1 및 제 2의 바운더리 값중 어느 것과도 일치하지 않고 상기 제 1의 플래그 신호가 제 2의 상태에 있다면, 상기 어드레스 값에 의해 특정된 메모리 위치로부터 제 2의 데이터 값을 검색하고 상기 제 2의 데이터 값을 검색하고 상기 제 2의 데이터 값을 이용하여 제 2의 산술 연산의 결과를 상기 어드레스 값에 의해 특정된 메모리 위치에 선택적으로 기록하는 단계; 및 7) 단계 1)에서 6)을 반복하는 단계를 수행하는 단계를 포함하는 것을 특징으로 하는 디지털 데이터 프로세서 작동 방법.

도면

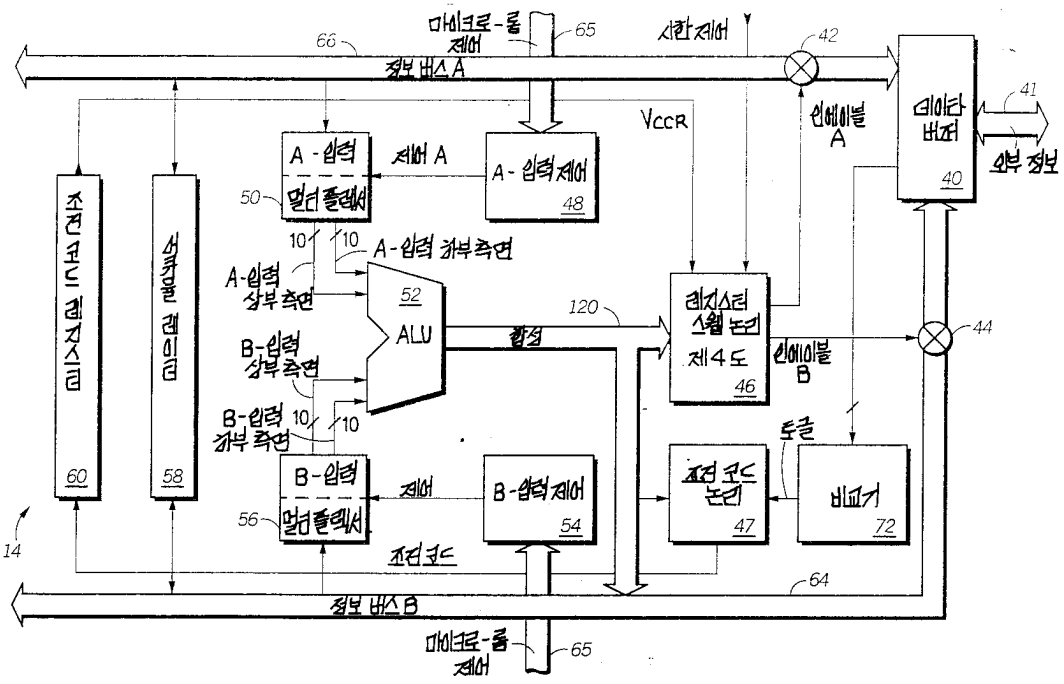
도면1



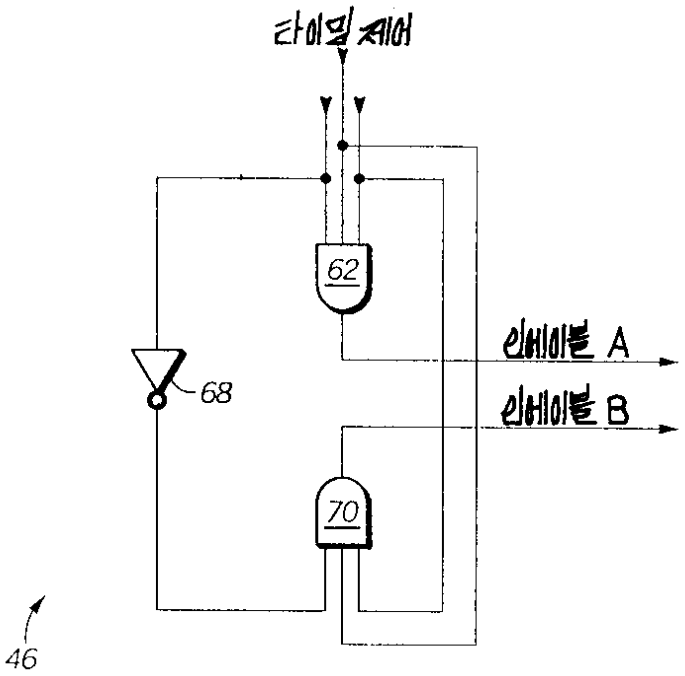
도면2


내부 메모리
32
외부 버스 인터페이스
30
35
33
외부 데이타
외부 어드레스
38
시한 제어
36
내부 어드레스 버스
34
내부 데이타 버스
시한 회로
28
22
수신기
제어 장치
명령어 해독 논리회로
18
시한 제어
20
마이크로-롬 제어
클럭
65
실행 장치
제 3 도
14
버스 제어 논리
16
12
발진기
24
전력 회로
26
10
OSC1
OSC2
VDD
VSS

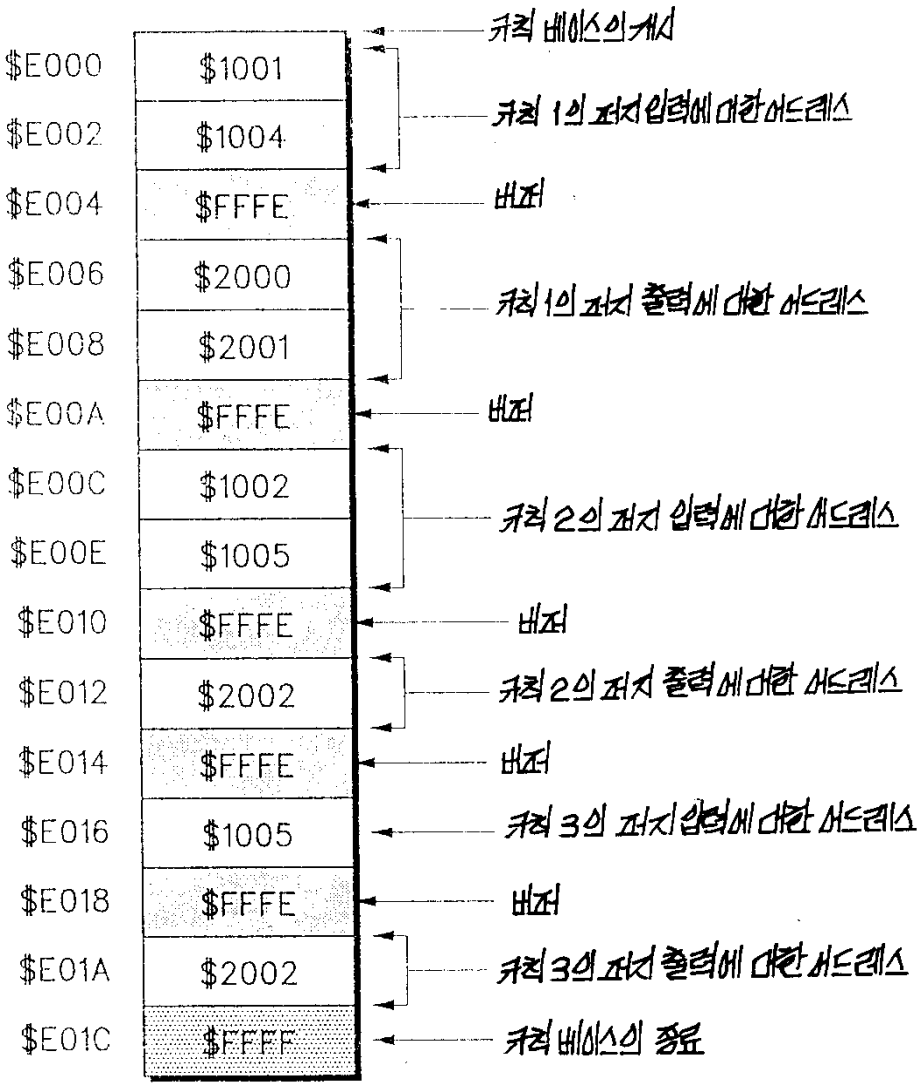
도면3


마이크로-롬 제어
65
시한 제어
42
66
정보 버스 A
VCCR
인에이블 A
데이타 버퍼
40
41
외부 정보
A-입력
멀티플렉서
제어 A
A-입력 제어
48
50
조건 코드 레지스터
60
서큐물 레이터
58
10
10
A-입력 하부측면
A-입력 상부측면
52
ALU
120
합성
레지스터 스웹 논리
제 4 도
46
인에이블 B
44
B-입력 상부측면
B-입력 하부측면
10
10
토글
B-입력
멀티플렉서
제어
B-입력 제어
54
56
조건 코드 논리
47
비교기
72
14
조건 코드
64
정보 버스 B
마이크로-롬 제어
65

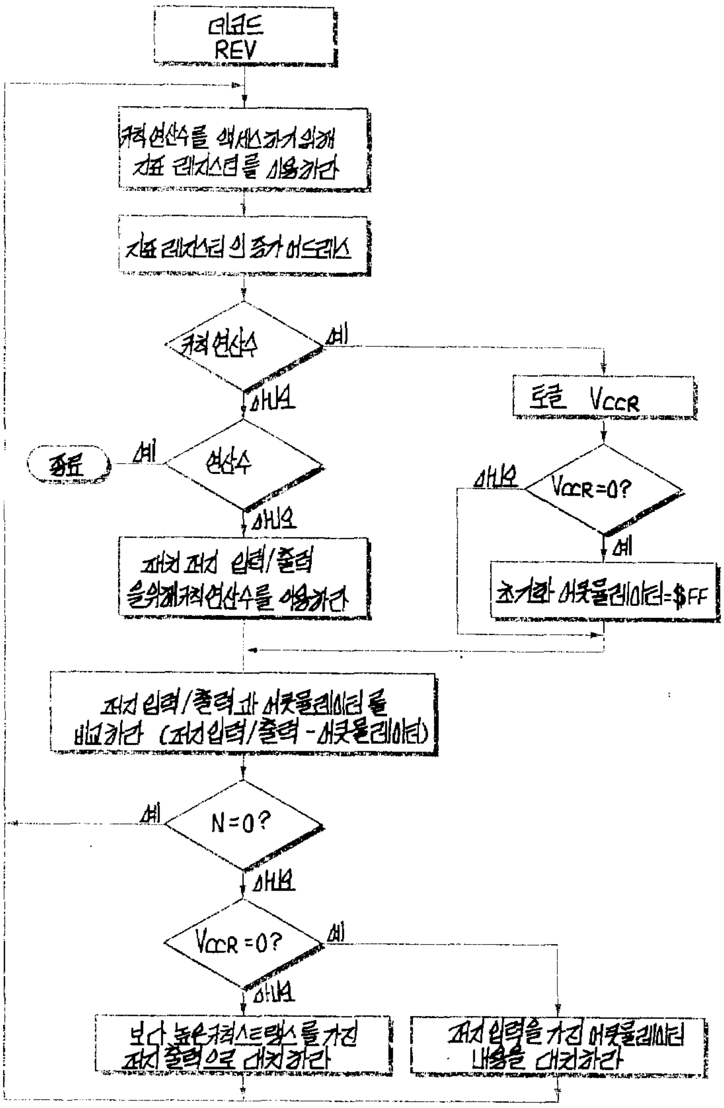
도면4



도면5


$E000
$1001
퍼지 베이스의 개시
$E002
$1004
퍼지 1의 퍼지 입력에 대한 어드레스
$E004
$FFFE
버퍼
$E006
$2000
퍼지 1의 퍼지 출력에 대한 어드레스
$E008
$2001
$E00A
$FFFE
버퍼
$E00C
$1002
퍼지 2의 퍼지 입력에 대한 어드레스
$E00E
$1005
$E010
$FFFE
버퍼
$E012
$2002
퍼지 2의 퍼지 출력에 대한 어드레스
$E014
$FFFE
버퍼
$E016
$1005
퍼지 3의 퍼지 입력에 대한 어드레스
$E018
$FFFE
버퍼
$E01A
$2002
퍼지 3의 퍼지 출력에 대한 어드레스
$E01C
$FFFF
퍼지 베이스의 종료

도면6


디코드
REV
커널 연산수를 액세스하기 위해 지표 레지스터를 사용하라
지표 레지스터의 증가 어드레스
커널 연산수
예
아니오
로드 VCCR
종료
예
연산수
아니오
VCCR=0?
예
퍼지 퍼지 입력/출력을 위해 커널연산수를 이용하라
초기화 버퍼레지스터=$FF
퍼지 입력/출력과 버퍼레지스터를 비교하라 (퍼지입력/출력 - 버퍼레지스터)
예
N=0?
아니오
VCCR=0?
예
아니오
보다 높은 커널스트렝스를 가진 퍼지 출력으로 대치하라
퍼지 입력을 가진 버퍼레지스터 내용을 대치하라