

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年4月28日(28.04.2022)



(10) 国際公開番号

WO 2022/085448 A1

(51) 国際特許分類:
H04N 5/369 (2011.01)

(21) 国際出願番号: PCT/JP2021/036933

(22) 国際出願日: 2021年10月6日(06.10.2021)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2020-178256 2020年10月23日(23.10.2020) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

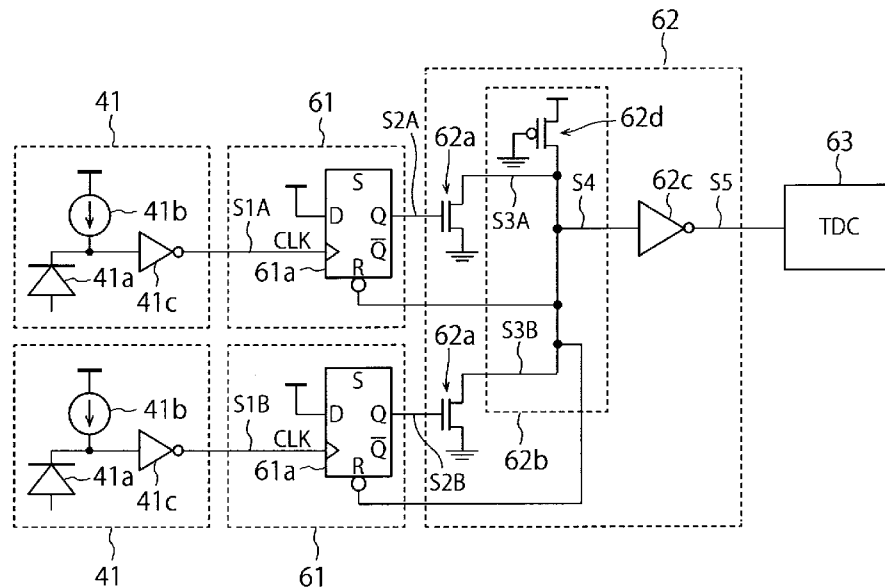
神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 佃 恭 範 (TSUKUDA Yasunori); 〒2430014 神奈川県厚木市旭町4丁目14-1 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 森川 有輝(MORIKAWA Yuki); 〒2430014 神奈川県厚木市旭町4丁目14-1 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 中村 行孝, 外(NAKAMURA Yukitaka et al.); 〒1000005 東京都千代田区丸の内1丁目6番6号 日本生命丸の内ビル 協和特許法律事務所 Tokyo (JP).

(54) Title: APD SENSOR AND RANGING SYSTEM

(54) 発明の名称: APDセンサおよび測距システム



(57) Abstract: [Problem] To provide an avalanche photodiode (APD) sensor and a ranging system with which it is possible to count, using one counter and with high precision, values relating to signals from a plurality of pixels. [Solution] This APD sensor comprises: a plurality of pixels each including an APD; a plurality of state detection circuits that detect the state of a plurality of first signals outputted from the plurality of pixels and that generate a plurality of second signals including the detection results of the state of the plurality of first signals; a logical operation circuit that performs a logical

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

operation on the plurality of second signals, or on a plurality of third signals varying in accordance with the plurality of second signals, and that generates a fourth signal including the result of the logical operation; and a counter that counts a value relating to the plurality of first signals on the basis of the fourth signal, each of the state detection circuits having an input terminal that inputs the fourth signal, and input of the first signals to each of the state detection circuits being disabled on the basis of the fourth signal inputted into the input terminals.

(57) 要約: [課題] 複数の画素からの信号に関する値を1つのカウンタで高精度にカウント可能なAPDセンサおよび測距システムを提供する。[解決手段] 本開示のAPDセンサは、APD(Avalanche Photodiode)を含む複数の画素と、前記複数の画素から出力された複数の第1信号の状態を検知し、前記複数の第1信号の状態の検知結果を含む複数の第2信号を生成する複数の状態検知回路と、前記複数の第2信号または前記複数の第2信号に応じて変化する複数の第3信号の論理演算を行い、前記論理演算の結果を含む第4信号を生成する論理演算回路と、前記第4信号に基づいて、前記複数の第1信号に関する値をカウントするカウンタとを備え、前記状態検知回路の各々は、前記第4信号を入力する入力端子を有し、前記入力端子に入力された前記第4信号に基づいて、前記状態検知回路の各々への前記第1信号の入力を無効にする。

明 細 書

発明の名称： A P D センサおよび測距システム

技術分野

[0001] 本開示は、A P D (Avalanche Photodiode) センサおよび測距システムに関する。

背景技術

[0002] 近年、T o F (Time of Flight) 方式により距離測定を行う測距システムが注目されている。このような測距システムの各画素は、光電変換部として、例えばS P A D (Single Photon Avalanche Diode) などのA P Dを含んでいる。S P A Dは、降伏電圧よりも高い電圧が印加された状態（ガイガーモード）でP N接合部に1個の光子を受光すると、アバランシェ増幅を発生させる。これにより、S P A Dに瞬間的に電流が流れる。この電流が流れたタイミングを検出することで、高精度に距離を測定することができる。

先行技術文献

特許文献

[0003] 特許文献1：特開2019-192903号公報

発明の概要

発明が解決しようとする課題

[0004] 測距システム内の受光装置を小型化するため、複数の画素からの信号に関する値を1つのカウンタでカウントすることが望ましい。カウンタは例えば、これらの画素からの信号に含まれるパルスの個数や発生時間をカウントすることで、これらの画素が受光した光子の個数や受光時間をカウントすることができる。この場合、複数の画素からの信号がカウンタに同時に入力されると、カウンタが値を正しくカウントできないことが問題となる。

[0005] そこで、本開示は、複数の画素からの信号に関する値を1つのカウンタで高精度にカウント可能なA P D センサおよび測距システムを提供する。

課題を解決するための手段

[0006] 本開示の第1の側面のAPDセンサは、APD (Avalanche Photodiode) を含む複数の画素と、前記複数の画素から出力された複数の第1信号の状態を検知し、前記複数の第1信号の状態の検知結果を含む複数の第2信号を生成する複数の状態検知回路と、前記複数の第2信号または前記複数の第2信号に応じて変化する複数の第3信号の論理演算を行い、前記論理演算の結果を含む第4信号を生成する論理演算回路と、前記第4信号に基づいて、前記複数の第1信号に関する値をカウントするカウンタとを備え、前記状態検知回路の各々は、前記第4信号を入力する入力端子を有し、前記入力端子に入力された前記第4信号に基づいて、前記状態検知回路の各々への前記第1信号の入力を無効にする。これにより例えば、状態検知回路の動作を第4信号により制御することで、複数の画素からの信号に関する値を1つのカウンタで高精度にカウントすることが可能となる。

[0007] また、この第1の側面のAPDセンサは、前記複数の画素を有する画素アレイ領域を含む第1基板と、前記第1基板と貼り合わされており、前記状態検知回路、前記論理演算回路、および前記カウンタを含む第2基板と、をさらに備えていてもよい。これにより例えば、第1基板と第2基板とを貼り合わせることで、APDセンサを製造することが可能となる。

[0008] また、この第1の側面において、前記状態検知回路と、前記論理演算回路の少なくとも一部は、前記画素アレイ領域と対向する位置に配置されていてもよく、前記カウンタは、前記画素アレイ領域と対向しない位置または前記画素アレイ領域内に配置されていてもよい。これにより例えば、状態検知回路を画素と対応付けて配置することや、論理演算回路の上記一部を画素と対応付けて配置することが可能となる。

[0009] また、この第1の側面において、前記状態検知回路は、前記画素アレイ領域と対向する位置に配置されていてもよく、前記論理演算回路の少なくとも一部と、前記カウンタは、前記画素アレイ領域と対向しない位置に配置されていてもよい。これにより例えば、状態検知回路を画素と対応付けて配置することや、論理演算回路の上記一部を画素と対応付けずに配置することが可

能となる。

- [0010] また、この第1の側面において、前記APDは、SPAD (Single Photon Avalanche Diode) でもよい。これにより例えば、複数の画素が受光した光子に関する値をカウントすることが可能となる。
- [0011] また、この第1の側面において、前記APDのカソードは、前記状態検知回路に電氣的に接続されていてもよい。これにより例えば、APDのカソードを、電流源やバッファの側に配置することが可能となる。
- [0012] また、この第1の側面において、前記APDのアノードは、前記状態検知回路に電氣的に接続されていてもよい。これにより例えば、APDのアノードを、電流源やバッファの側に配置することが可能となる。
- [0013] また、この第1の側面において、前記入力端子は、前記状態検知回路をリセットするリセット端子でもよい。これにより例えば、状態検知回路を第4信号によりリセットすることで、複数の画素からの信号に関する値を1つのカウンタで高精度にカウントすることが可能となる。
- [0014] また、この第1の側面において、前記状態検知回路は、前記第1信号のエッジを検知してもよい。これにより例えば、複数の画素からの信号に関する値を1つのカウンタで高精度にカウントすることが容易となる。
- [0015] また、この第1の側面において、前記状態検知回路は、フリップフロップ回路を含んでいてもよい。これにより例えば、複数の画素からの信号に関する値を1つのカウンタで高精度にカウントすることが容易となる。
- [0016] また、この第1の側面において、前記第1信号は、前記フリップフロップ回路のクロック端子に入力されてもよい。これにより例えば、状態検知回路としてフリップフロップ回路を好適に使用することが可能となる。
- [0017] また、この第1の側面において、前記状態検知回路は、前記第1信号のレベルを検知してもよい。これにより例えば、複数の画素からの信号の状態を容易に検知することが可能となる。
- [0018] また、この第1の側面において、前記状態検知回路は、ラッチ回路を含んでいてもよい。これにより例えば、複数の画素からの信号の状態を容易に検

知することが可能となる。

[0019] また、この第1の側面において、前記状態検知回路はさらに、前記第1信号から得られた2つの信号のAND演算またはNAND演算を行うAND回路またはNAND回路を含み、前記AND演算または前記NAND演算の結果を示す信号を前記ラッチ回路に入力してもよい。これにより例えば、状態検知回路としてラッチ回路を好適に使用することが可能となる。

[0020] また、この第1の側面において、前記論理演算回路は、前記複数の第2信号に基づいて前記複数の第3信号を生成する複数のトランジスタを含んでいてもよい。これにより、第2信号に応じて変化する第3信号を生成することが可能となる。

[0021] また、この第1の側面において、前記第2信号は、前記トランジスタの制御端子に入力され、前記第3信号は、前記トランジスタの主端子（例：MOSトランジスタのドレイン端子またはソース端子）から出力されてもよい。これにより、第2信号に応じて変化する第3信号を容易に生成することが可能となる。

[0022] また、この第1の側面において、前記第4信号は、前記複数の第2信号または前記複数の第3信号のAND演算、OR演算、NAND演算、またはNOR演算の結果を含んでいてもよい。これにより例えば、複数の画素からの信号を1つの信号に集約することが可能となる。

[0023] また、この第1の側面において、前記論理演算回路は、ワイヤードAND回路、ワイヤードOR回路、ワイヤードNAND回路、またはワイヤードNOR回路を含んでいてもよい。これにより例えば、複数の画素からの信号を、簡単な回路構成で1つの信号に集約することが可能となる。

[0024] また、この第1の側面において、前記論理演算回路は、ANDゲート、ORゲート、NANDゲート、およびNORゲートの少なくともいずれかを含んでいてもよい。これにより例えば、複数の画素からの信号を、論理ゲートにより1つの信号に集約することが可能となる。

[0025] 本開示の第2の側面の測距システムは、光を被写体に照射する発光装置と

、前記被写体から反射した光を受光する受光装置と、前記受光装置により受光された光に基づいて、前記被写体との距離を測定する測距装置とを備え、前記受光装置は、前記被写体から反射した前記光を受光するAPD（Avalanche Photodiode）を含む複数の画素と、前記複数の画素から出力された複数の第1信号の状態を検知し、前記複数の第1信号の状態の検知結果を含む複数の第2信号を生成する複数の状態検知回路と、前記複数の第2信号または前記複数の第2信号に応じて変化する複数の第3信号の論理演算を行い、前記論理演算の結果を含む第4信号を生成する論理演算回路と、前記第4信号に基づいて、前記複数の第1信号に関する値をカウントするカウンタとを備え、前記状態検知回路の各々は、前記第4信号を入力する入力端子を有し、前記入力端子に入力された前記第4信号に基づいて、前記状態検知回路の各々への前記第1信号の入力を無効にする。これにより例えば、状態検知回路の動作を第4信号により制御することで、複数の画素からの信号に関する値を1つのカウンタで高精度にカウントすることが可能となる。

図面の簡単な説明

[0026] [図1]第1実施形態の測距システムの構成を示すブロック図である。

[図2]第1実施形態の撮像部の構成を示すブロック図である。

[図3]第1実施形態の撮像部の構成を示す斜視図である。

[図4]第1実施形態のAPDセンサの構成を示す回路図である。

[図5]第1実施形態のAPDセンサの動作例を示すタイミングチャートである。

[図6]第1実施形態の比較例のAPDセンサの構成を示す回路図である。

[図7]上記の比較例のAPDセンサの動作例を示すタイミングチャートである。

[図8]第1実施形態のAPDセンサと上記の比較例のAPDセンサとを比較するためのグラフである。

[図9]第2実施形態のAPDセンサの構成を示す回路図である。

[図10]第3実施形態のAPDセンサの構成を示す回路図である。

[図11]第4実施形態のAPDセンサの構成を示す回路図である。

[図12]第4実施形態の状態検知回路の構成例を示す回路図である。

[図13]第4実施形態の状態検知回路の別の構成例を示す回路図である。

[図14]第5実施形態のAPDセンサの構成を示す回路図である。

[図15]第6実施形態のAPDセンサの構成を示す回路図である。

[図16]第7実施形態のAPDセンサの構成を示す回路図である。

[図17]電子機器の構成例を示すブロック図である。

[図18]移動体制御システムの構成例を示すブロック図である。

[図19]図18の撮像部の設定位置の具体例を示す平面図である。

[図20]内視鏡手術システムの概略的な構成の一例を示す図である。

[図21]カメラヘッド及びCCUの機能構成の一例を示すブロック図である。

発明を実施するための形態

[0027] 以下、本開示の実施形態を、図面を参照して説明する。

[0028] (第1実施形態)

図1は、第1実施形態の測距システムの構成を示すブロック図である。図1の測距システムは、発光装置1と、受光装置2と、制御装置3とを備えている。制御装置3は、本開示の測距装置の例である。

[0029] 発光装置1は、光を発生させる複数の発光素子を備えており、これらの発光素子からの光を被写体Pに照射する。受光装置2は、被写体Pから反射した光を受光する。制御装置3は、図1の測距システムの種々の動作を制御し、例えば、受光装置2により受光された光に基づいて、被写体Pとの距離を測定する。図1の測距システムは、例えば人間が手を用いて行うジェスチャーを認識するために使用されるが、それ以外の用途（例えば人間の顔の認証）に使用されてもよい。

[0030] 発光装置1は、光源駆動部11と、光源12と、コリメートレンズ13とを備えており、受光装置2の要求によってさらに回折光学素子14を備えていることもある。受光装置2は、レンズユニット21と、撮像部22と、撮像信号処理部23とを備えている。制御装置3は、測距部31を備えている

。

- [0031] 光源駆動部 11 は、光源 12 を駆動して、光源 12 から光を発生させる。光源 12 は、上述の複数の発光素子を備えている。本実施形態の光源駆動部 11 は、これらの発光素子を駆動して、これらの発光素子から光を発生させる。本実施形態の各発光素子は例えば、V C S E L (Vertical Cavity Surface Emitting Laser) 構造を有しており、レーザー光を発生させる。光源 12 から発生する光は、例えば可視光または赤外線である。
- [0032] コリメートレンズ 13 は、光源 12 からの光をコリメートする。これにより、光源 12 からの光が、平行光に成形されて、回折光学素子 14 へと出射される。回折光学素子 14 は、コリメートレンズ 13 からの平行光を回折させる。これにより、コリメートレンズ 13 からの平行光が、所望のパターン形状を有する光に成形されて、発光装置 1 から出射される。発光装置 1 は、この所望のパターン形状を有する光（照射光）を、被写体 P に照射する。被写体 P に投影されたパターンは、投影像とも呼ばれる。被写体 P に照射された光は、被写体 P で反射して受光装置 2 により受光される。
- [0033] レンズユニット 21 は、複数のレンズを備えており、被写体 P から反射した光をこれらのレンズにより集光する。これらのレンズの各々は、光の反射を防止するための反射防止膜により被覆されている。この反射防止膜は、発光装置 1 から出射される光と同じ波長の光を透過する B P F (Band Pass Filter) として機能してもよい。
- [0034] 撮像部 22 は、レンズユニット 21 により集光された光を撮像し、撮像により得られた撮像信号を出力する。撮像部 22 は例えば、C C D (Charge Coupled Device) イメージセンサや、C M O S (Complementary Metal Oxide Semiconductor) イメージセンサなどの、固体撮像装置である。
- [0035] 撮像信号処理部 23 は、撮像部 22 から出力された撮像信号に対して、所定の信号処理を施す。例えば、撮像信号処理部 23 は、撮像部 22 により撮像された画像に対する種々の画像処理を行う。撮像信号処理部 23 は、上記の信号処理が施された撮像信号を、制御装置 3 に出力する。

[0036] 制御装置 3 は、測距システムの種々の動作を制御するためのプロセッサ、メモリ、ストレージなどを備えており、例えば、測距システムにより行われる距離測定を測距部 31 により制御する。測距部 31 は例えば、光源駆動部 11 の動作を制御したり、撮像信号処理部 23 からの撮像信号に基づいて、測距システムと被写体 P との間の距離を測定（算出）したりする。本実施形態の距離測定は、例えば T o F 方式により行われるが、その他の方式により行われてもよい。

[0037] 図 2 は、第 1 実施形態の撮像部 22 の構成を示すブロック図である。

[0038] 本実施形態の撮像部 22 は、複数の画素 41 を有する画素アレイ領域 42 と、制御回路 43 と、垂直選択回路 44 と、複数の画素アレイ外信号処理回路 45 と、水平選択回路 46 と、出力回路 47 と、複数の垂直信号線 48 と、水平信号線 49 とを備えている。本実施形態の撮像部 22 は、例えば SPAD センサである。

[0039] 各画素 41 は、光電変換部として機能するフォトダイオードを備えている。フォトダイオードの例は、SPAD などの APD である。

[0040] 画素アレイ領域 42 は、2 次元アレイ状に配置された複数の画素 41 を有している。画素アレイ領域 42 は、光を受光して光電変換を行い、光電変換により生成された信号電荷を出力する有効画素領域を含んでいる。

[0041] 制御回路 43 は、垂直同期信号、水平同期信号、マスタクロックなどに基づいて、垂直選択回路 44、画素アレイ外信号処理回路 45、水平選択回路 46 などの動作の基準となる種々の信号を生成する。これらの信号は、例えばクロック信号や制御信号であり、垂直選択回路 44、画素アレイ外信号処理回路 45、水平選択回路 46 などに入力される。

[0042] 垂直選択回路 44 および水平選択回路 46 は、画素アレイ領域 42 の各画素 41 から有効画素を設定する。垂直選択回路 44 および水平選択回路 46 はさらに、各画素 41 によって読み出された反応時間情報を、信号読み出し線 48 を通して画素アレイ外信号処理回路 45 に供給する。

[0043] 画素アレイ外信号処理回路 45 は、画素 41 で得られた反応タイミング情

報から距離算出を行う。

[0044] 図3は、第1実施形態の撮像部22の構成を示す斜視図である。

[0045] 本実施形態の撮像部22は、受光基板51とロジック基板52とを貼り合わせることで製造される。具体的には、本実施形態の撮像部22は、受光基板51用の半導体基板上に種々の層を形成し、ロジック基板52用の半導体基板上に種々の層を形成し、これらの半導体基板をこれらの層を介して貼り合わせ、貼り合わせ後にこれらの半導体基板を複数のチップに分割することで製造される。なお、これらの半導体基板のうちの少なくとも一方は、例えばチップの厚さを薄くするために、貼り合わせ後に除去または薄化されてもよい。また、これらの半導体基板のうちの少なくとも一方は、半導体基板以外の基板でもよい。図3では、受光基板51がロジック基板52上に配置されている。受光基板51とロジック基板52はそれぞれ、本開示の第1基板と第2基板の例である。

[0046] 受光基板51は、上述の画素アレイ領域42を含んでいる。上述のように、画素アレイ領域42は、2次元アレイ状に配置された複数の画素41を有している。画素アレイ領域42は、レンズユニット21（図1を参照）により集光された光を受光する。撮像部22は、この光を撮像し、撮像により得られた撮像信号を撮像信号処理部23（図1を参照）に出力する。

[0047] ロジック基板52は、ロジックアレイ部53と、信号処理部54と、撮像制御部55とを含んでいる。ロジックアレイ部53は、上記複数の画素41に対応する複数のロジック回路を備えており、これらのロジック回路の各々は、対応する画素41から出力された信号を処理する。信号処理部54は、これらのロジック回路から出力された複数の信号を処理する。信号処理部54は例えば、これらの信号の論理演算を行ったり、これらの信号に含まれるパルスの個数をカウントしたりする。撮像制御部55は、撮像部22の種々の動作を制御する。撮像制御部55は例えば、図1に示す制御回路43、垂直選択回路44、画素アレイ外信号処理回路45、および水平選択回路46を備えている。

[0048] 本実施形態では、ロジックアレイ部 5 3 が、おおむね画素アレイ領域 4 2 と対向する位置に配置されており、信号処理部 5 4 と撮像制御部 5 5 が、おおむね画素アレイ領域 4 2 と対向しない位置に配置されている。よって、ロジックアレイ部 5 3 の大部分は、図 3 において画素アレイ領域 4 2 と上下方向に重なる位置に配置されており、信号処理部 5 4 と撮像制御部 5 5 の大部分は、図 3 において画素アレイ領域 4 2 と上下方向に重ならない位置に配置されている。

[0049] 本実施形態の撮像部 2 2 は、後述するように、複数の状態検知回路 6 1 と、論理演算回路 6 2 と、T D C (Time to Digital Counter) 6 3 とを備えている (図 4 を参照)。これらの状態検知回路 6 1 は例えば、ロジックアレイ部 5 3 内に配置されており、画素アレイ領域 4 2 と対向する位置に配置されている。一方、T D C 6 3 は例えば、信号処理部 5 4 内に配置されており、画素アレイ領域 4 2 と対向しない位置に配置されている。論理演算回路 6 2 は、ロジックアレイ部 5 3 内と信号処理部 5 4 内のいずれに配置されていてもよいし、画素アレイ領域 4 2 と対向する位置と画素アレイ領域 4 2 と対向しない位置のいずれに配置されていてもよい。また、論理演算回路 6 2 は、ロジックアレイ部 5 3 と信号処理部 5 4 とにまたがって配置されていてもよいし、画素アレイ領域 4 2 と対向する位置と画素アレイ領域 4 2 と対向しない位置とにまたがって配置されていてもよい。なお、T D C 6 3 は、信号処理部 5 4 内の代わりに画素アレイ領域 4 2 内に配置されていてもよい。状態検知回路 6 1、論理演算回路 6 2、および T D C 6 3 のさらなる詳細については、後述する。

[0050] なお、図 1 に示す撮像信号処理部 2 3 は、ロジック基板 5 2 に含まれていてもよく、例えば、信号処理部 5 4 または撮像制御部 5 5 に含まれていてもよい。

[0051] 図 4 は、第 1 実施形態の A P D センサの構成を示す回路図である。

[0052] 本実施形態の撮像部 2 2 は、図 4 に示す構成の A P D センサを備えている。本実施形態の A P D センサは、図 4 に示すように、複数の画素 4 1 と、複

数の状態検知回路61と、論理演算回路62と、TDC63とを備えている。各画素41は、APD41aと、電流源41bと、インバータ41cとを含んでいる。各状態検知回路61は、DFF（Dフリップフロップ）回路61aを含んでいる。図4は、DFF回路61aのCLK（クロック）端子、D端子、Q端子、QB（／Q）端子、S（セット）端子、およびR（リセット）端子を示している。論理演算回路62は、複数のトランジスタ62aと、ワイヤードNOR回路62bと、NOTゲート62cとを含んでおり、ワイヤードNOR回路62bは、トランジスタ62dを含んでいる。TDC63は、本開示のカウンタの例である。

[0053] 図4は、本実施形態のAPDセンサに含まれる複数の画素41の例として、2つの画素41を示している。各画素41では、APD41aのカソードが、電流源41bおよびインバータ41cと電氣的に接続されており、インバータ41cを介して、対応する状態検知回路61と電氣的に接続されている。なお、本実施形態のAPDセンサに含まれる画素41の個数は、2つ以外でもよい。

[0054] APD41aは、レンズユニット21（図1）により集光された光を受光して光電変換を行い、光電変換により生成された信号電荷を出力する。本実施形態のAPD41aは、例えばSPADであり、降伏電圧よりも高い電圧が印加された状態（ガイガーモード）でPN接合部に1個の光子を受光すると、アバランシェ増幅を発生させる。これにより、APD41aに瞬間的に電流が流れる。その結果、パルスを含む信号が、各画素41から、対応する状態検知回路61に出力される。図4は、2つの画素41の一方から出力された信号S1Aと、2つの画素41の他方から出力された信号S1Bとを示している。これらの信号S1A、S1Bは、第1信号の例である。なお、APD41aは、SPAD以外のフォトダイオードでもよい。

[0055] 電流源41bとインバータ41cは、各画素41の読出回路として機能する。電流源41bは、APD41aに一定の電流を供給して、APD41aを充電する。インバータ41cは、APD41aからの信号を反転および増

幅して、対応する状態検知回路61に信号S1A（またはS1B）を出力する。

[0056] 本実施形態のAPDセンサは、画素41の個数と同じ個数の状態検知回路61を含んでいる。よって、図4は、本実施形態のAPDセンサに含まれる複数の状態検知回路61の例として、2つの状態検知回路61を示している。各状態検知回路61では、DFF回路61aのCLK端子が、対応する画素41と電氣的に接続されており、DFF回路61aのQ端子やR端子が、論理演算回路62と電氣的に接続されている。DFF回路61aは、本開示のフリップフロップ回路の例であり、R端子は、本開示の入力端子の例である。

[0057] 各状態検知回路61は、対応する画素41から出力された信号S1A（またはS1B）の状態を検知し、信号S1A（またはS1B）の状態の検知結果を含む信号S2A（またはS2B）を生成する。図4は、2つの状態検知回路61の一方から出力された信号S2Aと、2つの状態検知回路61の他方から出力された信号S2Bとを示している。これらの信号S2A、S2Bは、第2信号の例である。

[0058] 信号S1Aは、一方のDFF回路61aのCLK端子に入力される。このDFF回路61aは、信号S1Aのエッジを検知し、信号S1Aのエッジの検知結果を含む信号S2Aを生成する。例えば、信号S1Aの値が論理0から論理1に立ち上がると、信号2Aの値が論理0および論理1の一方から他方に変化する。信号2Aは、このDFF回路61aのQ端子から出力される。これは、信号S1Bについても同様である。具体的には、他方のDFF回路61aは、信号S1Bのエッジを検知し、信号S1Bのエッジの検知結果を含む信号S2Bを生成する。

[0059] 本実施形態の論理演算回路62は、画素41の個数と同じ個数のトランジスタ62aを含んでいる。よって、図4は、本実施形態の論理演算回路62に含まれる複数のトランジスタ62aの例として、2つのトランジスタ62aを示している。各トランジスタ62aは、例えばMOSトランジスタであ

り、各トランジスタ 6 2 a のゲート端子が、対応する状態検知回路 6 1 の Q 端子に電氣的に接続されている。また、各トランジスタ 6 2 a のソース端子およびドレイン端子の一方は、ワイヤード NOR 回路 6 2 b に電氣的に接続されており、各トランジスタ 6 2 a のソース端子およびドレイン端子の他方は、グランド配線に電氣的に接続されている。ゲート端子は、本開示の制御端子の例であり、ソース端子またはドレイン端子は、本開示の主端子の例である。本実施形態の各トランジスタ 6 2 a は、n MOS であるが、p MOS としてもよい。

[0060] 信号 S 2 A は、一方のトランジスタ 6 2 a のゲート端子に入力される。このトランジスタ 6 2 a は、所定の値を有する信号 S 2 A がゲート端子に入力されると、ドレイン端子からドレイン電流を出力する。その結果、信号 S 2 A に応じて変化する信号 S 3 A が、このトランジスタ 6 2 a のソース端子またはドレイン端子から、ワイヤード NOR 回路 6 2 b に出力される。これは、信号 S 2 B についても同様である。具体的には、信号 S 2 B に応じて変化する信号 S 3 B が、他方のトランジスタ 6 2 a のソース端子またはドレイン端子から、ワイヤード NOR 回路 6 2 b に出力される。これらの信号 S 3 A、S 3 B は、第 3 信号の例である。

[0061] ワイヤード NOR 回路 6 2 b は、これらのトランジスタ 6 2 a と NOT ゲート 6 2 c とを電氣的に接続する配線と、この配線と電源配線との間に配置されたトランジスタ 6 2 d とを含んでいる。トランジスタ 6 2 d は、例えば MOS トランジスタであり、トランジスタ 6 2 d のゲート端子が、グランド配線に電氣的に接続されている。また、トランジスタ 6 2 d のソース端子およびドレイン端子の一方は、電源配線に電氣的に接続されており、トランジスタ 6 2 d のソース端子およびドレイン端子の他方は、各トランジスタ 6 2 a や NOT ゲート 6 2 c に電氣的に接続されている。本実施形態のトランジスタ 6 2 d は、ゲート端子がグランド配線に電氣的に接続された p MOS であるが、ゲート端子が電源配線に電氣的に接続された n MOS としてもよい。

[0062] ワイヤードNOR回路62bは、信号S3Aと信号S3Bとの論理演算を行い、この論理演算の結果を含む信号S4を生成する。ワイヤードNOR回路62bは、信号S3Aと信号S3BとのNOR演算を行うことから、信号S4は、このNOR演算の結果を含んでいる。信号S4は、ワイヤードNOR回路62bからNOTゲート62cに出力される。信号S4は、本開示の第4信号の例である。

[0063] 本実施形態によれば、ワイヤードNOR回路62bを用いることで、信号S3Aと信号S3Bとを信号S4に集約することが可能となる。一般に、ワイヤードNOR回路62bは、NORゲートに比べて、簡単な回路構成で実現することができる。よって、本実施形態によれば、ワイヤードNOR回路62bを用いることで、信号S3Aと信号S3Bとを簡単な回路構成で信号S4に集約することが可能となる。なお、本実施形態の論理演算回路62は、ワイヤードNOR回路62bの代わりに、ワイヤードAND回路、ワイヤードOR回路、またはワイヤードNAND回路を含んでいてもよい。

[0064] 上述のように、本実施形態のトランジスタ62aはnMOSであり、本実施形態のトランジスタ62dはpMOSである。一般に、nMOSの駆動力はpMOSの駆動力よりも高い。よって、本実施形態によれば、ワイヤードNOR回路62bの上流にあるトランジスタ62aをnMOSとし、ワイヤードNOR回路62bの負荷となるトランジスタ62dをpMOSとすることで、ワイヤードNOR回路62bの面積を小さくしつつ、ワイヤードNOR回路62bの動作を高速化することが可能となる。一般に、ワイヤードNOR回路62bは、負荷容量が大きいことが多く、動作が遅いことが多い。しかしながら、本実施形態によれば、上記のように、ワイヤードNOR回路62bの動作を高速化することが可能となる。これにより、信号S3A、S3Bの遅延時間のばらつきを小さくすることが可能となり、距離測定の誤差を小さくすることが可能となる。

[0065] NOTゲート62cは、信号S4のNOT演算を行い、このNOT演算の結果を含む信号S5を生成する。よって、ワイヤードNOR回路62bとN

OTゲート62cは、信号S3Aと信号S3BとのOR演算を行い、このOR演算の結果を含む信号S5を生成するOR回路として機能する。NOTゲート62cは、インバータとも呼ばれる。信号S5は、NOTゲート62cからTDC63に出力される。信号S5も、本開示の第4信号の例である。

[0066] 本実施形態のAPDセンサは、複数の画素41に対応する1つのTDC63を含んでいる。よって、図4は、2つの画素41に対応する1つのTDC63を示している。TDC63は、NOTゲート62cに電氣的に接続されている。

[0067] TDC63は、信号S5に関する値をカウントすることにより、信号S1Aおよび信号S1Bに関する値をカウントすることができる。具体的には、TDC63は、所定のタイミングから、信号S5の値が論理0から論理1に変化するタイミングまでの時間をカウントし、カウントした時間をデジタル値として出力する。これにより、TDC63は、信号S1Aの値が論理0から論理1に変化する時間と、信号S1Bの値が論理0から論理1に変化する時間とをカウントすることができる。よって、TDC63は、本実施形態のAPDセンサの各画素41が1個の光子を受光した時間をカウントすることができる。本実施形態の測距システムは、TDC63から出力されたデジタル値に基づいて、被写体P（図1）との距離を測定する。なお、TDC63は、TDC63以外のカウンタに置き換えてもよい。

[0068] 本実施形態のTDC63は、信号S5を取り扱うことで、信号S1Aが示す光子の受光時間と、信号S1Bが示す光子の受光時間とをカウントすることができる。これにより、複数の画素41からの信号S1A、S1Bを、1つのTDC63で取り扱うことが可能となり、図1に示す撮像部22や受光装置2を小型化することが可能となる。

[0069] しかしながら、信号S1A、S1Bを1つのTDC63で取り扱う場合には、信号S1Aの変化と信号S1Bの変化とによるパルス幅が、TDC63の正常動作を担保可能な最小パルス幅を満たせない可能性がある。例えば、信号S1Aの値と信号S1Bの値が、同じタイミングまたは近いタイミング

で論理0から論理1に変化すると、TDC63は、これらの変化によるパルスが連続した信号が入力されることにより、本来と異なるタイミング値を取得する誤動作を生じる可能性がある。

[0070] そこで、本実施形態のAPDセンサは、このようなエラーの発生を抑制するために、信号S4を各状態検知回路61にフィードバックする。フィードバックされた信号S4は、各DFF回路61aのR端子に入力される。これにより、各DFF回路61aの非同期リセットが行われる。

[0071] 以下、引き続き図4を参照し、各DFF回路61aのR端子のさらなる詳細について説明する。

[0072] 各DFF回路61aは、R端子に入力された信号S4の値が論理1から論理0に変化すると、リセットされる。具体的には、あるDFF回路61aがリセットされると、そのDFF回路61aのQ端子から出力される信号S2A（またはS2B）の値が、論理0にリセットされる。例えば、リセット前の当該値が論理1の場合には、リセット後の当該値は論理1から論理0に変化する。一方、リセット前の当該値が論理0の場合には、リセット後の当該値は論理0に維持される。

[0073] 信号S2A、S2Bの値が共に論理0の場合には、信号S3A、S3Bの値は共に論理0となり、信号S4の値は、信号S3Aと信号S3BとのNOR演算の結果である論理1となる。この場合、図4に示すいずれかの画素41が光子を受光すると、信号S1Aまたは信号S1Bの値が論理1に変化し、信号S2Aまたは信号S2Bの値が論理1に変化する。その結果、信号S3Aまたは信号S3Bの値が論理1に変化し、信号S4の値が論理0に変化する。

[0074] このように、図4に示すいずれかの画素41が光子を受光すると、信号S4の値が論理0に変化する。その結果、各DFF回路61aがリセットされ、信号S2A、S2Bの値が共に論理0となる。そのため、本実施形態のAPDセンサでは、図4に示すいずれかの画素41が光子を受光すると、各DFF回路61aが信号S4の伝搬遅延時間および各DFF回路61aのリセ

ット伝搬遅延時間の間でリセットされる。これにより、本実施形態のAPDセンサは、図4に示すいずれかの画素41が光子を受光すると、次の光子を検知可能な状態に所定時間のリセット期間後に復帰することができる。

[0075] 本実施形態では、各DFF回路61aがリセットされると、所定期間に信号S1Aまたは信号S1Bの値が新たに論理0から論理1に変化しても、信号S2A、S2Bの値が共に論理0に維持される。これにより、TDC63がある光子の受光時間をデジタル値に変換している間に発生した受光によるTDC63の誤動作を防ぐことができる。よって、本実施形態によれば、信号S1Aの値と信号S1Bの値が、近いタイミングで論理0から論理1に変化しても、上述のようなエラーが発生することを抑制することが可能となる。

[0076] このように、本実施形態のAPDセンサは、各DFF回路61aを信号S4によりリセットすることで、各DFF回路61aへの信号S1A（またはS1B）の入力を無効にすることができる。すなわち、信号S1A、S1Bの値にかかわらず、信号S2A、S2Bの値を共に論理0にすることができる。

[0077] 仮に各DFF回路61aのR端子に信号S4を入力しない場合には、信号S1Aの値と信号S1Bの値が近いタイミングで論理0から論理1に変化すると、信号S2Aの値が論理1から論理0に遷移した直後に、信号S2Bの値が論理0が論理1に遷移する可能性が高くなる。この場合、信号S3A、S3Bのそれぞれの値が変化する時間間隔が短くなり、信号S4に短時間に論理値がトグルし、信号S5にTDC63の最小許容パルス幅未満の幅のグリッチを持つ信号が現れる。TDC63がこのような信号S5を受信すると、正常動作が担保されないため誤った受光時間情報を得るというエラーが発生してしまう。一方、本実施形態によれば、各DFF回路61aのR端子に信号S4を入力することで、このようなエラーの発生を抑制することが可能となる。

[0078] なお、本実施形態の各DFF回路61aは、信号S4が論理1から論理0

に変化した場合にリセットされる負論理ではなく、信号S 4が論理0から論理1に変化した場合にリセットされる正論理を採用していてもよい。また、本実施形態のAPDセンサは、信号S 4を、各DFF回路61aのR端子の代わりに、各DFF回路61のS端子に入力してもよい。これらの場合にも、上述のようなエラーの発生を抑制可能なAPDセンサを実現することができる。

[0079] 図5は、第1実施形態のAPDセンサの動作例を示すタイミングチャートである。図5は、図4に示す信号S 1A、S 1B、S 4、S 5の時間変化を示している。

[0080] 矢印E 1で示すように、一方の画素41が光子を受光すると、信号S 1Aの値が論理0から論理1に変化し、信号S 4の値が論理1から論理0に変化する。さらには、信号S 5の値が論理0から論理1に変化する（矢印E 3）。信号S 4の値が論理1から論理0に変化すると、上述のように各DFF回路61aがリセットされる。その結果、所定期間に信号S 1Aおよび／または信号S 1Bの値が新たに論理0から論理1に変化しても、信号S 2A、S 2Bの値が共に論理0に維持される。矢印E 1の変化から時間W 1後に、信号S 4の値は論理0から論理1へと戻る。さらには、矢印E 3の変化から時間W 3後に、信号S 5の値は論理1から論理0へと戻る。これにより、TDC 63がある光子の受光時間をデジタル値に変換している間に発生した受光によるTDC 63の誤動作を防ぐことができる。

[0081] 矢印E 2で示すように、その後に他方の画素41が光子を受光すると、信号S 1Bの値が論理0から論理1に変化し、信号S 4の値が論理1から論理0に変化する。さらには、信号S 5の値が論理0から論理1に変化する（矢印E 4）。信号S 4の値が論理1から論理0に変化すると、上述のように各DFF回路61aがリセットされる。その結果、所定期間に信号S 1Aおよび／または信号S 1Bの値が新たに論理0から論理1に変化しても、信号S 2A、S 2Bの値が共に論理0に維持される。矢印E 2の変化から時間W 2後に、信号S 4の値は論理0から論理1へと戻る。さらには、矢印E 4の変

化から時間W4後に、信号S5の値は論理1から論理0へと戻る。これにより、TDC63がある光子の受光時間をデジタル値に変換している間に発生した受光によるTDC63の誤動作を防ぐことができる。

[0082] なお、図5に示す信号S1Bは、2つのパルスを含んでいる。信号S1Bの1つ目のパルスは、信号S4が論理0の間に生じていることから、TDC63が検知することができない。一方、信号S1Bの2つ目のパルスは、信号S4が論理1に戻った後に生じていることから、TDC63が検知することができる。このように、本実施形態のAPDセンサは、リセット開始から時間W1（またはW2）を経過する前に受光された光子は検知することができないが、リセット開始から時間W1（またはW2）を経過した後に受光された光子は検知することができる。本実施形態によれば、時間W1や時間W2を短くすることで、上述のようなエラーが発生する可能性を低減することができる。時間W1や時間W2は、各DFF回路61aへの信号S1A（またはS1B）の入力が無効になる入力無効期間に相当する。

[0083] 図6は、第1実施形態の比較例のAPDセンサの構成を示す回路図である。

[0084] 本比較例のAPDセンサは、図6に示すように、複数の画素41と、複数の状態検知回路61'と、論理演算回路62'と、TDC63とを備えている。本比較例の画素41およびTDC63はそれぞれ、第1実施形態の画素41およびTDC63と同じ構成を有している。一方、本比較例の状態検知回路61'および論理演算回路62'はそれぞれ、第1実施形態の状態検知回路61および論理演算回路62とは異なる構成を有している。本比較例の画素41と、状態検知回路61'と、論理演算回路62'はそれぞれ、信号S1A、S1Bと、信号S6A、S6Bと、信号S7とを出力する。

[0085] 本比較例の各状態検知回路61'は例えば、第1実施形態の各状態検知回路61と同じDFF回路61aを含んでいるが、各状態検知回路61のR端子に信号S4が入力されない。また、本比較例の論理演算回路62'は例えば、第1実施形態の論理演算回路62と同じトランジスタ62a、ワイヤー

ドNOR回路62b、およびNOTゲート62cを含んでいるが、信号S4の代わりに信号S6A、S6Bをそれぞれ一方および他方の状態検知回路61のR端子に入力する。この場合、本比較例の信号S6A、S6B、S7はそれぞれ、第1実施形態の信号S2A、S2B、S5に対応している。以下、この場合のタイミングチャートを、図7を参照して説明する。

[0086] 図7は、上記の比較例のAPDセンサの動作例を示すタイミングチャートである。図7は、図6に示す信号S1A、S1B、S6A、S6B、S7の時間変化を示している。

[0087] 矢印P1で示すように、一方および他方の画素41が近いタイミングで光子を受光すると、信号S1A、S1Bの値が論理0から論理1に変化し、信号S6A、S6Bの値が論理0から論理1に変化し、信号S7に2つのパルスが発生する。信号S6A、S6Bの値はそれぞれ信号S6A、S6Bのフィードバックによりリセットされることから、信号S6A、S6Bのパルスは、短いパルス幅を有している。矢印P1で示す信号S7の2つのパルスは、1つに結合していないものの、互いに近接している。そのため、これらのパルスのパルス幅が、TDC63の正常動作に必要な最短パルス幅未満になり、TDC63が誤った時間を計測する誤動作が発生するおそれがある。

[0088] 矢印P2で示すように、その後一方および他方の画素41が近いタイミングで光子を受光すると、信号S1A、S1Bの値が論理0から論理1に変化し、信号S6A、S6Bの値が論理0から論理1に変化し、信号S7に再び2つのパルスが発生する。矢印P2で示す信号S7の2つのパルスは、1つに結合している。そのため、TDC63がこれらのパルスを区別できないが、誤った時間の誤検出は発生しない。

[0089] 本比較例では、矢印P1で示すような2つのパルスの近接や、矢印P2で示すような2つのパルスの結合を、防ぐことができない。よって、本比較例のAPDセンサが短期間に複数の光子を受光すると、上述のような誤作動が頻発するおそれがある。一方、第1実施形態によれば、各DFF回路61aを信号S4によりリセットすることで、上述のような誤作動が発生する可能

性を低減することが可能となる。

[0090] 図8は、第1実施形態のAPDセンサと上記の比較例のAPDセンサとを比較するためのグラフである。

[0091] 図8の横軸は、すべての光子が正しくカウントされる場合のカウントレート（理想カウントレート）を示している。図8の縦軸は、一部の光子が正しくカウントされない可能性がある現実のカウントレート（出力カウントレート）を示している。図8は、これらのカウントレートが常に一致する理想的なAPDセンサと、第1実施形態のAPDセンサと、比較例のAPDセンサとについて、理想カウントレートと出力カウントレートとの関係を示している。

[0092] 図8によれば、理想カウントレートの値が高くなると連続してTDC63が検出できるパルス間隔が広くなる場合、比較例にあるように出力カウント値の減少量が大きくなる。一方、第1実施形態によれば、比較例では発生しうる誤検出を抑制しつつ、理想カウントレートの値が高くなっても、理想カウントレートの値との乖離を小さくすることができる。よって、本実施形態によれば、理想カウントレートの値が高くなっても、多くの光子を正しくカウントすることができる。

[0093] 以上のように、本実施形態のAPDセンサは、論理演算回路62から状態検知回路61に信号S4をフィードバックすることで、状態検知回路61への信号S1A、S1Bの入力を無効にする。よって、本実施形態によれば、複数の画素41からの信号S1A、S1Bに関する値を、1つのTDC63で高精度にカウントすることが可能となる。

[0094] なお、本実施形態の状態検知回路61は、画素41と1対1で対応しているため、図3を参照して説明したように、画素アレイ領域42と対向する位置に配置することが望ましい。一方、本実施形態のTDC63は、画素41と1対1で対応していないため、画素アレイ領域42と対向しない位置に配置することが望ましい。論理演算回路62は、画素アレイ領域42と対向する位置と画素アレイ領域42と対向しない位置のいずれに配置してもよい。

例えば、論理演算回路 6 2 は、画素アレイ領域 4 2 と対向する位置と画素アレイ領域 4 2 と対向しない位置とにまたがって配置してもよい。この場合、論理演算回路 6 2 のトランジスタ 6 2 a は、画素 4 1 と 1 対 1 で対応しているため、画素アレイ領域 4 2 と対向する位置に配置してもよい。なお、TDC 6 3 は、信号処理部 5 4 内の代わりに画素アレイ領域 4 2 内に配置されていてもよい。

[0095] 以下、第 2 から第 7 実施形態の APD センサについて説明する。これらの APD センサは、第 1 実施形態の APD センサと同様に、図 1 の撮像部 2 2 に含まれている。第 2 から第 7 実施形態の APD センサについては、第 1 実施形態の APD センサとの相違点を中心に説明し、第 1 実施形態の APD センサとの共通点の説明は適宜省略する。

[0096] (第 2 実施形態)

図 9 は、第 2 実施形態の APD センサの構成を示す回路図である。

[0097] 本実施形態の APD センサは、4 つの画素 4 1 と、4 つの状態検知回路 6 1 と、論理演算回路 6 2 と、TDC 6 3 とを備えている。本実施形態の画素 4 1、状態検知回路 6 1、および TDC 6 3 の構成はそれぞれ、第 1 実施形態の画素 4 1、状態検知回路 6 1、および TDC 6 3 の構成と同じである。図 9 は、画素 4 1 から信号 S 1 A、S 1 B と同様に出力される信号 S 1 C、S 1 D と、状態検知回路 6 1 から信号 S 2 A、S 2 B と同様に出力される信号 S 2 C、S 2 D とを示している。

[0098] 本実施形態の論理演算回路 6 2 は、4 つのトランジスタ 6 2 a と、ワイヤード NOR 回路 6 2 b と、NOT ゲート 6 2 c とを含んでおり、このワイヤード NOR 回路 6 2 b は、トランジスタ 6 2 d を含んでいる。本実施形態のトランジスタ 6 2 a、NOT ゲート 6 2 c、およびトランジスタ 6 2 d の構成はそれぞれ、第 1 実施形態のトランジスタ 6 2 a、NOT ゲート 6 2 c、およびトランジスタ 6 2 d の構成と同じである。図 9 は、トランジスタ 6 2 a から信号 S 3 A、S 3 B と同様に出力される信号 S 3 C、S 3 D と、NOT ゲート 6 2 c から出力される信号 S 5 とを示している。

[0099] 本実施形態のワイヤードNOR回路62bは、4つのトランジスタ62aとNOTゲート62cとを電氣的に接続する配線と、この配線と電源配線との間に配置されたトランジスタ62dとを含んでいる。このワイヤードNOR回路62bは、信号S3A、信号S3B、信号S3C、および信号S3Dの論理演算を行い、この論理演算の結果を含む信号S4を生成する。このワイヤードNOR回路62bは、信号S3A～S3DのNOR演算を行うため、信号S4は、このNOR演算の結果を含んでいる。信号S4は、ワイヤードNOR回路62bからNOTゲート62cや各DFF回路61aのR端子に出力される。

[0100] 本実施形態によれば、ワイヤードNOR回路62bを用いることで、信号S3A～S3Dを信号S4に集約することが可能となる。一般に、ワイヤードNOR回路62bは、NORゲートに比べて、簡単な回路構成で実現することができる。よって、本実施形態によれば、ワイヤードNOR回路62bを用いることで、信号S3A～S3Dを簡単な回路構成で信号S4に集約することが可能となる。なお、本実施形態のワイヤードNOR回路62bは、4つの信号S3A～S3Dを信号S4に集約しているが、3つの信号または5つ以上の信号を信号S4に集約してもよい。また、本実施形態の論理演算回路62は、ワイヤードNOR回路62bの代わりに、ワイヤードAND回路、ワイヤードOR回路、またはワイヤードNAND回路を含んでいてもよい。

[0101] (第3実施形態)

図10は、第3実施形態のAPDセンサの構成を示す回路図である。

[0102] 本実施形態の各APD41aは、インバータ41cの代わりにバッファ41dを備えている。また、本実施形態の各画素41では、APD41aのカソードの代わりに、APD41aのアノードが、電流源41bおよびバッファ41dと電氣的に接続されており、バッファ41dを介して、対応する状態検知回路61と電氣的に接続されている。バッファ41dは、APD41aからの信号を増幅して、対応する状態検知回路61に信号S1A（または

S 1 B) を出力する。

[0103] 第1実施形態のようなAPD 4 1 aの配置と、本実施形態のようなAPD 4 1 aの配置は、種々の事情を考慮して、いずれを採用してもよい。例えば、本実施形態のようにAPD 4 1 aを配置すれば、撮像部 2 2 を容易に製造できる場合には、本実施形態のようなAPD 4 1 aの配置を採用してもよい。一方、第1実施形態のようにAPD 4 1 aを配置すれば、撮像部 2 2 の性能が向上する場合には、第1実施形態のようなAPD 4 1 aの配置を採用してもよい。

[0104] (第4実施形態)

図 1 1 は、第4実施形態のAPDセンサの構成を示す回路図である。

[0105] 第1実施形態の各状態検知回路 6 1 は、信号 S 1 A (または S 1 B) のエッジを検知する D F F 回路 6 1 a を含んでいるのに対し、本実施形態の各状態検知回路 6 1 は、信号 S 1 A (または S 1 B) のレベルを検知するラッチ回路を含んでいる。このようなラッチ回路の例を、図 1 2 および図 1 3 を参照して説明する。

[0106] 図 1 2 は、第4実施形態の状態検知回路 6 1 の構成例を示す回路図である。

[0107] 図 1 2 に示す状態検知回路 6 1 は、バッファ 6 1 b、6 1 c、6 1 d と、NOTゲート 6 1 e、ANDゲート 6 1 f と、Dラッチ回路 6 1 g とを含んでいる。信号 S 1 A (または S 1 B。以下同様) は、バッファ 6 1 b を介してANDゲート 6 1 f の一方の入力端子に入力されると共に、バッファ 6 1 b、6 1 c、6 1 d およびNOTゲート 6 1 e を介してANDゲート 6 1 f の他方の入力端子に入力される。後者の入力端子に入力される信号は、前者の入力端子に入力される信号を遅延および反転させた信号となる。ANDゲート 6 1 f は、これらの信号のAND演算を行い、このAND演算の結果を含む信号を、ANDゲート 6 1 f の出力端子から出力する。ANDゲート 6 1 f は、信号 S 1 A 中のパルスよりもパルス幅の短いパルスを含む信号を出力端子から出力する。

- [0108] Dラッチ回路61gは、ANDゲート61fからの信号を入力するE（イネーブル）端子と、状態検知回路61の出力信号である信号S2A（またはS2B。以下同様）を出力するQ端子と、Q端子の反転端子であるQB端子と、信号S4を入力するR端子とを有している。Dラッチ回路61gは、E端子に入力された信号のレベルを検知し、このレベルの検知結果を示す信号S2Aを出力する。例えば、ANDゲート61fからの信号の値（レベル）が論理1の場合には、信号S2Aの値は論理1となる。
- [0109] 上述のように、ANDゲート61fからDラッチ回路61gに入力される信号は、パルス幅の短いパルスを含んでいる。そのため、本実施形態のDラッチ回路61gによるレベルの検知結果は、第1実施形態のDFF回路61aによるエッジの検知結果と似た内容となる。よって、本実施形態によれば、第1実施形態のDFF回路61aから出力される信号S2Aと似た性質を有する信号2Aを、Dラッチ回路61gから出力することが可能となる。
- [0110] 図13は、第4実施形態の状態検知回路61の別の構成例を示す回路図である。
- [0111] 図13に示す状態検知回路61は、バッファ61b、61c、61dと、NOTゲート61eと、NANDゲート61iと、SRラッチ回路61hとを含んでいる。よって、図13に示す状態検知回路61は、図12に示す状態検知回路61のANDゲート62fおよびDラッチ回路61gをNANDゲート62iおよびSRラッチ回路61hに置き換えた構成を有している。信号S1Aは、バッファ61bを介してNANDゲート61iの一方の入力端子に入力されると共に、バッファ61b、61c、61dおよびNOTゲート61eを介してNANDゲート61iの他方の入力端子に入力される。後者の入力端子に入力される信号は、前者の入力端子に入力される信号を遅延および反転させた信号となる。NANDゲート61iは、これらの信号のNAND演算を行い、このNAND演算の結果を含む信号を、NANDゲート61iの出力端子から出力する。NANDゲート61iは、信号S1A中のパルスよりもパルス幅の短いパルスを含む信号を出力端子から出力する。

[0112] SRラッチ回路61hは、NANDゲート61iからの信号を入力するS端子と、状態検知回路61の出力信号である信号S2Aを出力するQ端子と、Q端子の反転端子であるQB端子と、信号S4を入力するR端子とを有している。SRラッチ回路61hは、S端子に入力された信号のレベルを検知し、このレベルの検知結果を示す信号S2Aを出力する。例えば、NANDゲート61iからの信号の値（レベル）が論理0の場合には、信号S2Aの値は論理1となる。

[0113] 上述のように、NANDゲート61iからSRラッチ回路61hに入力される信号は、パルス幅の短いパルスを含んでいる。そのため、本実施形態のSRラッチ回路61hによるレベルの検知結果は、第1実施形態のDFF回路61aによるエッジの検知結果と似た内容となる。よって、本実施形態によれば、第1実施形態のDFF回路61aから出力される信号S2Aと似た性質を有する信号2Aを、SRラッチ回路61hから出力することが可能となる。

[0114] 以上のように、本実施形態によれば、第1実施形態の状態検知回路61と同様の機能を有する状態検知回路61を、フリップフロップ回路の代わりにラッチ回路を使用して実現することが可能となる。

[0115] なお、本実施形態の信号S4は、Dラッチ回路61gのR端子の代わりに、Dラッチ回路61gのS端子に入力してもよい。また、本実施形態のSRラッチ回路61hは、NANDゲート61iからの信号をR端子で受信し、信号S4をS端子で受信してもよい。これらの場合にも、図13または図14に示す状態検知回路61と同様の機能を実現することが可能となる。

[0116] （第5実施形態）

図14は、第5実施形態のAPDセンサの構成を示す回路図である。

[0117] 本実施形態のAPDセンサは、複数の画素41と、複数の状態検知回路61と、論理演算回路62と、TDC63とを備えている。本実施形態の画素41およびTDC63はそれぞれ、第1実施形態の画素41およびTDC63と同じ構成を有している。また、本実施形態の状態検知回路61は、第1

または第4実施形態の状態検知回路61と同じ構成を有している。

[0118] 本実施形態の論理演算回路62は、NORゲート62eと、NOTゲート62cとを含んでいる。NORゲート62eは、信号S2Aを入力する一方の入力端子と、信号S2Bを入力する他方の入力端子と、信号S2Aと信号S2BとのNOR演算の結果を含む信号S11を出力する出力端子とを有している。信号S11は、NOTゲート62cと、各状態検知回路61のR端子に入力される。NOTゲート62cは、信号S11のNOT演算の結果を含む信号S12を出力する。信号S12は、論理演算回路62からTDC63に出力される。信号S11と信号S12は、本開示の第4信号の例である。

[0119] 本実施形態によれば、第1実施形態の論理演算回路62と同様の機能を有する論理演算回路62を、ワイヤードNOR回路62aの代わりにNORゲート62eを使用して実現することが可能となる。NORゲート62eを使用することには、ワイヤードNOR回路62aを使用する場合に比べて、例えば入力無効期間（時間W1、W2）を短くすることができるという利点がある。この効果は一般に、APDセンサの状態検知回路61の個数が多くなるほど大きくなる。

[0120] なお、本実施形態の論理演算回路62は、NORゲート62eの代わりに、ANDゲート、ORゲート、またはNANDゲートを含んでいてもよい。

[0121] （第6実施形態）

図15は、第6実施形態のAPDセンサの構成を示す回路図である。

[0122] 本実施形態のAPDセンサは、4つの画素41と、4つの状態検知回路61と、論理演算回路62と、TDC63とを備えている。本実施形態の画素41およびTDC63はそれぞれ、第1または第2実施形態の画素41およびTDC63と同じ構成を有している。また、本実施形態の状態検知回路61は、第1、第2、または第4実施形態の状態検知回路61と同じ構成を有している。

[0123] 本実施形態の論理演算回路62は、2つのNORゲート62fと、NAN

Dゲート62gと、1つのNOTゲート62hとを含んでいる。一方のNORゲート62fは、信号S2Aを入力する一方の入力端子と、信号S2Bを入力する他方の入力端子と、信号S2Aと信号S2BとのNOR演算の結果を含む信号S13Aを出力する出力端子とを有している。他方のNORゲート62fは、信号S2Cを入力する一方の入力端子と、信号S2Dを入力する他方の入力端子と、信号S2Cと信号S2DとのNOR演算の結果を含む信号S13Bを出力する出力端子とを有している。NANDゲート62gは、信号S13Aを入力する一方の入力端子と、信号S13Bを入力する他方の入力端子と、信号S13Aと信号S13BとのNAND演算の結果を含む信号S14を出力する出力端子とを有している。NOTゲート62hは、信号S14を入力する入力端子と、信号S14のNOT演算の結果を含む信号S15を出力する出力端子とを有している。信号S14は、論理演算回路62からTDC63に出力され、信号S15は、各状態検知回路61のR端子に入力される。信号S13A、S13B、S14、S15は、本開示の第4信号の例である。

[0124] 本実施形態によれば、第1実施形態の論理演算回路62と同様の機能を有する論理演算回路62を、論理ゲートの組合せを使用して実現することが可能となる。これにより、例えば第5実施形態の論理演算回路62と同様の効果を得ることが可能となる。

[0125] なお、本実施形態の一方のNORゲート62fと他方のNORゲート62fの少なくともいずれかは、ワイヤードNOR回路に置き換えてもよい。また、本実施形態のNANDゲート62gは、ワイヤードNAND回路に置き換えてもよい。このように、本実施形態の論理演算回路62は、ワイヤードAND回路、ワイヤードOR回路、ワイヤードNAND回路、およびワイヤードNOR回路の少なくともいずれかと、ANDゲート、ORゲート、NANDゲート、およびNORゲートの少なくともいずれかとを含んでいてもよい。

[0126] (第7実施形態)

図 1 6 は、第 7 実施形態の A P D センサの構成を示す回路図である。

[0127] 本実施形態の A P D センサは、複数の画素 4 1 と、複数の状態検知回路 6 1 と、論理演算回路 6 2 と、T D C 6 3 とを備えている。本実施形態の画素 4 1 および T D C 6 3 はそれぞれ、第 1 実施形態の画素 4 1 および T D C 6 3 と同じ構成を有している。また、本実施形態の状態検知回路 6 1 は、第 1 または第 4 実施形態の状態検知回路 6 1 と同じ構成を有している。

[0128] 本実施形態の論理演算回路 6 2 は、N A N D ゲート 6 2 i と、N O T ゲート 6 2 c とを含んでいる。N A N D ゲート 6 2 i は、信号 S 2 A を入力する一方の入力端子と、信号 S 2 B を入力する他方の入力端子と、信号 S 2 A と信号 S 2 B との N A N D 演算の結果を含む信号 S 1 6 を出力する出力端子とを有している。信号 S 1 6 は、N O T ゲート 6 2 c と、各状態検知回路 6 1 の R 端子に入力される。N O T ゲート 6 2 c は、信号 S 1 6 の N O T 演算の結果を含む信号 S 1 7 を出力する。信号 S 1 7 は、論理演算回路 6 2 から T D C 6 3 に出力される。信号 S 1 6 と信号 S 1 7 は、本開示の第 4 信号の例である。

[0129] 本実施形態によれば、第 1 実施形態の論理演算回路 6 2 と同様の機能を有する論理演算回路 6 2 を、N O R ゲート以外の論理ゲートを使用して実現することが可能となる。これにより、例えば第 5 実施形態の論理演算回路 6 2 と同様の効果を得ることが可能となる。

[0130] なお、第 1 から第 7 実施形態の撮像部 2 2 は、測距システム内に設けられているが、測距システム以外のシステム内または装置内に設けられていてもよい。第 1 から第 7 実施形態の撮像部 2 2 は、例えば後述する応用例のような態様で使用されてもよい。

[0131] (応用例)

図 1 7 は、電子機器の構成例を示すブロック図である。図 1 7 に示す電気機器は、カメラ 1 0 0 である。

[0132] カメラ 1 0 0 は、レンズ群などを含む光学部 1 0 1 と、第 1 から第 7 実施形態のいずれかの撮像部 2 2 である撮像装置 1 0 2 と、カメラ信号処理回路

であるDSP (Digital Signal Processor) 回路103と、フレームメモリ104と、表示部105と、記録部106と、操作部107と、電源部108とを備えている。また、DSP回路103、フレームメモリ104、表示部105、記録部106、操作部107、および電源部108は、バスライン109を介して相互に接続されている。

[0133] 光学部101は、被写体からの入射光（像光）を取り込んで、撮像装置102の撮像面上に結像する。撮像装置102は、光学部101により撮像面上に結像された入射光の光量を画素単位で電気信号に変換して、画素信号として出力する。

[0134] DSP回路103は、撮像装置102により出力された画素信号について信号処理を行う。フレームメモリ104は、撮像装置102で撮像された動画または静止画の1画面を記憶しておくためのメモリである。

[0135] 表示部105は、例えば液晶パネルや有機ELパネルなどのパネル型表示装置を含んでおり、撮像装置102で撮像された動画または静止画を表示する。記録部106は、撮像装置102で撮像された動画または静止画を、ハードディスクや半導体メモリなどの記録媒体に記録する。

[0136] 操作部107は、ユーザによる操作の下に、カメラ100が持つ様々な機能について操作指令を発する。電源部108は、DSP回路103、フレームメモリ104、表示部105、記録部106、および操作部107の動作電源となる各種の電源を、これらの供給対象に対して適宜供給する。

[0137] 撮像装置102として、第1から第7実施形態のいずれかの撮像部22を使用することで、良好な画像の取得が期待できる。

[0138] 当該固体撮像装置は、その他の様々な製品に応用することができる。例えば、当該固体撮像装置は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボットなどの種々の移動体に搭載されてもよい。

[0139] 図18は、移動体制御システムの構成例を示すブロック図である。図18に示す移動体制御システムは、車両制御システム200である。

- [0140] 車両制御システム200は、通信ネットワーク201を介して接続された複数の電子制御ユニットを備える。図18に示した例では、車両制御システム200は、駆動系制御ユニット210と、ボディ系制御ユニット220と、車外情報検出ユニット230と、車内情報検出ユニット240と、統合制御ユニット250とを備えている。図18はさらに、統合制御ユニット250の構成部として、マイクロコンピュータ251と、音声画像出力部252と、車載ネットワークI/F (Interface) 253とを示している。
- [0141] 駆動系制御ユニット210は、各種プログラムに従って、車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット210は、内燃機関や駆動用モータなどの車両の駆動力を発生させるための駆動力発生装置や、駆動力を車輪に伝達するための駆動力伝達機構や、車両の舵角を調節するステアリング機構や、車両の制動力を発生させる制動装置などの制御装置として機能する。
- [0142] ボディ系制御ユニット220は、各種プログラムに従って、車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット220は、スマートキーシステム、キーレスエントリシステム、パワーウィンドウ装置、各種ランプ（例えば、ヘッドランプ、バックランプ、ブレーキランプ、ウィンカー、フォグランプ）などの制御装置として機能する。この場合、ボディ系制御ユニット220には、鍵を代替する携帯機から発信される電波または各種スイッチの信号が入力され得る。ボディ系制御ユニット220は、このような電波または信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプなどを制御する。
- [0143] 車外情報検出ユニット230は、車両制御システム200を搭載した車両の外部の情報を検出する。車外情報検出ユニット230には、例えば撮像部231が接続される。車外情報検出ユニット230は、撮像部231に車外の画像を撮像させると共に、撮像された画像を撮像部231から受信する。車外情報検出ユニット230は、受信した画像に基づいて、人、車、障害物、標識、路面上の文字などの物体検出処理または距離検出処理を行ってもよ

い。

[0144] 撮像部 231 は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部 231 は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。撮像部 231 が受光する光は、可視光であってもよいし、赤外線などの非可視光であってもよい。撮像部 231 は、第 1 から第 7 実施形態のいずれかの撮像部 22 を含んでいる。

[0145] 車内情報検出ユニット 240 は、車両制御システム 200 を搭載した車両の内部の情報を検出する。車内情報検出ユニット 240 には例えば、運転者の状態を検出する運転者状態検出部 241 が接続される。例えば、運転者状態検出部 241 は、運転者を撮像するカメラを含み、車内情報検出ユニット 240 は、運転者状態検出部 241 から入力される検出情報に基づいて、運転者の疲労度合いまたは集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。このカメラは、第 1 から第 7 実施形態のいずれかの撮像部 22 を含んでいてもよく、例えば、図 17 に示すカメラ 100 でもよい。

[0146] マイクロコンピュータ 251 は、車外情報検出ユニット 230 または車内情報検出ユニット 240 で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構、または制動装置の制御目標値を演算し、駆動系制御ユニット 210 に対して制御指令を出力することができる。例えば、マイクロコンピュータ 251 は、車両の衝突回避、衝撃緩和、車間距離に基づく追従走行、車速維持走行、衝突警告、レーン逸脱警告などの A D A S (Advanced Driver Assistance System) の機能実現を目的とした協調制御を行うことができる。

[0147] また、マイクロコンピュータ 251 は、車外情報検出ユニット 230 または車内情報検出ユニット 240 で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構、または制動装置を制御することにより、運転者の操作によらずに自律的に走行する自動運転などを目的とした協調制

御を行うことができる。

[0148] また、マイクロコンピュータ 251 は、車外情報検出ユニット 230 で取得される車外の情報に基づいて、ボディ系制御ユニット 220 に対して制御指令を出力することができる。例えば、マイクロコンピュータ 251 は、車外情報検出ユニット 230 で検知した先行車または対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替えるなどの防眩を図ることを目的とした協調制御を行うことができる。

[0149] 音声画像出力部 252 は、車両の搭乗者または車外に対して視覚的または聴覚的に情報を通知することが可能な出力装置に、音声および画像のうちの少なくとも一方の出力信号を送信する。図 18 の例では、このような出力装置として、オーディオスピーカ 261、表示部 262、およびインストルメントパネル 263 が示されている。表示部 262 は例えば、オンボードディスプレイまたはヘッドアップディスプレイを含んでいてもよい。

[0150] 図 19 は、図 18 の撮像部 231 の設定位置の具体例を示す平面図である。

[0151] 図 19 に示す車両 300 は、撮像部 231 として、撮像部 301、302、303、304、305 を備えている。撮像部 301、302、303、304、305 は例えば、車両 300 のフロントノーズ、サイドミラー、リアバンパ、バックドア、車室内のフロントガラスの上部などの位置に設けられる。

[0152] フロントノーズに備えられる撮像部 301 は、主として車両 300 の前方の画像を取得する。左のサイドミラーに備えられる撮像部 302 と、右のサイドミラーに備えられる撮像部 303 は、主として車両 300 の側方の画像を取得する。リアバンパまたはバックドアに備えられる撮像部 304 は、主として車両 300 の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部 305 は、主として車両 300 の前方の画像を取得する。撮像部 305 は例えば、先行車両、歩行者、障害物、信号機、交通標識、車線などの検出に用いられる。

- [0153] 図19は、撮像部301、302、303、304（以下「撮像部301～304」と表記する）の撮像範囲の例を示している。撮像範囲311は、フロントノーズに設けられた撮像部301の撮像範囲を示す。撮像範囲312は、左のサイドミラーに設けられた撮像部302の撮像範囲を示す。撮像範囲313は、右のサイドミラーに設けられた撮像部303の撮像範囲を示す。撮像範囲314は、リアバンパまたはバックドアに設けられた撮像部304の撮像範囲を示す。例えば、撮像部301～304で撮像された画像データが重ね合わせられることにより、車両300を上方から見た俯瞰画像が得られる。以下、撮像範囲311、312、313、314を「撮像範囲311～314」と表記する。
- [0154] 撮像部301～304の少なくとも1つは、距離情報を取得する機能を有していてもよい。例えば、撮像部301～304の少なくとも1つは、複数の撮像装置を含むステレオカメラであってもよいし、位相差検出用の画素を有する撮像装置であってもよい。
- [0155] 例えば、マイクロコンピュータ251（図18）は、撮像部301～304から得られた距離情報を基に、撮像範囲311～314内における各立体物までの距離と、この距離の時間的変化（車両300に対する相対速度）を算出する。マイクロコンピュータ251は、これらの算出結果に基づいて、車両300の進行路上にある最も近い立体物で、車両300とほぼ同じ方向に所定の速度（例えば、0km/h以上）で走行する立体物を、先行車として抽出することができる。さらに、マイクロコンピュータ251は、先行車の手前にあらかじめ確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように、この例によれば、運転者の操作によらずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。
- [0156] 例えば、マイクロコンピュータ251は、撮像部301～304から得られた距離情報を基に、立体物に関する立体物データを、2輪車、普通車両、大型車両、歩行者、電柱その他の立体物に分類して抽出し、障害物の自動回

避に用いることができる。例えば、マイクロコンピュータ 251 は、車両 300 の周辺の障害物を、車両 300 のドライバが視認可能な障害物と、視認困難な障害物とに識別する。そして、マイクロコンピュータ 251 は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ 261 や表示部 262 を介してドライバに警報を出力することや、駆動系制御ユニット 210 を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0157] 撮像部 301～304 の少なくとも 1 つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ 251 は、撮像部 301～304 の撮像画像中に歩行者が存在するか否かを判定することで、歩行者を認識することができる。かかる歩行者の認識は例えば、赤外線カメラとしての撮像部 301～304 の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順により行われる。マイクロコンピュータ 251 が、撮像部 301～304 の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部 252 は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部 262 を制御する。また、音声画像出力部 252 は、歩行者を示すアイコン等を所望の位置に表示するように表示部 262 を制御してもよい。

[0158] 図 20 は、本開示に係る技術（本技術）が適用され得る内視鏡手術システムの概略的な構成の一例を示す図である。

[0159] 図 20 では、術者（医師）531 が、内視鏡手術システム 400 を用いて、患者ベッド 533 上の患者 532 に手術を行っている様子が図示されている。図示するように、内視鏡手術システム 400 は、内視鏡 500 と、気腹チューブ 511 やエネルギー処置具 512 等の、その他の術具 510 と、内視鏡 500 を支持する支持アーム装置 520 と、内視鏡下手術のための各種の装置が搭載されたカート 600 と、から構成される。

- [0160] 内視鏡５００は、先端から所定の長さの領域が患者５３２の体腔内に挿入される鏡筒５０１と、鏡筒５０１の基端に接続されるカメラヘッド５０２と、から構成される。図示する例では、硬性の鏡筒５０１を有するいわゆる硬性鏡として構成される内視鏡５００を図示しているが、内視鏡５００は、軟性の鏡筒を有するいわゆる軟性鏡として構成されてもよい。
- [0161] 鏡筒５０１の先端には、対物レンズが嵌め込まれた開口部が設けられている。内視鏡５００には光源装置６０３が接続されており、当該光源装置６０３によって生成された光が、鏡筒５０１の内部に延設されるライトガイドによって当該鏡筒の先端まで導光され、対物レンズを介して患者５３２の体腔内の観察対象に向かって照射される。なお、内視鏡５００は、直視鏡であってもよいし、斜視鏡又は側視鏡であってもよい。
- [0162] カメラヘッド５０２の内部には光学系及び撮像素子が設けられており、観察対象からの反射光（観察光）は当該光学系によって当該撮像素子に集光される。当該撮像素子によって観察光が光電変換され、観察光に対応する電気信号、すなわち観察像に対応する画像信号が生成される。当該画像信号は、RAWデータとしてカメラコントロールユニット（CCU： Camera Control Unit）６０１に送信される。
- [0163] CCU６０１は、CPU（Central Processing Unit）やGPU（Graphics Processing Unit）等によって構成され、内視鏡５００及び表示装置６０２の動作を統括的に制御する。さらに、CCU６０１は、カメラヘッド５０２から画像信号を受け取り、その画像信号に対して、例えば現像処理（デモザイク処理）等の、当該画像信号に基づく画像を表示するための各種の画像処理を施す。
- [0164] 表示装置６０２は、CCU６０１からの制御により、当該CCU６０１によって画像処理が施された画像信号に基づく画像を表示する。
- [0165] 光源装置６０３は、例えばLED（Light Emitting Diode）等の光源から構成され、術部等を撮影する際の照射光を内視鏡５００に供給する。

- [0166] 入力装置 604 は、内視鏡手術システム 11000 に対する入力インタフェースである。ユーザは、入力装置 604 を介して、内視鏡手術システム 400 に対して各種の情報の入力や指示入力を行うことができる。例えば、ユーザは、内視鏡 500 による撮像条件（照射光の種類、倍率及び焦点距離等）を変更する旨の指示等を入力する。
- [0167] 処置具制御装置 605 は、組織の焼灼、切開又は血管の封止等のためのエネルギー処置具 512 の駆動を制御する。気腹装置 606 は、内視鏡 500 による視野の確保及び術者の作業空間の確保の目的で、患者 532 の体腔を膨らめるために、気腹チューブ 511 を介して当該体腔内にガスを送り込む。レコーダ 607 は、手術に関する各種の情報を記録可能な装置である。プリンタ 608 は、手術に関する各種の情報を、テキスト、画像又はグラフ等各種の形式で印刷可能な装置である。
- [0168] なお、内視鏡 500 に術部を撮影する際の照射光を供給する光源装置 603 は、例えば LED、レーザ光源又はこれらの組み合わせによって構成される白色光源から構成することができる。RGB レーザ光源の組み合わせにより白色光源が構成される場合には、各色（各波長）の出力強度及び出力タイミングを高精度に制御することができるため、光源装置 603 において撮像画像のホワイトバランスの調整を行うことができる。また、この場合には、RGB レーザ光源それぞれからのレーザ光を時分割で観察対象に照射し、その照射タイミングに同期してカメラヘッド 502 の撮像素子の駆動を制御することにより、RGB それぞれに対応した画像を時分割で撮像することも可能である。当該方法によれば、当該撮像素子にカラーフィルタを設けなくても、カラー画像を得ることができる。
- [0169] また、光源装置 603 は、出力する光の強度を所定の時間ごとに変更するようにその駆動が制御されてもよい。その光の強度の変更のタイミングに同期してカメラヘッド 502 の撮像素子の駆動を制御して時分割で画像を取得し、その画像を合成することにより、いわゆる黒つぶれ及び白とびのない高ダイナミックレンジの画像を生成することができる。

[0170] また、光源装置 603 は、特殊光観察に対応した所定の波長帯域の光を供給可能に構成されてもよい。特殊光観察では、例えば、体組織における光の吸収の波長依存性を利用して、通常の観察時における照射光（すなわち、白色光）に比べて狭帯域の光を照射することにより、粘膜表層の血管等の所定の組織を高コントラストで撮影する、いわゆる狭帯域光観察（Narrow Band Imaging）が行われる。あるいは、特殊光観察では、励起光を照射することにより発生する蛍光により画像を得る蛍光観察が行われてもよい。蛍光観察では、体組織に励起光を照射し当該体組織からの蛍光を観察すること（自家蛍光観察）、又はインドシアニンググリーン（ICG）等の試薬を体組織に局注するとともに当該体組織にその試薬の蛍光波長に対応した励起光を照射し蛍光像を得ること等を行うことができる。光源装置 603 は、このような特殊光観察に対応した狭帯域光及び／又は励起光を供給可能に構成され得る。

[0171] 図 21 は、図 20 に示すカメラヘッド 502 及び CCU 601 の機能構成の一例を示すブロック図である。

[0172] カメラヘッド 502 は、レンズユニット 701 と、撮像部 702 と、駆動部 703 と、通信部 704 と、カメラヘッド制御部 705 と、を有する。CCU 601 は、通信部 711 と、画像処理部 712 と、制御部 713 と、を有する。カメラヘッド 502 と CCU 601 とは、伝送ケーブル 700 によって互いに通信可能に接続されている。

[0173] レンズユニット 701 は、鏡筒 501 との接続部に設けられる光学系である。鏡筒 501 の先端から取り込まれた観察光は、カメラヘッド 502 まで導光され、当該レンズユニット 701 に入射する。レンズユニット 701 は、ズームレンズ及びフォーカスレンズを含む複数のレンズが組み合わされて構成される。

[0174] 撮像部 702 は、撮像素子で構成される。撮像部 702 を構成する撮像素子は、1 つ（いわゆる単板式）であってもよいし、複数（いわゆる多板式）であってもよい。撮像部 702 が多板式で構成される場合には、例えば各撮

像素子によってRGBそれぞれに対応する画像信号が生成され、それらが合成されることによりカラー画像が得られてもよい。あるいは、撮像部702は、3D(Dimensional)表示に対応する右目用及び左目用の画像信号をそれぞれ取得するための1対の撮像素子を有するように構成されてもよい。3D表示が行われることにより、術者531は術部における生体組織の奥行きをより正確に把握することが可能になる。なお、撮像部702が多板式で構成される場合には、各撮像素子に対応して、レンズユニット701も複数系統設けられ得る。撮像部702は、例えば第1から第7実施形態のいずれかの撮像部22である。

[0175] また、撮像部702は、必ずしもカメラヘッド502に設けられなくてもよい。例えば、撮像部702は、鏡筒501の内部に、対物レンズの直後に設けられてもよい。

[0176] 駆動部703は、アクチュエータによって構成され、カメラヘッド制御部705からの制御により、レンズユニット701のズームレンズ及びフォーカスレンズを光軸に沿って所定の距離だけ移動させる。これにより、撮像部702による撮像画像の倍率及び焦点が適宜調整され得る。

[0177] 通信部704は、CCU601との間で各種の情報を送受信するための通信装置によって構成される。通信部704は、撮像部702から得た画像信号をRAWデータとして伝送ケーブル700を介してCCU601に送信する。

[0178] また、通信部704は、CCU601から、カメラヘッド502の駆動を制御するための制御信号を受信し、カメラヘッド制御部705に供給する。当該制御信号には、例えば、撮像画像のフレームレートを指定する旨の情報、撮像時の露出値を指定する旨の情報、並びに／又は撮像画像の倍率及び焦点を指定する旨の情報等、撮像条件に関する情報が含まれる。

[0179] なお、上記のフレームレートや露出値、倍率、焦点等の撮像条件は、ユーザによって適宜指定されてもよいし、取得された画像信号に基づいてCCU601の制御部713によって自動的に設定されてもよい。後者の場合には

、いわゆるAE (Auto Exposure) 機能、AF (Auto Focus) 機能及びAWB (Auto White Balance) 機能が内視鏡500に搭載されていることになる。

[0180] カメラヘッド制御部705は、通信部704を介して受信したCCU601からの制御信号に基づいて、カメラヘッド502の駆動を制御する。

[0181] 通信部711は、カメラヘッド502との間で各種の情報を送受信するための通信装置によって構成される。通信部711は、カメラヘッド502から、伝送ケーブル700を介して送信される画像信号を受信する。

[0182] また、通信部711は、カメラヘッド502に対して、カメラヘッド502の駆動を制御するための制御信号を送信する。画像信号や制御信号は、電気通信や光通信等によって送信することができる。

[0183] 画像処理部712は、カメラヘッド502から送信されたRAWデータである画像信号に対して各種の画像処理を施す。

[0184] 制御部713は、内視鏡500による術部等の撮像、及び、術部等の撮像により得られる撮像画像の表示に関する各種の制御を行う。例えば、制御部713は、カメラヘッド502の駆動を制御するための制御信号を生成する。

[0185] また、制御部713は、画像処理部712によって画像処理が施された画像信号に基づいて、術部等が映った撮像画像を表示装置602に表示させる。この際、制御部713は、各種の画像認識技術を用いて撮像画像内における各種の物体を認識してもよい。例えば、制御部713は、撮像画像に含まれる物体のエッジの形状や色等を検出することにより、鉗子等の術具、特定の生体部位、出血、エネルギー処置具512の使用時のミスト等を認識することができる。制御部713は、表示装置602に撮像画像を表示させる際に、その認識結果を用いて、各種の手術支援情報を当該術部の画像に重畳表示させてもよい。手術支援情報が重畳表示され、術者531に提示されることにより、術者531の負担を軽減することや、術者531が確実に手術を進めることが可能になる。

[0186] カメラヘッド502及びCCU601を接続する伝送ケーブル700は、電気信号の通信に対応した電気信号ケーブル、光通信に対応した光ファイバ、又はこれらの複合ケーブルである。

[0187] ここで、図示する例では、伝送ケーブル700を用いて有線で通信が行われていたが、カメラヘッド502とCCU601との間の通信は無線で行われてもよい。

[0188] 以上、本開示の実施形態について説明したが、これらの実施形態は、本開示の要旨を逸脱しない範囲内で、種々の変更を加えて実施してもよい。例えば、2つ以上の実施形態を組み合わせる実施してもよい。

[0189] なお、本開示は、以下のような構成を取ることもできる。

[0190] (1)

A P D (Avalanche Photodiode) を含む複数の画素と、

前記複数の画素から出力された複数の第1信号の状態を検知し、前記複数の第1信号の状態の検知結果を含む複数の第2信号を生成する複数の状態検知回路と、

前記複数の第2信号または前記複数の第2信号に応じて変化する複数の第3信号の論理演算を行い、前記論理演算の結果を含む第4信号を生成する論理演算回路と、

前記第4信号に基づいて、前記複数の第1信号に関する値をカウントするカウンタとを備え、

前記状態検知回路の各々は、前記第4信号を入力する入力端子を有し、前記入力端子に入力された前記第4信号に基づいて、前記状態検知回路の各々への前記第1信号の入力を無効にする、A P D センサ。

[0191] (2)

前記複数の画素を有する画素アレイ領域を含む第1基板と、

前記第1基板と貼り合わされており、前記状態検知回路、前記論理演算回路、および前記カウンタを含む第2基板と、

をさらに備える(1)に記載のA P D センサ。

[0192] (3)

前記状態検知回路と、前記論理演算回路の少なくとも一部は、前記画素アレイ領域と対向する位置に配置されており、前記カウンタは、前記画素アレイ領域と対向しない位置または前記画素アレイ領域内に配置されている、(2)に記載のAPDセンサ。

[0193] (4)

前記状態検知回路は、前記画素アレイ領域と対向する位置に配置されており、前記論理演算回路の少なくとも一部と、前記カウンタは、前記画素アレイ領域と対向しない位置に配置されている、(2)に記載のAPDセンサ。

[0194] (5)

前記APDは、SPAD (Single Photon Avalanche Diode) である、(1)に記載のAPDセンサ。

[0195] (6)

前記APDのカソードは、前記状態検知回路に電氣的に接続されている、(1)に記載のAPDセンサ。

[0196] (7)

前記APDのアノードは、前記状態検知回路に電氣的に接続されている、(1)に記載のAPDセンサ。

[0197] (8)

前記入力端子は、前記状態検知回路をリセットするリセット端子である、(1)に記載のAPDセンサ。

[0198] (9)

前記状態検知回路は、前記第1信号のエッジを検知する、(1)に記載のAPDセンサ。

[0199] (10)

前記状態検知回路は、フリップフロップ回路を含む、(1)に記載のAPDセンサ。

[0200] (11)

前記第 1 信号は、前記フリップフロップ回路のクロック端子に入力される、(10)に記載のAPDセンサ。

[0201] (12)

前記状態検知回路は、前記第 1 信号のレベルを検知する、(1)に記載のAPDセンサ。

[0202] (13)

前記状態検知回路は、ラッチ回路を含む、(1)に記載のAPDセンサ。

[0203] (14)

前記状態検知回路はさらに、前記第 1 信号から得られた 2 つの信号のAND演算またはNAND演算を行うAND回路またはNAND回路を含み、前記AND演算または前記NAND演算の結果を示す信号を前記ラッチ回路に入力する、(13)に記載のAPDセンサ。

[0204] (15)

前記論理演算回路は、前記複数の第 2 信号に基づいて前記複数の第 3 信号を生成する複数のトランジスタを含む、(1)に記載のAPDセンサ。

[0205] (16)

前記第 2 信号は、前記トランジスタの制御端子に入力され、前記第 3 信号は、前記トランジスタの主端子（例：MOSトランジスタのドレイン端子またはソース端子）から出力される、(15)に記載のAPDセンサ。

[0206] (17)

前記第 4 信号は、前記複数の第 2 信号または前記複数の第 3 信号のAND演算、OR演算、NAND演算、またはNOR演算の結果を含む、(1)に記載のAPDセンサ。

[0207] (18)

前記論理演算回路は、ワイヤードAND回路、ワイヤードOR回路、ワイヤードNAND回路、またはワイヤードNOR回路を含む、(1)に記載のAPDセンサ。

[0208] (19)

前記論理演算回路は、ANDゲート、ORゲート、NANDゲート、およびNORゲートの少なくともいずれかを含む、(1)に記載のAPDセンサ。

[0209] (20)

光を被写体に照射する発光装置と、

前記被写体から反射した光を受光する受光装置と、

前記受光装置により受光された光に基づいて、前記被写体との距離を測定する測距装置とを備え、

前記受光装置は、

前記被写体から反射した前記光を受光するAPD (Avalanche Photodiode) を含む複数の画素と、

前記複数の画素から出力された複数の第1信号の状態を検知し、前記複数の第1信号の状態の検知結果を含む複数の第2信号を生成する複数の状態検知回路と、

前記複数の第2信号または前記複数の第2信号に応じて変化する複数の第3信号の論理演算を行い、前記論理演算の結果を含む第4信号を生成する論理演算回路と、

前記第4信号に基づいて、前記複数の第1信号に関する値をカウントするカウンタとを備え、

前記状態検知回路の各々は、前記第4信号を入力する入力端子を有し、前記入力端子に入力された前記第4信号に基づいて、前記状態検知回路の各々への前記第1信号の入力を無効にする、測距システム。

符号の説明

[0210] 1 : 発光装置、2 : 受光装置、3 : 制御装置、

11 : 光源駆動部、12 : 光源、13 : コリメートレンズ、14 : 回折光学素子、

21 : レンズユニット、22 : 撮像部、23 : 撮像信号処理部、31 : 測距部、

4 1 : 画素、4 1 a : A P D、4 1 b : 電流源、4 1 c : インバータ、
4 1 d : バッファ、4 2 : 画素アレイ領域、4 3 : 制御回路、
4 4 : 垂直選択回路、4 5 : 画素アレイ外信号処理回路、4 6 : 水平選択
回路、

5 1 : 受光基板、5 2 : ロジック基板、
5 3 : ロジックアレイ部、5 4 : 信号処理部、5 5 : 撮像制御部、
6 1 : 状態検知回路、6 1 ' : 状態検知回路、6 1 a : D F F 回路、
6 1 b : バッファ、6 1 c : バッファ、6 1 d : バッファ、
6 1 e : N O T ゲート、6 1 f : A N D ゲート、6 1 g : D ラッチ回路、
6 1 h : S R ラッチ回路、6 1 i : N A N D ゲート、
6 2 : 論理演算回路、6 2 ' : 論理演算回路、6 2 a : トランジスタ、
6 2 b : ワイヤードN O R 回路、6 2 c : N O T ゲート、6 2 d : トラン
ジスタ、
6 2 e : N O R ゲート、6 2 f : N O R ゲート、6 2 g : N A N D ゲート
、
6 2 h : N O T ゲート、6 2 i : N A N D ゲート、6 3 : T D C

請求の範囲

- [請求項1] A P D (Avalanche Photodiode) を含む複数の画素と、
 前記複数の画素から出力された複数の第 1 信号の状態を検知し、前記複数の第 1 信号の状態の検知結果を含む複数の第 2 信号を生成する複数の状態検知回路と、
 前記複数の第 2 信号または前記複数の第 2 信号に応じて変化する複数の第 3 信号の論理演算を行い、前記論理演算の結果を含む第 4 信号を生成する論理演算回路と、
 前記第 4 信号に基づいて、前記複数の第 1 信号に関する値をカウントするカウンタとを備え、
 前記状態検知回路の各々は、前記第 4 信号を入力する入力端子を有し、前記入力端子に入力された前記第 4 信号に基づいて、前記状態検知回路の各々への前記第 1 信号の入力を無効にする、A P D センサ。
- [請求項2] 前記複数の画素を有する画素アレイ領域を含む第 1 基板と、
 前記第 1 基板と貼り合わされており、前記状態検知回路、前記論理演算回路、および前記カウンタを含む第 2 基板と、
 をさらに備える、請求項 1 に記載の A P D センサ。
- [請求項3] 前記状態検知回路と、前記論理演算回路の少なくとも一部は、前記画素アレイ領域と対向する位置に配置されており、前記カウンタは、前記画素アレイ領域と対向しない位置または前記画素アレイ領域内に配置されている、請求項 2 に記載の A P D センサ。
- [請求項4] 前記状態検知回路は、前記画素アレイ領域と対向する位置に配置されており、前記論理演算回路の少なくとも一部と、前記カウンタは、前記画素アレイ領域と対向しない位置に配置されている、請求項 2 に記載の A P D センサ。
- [請求項5] 前記 A P D は、S P A D (Single Photon Avalanche Diode) である、請求項 1 に記載の A P D センサ。
- [請求項6] 前記 A P D のカソードは、前記状態検知回路に電氣的に接続されて

いる、請求項 1 に記載の A P D センサ。

[請求項 7] 前記 A P D のアノードは、前記状態検知回路に電氣的に接続されている、請求項 1 に記載の A P D センサ。

[請求項 8] 前記入力端子は、前記状態検知回路をリセットするリセット端子である、請求項 1 に記載の A P D センサ。

[請求項 9] 前記状態検知回路は、前記第 1 信号のエッジを検知する、請求項 1 に記載の A P D センサ。

[請求項 10] 前記状態検知回路は、フリップフロップ回路を含む、請求項 1 に記載の A P D センサ。

[請求項 11] 前記第 1 信号は、前記フリップフロップ回路のクロック端子に入力される、請求項 10 に記載の A P D センサ。

[請求項 12] 前記状態検知回路は、前記第 1 信号のレベルを検知する、請求項 1 に記載の A P D センサ。

[請求項 13] 前記状態検知回路は、ラッチ回路を含む、請求項 1 に記載の A P D センサ。

[請求項 14] 前記状態検知回路はさらに、前記第 1 信号から得られた 2 つの信号の A N D 演算または N A N D 演算を行う A N D 回路または N A N D 回路を含み、前記 A N D 演算または前記 N A N D 演算の結果を示す信号を前記ラッチ回路に入力する、請求項 13 に記載の A P D センサ。

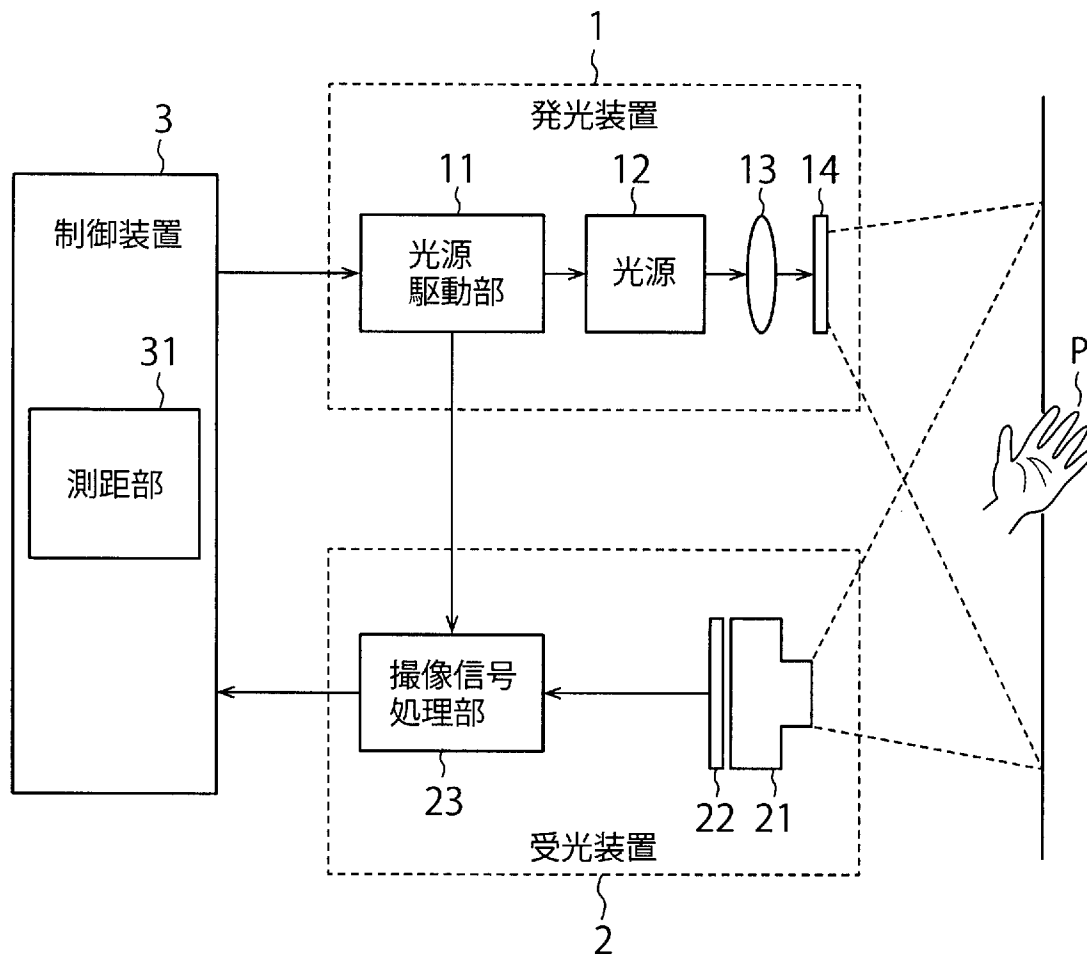
[請求項 15] 前記論理演算回路は、前記複数の第 2 信号に基づいて前記複数の第 3 信号を生成する複数のトランジスタを含む、請求項 1 に記載の A P D センサ。

[請求項 16] 前記第 2 信号は、前記トランジスタの制御端子に入力され、前記第 3 信号は、前記トランジスタの主端子から出力される、請求項 15 に記載の A P D センサ。

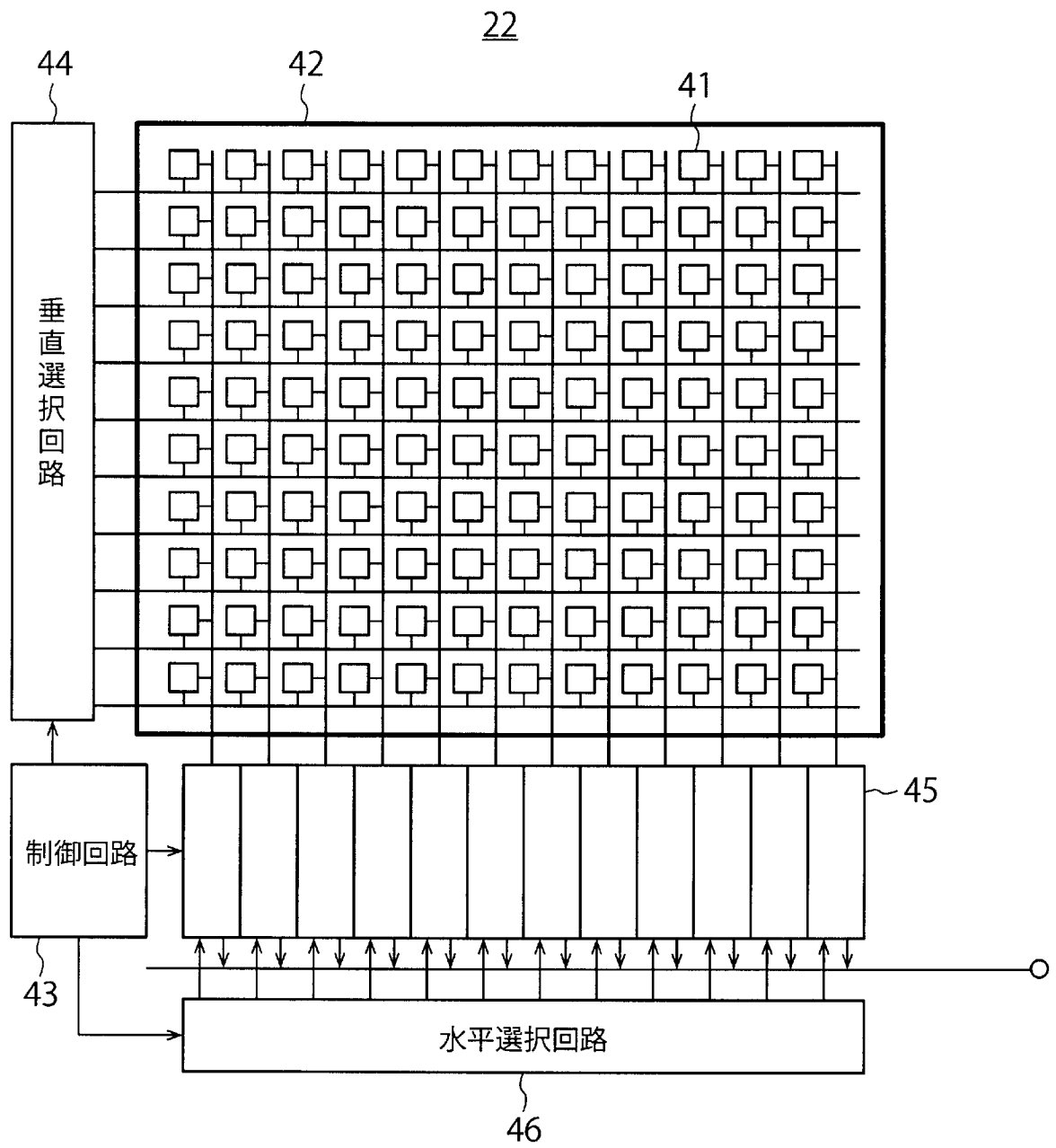
[請求項 17] 前記第 4 信号は、前記複数の第 2 信号または前記複数の第 3 信号の A N D 演算、O R 演算、N A N D 演算、または N O R 演算の結果を含む、請求項 1 に記載の A P D センサ。

- [請求項18] 前記論理演算回路は、ワイヤードAND回路、ワイヤードOR回路、ワイヤードNAND回路、またはワイヤードNOR回路を含む、請求項1に記載のAPDセンサ。
- [請求項19] 前記論理演算回路は、ANDゲート、ORゲート、NANDゲート、およびNORゲートの少なくともいずれかを含む、請求項1に記載のAPDセンサ。
- [請求項20] 光を被写体に照射する発光装置と、
前記被写体から反射した光を受光する受光装置と、
前記受光装置により受光された光に基づいて、前記被写体との距離を測定する測距装置とを備え、
前記受光装置は、
前記被写体から反射した前記光を受光するAPD (Avalanche Photodiode) を含む複数の画素と、
前記複数の画素から出力された複数の第1信号の状態を検知し、前記複数の第1信号の状態の検知結果を含む複数の第2信号を生成する複数の状態検知回路と、
前記複数の第2信号または前記複数の第2信号に応じて変化する複数の第3信号の論理演算を行い、前記論理演算の結果を含む第4信号を生成する論理演算回路と、
前記第4信号に基づいて、前記複数の第1信号に関する値をカウントするカウンタとを備え、
前記状態検知回路の各々は、前記第4信号を入力する入力端子を有し、前記入力端子に入力された前記第4信号に基づいて、前記状態検知回路の各々への前記第1信号の入力を無効にする、測距システム。

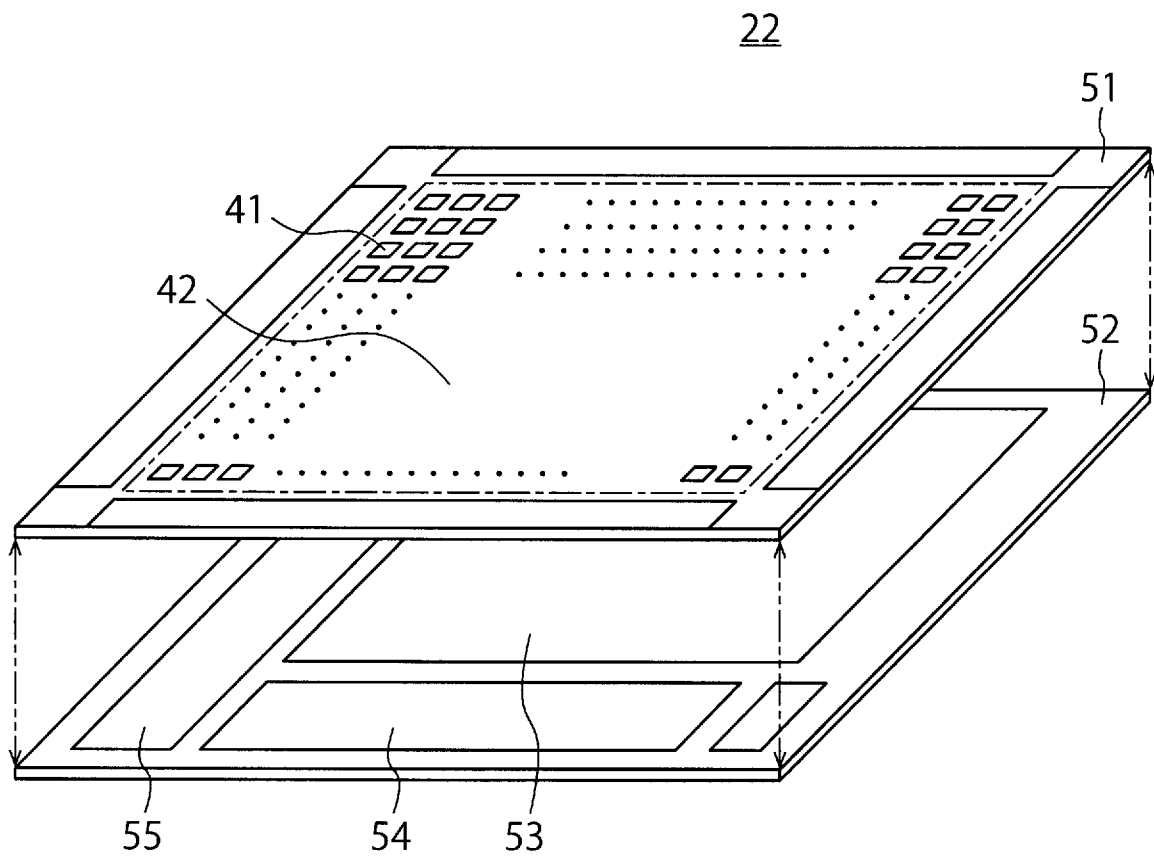
[図1]



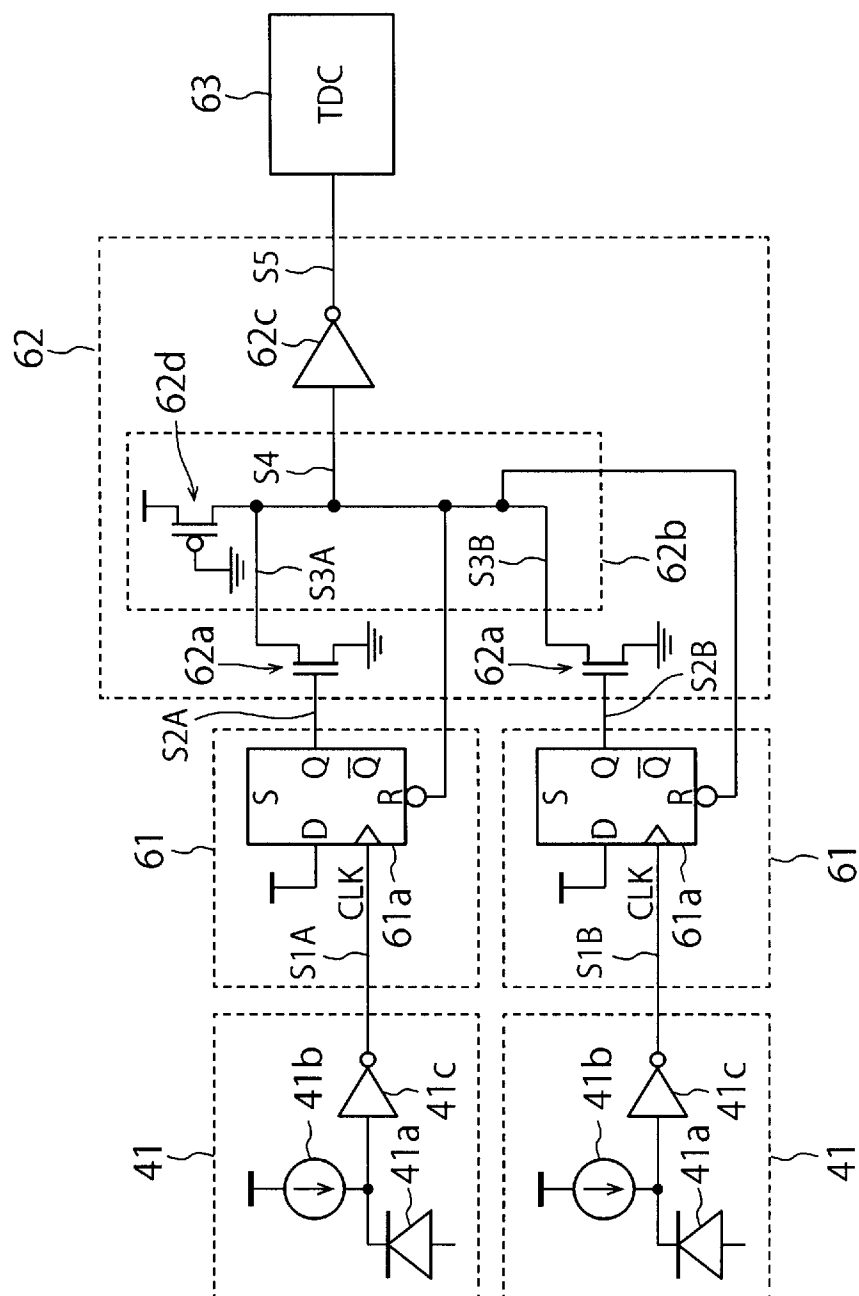
[図2]



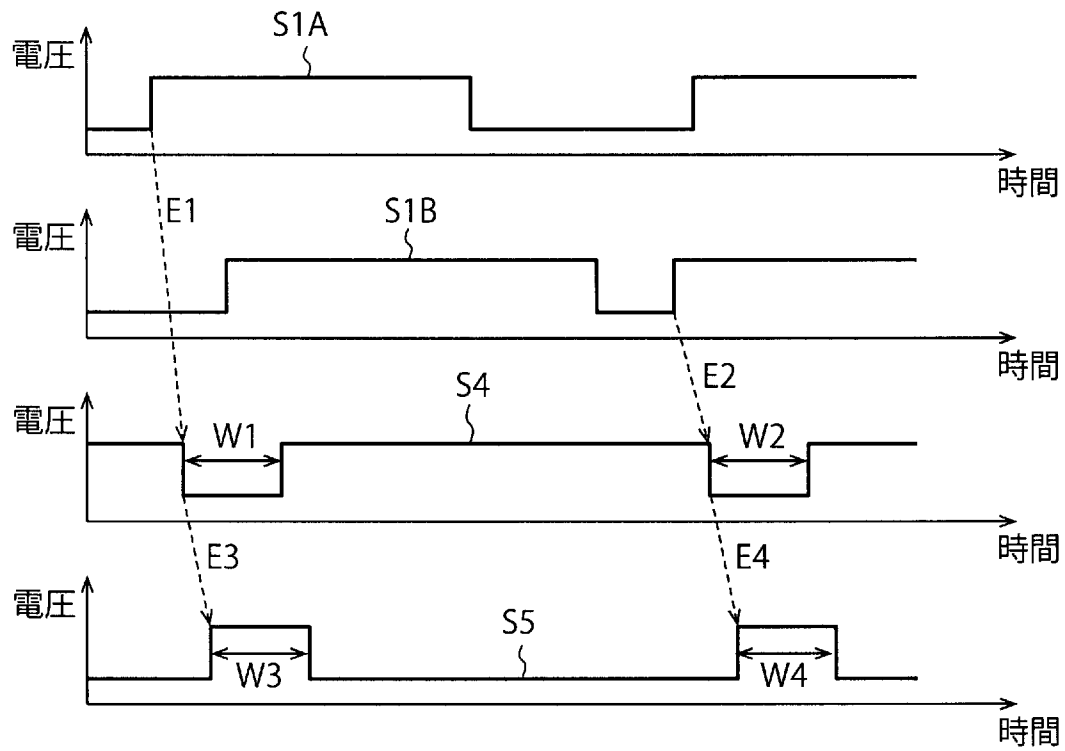
[図3]



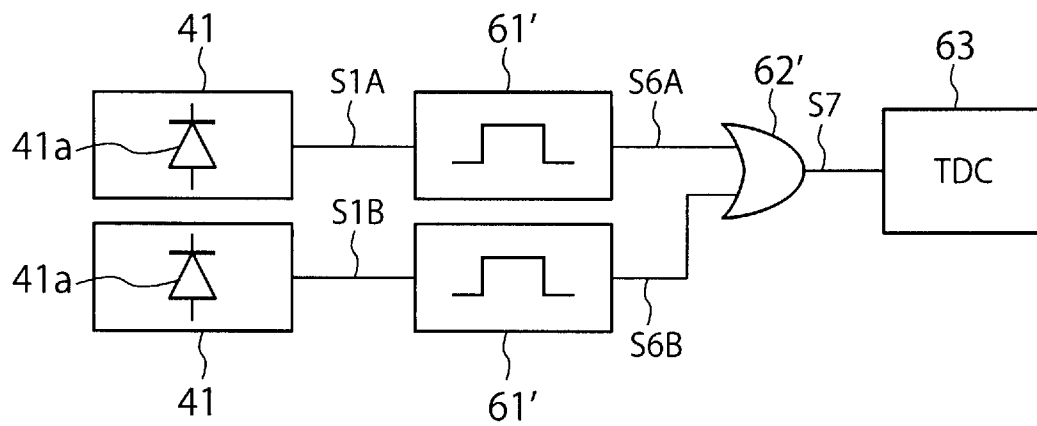
[図4]



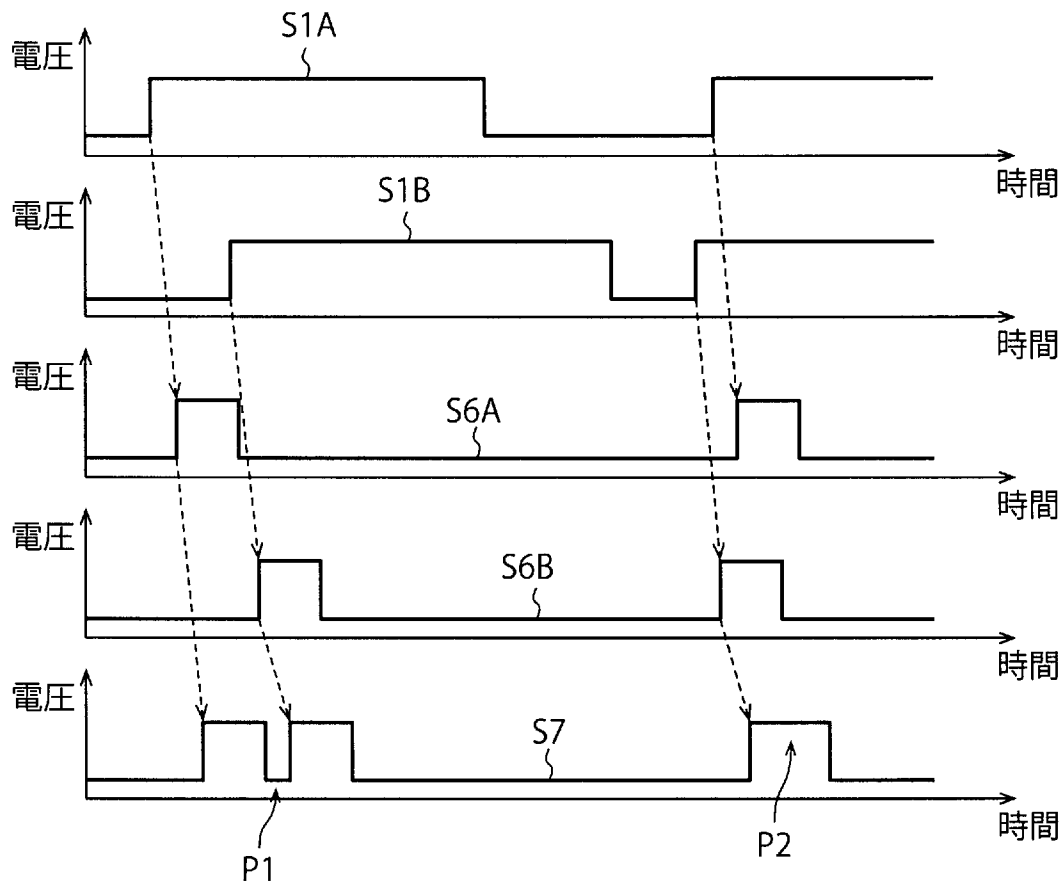
[図5]



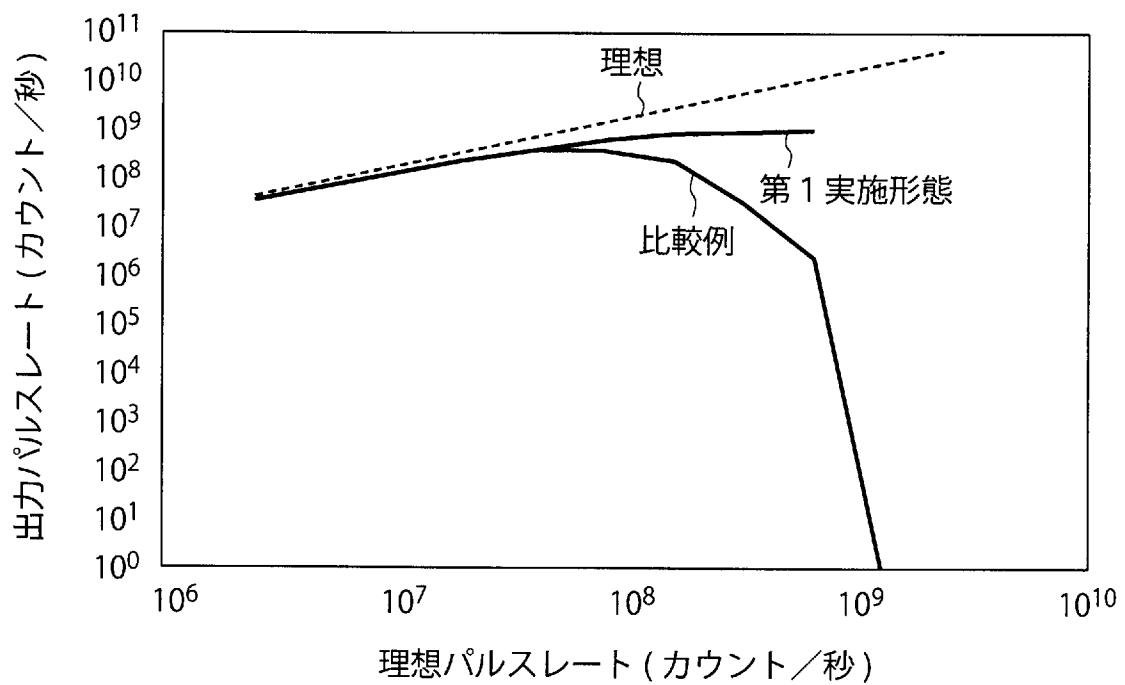
[図6]

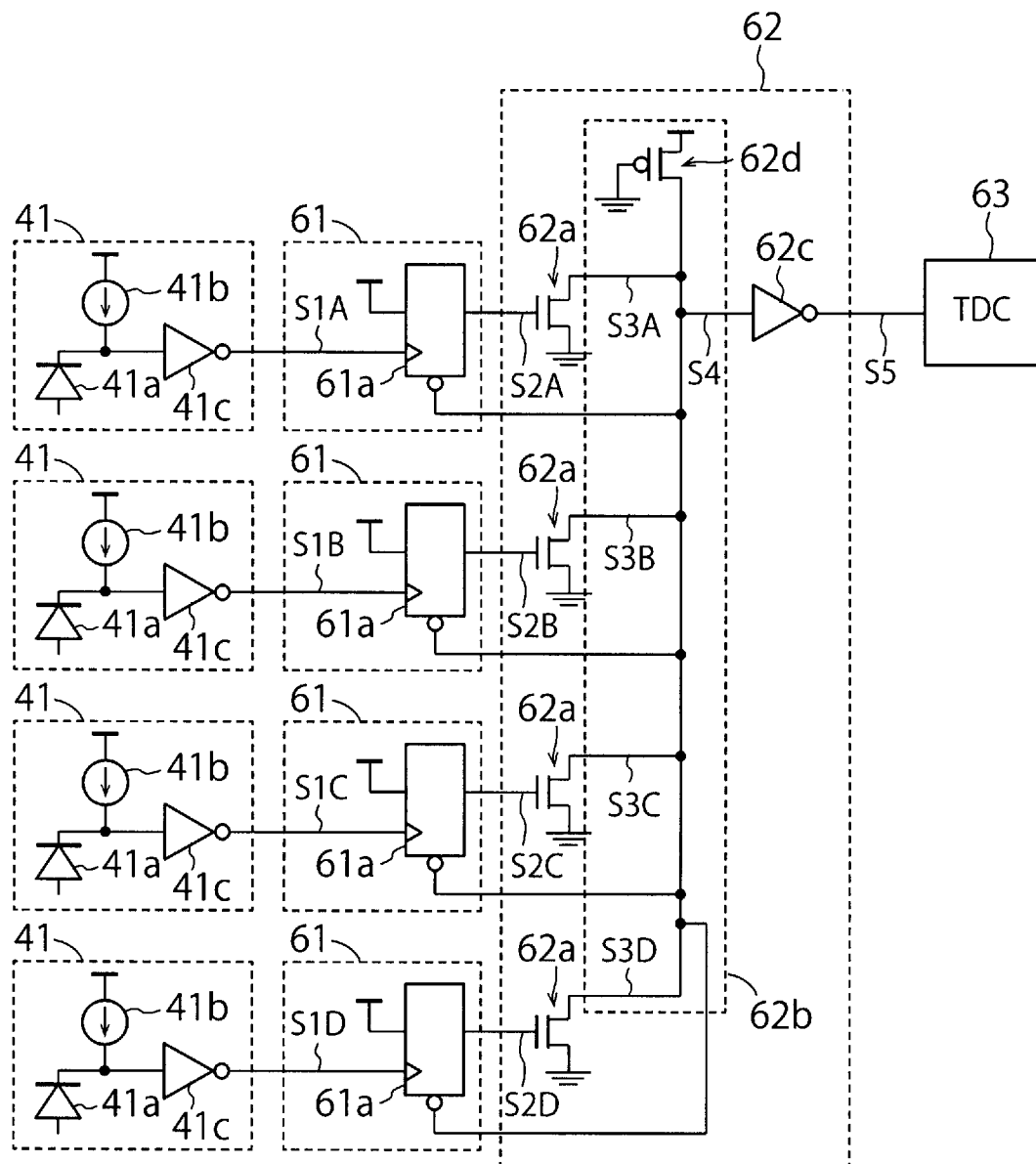


[図7]

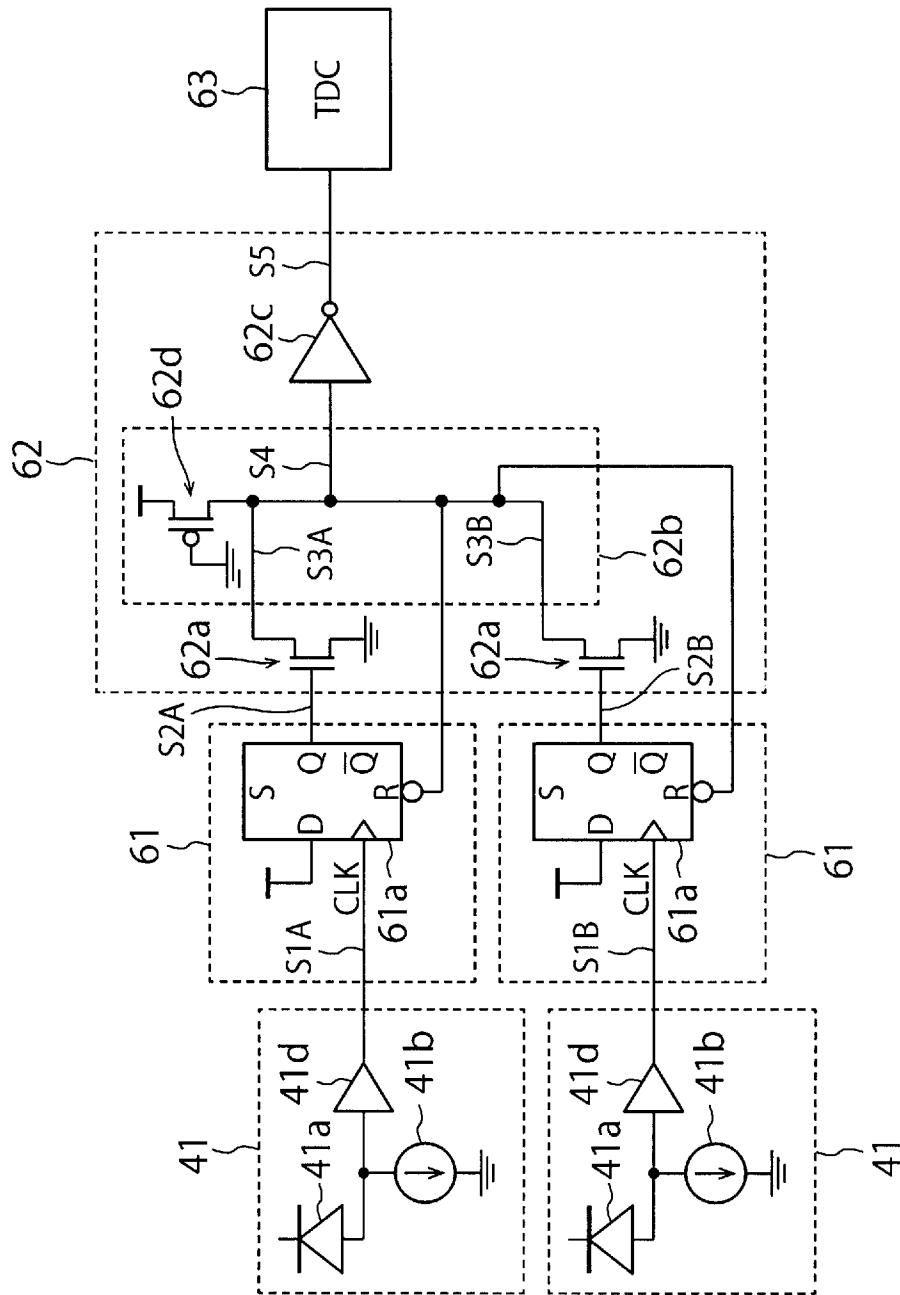


[図8]

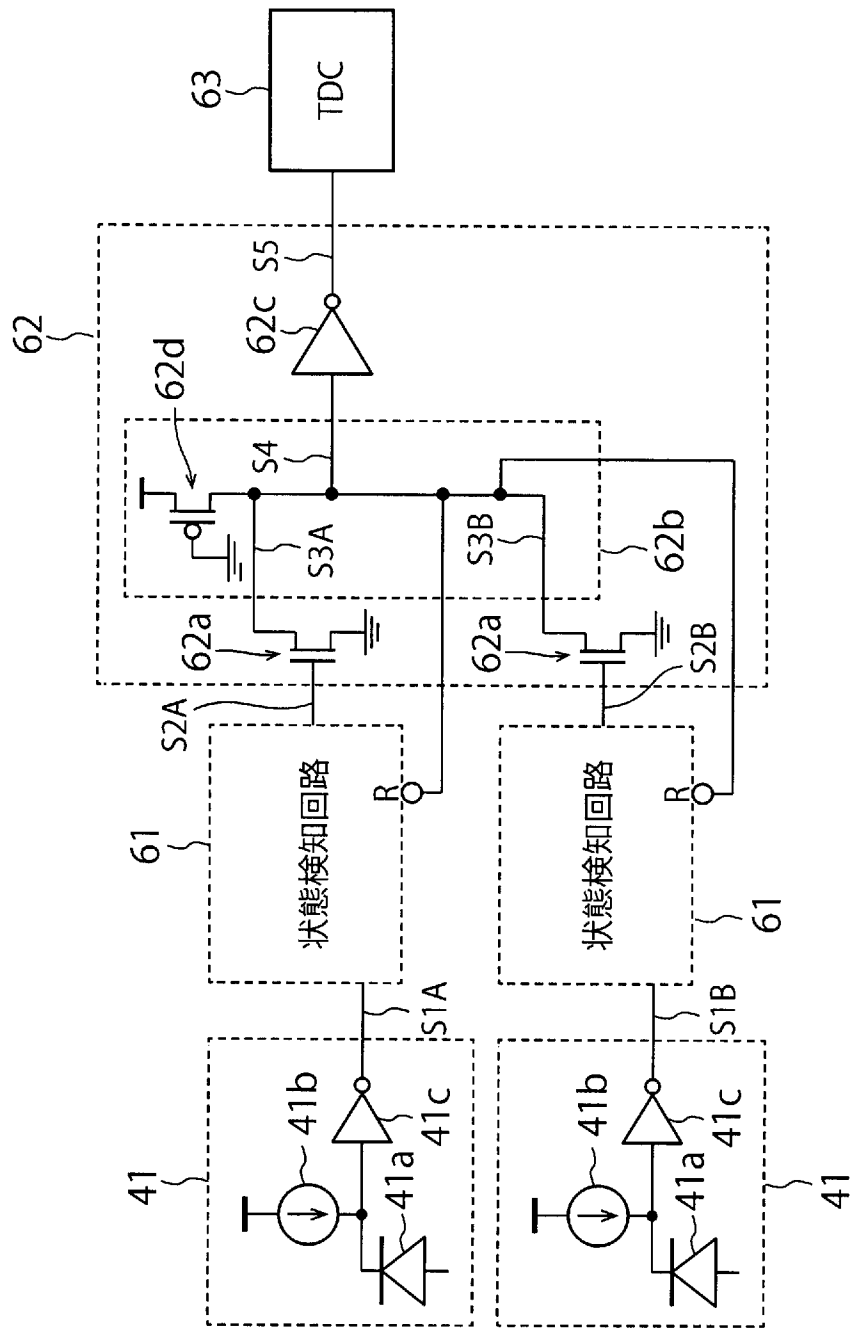




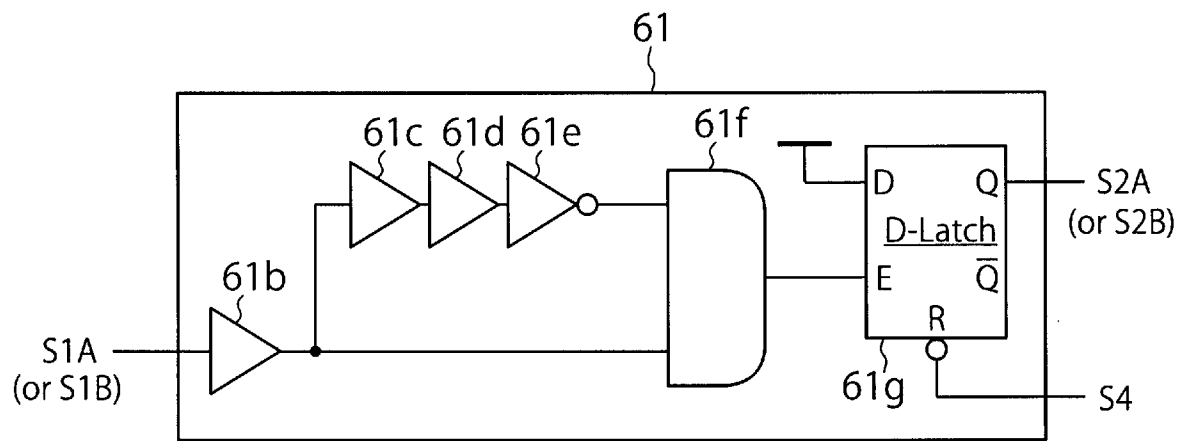
[図10]



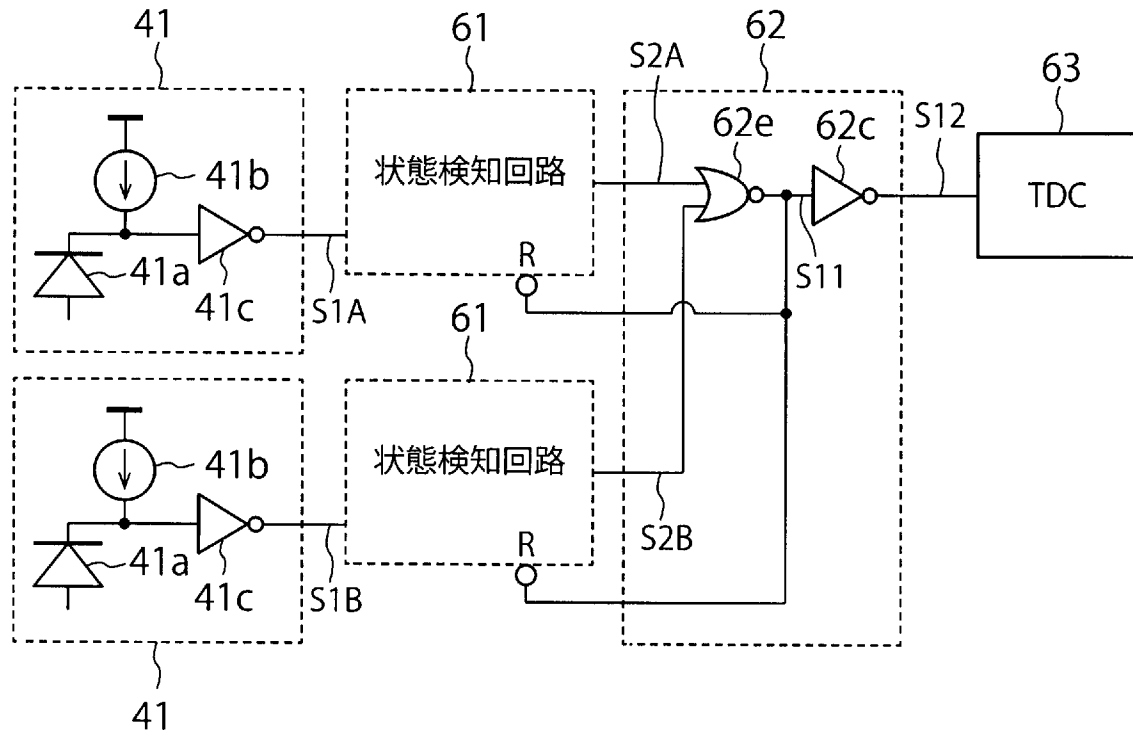
[図11]

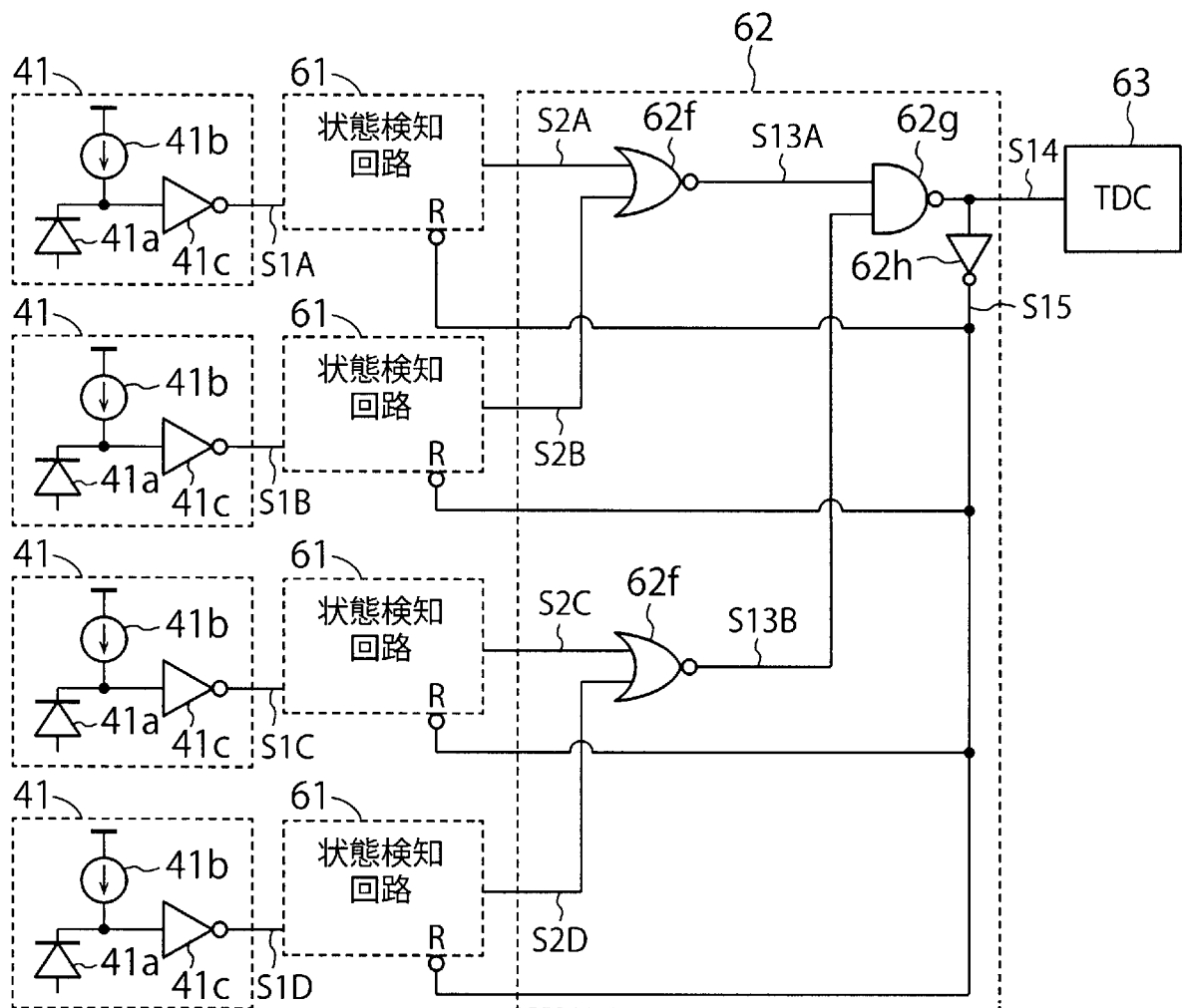


[図12]

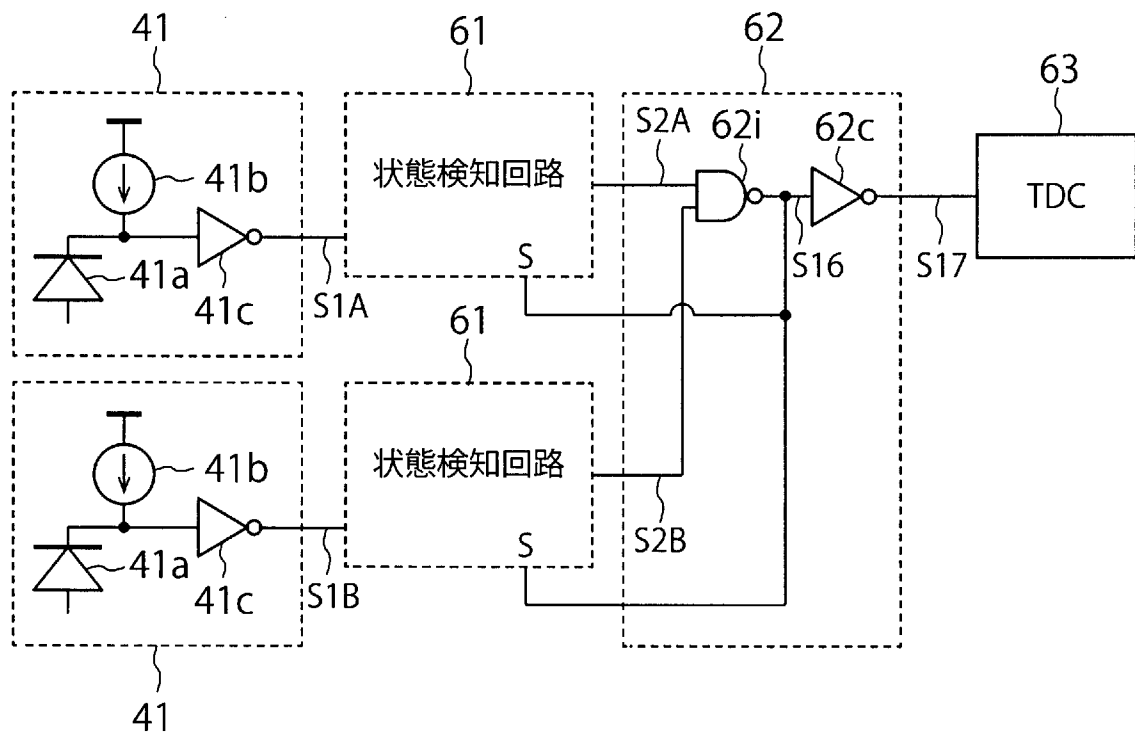


[図14]

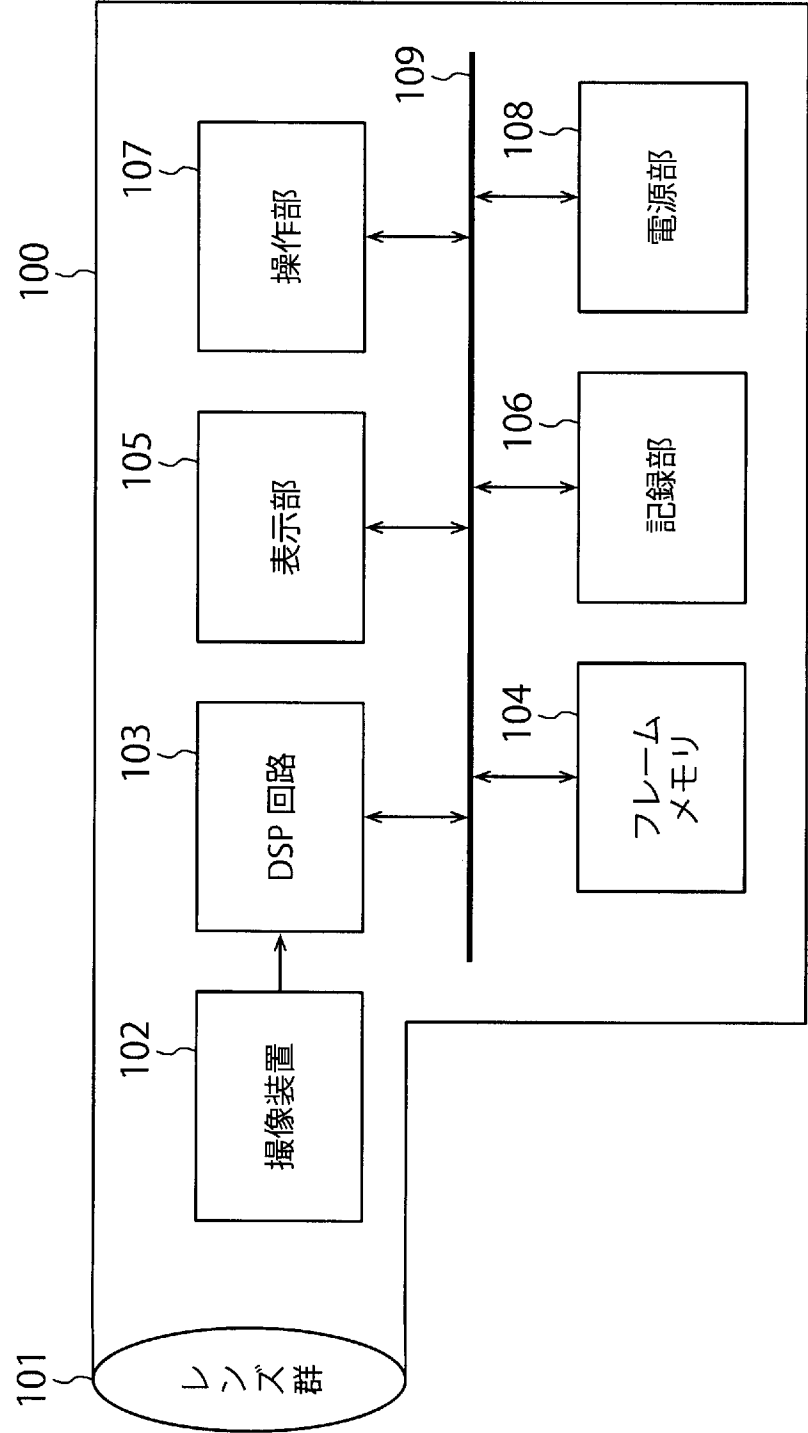




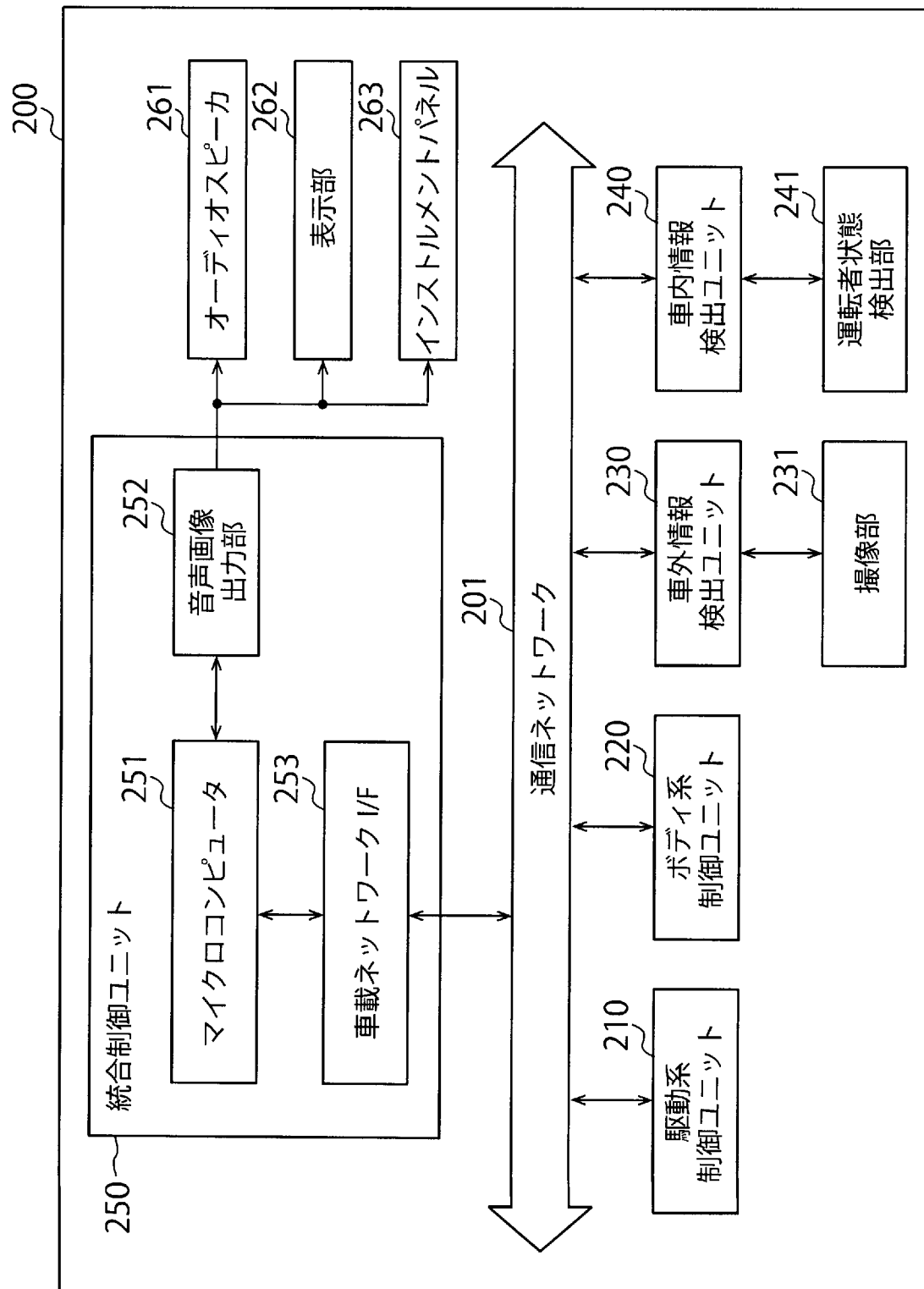
[図16]



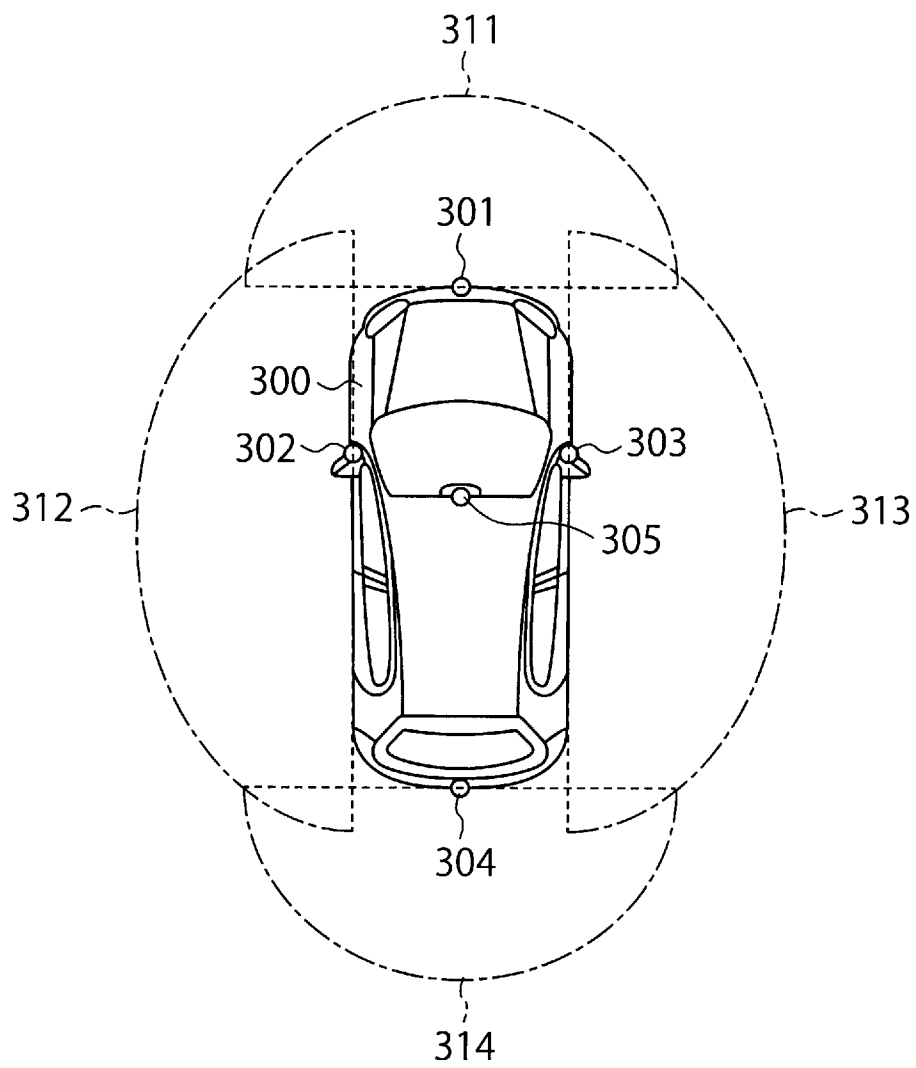
[図17]



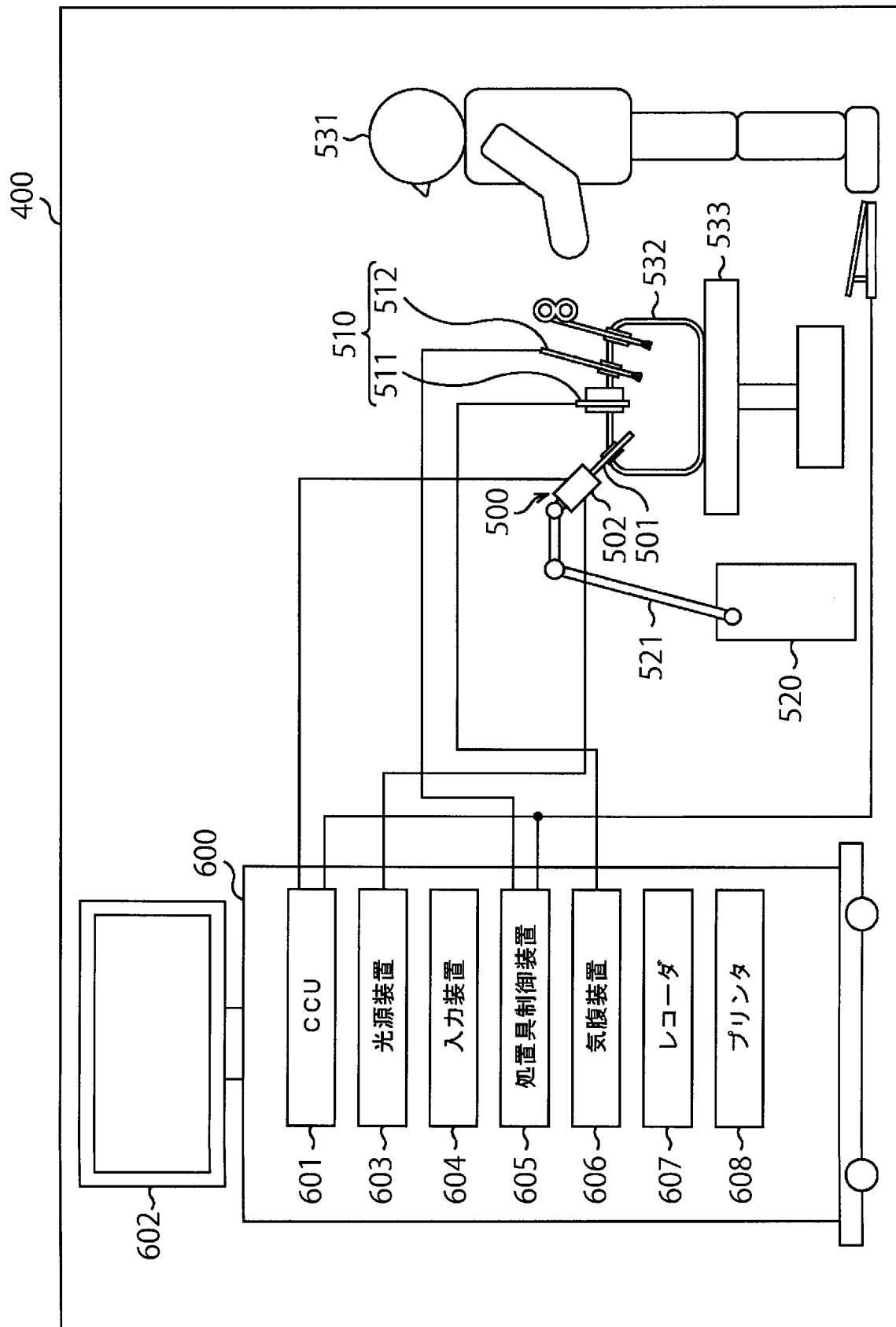
[図18]



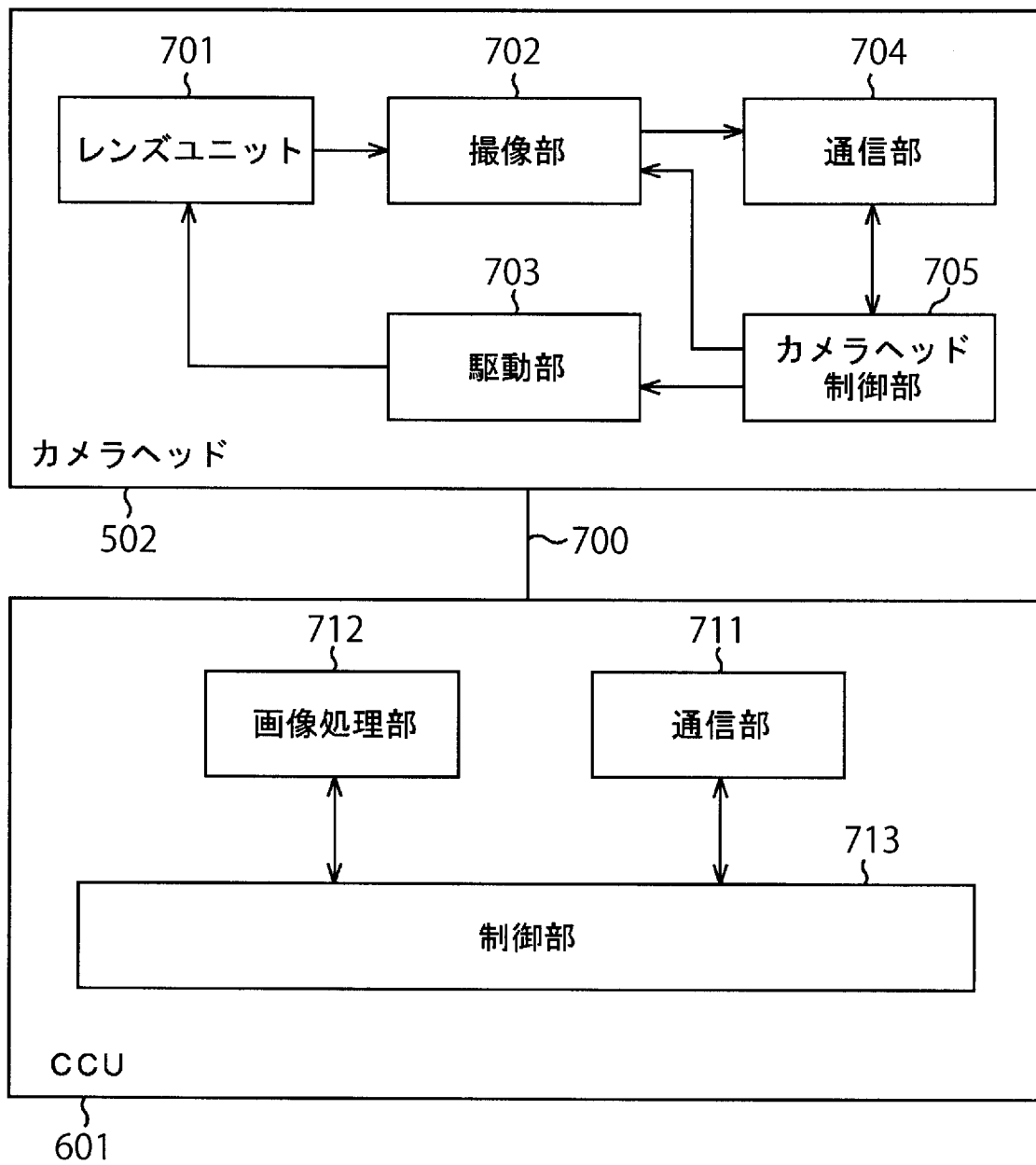
[図19]



[図20]



[図21]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/036933

A. CLASSIFICATION OF SUBJECT MATTER**H04N 5/369**(2011.01)i

FI: H04N5/369

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N5/369

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2021
 Registered utility model specifications of Japan 1996-2021
 Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2020-127122 A (CANON INC.) 20 August 2020 (2020-08-20) paragraph [0052], fig. 7	1-20
A	JP 2020-120175 A (CANON INC.) 06 August 2020 (2020-08-06) paragraphs [0012]-[0014], [0024], [0025], fig. 1, 2	1-20
A	WO 2019/150785 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP.) 08 August 2019 (2019-08-08) paragraphs [0025], [0042], fig. 2, 7	1-20

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

30 November 2021

Date of mailing of the international search report

14 December 2021

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/036933

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
JP	2020-127122	A	20 August 2020	US	2020/0252563	A1	
				paragraph [0089], fig. 7			
JP	2020-120175	A	06 August 2020	(Family: none)			
WO	2019/150785	A1	08 August 2019	CN	111434105	A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H04N 5/369(2011.01)i FI: H04N5/369														
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H04N5/369 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2021年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2021年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2021年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2021年	日本国実用新案登録公報	1996 - 2021年	日本国登録実用新案公報	1994 - 2021年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2021年													
日本国実用新案登録公報	1996 - 2021年													
日本国登録実用新案公報	1994 - 2021年													
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
A	JP 2020-127122 A（キヤノン株式会社）20.08.2020（2020 - 08 - 20） 段落[0052], 図7	1-20												
A	JP 2020-120175 A（キヤノン株式会社）06.08.2020（2020 - 08 - 06） 段落[0012]-[0014], [0024]-[0025], 図1-2	1-20												
A	WO 2019/150785 A1（ソニーセミコンダクタソリューションズ株式会社）08.08.2019 （2019 - 08 - 08） 段落[0025], [0042], 図2, 7	1-20												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 30.11.2021	国際調査報告の発送日 14.12.2021													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 花田 尚樹 5V 5889 電話番号 03-3581-1101 内線 3571													

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2021/036933

引用文献			公表日	パテントファミリー文献			公表日
JP	2020-127122	A	20.08.2020	US	2020/0252563	A1	
				段落[0089], 図7			
JP	2020-120175	A	06.08.2020	(ファミリーなし)			
WO	2019/150785	A1	08.08.2019	CN	111434105	A	