

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6713708号
(P6713708)

(45) 発行日 令和2年6月24日 (2020.6.24)

(24) 登録日 令和2年6月8日 (2020.6.8)

(51) Int. Cl.	F I
HO 1 L 21/76 (2006.01)	HO 1 L 21/76 L
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 3 O 1 D
HO 1 L 29/78 (2006.01)	HO 1 L 27/088 3 3 1 A
HO 1 L 27/088 (2006.01)	HO 1 L 29/78 3 O 1 R

請求項の数 11 (全 26 頁)

(21) 出願番号	特願2016-527088 (P2016-527088)	(73) 特許権者	390020248
(86) (22) 出願日	平成26年7月17日 (2014.7.17)		日本テキサス・インスツルメンツ合同会社
(65) 公表番号	特表2016-528730 (P2016-528730A)		東京都新宿区西新宿六丁目24番1号
(43) 公表日	平成28年9月15日 (2016.9.15)	(73) 特許権者	507107291
(86) 国際出願番号	PCT/US2014/046955		テキサス インスツルメンツ インコーポ
(87) 国際公開番号	W02015/009891		レイテッド
(87) 国際公開日	平成27年1月22日 (2015.1.22)		アメリカ合衆国 テキサス州 75265
審査請求日	平成29年7月5日 (2017.7.5)		-5474 ダラス メール ステーショ
(31) 優先権主張番号	13/944,864		ン 3999 ピーオーボックス 655
(32) 優先日	平成25年7月17日 (2013.7.17)		474
(33) 優先権主張国・地域又は機関	米国 (US)	(74) 上記1名の代理人	100098497
前置審査			弁理士 片寄 恭三
		(72) 発明者	田村 剛仁
			日本国 272-0835 市川市中国分
			4-12-20
			最終頁に続く

(54) 【発明の名称】 深いトレンチ隔離構造を備えた半導体構造の方法及び半導体構造

(57) 【特許請求の範囲】

【請求項1】

半導体構造であって、

第1の導電型を有し、頂部表面を有する基板と、

前記第1の導電型を有し、前記基板の前記頂部表面に接する底部表面と、頂部表面とを有する、エピタキシャル層と、

第2の導電型を有する埋め込み領域であって、前記エピタキシャル層の一部に接してその下に位置する、前記埋め込み領域と、

前記エピタキシャル層の前記頂部表面から前記エピタキシャル層内へ延在する浅いトレンチ隔離構造と、

前記エピタキシャル層の前記頂部表面から前記エピタキシャル層内へ延在して前記浅いトレンチ隔離構造を横方向に囲む内側の深いトレンチ隔離構造と、

前記エピタキシャル層の前記頂部表面から前記エピタキシャル層内へ延在して前記内側の深いトレンチ隔離構造を横方向に囲む外側の深いトレンチ隔離構造と、

前記第2の導電型を有し、前記埋め込み領域に接するために前記エピタキシャル層の前記頂部表面から前記エピタキシャル層内へ延在して前記内側及び外側の深いトレンチ隔離構造の下に延在するドーブされた領域であって、前記内側及び外側の深いトレンチ隔離構造に接し、前記エピタキシャル層の前記一部を横方向に囲む、前記ドーブされた領域と、

前記第2の導電型を有し、前記頂部表面において形成されるインターフェース領域であって、前記ドーブされた領域に接して前記内側の深いトレンチ隔離構造を囲み、前記ドー

10

20

プされた領域のドーパント濃度よりも低いドーパント濃度を有する、前記インターフェース領域と、

を含む、半導体構造。

【請求項 2】

請求項 1 に記載の半導体構造であって、

前記インターフェース領域が前記内側の深いトレンチ隔離構造に接する、半導体構造。

【請求項 3】

請求項 1 に記載の半導体構造であって、

前記第 1 の導電型を有し、前記浅いトレンチ隔離構造に接するチャネルストップ領域を更に含み、前記内側の深いトレンチ隔離構造が前記チャネルストップ領域を横方向に囲む、半導体構造。

10

【請求項 4】

請求項 1 に記載の半導体構造であって、

前記エピタキシャル層の前記頂部表面から前記エピタキシャル層内へ延在して前記外側の深いトレンチ隔離構造を横方向に囲む絶縁の深いトレンチ構造を更に含み、

前記絶縁の深いトレンチ構造と前記外側の深いトレンチ隔離構造とが実質的に等しい深さを有する、半導体構造。

【請求項 5】

請求項 1 に記載の半導体構造であって、

前記エピタキシャル層の前記頂部表面から前記エピタキシャル層内へ延在する絶縁の深いトレンチ構造を更に含み、

20

前記内側の深いトレンチ隔離構造が前記絶縁の深いトレンチ構造を横方向に囲み、前記絶縁の深いトレンチ構造と前記内側の深いトレンチ隔離構造とが実質的に等しい深さを有する、半導体構造。

【請求項 6】

請求項 1 に記載の半導体構造であって、

前記エピタキシャル層の前記一部に形成され、前記第 2 の導電型を有するソースと、

前記エピタキシャル層の前記一部に形成され、前記ソースから横方向に離間され、前記第 2 の導電型を有するドレインと、

を更に含み、

30

前記浅いトレンチ隔離構造が前記ソースと前記ドレインとの間に横方向に位置する、半導体構造。

【請求項 7】

請求項 1 に記載の半導体構造であって、

前記インターフェース領域が、前記外側の深いトレンチ隔離構造に接して前記外側の深いトレンチ隔離構造を横方向に囲む、半導体構造。

【請求項 8】

半導体構造を形成する方法であって、

基板に埋め込み領域を形成することであって、前記基板が第 1 の導電型を有し、前記埋め込み領域が第 2 の導電型を有する、前記埋め込み領域を形成することと、

40

前記基板上にエピタキシャル層を成長させることであって、前記エピタキシャル層が頂部表面を有して前記第 1 の導電型を有し、前記埋め込み領域が前記エピタキシャル層の一部に接してその下に位置する、前記エピタキシャル層を成長させることと、

前記エピタキシャル層の前記頂部表面から前記エピタキシャル層内へ延在する浅いトレンチ隔離構造を形成することと、

前記エピタキシャル層の前記頂部表面から前記エピタキシャル層内へ延在して前記浅いトレンチ隔離構造を横方向に囲む内側の深いトレンチ隔離構造を形成することと、

前記エピタキシャル層の前記頂部表面から前記エピタキシャル層内へ延在して前記内側の深いトレンチ隔離構造を横方向に囲む外側の深いトレンチ隔離構造を形成することと、

前記第 2 の導電型を有し、前記埋め込み領域に接するために前記エピタキシャル層の前

50

記頂部表面から前記エピタキシャル層内へ延在して前記内側及び外側の深いトレンチ隔離構造の下に延在するドーパされた領域を形成することであって、前記ドーパされた領域が、前記内側及び外側の深いトレンチ隔離構造に接し、前記エピタキシャル層の前記一部を横方向に囲む、前記ドーパされた領域を形成することと、

前記第2の導電型を有するインターフェース領域を前記頂部表面において形成することであって、前記インターフェース領域が、前記ドーパされた領域に接して前記内側の深いトレンチ隔離構造を囲み、前記インターフェース領域が、前記ドーパされた領域のドーパント濃度よりも低いドーパント濃度を有する、前記インターフェース領域を形成することと、

を含む、方法。

10

【請求項9】

請求項8に記載の方法であって、

前記ドーパされた領域を形成すること、が前記第2の導電型の複数の離間した領域を形成することを含み、前記第2の導電型の前記複数の離間した領域が、前記内側及び外側の深いトレンチ隔離構造に接し、前記内側及び外側の深いトレンチ隔離構造の間に位置する、方法。

【請求項10】

請求項8に記載の方法であって、

前記エピタキシャル層の前記頂部表面から前記エピタキシャル層内へ延在して前記外側の深いトレンチ隔離構造を横方向に囲む絶縁の深いトレンチ構造を形成することを更に含み、

20

前記絶縁の深いトレンチ構造と前記外側の深いトレンチ隔離構造とが実質的に等しい深さを有する、方法。

【請求項11】

請求項8に記載の方法であって、

前記エピタキシャル層の前記頂部表面から前記エピタキシャル層内へ延在する絶縁の深いトレンチ構造を形成することを更に含み、

前記内側の深いトレンチ隔離構造が前記絶縁の深いトレンチ構造を横方向に囲み、前記絶縁の深いトレンチ構造と前記内側の深いトレンチ隔離構造とが実質的に等しい深さを有する、方法。

30

【発明の詳細な説明】

【技術分野】

【0001】

本願は、一般に半導体構造に関し、特に、深いトレンチ隔離構造を備えた半導体構造及び深いトレンチ隔離構造を備えた半導体構造を形成する方法に関する。

【背景技術】

【0002】

金属酸化物半導体(MOS)トランジスタは、nチャネル(NMOS)デバイス又はpチャネル(PMOS)デバイスのいずれかとして実装され得る、周知の半導体デバイスである。MOSトランジスタは、チャネルによって分離された離間されたソース領域及びドレイン領域、並びにチャネルの上にある金属ゲートを有する。金属ゲートは、ゲート誘電体層によってチャネルから絶縁される。代替として、MOSトランジスタのゲートは、金属の代わりにドーパポリシリコンを用いて形成される。

40

【0003】

二重拡散MOS(DOMS)トランジスタは、チャネルを形成する二重拡散ウェル、並びに、チャネルと重くドーパされたドレイン領域との間にあり、ドレインドリフト領域と呼ばれる軽くドーパされたドレイン領域を有するパワーMOSトランジスタである。横方向DMOS(LDMOS)トランジスタは、ソース領域及びドレイン領域が横方向に離間されたDMOSトランジスタである。LDMOSアレイは、行及び列のアレイなどのパターンに配されるLDMOSトランジスタのグループである。

50

【 0 0 0 4 】

図 1 A 及び図 1 B は、従来の L D M O S トランジスタアレイ 1 0 0 の図を示す。図 1 A は平面図を示し、図 1 B は図 1 A の線 1 B - 1 B に沿った断面図を示す。図 1 A 及び図 1 B に示されるように、L D M O S トランジスタアレイ 1 0 0 は、p 型単結晶シリコン基板領域 1 1 2 と、基板領域 1 1 2 の上に成長される p 型エピタキシャル層 1 1 4 とを有する半導体構造 1 1 0 を含む。また、半導体構造 1 1 0 は、エピタキシャル層 1 1 4 へ下方に延在するようにエピタキシャル層 1 1 4 の頂部表面において形成される、いくつかの浅いトレンチ隔離構造 1 1 6 を含む。

【 0 0 0 5 】

図 1 A 及び図 1 B に示されるように、L D M O S トランジスタアレイ 1 0 0 は更に、エピタキシャル層 1 1 4 に形成される近接する L D M O S トランジスタ 1 2 0 のペアを含む。各 L D M O S トランジスタ 1 2 0 は、エピタキシャル層 1 1 4 に形成される n - ドレインドリフト領域 1 4 0 と、n - ドレインドリフト領域 1 4 0 に形成される n + ドレイン 1 4 2 とを含む。

10

【 0 0 0 6 】

また、各 L D M O S トランジスタ 1 2 0 は、エピタキシャル層 1 1 4 に形成される二重拡散ウェル (D ウェル) 1 4 4 を含む。D ウェル 1 4 4 は、p 型領域 1 4 6 と、p 型領域 1 4 6 に接する n 型領域 1 4 8 とを含む。各 L D M O S トランジスタ 1 2 0 は更に、エピタキシャル層 1 1 4 に形成される、n + ソース 1 5 0 及び p + コンタクト領域 1 5 2 を含む。n + ソース 1 5 0 は、p 型領域 1 4 6 及び n 型領域 1 4 8 に接する。n + ソース 1 5 0 によって横方向に囲まれる p + コンタクト領域 1 5 2 は、p 型領域 1 4 6 及び n + ソース 1 5 0 に接する。

20

【 0 0 0 7 】

n - ドレインドリフト領域 1 4 0 に接する p 型領域 1 4 6 は、n - ドレインドリフト領域 1 4 0 と n 型領域 1 4 8 との間にあるチャネル領域 1 5 4 を含む。n + ドレイン 1 4 2 から離間される p 型領域 1 4 6 はまた、エピタキシャル層 1 1 4 のドーパント濃度より高いドーパント濃度を有する。また、n + ソース 1 5 0 は n + ドレイン 1 4 2 から横方向に離間される。また、n + ドレイン 1 4 2 は、ドレイン 1 4 2 とソース 1 5 0 との間で横方向にある浅いトレンチ隔離構造 1 1 6 に接する。

【 0 0 0 8 】

30

図 1 A 及び図 1 B に示されるように、各 L D M O S トランジスタ 1 2 0 は、チャネル領域 1 5 4 に接しチャネル領域 1 5 4 の上にあるゲート誘電体構造 1 6 0 と、ゲート誘電体構造 1 6 0 に接しチャネル領域 1 5 4 の上にあるゲート 1 6 2 とを含む。ゲート 1 6 2 は、四角に角がある円形の形状を有する。また、各 L D M O S トランジスタ 1 2 0 は、ゲート 1 6 2 に接する内部側壁スペーサ 1 6 4 と、ゲート 1 6 2 に接しゲート 1 6 2 を横方向に囲む外部側壁スペーサ 1 6 6 とを含む。

【 0 0 0 9 】

図 1 A 及び図 1 B に示されるように、半導体構造 1 1 0 は、近接する L D M O S トランジスタ 1 2 0 の n - ドレインドリフト領域 1 4 0 の間のエピタキシャル層 1 1 4 にチャネルストッパとして形成される、p 型領域 1 7 0 を含む。チャネルストッパ領域 1 7 0 は、L D M O S トランジスタ 1 2 0 の各々を横方向に囲む。

40

【 0 0 1 0 】

動作において、L D M O S トランジスタ 1 2 0 の n + ドレイン 1 4 2 に第 1 の正電圧 (4 0 V など) がかけられ、(p + コンタクト領域 1 5 2 を介して) p 型領域 1 4 6 に及び n + ソース領域 1 5 0 に接地が設けられる場合、L D M O S トランジスタ 1 2 0 は、ゲート 1 6 2 に接地が設けられたときオフになる。この場合、電子が n + ソース 1 5 0 から n + ドレイン 1 4 2 へ流れることはない。

【 0 0 1 1 】

L D M O S トランジスタ 1 2 0 は、ゲート 1 6 2 に第 2 の正電圧 ($V_{GS} > V_{TH}$ など) がかけられるときオンになるが、残りのバイアス条件は維持される。この場合、p 型領

50

域 1 4 6 のチャネル領域 1 5 4 は反転し、電子が $n +$ ソース 1 5 0 からチャネル領域 1 5 4 を介して $n +$ ドレイン 1 4 2 へ流れる。

【 0 0 1 2 】

LDMOSTランジスタアレイ 1 0 0 に伴う 1 つの問題は、その LDMOSTランジスタ 1 2 0 が、必要な電氣的隔離を提供するために大幅な横方向の分離及びシリコン実装面積を必要とすることである。例えば、40V 隔離は、しばしば、近接する LDMOSTランジスタ 1 2 0 の $n -$ ドレインドリフト領域 1 4 0 間に、5 . 6 5 μm の最小横方向間隔を必要とする。

【 0 0 1 3 】

図 2 A 及び図 2 B は、従来の LDMOSTランジスタアレイ 2 0 0 の図を示す。図 2 A は平面図を示し、図 2 B は図 2 A の線 2 B - 2 B に沿った断面図を示す。LDMOSTランジスタアレイ 2 0 0 は LDMOSTランジスタアレイ 1 0 0 と同様であるため、両方のランジスタアレイに共通の構造を指示するために同じ参照番号を使用している。

【 0 0 1 4 】

図 2 A 及び図 2 B に示されるように、LDMOSTランジスタアレイ 2 0 0 は、半導体構造 1 1 0 の代わりに半導体構造 2 1 0 を用いるため、LDMOSTランジスタアレイ 2 0 0 は LDMOSTランジスタアレイ 1 0 0 とは異なる。半導体構造 2 1 0 は、半導体構造 2 1 0 が更に、基板領域 1 1 2 の頂部及びエピタキシャル層 1 1 4 の底部に形成されるいくつかの $n +$ 埋め込み層 2 1 1 を含むことを除いて、半導体構造 1 1 0 と同じである。

【 0 0 1 5 】

半導体構造 2 1 0 はまた、半導体構造 2 1 0 がエピタキシャル層 1 1 4 に形成されるいくつかの n 型接合隔離領域 2 1 2 を含むため、半導体構造 1 1 0 と異なる。各接合隔離領域 2 1 2 は、 $n +$ 埋め込み層 2 1 1 に接し $n +$ 埋め込み層 2 1 1 の上に位置するようにエピタキシャル層 1 1 4 に形成される $n +$ 底部領域 2 1 4 を含む。また、各接合隔離領域 2 1 2 は、 $n +$ 底部領域 2 1 4 に接し $n +$ 底部領域 2 1 4 の上に位置するようにエピタキシャル層 1 1 4 に形成される $n -$ 頂部領域 2 1 6 と、 $n -$ 頂部領域 2 1 6 に形成される $n +$ コンタクト領域 2 1 8 とを含む。

【 0 0 1 6 】

半導体構造 2 1 0 はまた、半導体構造 2 1 0 がエピタキシャル層 1 1 4 に形成されるいくつかの p 型チャネルストップ領域 2 2 0 を含むため、半導体構造 1 1 0 と異なる。各チャネルストップ領域 2 2 0 は、 $n -$ ドレインドリフト領域 1 4 0 と接合隔離領域 2 1 2 との間に位置する。

【 0 0 1 7 】

図 2 A 及び図 2 B に示されるように、半導体構造 2 1 0 はまた、近接する LDMOSTランジスタ 1 2 0 の $n -$ 頂部領域 2 1 6 間のエピタキシャル層 1 1 4 にチャネルストップとして形成される、 p 型ウェル領域 2 2 2 を含む。また、LDMOSTランジスタアレイ 2 0 0 は、 p 型ウェル領域 2 2 2 に形成される $p +$ コンタクト領域 2 2 4 を含む。

【 0 0 1 8 】

LDMOSTランジスタアレイ 2 0 0 は更に、近接する $n +$ 埋め込み層 2 1 1 間に横方向に位置するように、基板 1 1 2 及びエピタキシャル層 1 1 4 に形成される $p -$ 埋め込み領域 2 2 6 を含む。 $p -$ 埋め込み領域 2 2 6 は、 p 型基板 1 1 2 のドーパント濃度よりわずかに高いドーパント濃度を有し、近接する $n +$ 埋め込み層 2 1 1 間の横方向間隔を最小化するのを助ける。

【 0 0 1 9 】

LDMOSTランジスタアレイ 2 0 0 は、LDMOSTランジスタアレイ 2 0 0 の各埋め込み層 2 1 1 及び接合隔離領域 2 1 2 がエピタキシャル層 1 1 4 の一部を囲み、エピタキシャル層 1 1 4 の残りの部分から接合隔離することを除いて、LDMOSTランジスタアレイ 1 0 0 と同様に動作する。30V 以下の動作をサポートするために、 $p -$ 埋め込み領域 2 2 6 は、図 2 B に示されるように近接する $n +$ 埋め込み層 2 1 1 に接することが可能である。しかしながら、40V 動作をサポートするために、 $n +$ 埋め込み層 2 1 1 と p

10

20

30

40

50

- 埋め込み領域 2 2 6 との間の接合破壊制限のため、p - 埋め込み領域 2 2 6 は近接する n + 埋め込み層 2 1 1 から横方向に離間される。

【 0 0 2 0 】

LDMOSTランジスタアレイ 1 0 0 と同様、LDMOSTランジスタアレイ 2 0 0 に伴う 1 つの問題は、必要な電氣的隔離を提供するために大幅なシリコン実装面積を必要とすることである。n + 底部領域 2 1 4 を形成するために注入されたドーパントがドライブイン (driven in) されるとき、n + 底部領域 2 1 4 はドーパントの実質的に横方向の拡散を経験する。したがって、必要とするシリコン実装面積がより少ない LDMOSTランジスタアレイが求められている。

【発明の概要】

10

【 0 0 2 1 】

説明される例において、半導体構造が、基板及びエピタキシャル層を含む。基板は第 1 の導電型及び頂部表面を有する。エピタキシャル層は、第 1 の導電型、基板の頂部表面に接する底面、及び頂部表面を有する。埋め込み領域が第 2 の導電型を有する。埋め込み領域は、エピタキシャル層の一部に接しエピタキシャル層の一部の下に位置する。浅いトレンチ隔離構造が、エピタキシャル層へ下方に延在するように、エピタキシャル層の頂部表面において形成される。内側の深いトレンチ隔離構造が、エピタキシャル層へ下方に延在するように、エピタキシャル層の頂部表面において形成される。内側の深いトレンチ隔離構造は、浅いトレンチ隔離構造を横方向に囲む。外側の深いトレンチ隔離構造が、エピタキシャル層へ下方に延在するように、エピタキシャル層の頂部表面において形成される。外側の深いトレンチ隔離構造は、内側の深いトレンチ隔離構造を横方向に囲む。ドープ領域が、エピタキシャル層へ下方に延在し、埋め込み領域に接するように、エピタキシャル層の頂部表面において形成される。ドープ領域は、第 2 の導電型を有し、内側及び外側の深いトレンチ隔離構造に接し、エピタキシャル層の一部を横方向に囲む。

20

【図面の簡単な説明】

【 0 0 2 2 】

【図 1 A】従来の LDMOSTランジスタアレイを示す図である。

【図 1 B】従来の LDMOSTランジスタアレイを示す図である。

【 0 0 2 3 】

【図 2 A】従来の LDMOSTランジスタアレイを示す図である。

30

【図 2 B】従来の LDMOSTランジスタアレイを示す図である。

【 0 0 2 4 】

【図 3 A】例示の実施形態の LDMOSTランジスタアレイを示す図である。

【図 3 B】例示の実施形態の LDMOSTランジスタアレイを示す図である。

【 0 0 2 5 】

【図 4 A】例示の実施形態の LDMOSTランジスタアレイを形成する方法を示す断面図である。

【図 4 B】例示の実施形態の LDMOSTランジスタアレイを形成する方法を示す断面図である。

【図 4 C】例示の実施形態の LDMOSTランジスタアレイを形成する方法を示す断面図である。

40

【図 4 D】例示の実施形態の LDMOSTランジスタアレイを形成する方法を示す断面図である。

【図 4 E】例示の実施形態の LDMOSTランジスタアレイを形成する方法を示す断面図である。

【図 4 F】例示の実施形態の LDMOSTランジスタアレイを形成する方法を示す断面図である。

【図 4 G】例示の実施形態の LDMOSTランジスタアレイを形成する方法を示す断面図である。

【図 4 H】例示の実施形態の LDMOSTランジスタアレイを形成する方法を示す断面図

50

である。

【図 4 I】例示の実施形態の L D M O S トランジスタアレイを形成する方法を示す断面図である。

【図 4 J】例示の実施形態の L D M O S トランジスタアレイを形成する方法を示す断面図である。

【図 4 K】例示の実施形態の L D M O S トランジスタアレイを形成する方法を示す断面図である。

【図 4 L】例示の実施形態の L D M O S トランジスタアレイを形成する方法を示す断面図である。

【図 4 M】例示の実施形態の L D M O S トランジスタアレイを形成する方法を示す断面図である。

10

【 0 0 2 6 】

【図 5 A】別の例示の実施形態の L D M O S トランジスタアレイを形成する方法を示す図である。

【図 5 B】別の例示の実施形態の L D M O S トランジスタアレイを形成する方法を示す図である。

【図 5 C】別の例示の実施形態の L D M O S トランジスタアレイを形成する方法を示す図である。

【 0 0 2 7 】

【図 6 A】別の例示の実施形態の L D M O S トランジスタアレイを示す図である。

20

【図 6 B】別の例示の実施形態の L D M O S トランジスタアレイを示す図である。

【 0 0 2 8 】

【図 6 C】別の例示の実施形態の L D M O S トランジスタアレイを示す図である。

【図 6 D】別の例示の実施形態の L D M O S トランジスタアレイを示す図である。

【 0 0 2 9 】

【図 7 A】別の例示の実施形態の L D M O S トランジスタアレイを示す図である。

【図 7 B】別の例示の実施形態の L D M O S トランジスタアレイを示す図である。

【 0 0 3 0 】

【図 8 A】例示の実施形態の L D M O S トランジスタアレイを示す図である。

【図 8 B】例示の実施形態の L D M O S トランジスタアレイを示す図である。

30

【発明を実施するための形態】

【 0 0 3 1 】

図 3 A 及び図 3 B は、例示の実施形態の L D M O S トランジスタアレイ 3 0 0 を示す。図 3 A は平面図を示し、図 3 B は図 3 A の線 3 B - 3 B に沿った断面図を示す。以下でより詳細に説明するように、L D M O S トランジスタ 3 0 0 は、必要なシリコン実装面積が従来の L D M O S トランジスタより少ない。

【 0 0 3 2 】

L D M O S トランジスタアレイ 3 0 0 は L D M O S トランジスタアレイ 2 0 0 と同様であるため、両方のトランジスタに共通の構造を指示するために同じ参照番号を使用している。図 3 A 及び図 3 B に示されるように、L D M O S トランジスタアレイ 3 0 0 は、半導体構造 2 1 0 の代わりに半導体構造 3 1 0 を用いるため、L D M O S トランジスタアレイ 3 0 0 は L D M O S トランジスタアレイ 2 0 0 とは異なる。

40

【 0 0 3 3 】

半導体構造 3 1 0 は、半導体構造 3 1 0 が、エピタキシャル層 1 1 4 へ下方に延在するようにエピタキシャル層 1 1 4 の頂部表面において形成される、いくつかの外側の深いトレンチ隔離構造 3 1 2 及びいくつかの内側の深いトレンチ隔離構造 3 1 4 も含むことを除いて、半導体構造 2 1 0 と同じである。外側及び内側の深いトレンチ隔離構造 3 1 2 及び 3 1 4 は、浅いトレンチ隔離構造 1 1 6 より著しく深い深さを有する。また、図 3 A に示されるように、外側及び内側の深いトレンチ隔離構造 3 1 2 及び 3 1 4 は丸い角を有する。丸い角は、外側及び内側の深いトレンチ隔離構造 3 1 2 及び 3 1 4 からの応力を最小化

50

する。

【0034】

半導体構造310はまた、接合隔離領域212の代わりにいくつかのn型接合隔離領域320を用いるため、半導体構造210と異なる。この例において、各接合隔離領域320は、n+底部領域214、n-頂部領域216、及びn+コンタクト領域218の代わりに、単一のn+領域を用いるため、接合隔離領域320は接合隔離領域212とは異なる。各接合隔離領域320は、外側及び内側の深いトレンチ隔離構造312及び314のペアに接し、それらの間に位置する。

【0035】

各埋め込み層211は、エピタキシャル層114のいくつかの部分322のうちの1つに接し且つその下に位置し、各部分322は、ドレインドリフト領域140、Dウェル144、及びいくつかの浅いトレンチ隔離構造116を含む。また、埋め込み層211に接する各接合隔離領域320は、エピタキシャル層114の一部322を横方向に囲む。したがって、埋め込み層211及び接合隔離領域320を含むn型領域が、十分にエピタキシャル層114の一部322とエピタキシャル層114の残りの部分との間に位置する。

10

【0036】

また、外側の深いトレンチ隔離構造312は、エピタキシャル層114の一部322及び内側の深いトレンチ隔離構造314を横方向に囲む。内側の深いトレンチ隔離構造314は、いくつかの浅いトレンチ隔離構造116を横方向に囲む。図3A及び図3Bに示されるように、近接する接合隔離領域320は、p型エピタキシャル層114の一部によって互いから横方向に離間される。

20

【0037】

LDMOSTランジスタアレイ300はまた、近接するn+埋め込み層211間に横方向に位置するように基板112及びエピタキシャル層114に形成される、p-埋め込み領域330を含む。p-埋め込み領域330は、p型基板112のドーパント濃度よりわずかに高いドーパント濃度を有する。また、p-埋め込み領域330は、40V以下の動作について図3Bに示されるように、近接するn+埋め込み層211に接し得る。

【0038】

図3A及び図3Bに示されるように、ランジスタアレイ300は、任意選択で、外側の深いトレンチ隔離構造312を各n-インターフェース領域332が横方向に囲むように、エピタキシャル層114に形成されるいくつかのn-インターフェース領域332を含み得る。n-インターフェース領域332は、各々がn型接合隔離領域320のドーパント濃度より低いドーパント濃度を有し、40V動作のため、及び、シリコンと酸化物との間のインターフェースでのホットキャリアトラッピングを回避するために、必要とされ得る。LDMOSTランジスタアレイ300がLDMOSTランジスタアレイ200より大きな横方向隔離を提供することを除いて、LDMOSTランジスタアレイ300はLDMOSTランジスタアレイ200と同様に動作する。

30

【0039】

図3Bに示されるように、外側及び内側の深いトレンチ隔離構造312及び314より下に位置する接合隔離領域320の部分は、外側及び内側の深いトレンチ隔離構造312及び314の間にある接合隔離領域320の部分より幅広い可能性がある。外側及び内側の深いトレンチ隔離構造312及び314は、ドーパントの横方向拡散を排除しない可能性があるが、外側及び内側の深いトレンチ隔離構造312及び314は、ドーパントの横方向拡散を実質的に抑制する。

40

【0040】

したがって、アレイ300における近接するLDMOSTランジスタ120間の最小横方向間隔は、アレイ200における近接するLDMOSTランジスタ120間の最小横方向間隔よりも著しく小さい。例えば、アレイ200における近接するLDMOSTランジスタ120のための20V隔離はしばしば7µmの最小横方向間隔を必要とするが、アレイ300における近接するLDMOSTランジスタ120のための20V隔離は5.2µ

50

mの最小横方向間隔を用いることが可能であり、これは26%の削減である。

【0041】

同様に、アレイ200における近接するLDMOSTランジスタ120のための30V隔離はしばしば8 μ mの最小横方向間隔を必要とするが、アレイ300における近接するLDMOSTランジスタ120のための30V隔離は5.7 μ mの最小横方向間隔を用いることが可能であり、これは29%の削減である。また、アレイ200における近接するLDMOSTランジスタ120のための40V隔離はしばしば8.5 μ mの最小横方向間隔を必要とするが、アレイ300における近接するLDMOSTランジスタ120のための40V隔離は6.2 μ mの最小横方向間隔を用いることが可能であり、これは27%の削減である。

10

【0042】

したがって、ドーパントの横方向拡散を抑制することによって、外側及び内側の深いトレンチ隔離構造312及び314は、アレイ300における近接するLDMOSTランジスタ120間の最小横方向間隔を著しく削減し、これが、LDMOSTランジスタアレイ300を実装するために必要なシリコン実装面積を著しく削減する。

【0043】

図4A～図4Mは、例示の実施形態のLDMOSTランジスタアレイを形成する方法400を示す。図4Aに示されるように、方法400は、従来のように形成されるp型の単結晶シリコン基板402を用い、パターニングされたフォトレジスト層404を基板402の頂部表面に形成することによって開始される。

20

【0044】

パターニングされたフォトレジスト層404は従来の様式で形成され、この様式は、フォトレジストの層を堆積させること、パターニングされたイメージをフォトレジストの層上に形成するためにマスクとして知られているパターニングされた黒/透明ガラスプレートを通して光を投影すること、及び、光に曝されることによって軟化された画像化されたフォトレジスト領域を除去することを含む。

【0045】

パターニングされたフォトレジスト層404が形成された後、基板402の頂部表面において横方向に離間されたn+埋め込み領域406及び408を形成するために、基板402の露出された領域にアンチモンなどのn型ドーパントが注入される。アンチモンは、後に形成されるエピタキシャル層へのドーパントの上向き拡散を最小化する、小さい拡散係数を有する。n+埋め込み領域406及び408が形成された後、パターニングされたフォトレジスト層404は、灰化处理を用いるなど、従来の様式で除去される。

30

【0046】

図4Bに示されるように、パターニングされたフォトレジスト層404が除去された後、基板402は、1700KeVの注入エネルギーでp型ドーパント（ホウ素など）でブランケット注入される。この注入により、横方向に離間されたn+埋め込み領域406及び408間の基板402の頂部表面においてp-埋め込み領域409が形成される。p-埋め込み領域409のドーパント濃度は、p-基板402のドーパント濃度よりわずかに高い。したがって、この注入は、n+埋め込み領域406及び408のプロファイルに実質的に影響を与えない。p型ブランケット注入は、40V以下の動作に充分である。

40

【0047】

p-埋め込み領域409が形成された後、その結果の構造は、注入をドライブインするために1200で従来のようにアニールされる。ドライブインは、n+埋め込み領域406及び408並びにp-埋め込み領域409を下方に拡散させ、これは、後に形成されるエピタキシャル層へのn+埋め込み領域406及び408並びにp-埋め込み領域409の上方拡散を制限する。

【0048】

また、ドライブインは、基板402におけるn+埋め込み領域406及び408並びにp-埋め込み領域409を、後に形成されるエピタキシャル層におけるn+埋め込み領域

50

406及び408並びにp-埋め込み領域409より厚くする。p型注入の分量はn型注入の分量よりずっと少ないため、p-埋め込み領域409の厚みは、n+埋め込み領域706及び708の厚みより薄い。

【0049】

ドライブインに続き、従来の様式で基板402の頂部表面上にp型エピタキシャル層410が成長される。エピタキシャル層410の形成の間、n+埋め込み領域406及び408並びにp-埋め込み領域409は、エピタキシャル層410の底部へと上方に拡散する。

【0050】

エピタキシャル層410の形成の間のn+埋め込み領域406及び408の上方拡散は、p-埋め込み領域409の上方拡散よりずっと大きい。これは、p-埋め込み領域409を形成する際に用いられる注入の投射レンジが非常に大きく、p-埋め込み領域409を形成する際に用いられる分量は、n+埋め込み領域406及び408を形成する際に用いられる分量よりずっと少ないためである。したがって、p-埋め込み領域409の大部分はp型基板402内に存在する。

【0051】

エピタキシャル層410が形成された後、エピタキシャル層410の頂部表面上にハードマスクが形成される。この例において、ハードマスクは、エピタキシャル層410上に酸化物層412を堆積させることによって形成される。続いて、酸化物層412上に窒化物層414が堆積され、窒化物層414上に酸化物層416が堆積される。

【0052】

酸化物層412、窒化物層414、及び酸化物層416は、各々様々な厚みを有し得る。この例において、酸化物層412はおよそ150の厚みを有し、窒化物層414はおよそ2000の厚みを有し、酸化物層416はおよそ3000の厚みを有する。また、酸化物層412は熱成長酸化物で実装され得、一方、酸化物層416は任意の種類の堆積された二酸化シリコン(SiO_2)層で実装され得る。次に、厚みおよそ1 μm のパターニングされたフォトレジスト層418が、酸化物層416の頂部表面上に形成される。パターニングされたフォトレジスト層418は、(平面図で見た場合)丸い角を有するように従来の様式で形成される。

【0053】

図4Cに示されるように、パターニングされたフォトレジスト層418が形成された後、酸化物層416、並びに下にある窒化物層414及び酸化物層412の領域の露出された領域は、エッチングされてハードマスク420を形成し、ハードマスク420は(平面図で見た場合の)丸い角と、ハードマスク420を完全に介して延在するいくつかの開口とを有する。ハードマスク420が形成された後、パターニングされたフォトレジスト層418は従来の様式で除去される。

【0054】

図4Dに示されるように、パターニングされたフォトレジスト層418の除去に続き、エピタキシャル層410におけるいくつかのトレンチ開口422を形成するために、ハードマスク420における開口を介してエピタキシャル層410がエッチングされる。トレンチ開口422は、様々な幅及び深さを有し得る。この例において、各トレンチ開口422は0.7 μm の幅及び2.5 μm の深さを有する。

【0055】

また、トレンチ開口422は、様々な側壁角度を有し得る側壁を有し、90°の側壁角度がエピタキシャル層410の頂部表面に対して実質的に直角である。この例において、各トレンチ開口422は88°の側壁角度を有する。また、トレンチ開口422は(上から見た場合)丸い角を有する。

【0056】

図4Eに示されるように、トレンチ開口422が形成された後、トレンチ開口422をライニングする(line)ように、ハードマスク420とエピタキシャル層410の露出領

10

20

30

40

50

域との上に非導電ライナー 430 がコンフォーマルに (conformally) 形成される。例えば、ライナー 430 は、およそ 200 の深さまで酸化物を熱成長させ、それに続いて、準大気圧化学気相成長 (SACVD) を用いておよそ 2000 の深さまで酸化物層を堆積させることによって形成され得る。

【0057】

次に、非導電ライナー 430 が形成された後、トレンチ開口 422 の残りを充填するように非導電ライナー 430 上に導電層 432 が堆積される。この例において、導電層 432 は、トレンチ開口 422 の残りを充填するように非導電ライナー 430 上にポリシリコン層を従来のように堆積させることによって形成される。ポリシリコン層は、その場でドーピングされ得るか、又は従来の様式での堆積の後ドーパントで注入され得る。この例において、ポリシリコン層は、n 導電性を有するようにドーピングされる。

10

【0058】

その後、図 4F に示されるように、導電層 432、非導電ライナー 430、及び酸化物層 416 が、エッチバック又は化学機械研磨を用いるなど、従来の様式で平坦化される。この平坦化は、トレンチ開口 422 を充填するいくつかの深いトレンチ隔離構造 433 を形成するように、窒化物層 414 の頂部表面から酸化物層 416 が除去されるまで続く。深いトレンチ隔離構造 433 は、トレンチ開口 422 の丸い角のため、(上から見た場合) 丸い角を有する。

【0059】

したがって、この例において、各トレンチ隔離構造 433 はポリシリコンコア 434 及び非導電性外側構造 436 を有する。非導電性外側構造 436 は、トレンチ開口 422 によって露出される、エピタキシャル層 410 に接する非導電性外側表面 437 を有する。

20

【0060】

ポリシリコンコア 434 及び非導電性外側構造 436 を用いて深いトレンチ隔離構造 433 を実装する代わりに、非導電性材料のみを用いて深いトレンチ隔離構造 433 を実装することができる。この場合、非導電性材料を用いてトレンチ開口 422 をライニングする代わりに、トレンチ開口 422 は非導電性材料で充填される。

【0061】

図 4G に示されるように、深いトレンチ隔離構造 433 が形成された後、窒化物層 414 は従来の手順を用いて除去される。その後、図 4H に示されるように、パターニングされたフォトリソ層 440 が、従来の様式で酸化物層 412 及び深いトレンチ隔離構造 433 の頂部表面上に形成される。

30

【0062】

任意選択で、平坦化ステップの間、窒化物層 414 及び酸化物層 412 が除去され得、そのため、深いトレンチ隔離構造 433 の頂部表面及びエピタキシャル層 410 の頂部表面は、同じ水平面内に位置することになる。その後、パターニングされたフォトリソ層 440 は、エピタキシャル層 410 上に、又は、平坦化ステップに続いてエピタキシャル層 440 (410?) 上に形成される犠牲酸化物層上に形成され得る。

【0063】

パターニングされたフォトリソ層 440 が形成された後、エピタキシャル層 410 において n+ 埋め込み層 406 の上にありエピタキシャル層 410 の頂部表面まで延在する n+ 領域 441 を形成するように、(リン又はヒ素などの) n 型ドーパントがエピタキシャル層 410 に数回、いくつかの注入エネルギーで注入される。

40

【0064】

この注入はまた、エピタキシャル層 410 において n+ 埋め込み層 408 の上にありエピタキシャル層 410 の頂部表面まで延在する n+ 領域 442 を形成する。n+ 領域 441 及び 442 は、およそ 1500 の最大深さを有し、深いトレンチ隔離構造 433 間に位置し、それらに接する。その後、パターニングされたフォトリソ層 440 は従来の様式で除去される。

【0065】

50

図4 Iに示されるように、パターニングされたフォトリソ層440が除去された後、その結果の構造は、注入をドライブインするように1150で従来のようにアニールされる。ドライブインは、n+領域441及び442を、下方に及びその後外方に拡散させる。導電層432を実装するためにポリシリコンが用いられる場合、ポリシリコンは有害な応力の影響なしに、1150アニールに耐えることができる。

【0066】

ドライブインの後、パターニングされたフォトリソ層444が酸化物層412及び深いトレンチ隔離構造433の頂部表面上に従来の様式で形成される。パターニングされたフォトリソ層444が形成された後、エピタキシャル層410においてn+埋め込み層406の上にあるn-ドリフト領域445を形成するように、(リン又はヒ素などの) n型ドーパントがエピタキシャル層410に数回、いくらかの注入エネルギーで注入される。

10

【0067】

この注入はまた、エピタキシャル層410においてn+埋め込み層408の上にあるn-ドリフト領域446を形成する。また、図4 Iで破線で示されるように、40V動作をサポートするために、n-ドリフト領域445及び446が形成されると同時に、エピタキシャル層410の頂部表面においていくつかのn-領域445-6が形成され得るように、パターニングされたフォトリソ層444が形成され得る。各n-領域445-6は、p-埋め込み領域409の上に位置し、深いトレンチ隔離構造433のペアを横方向に囲む。その後、パターニングされたフォトリソ層444は従来の様式で除去される。パターニングされたフォトリソ層444が除去された後、その結果の構造は、注入をドライブインするために従来のように1100でアニールされる。

20

【0068】

図4 Jに示されるように、ドライブインの後、およそ4000深さのいくつかの浅いトレンチ隔離構造447が、従来の様式でエピタキシャル層410の頂部において形成される。不具合の発生を防ぐために、浅いトレンチ隔離構造447が形成された後、高温拡散は回避されるべきである。この例において、浅いトレンチ隔離構造447のうちの1つはn-ドリフト領域445に形成され、浅いトレンチ隔離構造447のうちの1つはn-ドリフト領域446に形成される。

【0069】

30

浅いトレンチ隔離構造447が形成された後、パターニングされたフォトリソ層448が、従来の様式で酸化物層412及び深いトレンチ隔離構造433の頂部表面上に形成される。パターニングされたフォトリソ層410が形成された後、n+埋め込み層406の上に位置するエピタキシャル層410の一部においてp型チャネルストップ領域450を形成するように、(ホウ素などの)p型ドーパントがエピタキシャル層410に数回、いくらかの注入エネルギーで注入される。チャネルストップ領域450はまた、浅いトレンチ隔離構造447に接し、その下に位置する。

【0070】

この注入はまた、n+埋め込み層408の上に位置するエピタキシャル層410の一部において、p型チャネルストップ領域451を形成する。チャネルストップ領域451はまた、浅いトレンチ隔離構造447に接し、その下に位置する。その後、パターニングされたフォトリソ層448は従来の様式で除去される。パターニングされたフォトリソ層448が除去された後、その結果の構造は、注入からの格子損傷を修復するために、従来のように1050で高速熱アニール(RTA)される。RTAは実質的に拡散を許さない短いプロセスである。

40

【0071】

次に、図4 Kに示されるように、チャネルストップ領域450及び451が形成された後、酸化物層412が従来の様式で除去される。酸化物層412が除去された後、従来の様式でp型領域450及び451並びにn型領域445及び446上にゲート酸化物層452が形成される。

50

【 0 0 7 2 】

その後、パターニングされたフォトレジスト層 4 5 4 が、従来の様式でゲート酸化物層 4 5 2 及び深いトレンチ隔離構造 4 3 3 の頂部表面上に形成される。パターニングされたフォトレジスト層 4 5 4 が形成された後、 $n +$ 埋め込み層 4 0 6 の上に位置するエピタキシャル層 4 1 0 の一部に p 型領域 4 5 5 を形成するように、（ホウ素などの） p 型ドーパントがエピタキシャル層 4 1 0 に数回、いくらかの注入エネルギーで注入される。この注入はまた、 $n +$ 埋め込み層 4 0 8 の上に位置するエピタキシャル層 4 1 0 の一部に p 型領域 4 5 6 を形成する。

【 0 0 7 3 】

p 型領域 4 5 5 及び 4 5 6 の形成に続いて、 p 型領域 4 5 5 において n 型領域 4 5 7 を、及び p 型領域 4 5 6 において n 型領域 4 5 8 を形成するように、（ヒ素などの） n 型ドーパントがエピタキシャル層 4 1 0 に数回、いくらかの注入エネルギーで注入される。

【 0 0 7 4 】

したがって、 p 型及び n 型のドーパントは、フォトレジスト層 4 5 4 において同じ開口を介して注入される。また、 p 型領域 4 5 5 及び n 型領域 4 5 7 は第 1 の二重拡散ウェル（D ウェル）4 5 9 を形成し、 p 型領域 4 5 6 及び n 型領域 4 5 8 は第 2 の D ウェル 4 6 0 を形成する。その後、パターニングされたフォトレジスト層 4 5 4 は従来の様式で除去される。

【 0 0 7 5 】

ホウ素とヒ素の拡散係数の差により、チャンネル長さは、形成されるべきゲートの寸法ではなく、熱量によって決定される。ホウ素の注入分量はターゲットしきい値電圧に合致するように最適化され、D ウェル 4 5 9 及び 4 6 0 の深さはホウ素注入エネルギーによって制御される。

【 0 0 7 6 】

図 4 L に示されるように、パターニングされたフォトレジスト層 4 5 4 が除去された後、 p 型領域 4 5 5 の上に位置するようにゲート酸化物層 4 5 2 上にゲート 4 6 2 が形成され、 p 型領域 4 5 6 の上に位置するようにゲート酸化物層 4 5 2 上にゲート 4 6 4 が形成される。ゲート 4 6 2 及び 4 6 4 は従来のように形成される。例えば、ゲート 4 6 2 及び 4 6 4 は、ポリシリコンの層を堆積させることによって形成され得、マスク及びエッチングステップが続く。

【 0 0 7 7 】

その後、側壁スペーサ 4 7 0 及び 4 7 1 が、ゲート 4 6 2 のそれぞれ外側及び内側の側壁に接するように形成される。ゲート 4 6 4 のそれぞれ外側及び内側の側壁に接するように側壁スペーサ 4 7 3 及び 4 7 4 が形成される。側壁スペーサ 4 7 0、4 7 1、4 7 3、及び 4 7 4 は従来のように形成される。例えば、側壁スペーサ 4 7 0、4 7 1、4 7 3、及び 4 7 4 は、酸化物層及び窒化物層を堆積させることによって形成され得、異方性エッチングが続く。

【 0 0 7 8 】

側壁スペーサ 4 7 0、4 7 1、4 7 3、及び 4 7 4 が形成された後、深いトレンチ隔離構造 4 3 3、ゲート酸化物層 4 5 2、ゲート 4 6 2 及び 4 6 4、並びに側壁スペーサ 4 7 0、4 7 1、4 7 3、及び 4 7 4 の頂部表面上に、パターニングされたフォトレジスト層 4 7 6 が従来の様式で形成される。

【 0 0 7 9 】

パターニングされたフォトレジスト層 4 7 6 が形成された後、 p 型領域 4 5 5 に接する $n +$ ソース領域 4 8 0、 p 型領域 4 5 6 に接する $n +$ ソース領域 4 8 1、 $n -$ ドリフト領域 4 4 5 に接する $n +$ ドレイン領域 4 8 3、及び $n -$ ドリフト領域 4 4 6 に接する $n +$ ドレイン領域 4 8 4 を形成するように、（リン又はヒ素などの） n 型ドーパントがエピタキシャル層 4 1 0 に注入される。その後、パターニングされたフォトレジスト層 4 7 6 は従来の様式で除去される。

【 0 0 8 0 】

図 4 M に示されるように、パターンングされたフォトリソ層 4 7 6 が除去された後、深いトレンチ隔離構造 4 3 3、ゲート酸化層 4 5 2、ゲート 4 6 2 及び 4 6 4、並びに側壁スペーサ 4 7 0、4 7 1、4 7 3、及び 4 7 4 の頂部表面上に、パターンングされたフォトリソ層 4 8 6 が従来の様式で形成される。

【 0 0 8 1 】

パターンングされたフォトリソ層 4 8 6 が形成された後、p 型領域 4 5 5 に接する p + コンタクト領域 4 9 0、及び p 型領域 4 5 6 に接する p + コンタクト領域 4 9 2 を形成するように、(ホウ素などの) p 型ドーパントがエピタキシャル層 4 1 0 に注入される。その後、第 1 の L D M O S トランジスタ 4 9 6 及び第 2 の L D M O S トランジスタ 4 9 7 を備える L D M O S トランジスタアレイ 4 9 4 を形成するように、パターンングされたフォトリソ層 4 8 6 は従来の様式で除去される。

10

【 0 0 8 2 】

第 1 の L D M O S トランジスタ 4 9 6 は、ドレインドリフト領域 4 4 5、p 型領域 4 5 5、ソース領域 4 8 0、及びドレイン領域 4 8 3 を含む。第 2 の L D M O S トランジスタ 4 9 7 は、ドレインドリフト領域 4 4 6、p 型領域 4 5 6、ソース領域 4 8 1、及びドレイン領域 4 8 4 を含む。その後、方法 4 0 0 は、L D M O S トランジスタのアレイの形成を完了するため従来のステップを続ける。

【 0 0 8 3 】

図 5 A ~ 図 5 C は、別の例示の実施形態の L D M O S トランジスタアレイを形成する方法 5 0 0 を示す。図 5 A は平面図を示し、図 5 B は図 5 A の線 5 B - 5 B に沿った断面図を示し、図 5 C は図 5 A の線 5 C - 5 C に沿った断面図を示す。

20

【 0 0 8 4 】

方法 5 0 0 は方法 4 0 0 に類似しているため、両方の方法に共通の構造を指示するために同じ参照番号を使用している。方法 5 0 0 は、窒化物層 4 1 4 の除去 (図 4 G に示される) まで方法 4 0 0 と同じであり、パターンングされたフォトリソ層 4 4 0 の代わりにパターンングされたフォトリソ層 5 1 0 を形成することが異なる。パターンングされたフォトリソ層 5 1 0 が形成された後、(リン又はヒ素などの) n 型ドーパントがエピタキシャル層 4 1 0 に数回、いくつかの注入エネルギーで注入される。

【 0 0 8 5 】

この注入は、エピタキシャル層 4 1 0 において、n + 埋め込み層 4 0 6 の上に各々位置するいくつかの離間された第 1 の n + 領域 5 1 2 を形成する。この注入はまた、エピタキシャル層 4 1 0 において、n + 埋め込み層 4 0 8 の上に各々位置するいくつかの離間された第 2 の n + 領域 5 1 4 を形成する。n + 領域 5 1 2 及び 5 1 4 は、深いトレンチ隔離構造 4 3 3 間に位置し、深いトレンチ隔離構造 4 3 3 に接する。注入に続き、パターンングされたフォトリソ層 5 1 0 は従来の様式で除去される。その後、方法 5 0 0 は方法 4 0 0 と同様に続行する。

30

【 0 0 8 6 】

したがって、n + 埋め込み層 4 0 6 の上に位置する連続する円形開口、及び n + 埋め込み層 4 0 8 の上に位置する連続する円形開口を有するパターンングされたフォトリソ層 4 4 0 とは異なり、パターンングされたフォトリソ層 5 1 0 は、n + 埋め込み層 4 0 6 の上に円形に配置構成されるいくつかの離間された第 1 の開口、及び、n + 埋め込み層 4 0 8 の上に円形に配されるいくつかの離間された第 2 の開口を有する。

40

【 0 0 8 7 】

その後 n + 領域 5 1 2 及び 5 1 4 がドライインされる時、n + 領域 5 1 2 はともに n + 領域 4 4 1 を形成するように横方向に拡散し、n + 領域 5 1 4 はともに n + 領域 4 4 2 を形成するように横方向に拡散する。離間された n + 領域 5 1 2 及び 5 1 4 を形成することによって、深いトレンチ隔離構造 4 3 3 より下にある n + 領域 4 4 1 及び 4 4 2 の一部の最大幅を減らすことができる。

【 0 0 8 8 】

図 6 A 及び図 6 B は、別の例示の実施形態の L D M O S トランジスタアレイ 6 0 0 を示

50

す。図 6 A は平面図を示し、図 6 B は図 6 A の線 6 B - 6 B に沿った断面図を示す。L D M O S トランジスタアレイ 6 0 0 は L D M O S トランジスタアレイ 3 0 0 と同様であるため、両方のトランジスタに共通の構造を指示するために同じ参照番号を使用している。図 6 A 及び図 6 B には 1 つのトランジスタ 1 2 0 のみが示されている。

【 0 0 8 9 】

図 6 A 及び図 6 B に示されるように、L D M O S トランジスタアレイ 6 0 0 は半導体構造 3 1 0 の代わりに半導体構造 6 1 0 を用いるため、L D M O S トランジスタアレイ 6 0 0 は L D M O S トランジスタアレイ 3 0 0 とは異なる。半導体構造 6 1 0 がエピタキシャル層 1 1 4 の頂部表面に形成されるいくつかの絶縁の深いトレンチ構造 6 1 2 も含むことを除いて、半導体構造 6 1 0 は半導体構造 3 1 0 と同じである。1 つの構造 6 1 2 のみが示されている。内側の深いトレンチ隔離構造 3 1 4 は、絶縁の深いトレンチ隔離構造 6 1 2 を横方向に囲む。

10

【 0 0 9 0 】

半導体構造 6 1 0 はまた、各々が、内側の深いトレンチ隔離構造 3 1 4 及び絶縁の深いトレンチ隔離構造 6 1 2 に接し、内側の深いトレンチ隔離構造 3 1 4 と絶縁の深いトレンチ隔離構造 6 1 2 との間に位置する、いくつかの n 型インターフェース領域 6 1 4 を含むため、半導体構造 6 1 0 は半導体構造 3 1 0 と異なる。1 つの領域 6 1 4 のみが示されている。n 型インターフェース領域 6 1 4 は、エピタキシャル層 1 1 4 の頂部表面から下方に延在するが、n + 領域 3 2 0 より浅い。n 型インターフェース領域 6 1 4 は、隔離の早期接合破壊を起こす可能性のある浮動接合 (floating junction) をなくす。

20

【 0 0 9 1 】

図 6 C 及び図 6 D は、別の例示の実施形態の L D M O S トランジスタアレイ 6 5 0 を示す。図 6 C は平面図を示し、図 6 D は図 6 C の線 6 D - 6 D に沿った断面図を示す。L D M O S トランジスタ 6 5 0 アレイは L D M O S トランジスタアレイ 6 0 0 と同様であるため、両方のトランジスタに共通の構造を指示するために同じ参照番号を使用している。

【 0 0 9 2 】

図 6 C 及び図 6 D に示されるように、L D M O S トランジスタアレイ 6 5 0 は半導体構造 6 1 0 の代わりに半導体構造 6 6 0 を用いるため、L D M O S トランジスタアレイ 6 5 0 は L D M O S トランジスタアレイ 6 0 0 とは異なる。半導体構造 6 6 0 がエピタキシャル層 1 1 4 の頂部表面において形成されるいくつかの絶縁の深いトレンチ構造 6 6 2 も含むことを除いて、半導体構造 6 6 0 は半導体構造 6 1 0 と同じである。1 つの構造 6 6 2 のみが示されている。各絶縁の深いトレンチ隔離構造 6 6 2 は、外側の深いトレンチ隔離構造 3 1 2 を横方向に囲む。

30

【 0 0 9 3 】

半導体構造 6 6 0 はまた、各々、外側の深いトレンチ隔離構造 3 1 2 及び絶縁の深いトレンチ隔離構造 6 6 2 に接し、外側の深いトレンチ隔離構造 3 1 2 と絶縁の深いトレンチ隔離構造 6 6 2 との間に位置する、いくつかの n 型インターフェース領域 6 6 4 を含むため、半導体構造 6 6 0 は半導体構造 6 1 0 と異なる。各 n 型インターフェース領域 6 6 4 は、エピタキシャル層 1 1 4 の頂部表面から下方に延在するが、n + 領域 3 2 0 より浅い。

40

【 0 0 9 4 】

L D M O S トランジスタアレイ 6 0 0 及び 6 5 0 は、トランジスタアレイ 6 0 0 及び 6 5 0 がトランジスタアレイ 3 0 0 より小さくなるように形成され得ることを除いて、L D M O S トランジスタアレイ 3 0 0 と同様に動作する。図 6 A 及び図 6 B の例において、内側の深いトレンチ隔離構造 3 1 4 の或る距離内側に絶縁の深いトレンチ構造 6 1 2 を置くことによって、n + 領域 3 2 0 の外側横方向及び上方への拡散が抑制され得る。内側の深いトレンチ隔離構造 3 1 4 の或る距離内側に絶縁の深いトレンチ構造 6 1 2 を置くことによって、n - ドレインドリフト領域 1 4 0 と内側の深いトレンチ隔離構造 3 1 4 との間の距離が低減され得る。したがって、L D M O S トランジスタアレイ 6 0 0 の専有面積は、L D M O S トランジスタアレイ 3 0 0 の専有面積より小さくなる。

50

【0095】

図6C及び図6Dの例において、外側の深いトレンチ隔離構造312の或る距離外側に絶縁の深いトレンチ構造662を置くことによって、n+領域320の外側横方向及び上方への拡散も抑制され得る。外側の深いトレンチ隔離構造312の或る距離外側に絶縁の深いトレンチ構造662を置くことによって、トランジスタアレイにおいて近接するトランジスタ間の距離が低減され得る。

【0096】

絶縁の深いトレンチ構造612及び絶縁の深いトレンチ構造662は、深いトレンチ隔離構造433と同様に及び同時に形成され得る。また、n型インターフェース領域614及びn型インターフェース領域664は、n型ドレインドリフト領域445及び446と同様に及び同時に形成され得る。

10

【0097】

図7A及び図7Bは、別の例示の実施形態のLDMOSTランジスタアレイ700を示す。図7Aは平面図を示し、図7Bは図7Aの線7B-7Bに沿った断面図を示す。LDMOSTランジスタアレイ700はLDMOSTランジスタアレイ300と同様であるため、両方のトランジスタに共通の構造を指示するために同じ参照番号を使用している。1つのトランジスタ120のみが示されている。

【0098】

図7A及び図7Bに示されるように、LDMOSTランジスタアレイ700は半導体構造310の代わりに半導体構造710を用いるため、LDMOSTランジスタアレイ700はLDMOSTランジスタアレイ300とは異なる。半導体構造710は、深いトレンチ隔離構造312及び314が半導体構造710において更に離間されることを除いて、半導体構造310と同じである。

20

【0099】

LDMOSTランジスタアレイ700はLDMOSTランジスタアレイ300と同様に動作する。n+領域320のためのドーパントが、注入後、深いトレンチ隔離構造312と314の間にそれらから離間して位置するが、ドライブイン後、深いトレンチ隔離構造312と314の間にそれらに接して位置することを除いて、LDMOSTランジスタアレイ700はLDMOSTランジスタ496及び497と同様に形成される。深いトレンチ隔離構造312と314の間の横方向の間隔を大きくすることによって、n+領域320はドライブインの間横方向に拡散し、これが深いトレンチ隔離構造312及び314の底部でのドーパントの横方向及び上方への拡散を制限する。

30

【0100】

図8A及び図8Bは例示の実施形態のLDMOSTランジスタアレイ800を示す。図8Aは平面図を示し、図8Bは図8Aの線8B-8Bに沿った断面図を示す。アレイ800はアレイ200と同様であるため、両方のアレイに共通の構造を指示するために同じ参照番号を使用している。

【0101】

アレイ800は近接するトランジスタ120のドレインドリフト領域140に接する深いトレンチ隔離構造812を含むため、アレイ800はアレイ200とは異なる。深いトレンチ隔離構造812は、(上から見た場合)丸い角と、p型領域(エピタキシャル層114)に接する底部表面とを有する。また、深い隔離構造812は、浅いトレンチ隔離構造116の深さより著しく深い深さを有する。

40

【0102】

また、深い隔離構造812は、エピタキシャル層114のいくつかの部分814を横方向に囲む。深い隔離構造812によって囲まれたエピタキシャル層114の各部分814は、トランジスタ120のドレインドリフト領域140及びDウェル144を含む。アレイ800は、アレイ800にない構造を形成するステップを除き、方法400と同じステップを用いて形成され得る。

【0103】

50

トランジスタアレイ 800 の利点の 1 つは、近接する LDMOSTランジスタ 120 間の最小横方向間隔が、アレイ 200 における近接する LDMOSTランジスタ 120 間の最小横方向間隔より著しく小さいことである。例えば、アレイ 200 における近接する LDMOSTランジスタ 120 のための 40 V 隔離はしばしば 5.65 μm の最小横方向間隔を必要とするが、アレイ 800 における近接する LDMOSTランジスタ 120 のための 40 V 隔離は 0.7 μm の最小横方向間隔を用いることが可能であり、これは 88 % の削減である。

【0104】

したがって、半導体構造がドーパントの横方向拡散及び電荷キャリアの横方向動きを制限し、これによってシリコン実装面積の必要量が削減される。

10

【0105】

説明する一例において、トランジスタアレイが、第 1 の導電型を有する半導体材料を含む。また、トランジスタアレイは 2 つ又はそれ以上のトランジスタ構造を含む。各トランジスタ構造は半導体材料に形成されるソース及びドレインを有する。ソース及びドレインは第 2 の導電型を有する。ドレインはソースから横方向に離間される。また、各トランジスタ構造は、半導体材料に形成される浅いトレンチ隔離構造を有する。浅いトレンチ隔離構造はドレインに接する。また、トランジスタアレイは、半導体材料に形成される深い隔離構造を含む。深い隔離構造は、アレイにおけるトランジスタ構造のソース及びドレインを横方向に囲む。

【0106】

20

別の説明する例において、半導体構造を形成する方法が、ドーパントの横方向拡散及び電荷キャリアの横方向動きを制限する。この方法は、基板に埋め込み領域を形成することを含む。基板は第 1 の導電型を有する。埋め込み領域は第 2 の導電型を有する。この方法はまた、基板上にエピタキシャル層を成長させることを含む。エピタキシャル層は頂部表面及び第 1 の導電型を有する。埋め込み領域は、エピタキシャル層の一部に接し、それより下に位置する。また、この方法は、エピタキシャル層へ下方に延在するように、エピタキシャル層の頂部表面において浅いトレンチ隔離構造を形成することを含む。また、この方法は、エピタキシャル層へ下方に延在するように、エピタキシャル層の頂部表面において内側の深いトレンチ隔離構造を形成することを含む。内側の深いトレンチ隔離構造は、浅いトレンチ隔離構造を横方向に囲む。更に、この方法は、エピタキシャル層へ下方に延在するように、エピタキシャル層の頂部表面において外側の深いトレンチ隔離構造を形成することを含む。外側の深いトレンチ隔離構造は、内側の深いトレンチ隔離構造を横方向に囲む。また、この方法は、エピタキシャル層へ下方に延在し、埋め込み領域に接するように、エピタキシャル層の頂部表面においてドーブされた領域を形成することを含む。ドーブされた領域は第 2 の導電型を有する。ドーブされた領域も、内側及び外側の深いトレンチ隔離構造に接し、エピタキシャル層の一部を横方向に囲む。

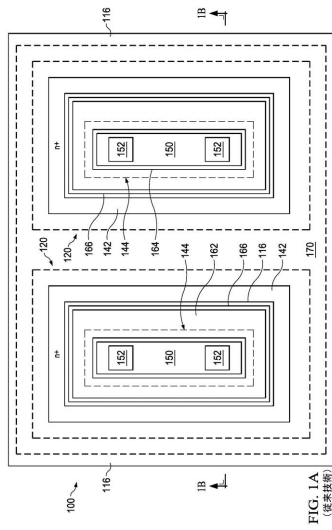
30

【0107】

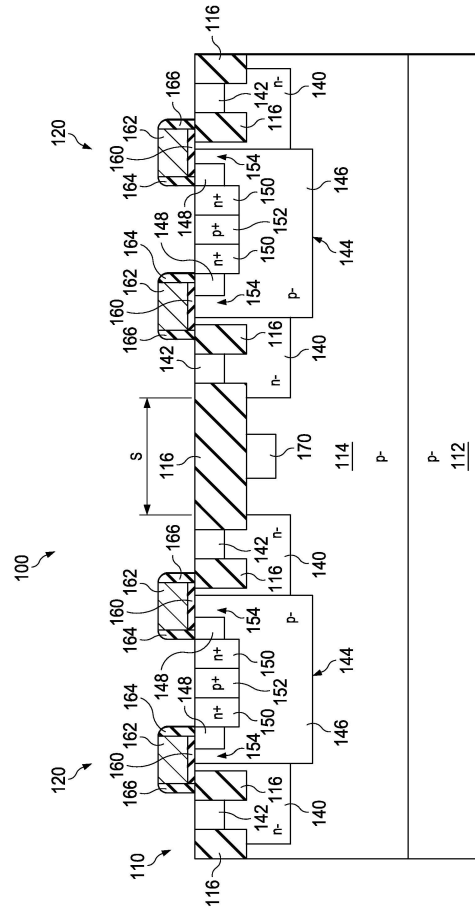
特許請求の範囲内で、説明した実施形態における改変が可能であり、他の実施形態が可能である。例えば、例示の実施形態を LDMOSTランジスタに関して説明してきたが、他の MOS ベースの構造にも同様に適用する。

40

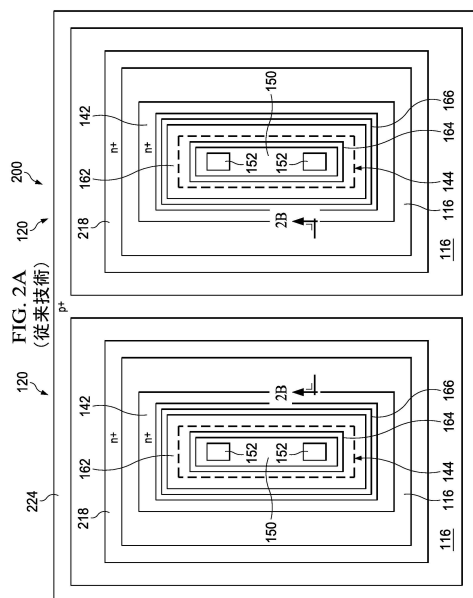
【図 1 A】

FIG. 1A
(従来技術)

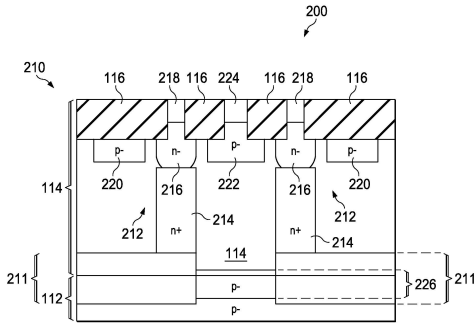
【図 1 B】

FIG. 1B
(従来技術)

【図 2 A】

FIG. 2A
(従来技術)

【図 2 B】

FIG. 2B
(従来技術)

【図 4 C】

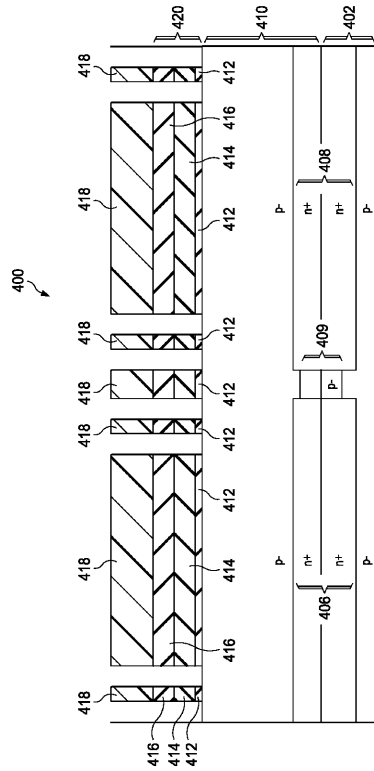


FIG. 4C

【図 4 D】

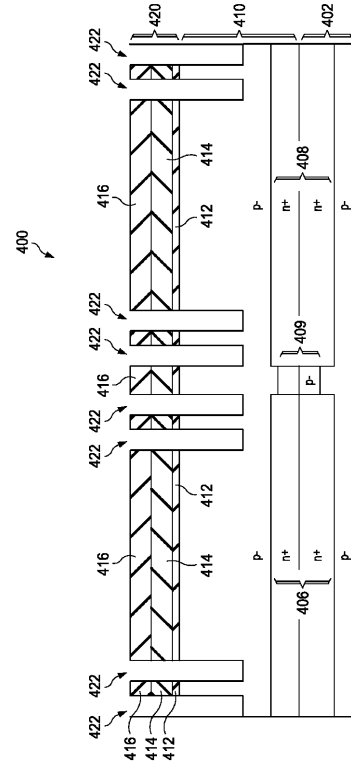


FIG. 4D

【図 4 E】

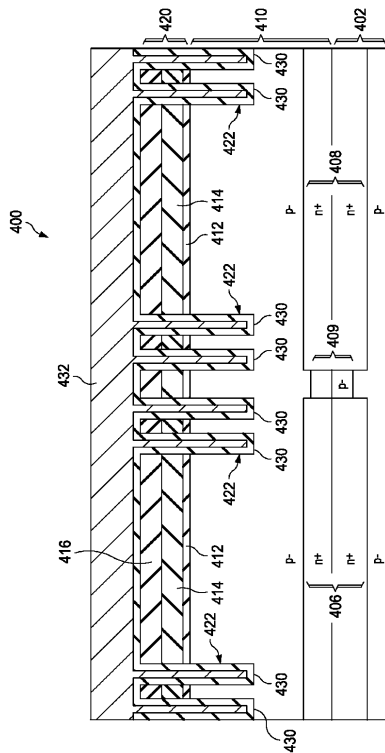


FIG. 4E

【図 4 F】

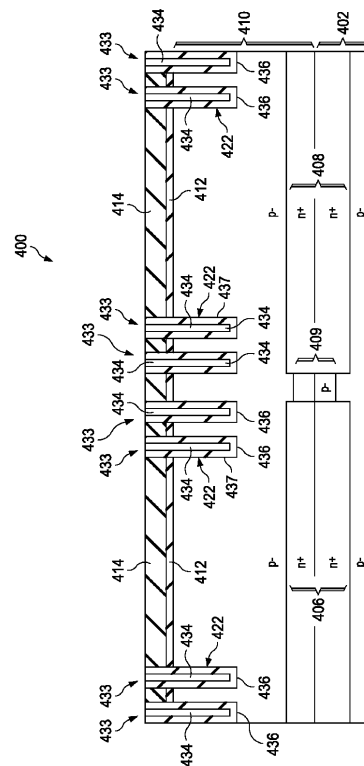


FIG. 4F

【 図 4 G 】

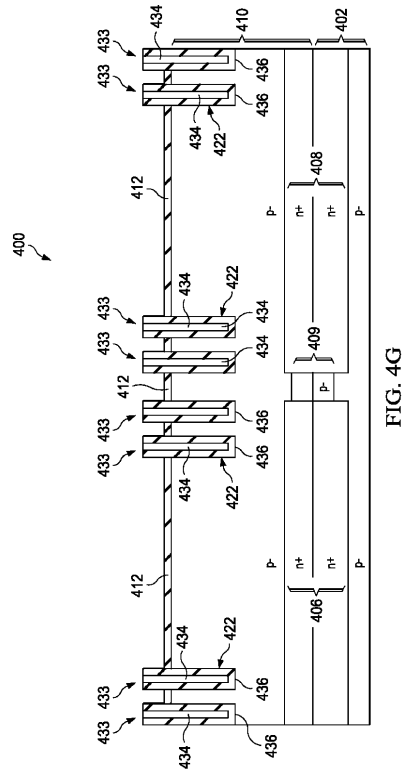


FIG. 4G

【 図 4 H 】

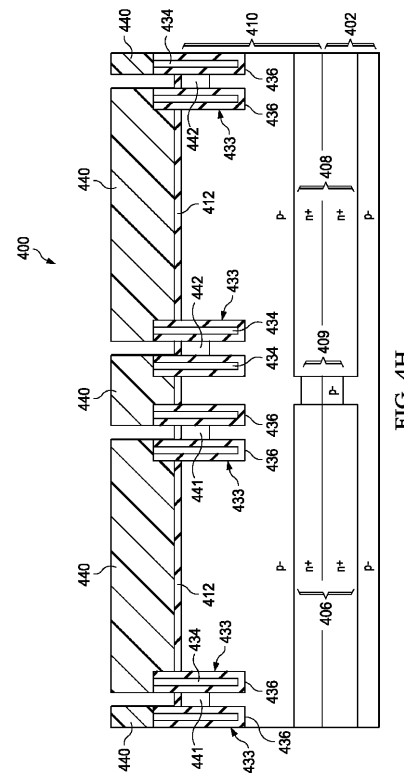


FIG. 4H

【 図 4 I 】

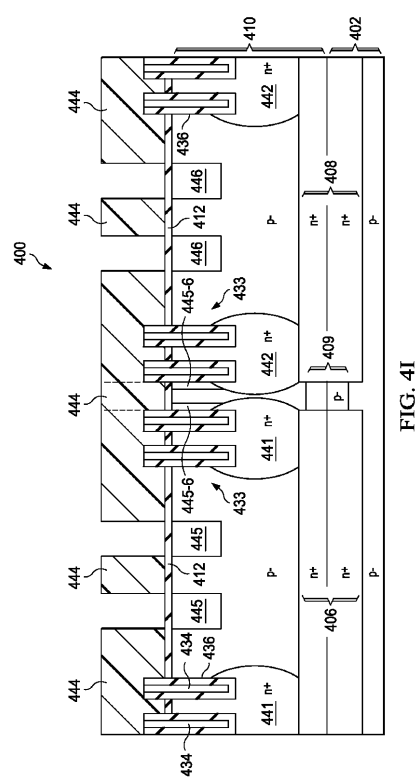
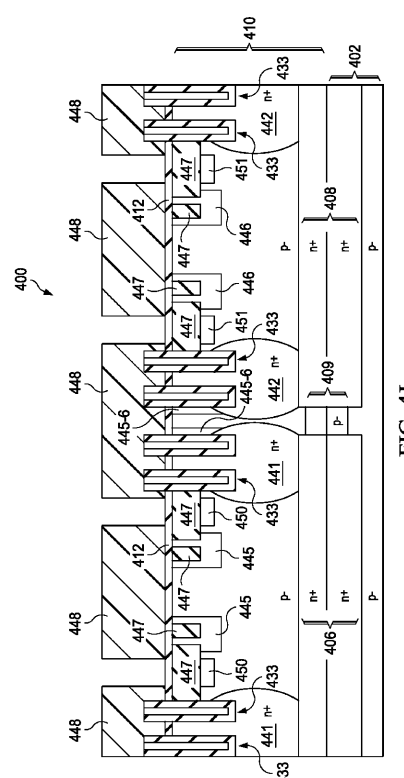


FIG. 4I

【 図 4 J 】



[G. 4J]

【 図 4 K 】

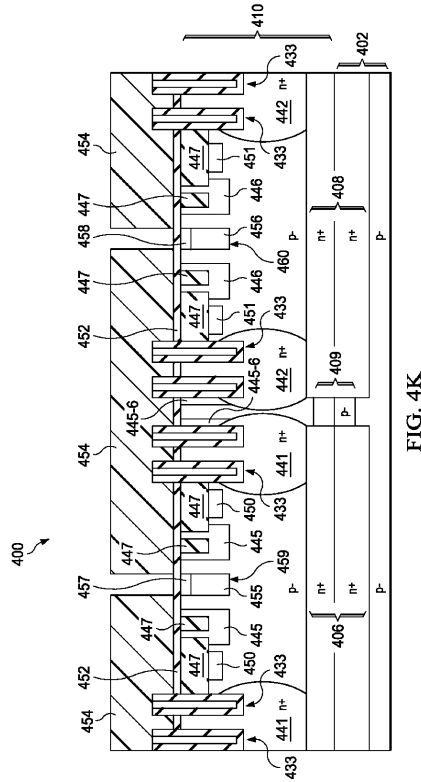


FIG. 4K

【 図 4 L 】

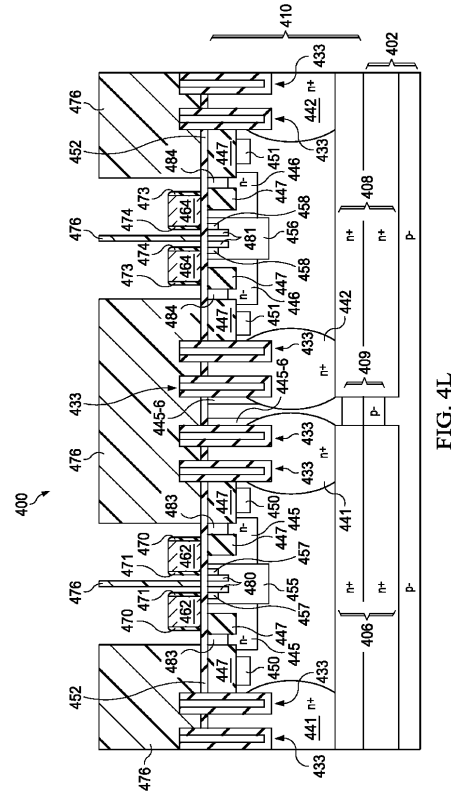


FIG. 4L

【 図 4 M 】

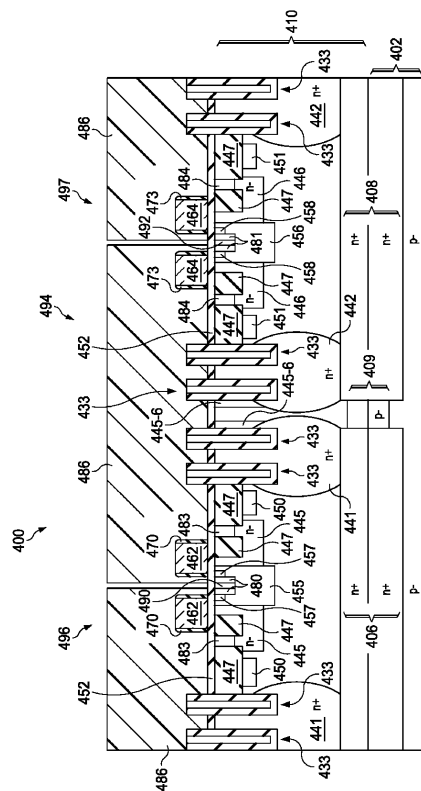


FIG. 4M

【 図 5 A 】

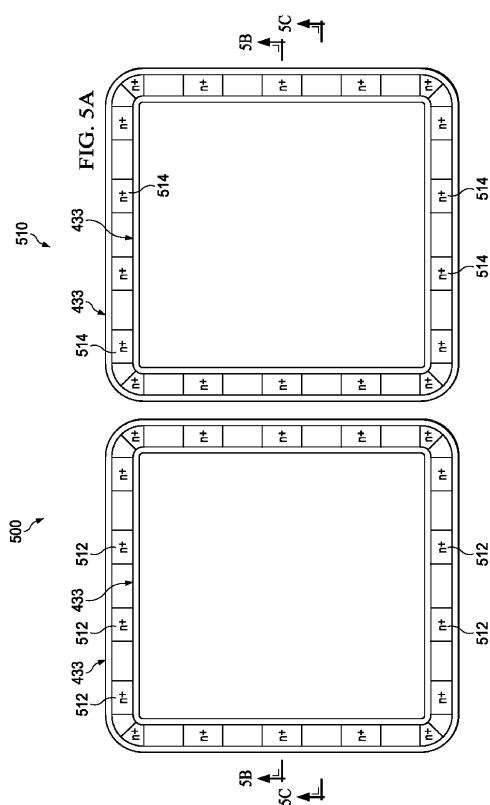


FIG. 5A

【図 5 B】

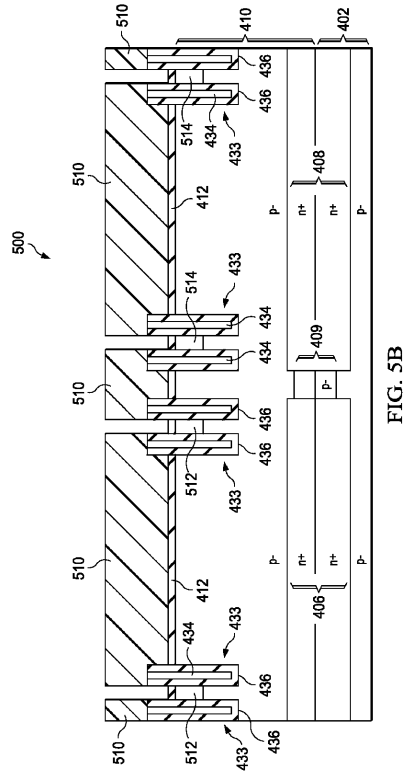


FIG. 5B

【図 5 C】

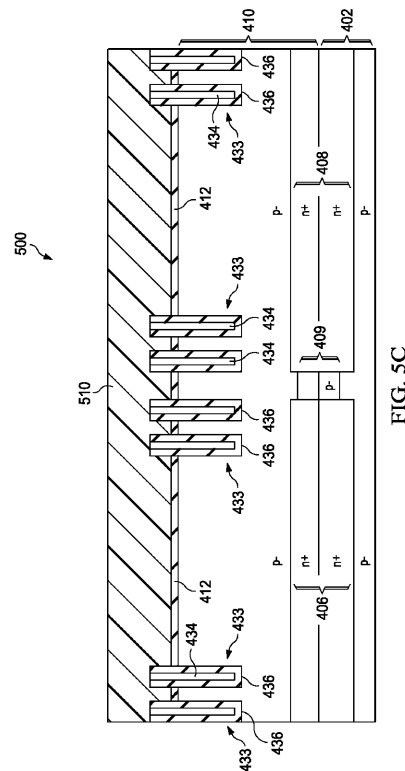


FIG. 5C

【図 6 A】

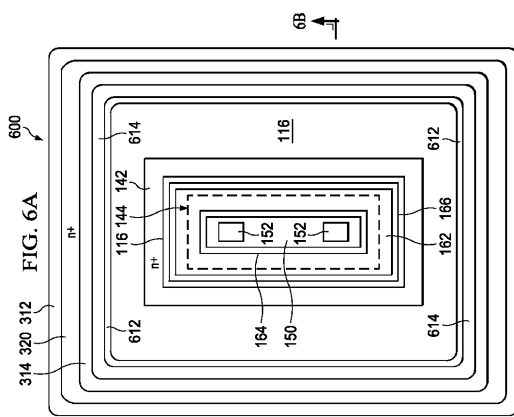


FIG. 6A

【図 6 B】

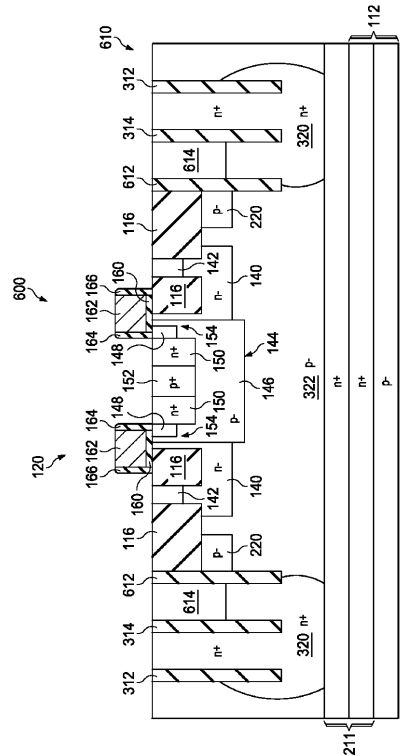
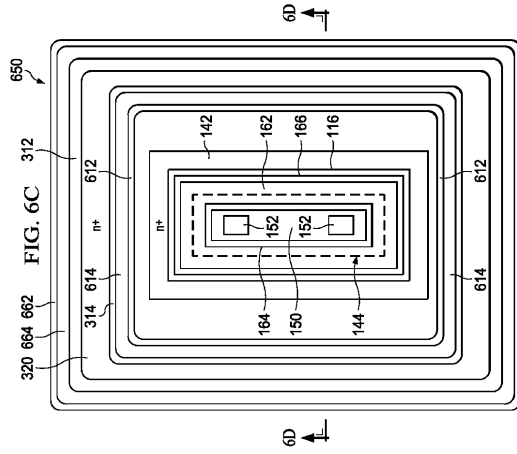
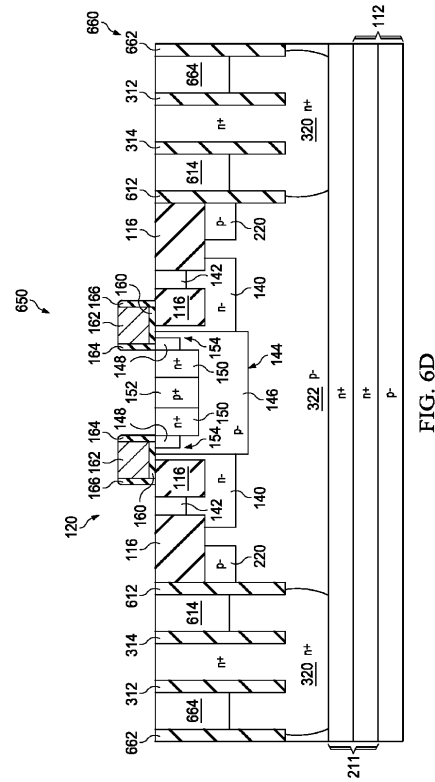


FIG. 6B

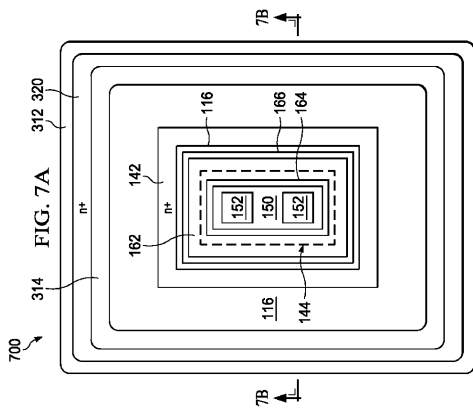
【図 6 C】



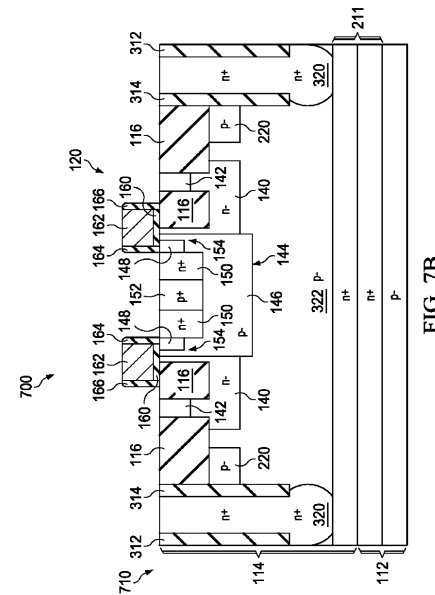
【図 6 D】



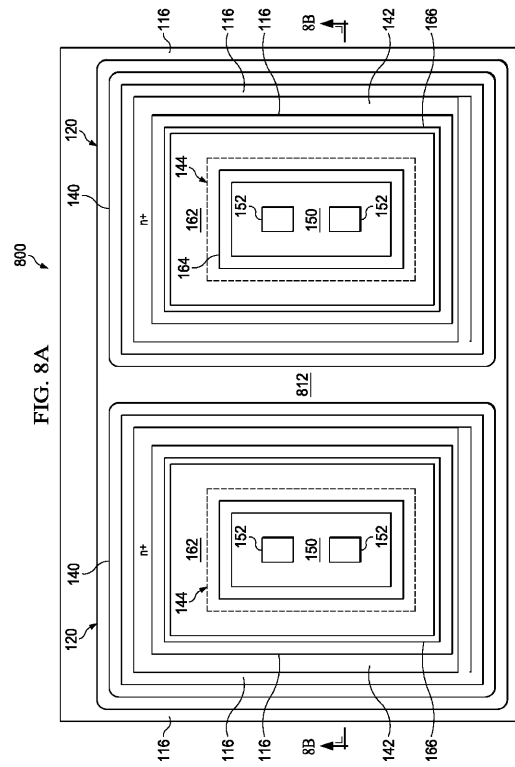
【図 7 A】



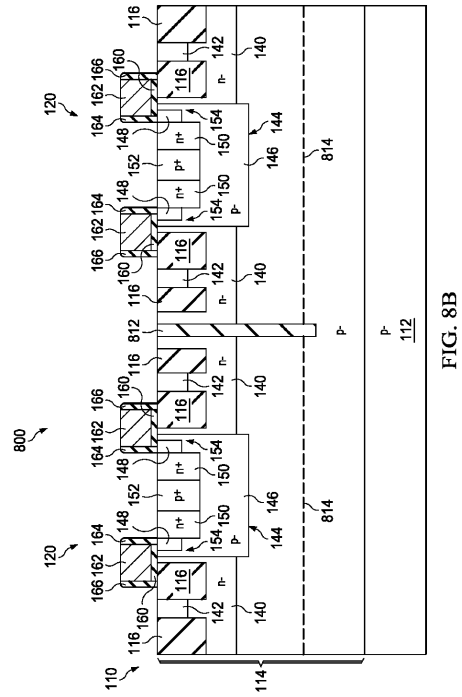
【図 7 B】



【図 8 A】



【図 8 B】



フロントページの続き

- (72)発明者 ビンホワ フー
アメリカ合衆国 75024 テキサス州 プラノ, スタテン アイランド ドライブ 4313
- (72)発明者 サミール ペンハルカル
アメリカ合衆国 75013 テキサス州 アレン, バーンサイド ドライブ 2032
- (72)発明者 グル マトゥル
アメリカ合衆国 75025 テキサス州 プラノ, オクサデンタル ロード 7117

審査官 綿引 隆

- (56)参考文献 特開2013-115166(JP,A)
特開2011-066067(JP,A)
特表2005-536060(JP,A)
特表2011-514675(JP,A)
特表2009-539260(JP,A)
特開平08-195441(JP,A)
特開平07-029987(JP,A)

- (58)調査した分野(Int.Cl., DB名)
- | | |
|------|--------|
| H01L | 21/76 |
| H01L | 21/336 |
| H01L | 27/088 |
| H01L | 29/78 |