(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第4074014号
(P4074014)

(45)発行日　平成20年4月9日(2008.4.9)　(24)登録日　平成20年2月1日(2008.2.1)

(51)Int.Cl.		F I		
H01L 21/768	(2006.01)	H01L	21/90	D
H01L 23/522	(2006.01)	H01L	21/28	E
H01L 21/28	(2006.01)	H01L	21/302	301M
H01L 21/3065	(2006.01)	H01L	21/88	F
H01L 21/3205	(2006.01)	H01L	27/10	681B

請求項の数 14　(全 29 頁)　最終頁に続く

(21)出願番号　特願平10-305388
(22)出願日　平成10年10月27日(1998.10.27)
(65)公開番号　特開2000-133707(P2000-133707A)
(43)公開日　平成12年5月12日(2000.5.12)
審査請求日　平成14年8月19日(2002.8.19)

前置審査

(73)特許権者　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100058479
弁理士　鈴江　武彦
(74)代理人　100091351
弁理士　河野　哲
(74)代理人　100088683
弁理士　中村　誠
(74)代理人　100084618
弁理士　村松　貞男
(74)代理人　100092196
弁理士　橋本　良郎

最終頁に続く

(54)【発明の名称】半導体装置及びその製造方法

(57)【特許請求の範囲】

【請求項１】

半導体基板上に形成された第１の絶縁膜と、

前記第１の絶縁膜上に形成され、開孔部を有する第２の絶縁膜と、

前記第２の絶縁膜上に形成された第３の絶縁膜と、

前記第３の絶縁膜内に形成され、前記開孔部と共通領域を有する配線溝と、

前記第１の絶縁膜内の前記開孔部と共通する領域に形成され、前記配線溝と交差する方向の側壁のみにテーパー角が付けられたコンタクトホールと

を具備し、前記第２の絶縁膜の前記開孔部は十文字に近い形状であることを特徴とする半導体装置。

【請求項２】

半導体基板上に形成され、コンタクトホールを有する第１の絶縁膜と、

前記第１の絶縁膜上に形成され、前記コンタクトホールと対応した開孔部を有する第２の絶縁膜と、

前記第２の絶縁膜上に形成され、前記コンタクトホールと共通領域を有する配線溝を分離する第３の絶縁膜とを具備し、

前記コンタクトホールの前記配線溝と交差する方向の側壁のみにテーパー角が設けられ、前記第２の絶縁膜の前記開孔部は十文字に近い形状であることを特徴とする半導体装置。

【請求項３】

前記コンタクトホールの上部の配線溝方向の幅は、コンタクトホールの底部の配線溝方向の幅より長く、コンタクトホールの上部の面積は、前記コンタクトホールの底部の面積より大きく設定されていることを特徴とする請求項１又は２記載の半導体装置。
【請求項４】
前記配線溝には、実質的にテーパー角が付与されていないことを特徴とする請求項１又は２記載の半導体装置。
【請求項５】
前記開孔部の一部が前記配線溝からはみ出していることを特徴とする請求項１又は２記載の半導体装置。
【請求項６】
前記開孔部の少なくとも一つは、前記配線溝複数と交差するように設けられていることを特徴とする請求項１又は２記載の半導体装置。
【請求項７】
前記第１及び第３の絶縁膜はシリコン酸化膜により構成され、前記第２の絶縁膜はシリコン窒化膜で構成されていることを特徴とする請求項１又は２記載の半導体装置。
【請求項８】
半導体基板上に形成された複数の絶縁ゲート型のゲート電極と、これらゲート電極に隣接するように前記半導体基板中に形成されたソース及びドレイン領域とを備えた複数のトランジスタと、
前記トランジスタを覆うように堆積された第１の絶縁膜と、
前記第１の絶縁膜上に堆積された第２の絶縁膜と、
前記第２の絶縁膜に前記ゲート電極、及び前記ソース又はドレイン領域に対応して形成された複数の開孔部と、
第２の絶縁膜上に形成された第３の絶縁膜と、
前記第３の絶縁膜内に形成され、複数の前記開孔部との共通領域を有する配線溝と、
前記開孔部の下方に位置する前記第１の絶縁膜内に、前記ゲート電極及びソース又はドレイン領域に対応して形成され、前記配線溝と交差する方向の側壁のみにテーパー角が付けられたコンタクトホールと
を具備し、前記第２の絶縁膜の前記開孔部は十文字に近い形状であることを特徴とする半導体装置。
【請求項９】
前記複数のトランジスタは、メモリデバイスにおけるメモリセル領域を構成する一部であり、また、周辺回路領域を構成する一部であり、前記配線溝の一部にビット線が形成されることを特徴とする請求項８記載の半導体装置。
【請求項１０】
前記開孔部の一部が前記配線溝からはみ出していることを特徴とする請求項８記載の半導体装置。
【請求項１１】
前記第１及び第３の絶縁膜はシリコン酸化膜により構成され、前記第２の絶縁膜はシリコン窒化膜で構成されていることを特徴とする請求項８記載の半導体装置。
【請求項１２】
半導体基板上に、第１の絶縁膜を堆積する工程と、
前記第１の絶縁膜上に前記第１の絶縁膜より膜厚が薄く、前記第１の絶縁膜とエッチング選択比が異なる第２の絶縁膜を堆積する工程と、
前記第２の絶縁膜に対し、コンタクトホール形成予定領域を含む開孔部を形成する工程と、
前記第２の絶縁膜上及び前記開孔部により露出した前記第１の絶縁膜上に前記第１の絶縁膜とエッチング選択比が等しい第３の絶縁膜を堆積する工程と、
異方性選択エッチング技術を用いて、前記第２の絶縁膜に対して選択的に前記第３の絶縁膜と前記第１の絶縁膜を連続してエッチングし前記第３の絶縁膜に配線溝を形成すると

共に、エッチング中に露出した前記開孔部の穴縁部分を前記配線溝方向に徐々に後退させながら、前記第１の絶縁膜において前記配線溝と交差する方向の側壁のみに実質的なテーパー角を付与したコンタクトホールを形成し、前記第２の絶縁膜の開口部を十文字に近い形状とする工程と
を具備したことを特徴とする半導体装置の製造方法。
【請求項１３】
半導体基板上において複数のゲート絶縁型のゲート電極とこれらゲート電極に隣接するように前記半導体基板中にソース及びドレイン領域とを備えている複数のトランジスタを形成する工程と、
前記トランジスタの上方に第１の絶縁膜を堆積する工程と、
前記第２の絶縁膜に対し、コンタクトホール形成予定領域を含む開孔部を複数形成する工程と、
前記第２の層間絶縁膜上及び前記開孔部により露出した前記第１の絶縁膜上に第３の層間絶縁膜を堆積する工程と、
異方性選択エッチング技術を用いて、前記第２の絶縁膜に対して選択的に前記第３の絶縁膜と前記第１の絶縁膜を連続してエッチングし前記第３の絶縁膜に配線溝を形成すると共に、エッチング中に露出した前記開孔部の穴縁部分を前記配線溝方向に徐々に後退させながら、前記第１の絶縁膜において前記配線溝と交差する方向の側壁のみに実質的なテーパー角を付与した前記トランジスタのゲート電極またはソースまたはドレイン領域へのコンタクトホールを複数同時に形成し、前記第２の絶縁膜の開口部を十文字に近い形状とする工程とを具備したことを特徴とする半導体装置の製造方法。
【請求項１４】
前記複数のトランジスタの形成は、メモリデバイスにおけるメモリセル領域を構成する一部であり、また、周辺回路領域を構成する一部であり、前記配線溝の一部にビット線が形成されることを特徴とする請求項１３記載の半導体装置の製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
この発明は、特に微細なコンタクト構造を有する高集積化された半導体装置及びその製造方法に関する。
【０００２】
【従来の技術】
半導体装置において、コンタクトホールによる素子領域や配線間のコンタクト構造はますます微細化され、高信頼をもたらす精度、低抵抗性が要求されている。
【０００３】
図１２（ａ）～（ｆ）は、第１の従来例を説明するための、コンタクト配線構造の製造方法を工程順に示す断面図である。この技術は、例えば特開平９－１７２０６７等を参考にして表わしたものであり、配線溝とコンタクトホールを自己整合的に形成する技術である。
【０００４】
図１２（ａ）に示すように、絶縁膜７００上に、例えばダマシン法等周知の技術を用いて配線層７０１を形成しておき、上部に例えばシリコン酸化膜等の絶縁膜７０２を堆積する。次いで、図１２（ｂ）に示すように、さらに絶縁膜７０２とはエッチングレートの異なる例えばシリコン窒化膜等の絶縁膜７０３を薄く堆積する。
【０００５】
次に、図１２（ｃ）に示すように、リソグラフィ技術とエッチング技術を用いて絶縁膜７０３に対して開孔部７０４を形成する。次いで、図１２（ｄ）に示すように、さらに絶縁膜７０３とはエッチングレートの異なる、例えば絶縁膜７０２と同じシリコン酸化膜等の絶縁膜７０５を堆積する。
【０００６】

次に、図１２（ｅ）に示すように、リソグラフィ技術と異方性選択エッチング技術を用いて、絶縁膜７０５に対して配線溝７０６を開孔する。このとき、配線溝パターンと開孔部７０４の重なる部分については絶縁膜７０２もエッチングされる。これにより、配線溝７０６と同時にコンタクトホール７０７も開孔される。すなわち、配線溝７０６とコンタクトホール７０７を自己整合的に形成することが可能である。

【０００７】

次に、図１２（ｆ）に示すように、導電物質７０８を埋め込み、例えばＣＭＰ法（Chemical Mechanical Polishing ）を用いて上部の導電物質７０８を除去し平坦化する。これにより、コンタクトプラグ７１０と配線層７０９を形成する。

【０００８】

上記構成によれば、開孔部７０４と配線溝７０６の重なり部分でコンタクトホール位置が決められる。配線溝７０６はコンタクトホール位置近傍で広めに形成し、配線溝７０６の形成時に開孔部７０４が確実に入るように構成すれば、配線溝７０６とコンタクトホール７０７との位置合わせずれに対処することができる。

【０００９】

また、最下層のコンタクト領域にある程度余裕があれば、コンタクトホール位置近傍で開孔部７０４を少なくとも配線溝７０６に交差する方向で広めに形成するとよい。配線溝７０６の形成時に開孔部７０４が確実に入るように構成でき、配線溝７０６とコンタクトホール７０７との位置合わせずれに対処することができる。

【００１０】

しかしながら、上記第１の従来例に示す方法によれば、配線溝７０６及びコンタクトホール７０７は、異方性の選択エッチング技術を用いて開孔される。このため、コンタクトホール７０７の側壁は、半導体基板面に対してほぼ垂直に形成される。

【００１１】

図１３、図１４（ａ），（ｂ）、図１５及び図１６（ａ），（ｂ）は、上記第１の従来例のような製造方法に関する問題点を示す図である。図１３は、配線溝とコンタクトホールを示す平面図、図１４（ａ），（ｂ）は、それぞれ図１３の１３Ａ－１３Ａ断面図、１３Ｂ－１３Ｂ断面図、図１５は、図１４（ａ）の断面図において、コンタクトホールに導電物質を埋め込んだ様子を示す断面図である。また、図１６（ａ），（ｂ）は、それぞれ図１４（ａ），（ｂ）に対応した変形例を示す断面図である。前記図１２の第１の従来例と同様の個所には同一符号を付している。

【００１２】

図１３、図１４（ａ），（ｂ）において、配線溝の底部を定める絶縁膜７０３において、開孔部７０４は、コンタクトホール位置近傍で少なくとも配線溝７０６に交差する方向で広めに形成されている。コンタクトホール７０７は、底面に対してほぼ垂直にエッチングされる。このようなコンタクトホール７０７に、バリアメタルや導電物質７０８を良好に埋め込むことは困難である。

【００１３】

例えば、図１５に示すように、導電物質７０８にシーム７１１やボイド７１２が発生する恐れがある。シーム７１１は、その後の研磨工程における平坦化の妨げになる。ボイド２１２は、その後の熱工程でボイド中に入っているガスがどのような悪影響を及ぼすか計り知れない。

【００１４】

そこで、コンタクトホール７０７に、導電物質８０８を良好に埋め込む方法としてテーパーエッチング技術を採用することを考える。すなわち、エッチング条件を制御して、コンタクトホール７０７の側壁にテーパー角を持たせるのである。これにより、コンタクトホール７０７に埋め込む導電物質７０８の埋め込み特性を向上させる。

【００１５】

図１６（ａ），（ｂ）は、それぞれ図１４（ａ），（ｂ）に対応した断面にテーパーエッチング技術を採用した場合の断面図である。すなわち、配線溝７０６とコンタクトホール

７０７を同時に開孔する際に、テーパーエッチング技術を用いた構成である。

【００１６】

図１６（ａ）に示すように、配線溝７０６に沿った方向の断面では、テーパーエッチング技術を用いた方法によりコンタクトホール側壁にテーパー角が付き、埋め込み特性の改善が期待されている。ここで、コンタクトホール底面７１５における面積（導電物質との接触面積）をある程度確保しようとする場合、テーパーエッチングでは、コンタクトホール上部（コンタクトホールの間口）は底面より大きくなることに注意する。

【００１７】

図１６（ｂ）に示すように、配線溝７０６と直交方向の断面では、テーパーエッチング技術を用いたことによる弊害が明らかになっている。コンタクトホール底面７１５における面積（導電物質との接触面積）をある程度確保しようとする場合、テーパーエッチングでは、コンタクトホール７０７の上部の間口面積は底面より大きくなる。

【００１８】

前述のように、コンタクトホール７０７と配線溝７０６とは同時に形成されるため、全ての配線溝７０６にテーパーが付与される。このため、配線溝７０６上部において配線間隔が狭くなり、配線層間のショートを引き起こす可能性が高くなる。

【００１９】

すなわち、配線溝７０６自体はコンタクトホール部に比べてアスペクト比が小さく、溝側壁にテーパー角はあまり必要としない。にもかかわらず、配線溝７０６とコンタクトホール７０７とを同時に形成する方法を用いると、配線溝７０６の側壁にテーパー角が付いてしまう。図１６（ｂ）図中Ｄｂに示すように、配線溝どうしが不必要に接近する構成は、配線領域の更なる微細化の妨げになる。

【００２０】

一方、コンタクトホールにおけるコンタクトプラグ構造自体に注目してみる。微細化が進むにつれ、コンタクト抵抗、反応バリア性及び埋め込みプラグとしての被覆特性が重要になってくる。以下、従来例を説明する。

【００２１】

半導体装置において、例えばW（タングステン）やＡｌ（アルミニウム）といった金属が配線層あるいはコンタクトプラグとしてよく利用されている。このようなコンタクトプラグ用の金属は、下層の配線層（シリコン基板、ポリプラグを含む）と反応し、ジャンクション不良を起こす恐れがある。

【００２２】

従って、コンタクトプラグにはバリアメタルが併用されることが多い。代表的なバリアメタルとしてＴｉＮ（窒化チタン）が挙げられる。Ｓｉ基板に対するコンタクトプラグを想定すると、良好なコンタクト抵抗を得るために、バリアメタルＴｉＮとＳｉ基板との間に$TiSi_2$（チタンシリサイド）を形成するのが一般的である。

【００２３】

図１７（ａ）～（ｃ）は、それぞれ第２の従来例を説明するための、Ｓｉ基板に対するコンタクトプラグの製造方法を工程順に示した断面図である。この例は、スパッタ法を用いてＴｉＮのバリアメタルを形成する工程を含んでいる。

【００２４】

まず、基板８００上の絶縁膜８０１に対しリソグラフィ技術とエッチング技術を用いてコンタクトホール８０２を開孔する。その後、スパッタ法を用いてＴｉを、さらにＴｉＮを順次堆積する（図１７（ａ））。次に、窒素雰囲気中でアニールすることにより、下部Ｔｉを$TiSi_2$に変化させる（図１７（ｂ））。その後、コンタクトホール内にWを埋め込み、上部を平坦化する（図１７（ｃ））。

【００２５】

この方法では、バリア性を高めるためにＴｉＮを任意の厚さに堆積できる。しかし、スパッタ法によるＴｉＮの堆積形状は、図１７（ｂ），（ｃ）に示すように、コンタクト底部のエッジにおいて被覆性が悪くなる（８０３）。被覆性が悪い部分８０３ではバリア性が

低下する。この結果、歩留まりや信頼性上の問題が生じてくる。

【００２６】

図１８（ａ）～（ｃ）は、それぞれ第３の従来例を説明するための、Ｓｉ基板に対するコンタクトプラグの製造方法を工程順に示した断面図である。この例は、スパッタ法で堆積したＴｉを熱窒化して、ＴｉＮのバリアメタルを形成する工程を含んでいる。前記第２の従来例と同様の個所は同一の符号を付す。

【００２７】

まず、基板８００上の絶縁膜８０１に対しリソグラフィ技術とエッチング技術を用いてコンタクトホール８０２を開孔する。その後、スパッタ法を用いてＴｉを堆積する（図１８（ａ））。この状態で窒素雰囲気でアニールする。これにより、コンタクトホール下部を$TiSi_2$にし、それ以外の上部は熱窒化してＴｉＮに変化させる（図１８（ｂ））。その後、コンタクトホール内にWを埋め込み、上部を平坦化する（図１８（ｃ））。

【００２８】

この方法では、ＴｉＮよりエッジ被覆性に優れたＴｉ膜を熱窒化する。このため、コンタクト底部のエッジにもほぼ均一にＴｉＮを形成することができる。しかし、コンタクトホール８０２底部において、ＴｉＮ膜と下部$TiSi_2$膜を同時に形成するため、それぞれの膜厚の比は各々の反応速度により決定されてしまう。すなわち、Ｔｉ→ＴｉＮと、Ｔｉ→$TiSi_2$この２つの反応速度の差によってＴｉＮ膜と$TiSi_2$膜の厚さの配分が必然的に決まる（８０４）。従って、両者の膜厚を独立に最適化することができなかった。

【００２９】

図１９（ａ）～（ｃ）は、それぞれ第４の従来例を説明するための、Ｓｉ基板に対するコンタクトプラグの製造方法を工程順に示した断面図である。この例は、ＣＶＤ法によるＴｉＮの堆積工程を含んでいる。前記第２の従来例と同様の個所は同一の符号を付す。

【００３０】

まず、基板８００上の絶縁膜８０１に対しリソグラフィ技術とエッチング技術を用いてコンタクトホール８０２を開孔する。次に、ＣＶＤ法によりＴｉおよびＴｉＮを堆積する（図１９（ａ））。この状態で窒素雰囲気でアニールする。これにより、コンタクトホール下部のＴｉを$TiSi_2$に変化させる（図１９（ｂ））。その後、コンタクトホール内にWを埋め込み、上部を平坦化する（図１９（ｃ））。

【００３１】

この方法では、エッジ被覆性の良いＣＶＤ－ＴｉＮを用いている。よって、コンタクトホール底部エッジでも良好なバリア性能が得られる。しかし、ＣＶＤ法ではコンタクホール側壁にも底部とほぼ同じ膜厚のＴｉ及びＴｉＮが堆積されてしまう。このため、微細化が進みコンタクトホール径が小さくなると問題である。

【００３２】

すなわち、ＴｉＮが反応バリアとなり得る最小限必要な膜厚に比べて十分に大きく取れなくなると、コンタクトホールはバリアメタルによってほとんど埋め込まれることになる（８０５）。よって、この後でバリアメタルより低抵抗の金属、例えばW、Ａｌ、Ｃｕ等を埋め込むことは困難となる。結局、コンタクトプラグ抵抗を十分に下げられないという問題が生じてくる。

【００３３】

このように、コンタクトプラグ構造に注目してみても、微細化が進むにつれ、従来の技術では、コンタクト抵抗、バリア性及び金属埋め込み特性の三者を満足することができなくなる。

【００３４】

【発明が解決しようとする課題】

従来、テーパーエッチング技術を用いたコンタクトホールの形成は、その後の導電物質の埋め込み形状を良好にする利点を有する。その反面、コンタクトホール底部より上部（間口）が一様に大きくなるので問題である。

【００３５】

すなわち、コンタクトホール底部の接触面積をある程度確保しようとすると、コンタクトホールの上部では、隣り合う配線溝等の導電部分との間隔が狭くなる。これにより、上記コンタクトホール及び配線溝に導電物質を埋め込んだときに本来、絶縁しなければならない配線層間をショートさせる恐れがある。微細なピッチで配列する配線溝とコンタクトホールの関係は特に深刻な問題となる。

【００３６】

また、コンタクトホールのコンタクトプラグ構造に注目してみると、微細化に伴い、従来の技術では、コンタクト抵抗、反応バリア性及び金属埋め込み特性をすべて良好なものとする構造を形成することは困難になってきており、工夫が必要である。

【００３７】

この発明は上記のような事情を考慮し、その第１の課題は、配線溝に対して自己整合的にコンタクトホールを形成し、配線間隔が縮小してもショートの危険性を防ぎつつ、導電物質の埋め込み特性の良い配線構造を有した半導体装置及びその製造方法を提供することにある。

【００３９】

【課題を解決するための手段】

本発明の半導体装置の第１の態様は、半導体基板上に形成された第１の絶縁膜と、前記第１の絶縁膜上に形成され、開孔部を有する第２の絶縁膜と、前記第２の絶縁膜上に形成された第３の絶縁膜と、前記第３の絶縁膜内に形成され、前記開孔部と共通領域を有する配線溝と、前記第１の絶縁膜内の前記開孔部と共通する領域に形成され、前記配線溝と交差する方向の側壁のみにテーパー角が付けられたコンタクトホールとを具備し、前記第２の絶縁膜の前記開孔部は十文字に近い形状であることを特徴とする。

【００４０】

本発明の半導体装置の第２の態様は、半導体基板上に形成され、コンタクトホールを有する第１の絶縁膜と、前記第１の絶縁膜上に形成され、前記コンタクトホールと対応した開孔部を有する第２の絶縁膜と、前記第２の絶縁膜上に形成され、前記コンタクトホールと共通領域を有する配線溝を分離する第３の絶縁膜とを具備し、前記コンタクトホールの前記配線溝と交差する方向の側壁のみにテーパー角が設けられ、前記第２の絶縁膜の前記開孔部は十文字に近い形状であることを特徴とする。

本発明の半導体装置の第３の態様は、半導体基板上に形成された複数の絶縁ゲート型のゲート電極と、これらゲート電極に隣接するように前記半導体基板中に形成されたソース及びドレイン領域とを備えた複数のトランジスタと、前記トランジスタを覆うように堆積された第１の絶縁膜と、前記第１の絶縁膜上に堆積された第２の絶縁膜と、前記第２の絶縁膜に前記ゲート電極、及び前記ソース又はドレイン領域に対応して形成された複数の開孔部と、第２の絶縁膜上に形成された第３の絶縁膜と、前記第３の絶縁膜内に形成され、複数の前記開孔部との共通領域を有する配線溝と、前記開孔部の下方に位置する前記第１の絶縁膜内に、前記ゲート電極及びソース又はドレイン領域に対応して形成され、前記配線溝と交差する方向の側壁のみにテーパー角が付けられたコンタクトホールとを具備し、前記第２の絶縁膜の前記開孔部は十文字に近い形状であることを特徴とする。

【００４１】

本発明の半導体装置の製造方法の第１の態様は、半導体基板上に、第１の絶縁膜を堆積する工程と、前記第１の絶縁膜上に前記第１の絶縁膜より膜厚が薄く、前記第１の絶縁膜とエッチング選択比が異なる第２の絶縁膜を堆積する工程と、前記第２の絶縁膜に対し、コンタクトホール形成予定領域を含む開孔部を形成する工程と、前記第２の絶縁膜上及び前記開孔部により露出した前記第１の絶縁膜上に前記第１の絶縁膜とエッチング選択比が等しい第３の絶縁膜を堆積する工程と、異方性選択エッチング技術を用いて、前記第２の絶縁膜に対して選択的に前記第３の絶縁膜と前記第１の絶縁膜を連続してエッチングし前記第３の絶縁膜に配線溝を形成すると共に、エッチング中に露出した前記開孔部の穴縁部分を前記配線溝方向に徐々に後退させながら、前記第１の絶縁膜において前記配線溝と交差する方向の側壁のみに実質的なテーパー角を付与したコンタクトホールを形成し、前記

第２の絶縁膜の開口部を十文字に近い形状とする工程とを具備したことを特徴とする。

本発明の半導体装置の製造方法の第２の態様は、半導体基板上において複数のゲート絶縁型のゲート電極とこれらゲート電極に隣接するように前記半導体基板中にソース及びドレイン領域とを備えている複数のトランジスタを形成する工程と、前記トランジスタの上方に第１の絶縁膜を堆積する工程と、前記第２の絶縁膜に対し、コンタクトホール形成予定領域を含む開孔部を複数形成する工程と、前記第２の層間絶縁膜上及び前記開孔部により露出した前記第１の絶縁膜上に第３の層間絶縁膜を堆積する工程と、異方性選択エッチング技術を用いて、前記第２の絶縁膜に対して選択的に前記第３の絶縁膜と前記第１の絶縁膜を連続してエッチングし前記第３の絶縁膜に配線溝を形成すると共に、エッチング中に露出した前記開孔部の穴縁部分を前記配線溝方向に徐々に後退させながら、前記第１の絶縁膜において前記配線溝と交差する方向の側壁のみに実質的なテーパー角を付与した前記トランジスタのゲート電極またはソースまたはドレイン領域へのコンタクトホールを複数同時に形成し、前記第２の絶縁膜の開口部を十文字に近い形状とする工程とを具備したことを特徴とする。

【００４２】

上記の発明では、コンタクトホールを配線溝に対して自己整合的に形成し、さらに合わせずれの問題のない（自己整合性と矛盾しない）方向にのみコンタクトホール側壁にテーパーをつける。

【００４５】

【発明の実施の形態】

図１は、この発明の半導体装置の第１の実施形態に係る配線溝とコンタクトホールを示す平面図、図２（ａ），（ｂ）は、それぞれ図１の２Ａ－２Ａ断面図、２Ｂ－２Ｂ断面図である。

【００４６】

図１、図２において、導電領域１２を含む半導体基板１１上に第１の絶縁膜１３が形成されている。導電領域１２は拡散層または金属配線層等である。第１の絶縁膜１３上にこの絶縁膜１３とはエッチングレートの異なる第２の絶縁膜１４が薄く堆積されている。この絶縁膜１４には、開孔部１５が設けられている。

【００４７】

開孔部１５で露出した第１の絶縁膜１３上及び第２の絶縁膜１４上にこの絶縁膜１４とはエッチングレートの異なる第３の絶縁膜１６が形成されている。この第３の絶縁膜１６は、上記第１の絶縁膜１３と同様のエッチングレートを持つ同じ物質でもかまわない。

【００４８】

第３の絶縁膜１６の所定領域が除去され配線溝１７が設けられている。配線溝１７の底部には第２の絶縁膜１４の表面が露出されている。配線溝１７のエッチング領域と絶縁膜１４に設けられた開孔部１５の重なった領域には、下層の導電領域１２の所定領域が露出するコンタクトホール１８が形成されている。上記第１の絶縁膜１３の厚さは、コンタクトホール１８の深さに実質的に相当する。第２の絶縁膜１４表面は、配線溝１７の底面になる。

【００４９】

この発明では、上記コンタクトホール１８に関し、配線溝１７の方向と交差する側壁部分１８１のみ実質的なテーパー角を有する。すなわち、プラグ用導電物質の埋め込み特性向上に寄与するテーパー角を有するものである。さらに、配線溝１７の側壁にはテーパー角は付与されない。

【００５０】

上記構成によれば、コンタクトホール１８の上部（間口）は配線溝方向に長い長方形であり、コンタクトホール底部の面積より大きい。従って、後に形成されるコンタクトプラグのための導電物質の埋め込み特性を向上させると共に、埋め込む量が多くなるので、コンタクトプラグの抵抗やコンタクトプラグ底面での接触抵抗を下げるのに有利である。すなわち、この発明により、コンタクトプラグの抵抗軽減と信頼性向上が期待できる。

【００５１】
しかも、配線溝１７には実質的にテーパー角は付与されていないので、従来技術で述べた図１５（ｂ）のような配線領域の集積化を妨げる構成にはならない。よって、コンタクトホール１８底面１８２における面積（導電物質との接触面積）を十分確保しつつ、微細な配線間隔Ｄ１を保つことができる（図１）。この結果、配線間のショートを引き起こす可能性が低減され、歩留まり低下を抑止できる。また、より一層の配線領域の集積化が期待できる。
【００５２】
上記コンタクトホール１８のみにテーパーを付与する製造方法について説明する。少なくとも上記第１の絶縁膜１３は、あるエッチング条件にさらされエッチングされることになるが、このときの第１の絶縁膜１３のエッチングレートと上記第２の絶縁膜１４のエッチングレートに大きな差を持たせないようにする。
【００５３】
ここで、配線溝１７のエッチングに際し、第３の絶縁膜１６と第１の絶縁膜１３は同じエッチングレートを有するものとし、配線溝１７と同時に配線溝１７と重なる開孔部１５を介してコンタクトホール１８がエッチングされる。この結果、図１、図２（ａ），（ｂ）に表わすようなコンタクトホール１８の形態が実現される。以下、詳細に説明する。
【００５４】
図２（ａ）に示すように、配線溝１７と重なる開孔部１５を介して第１の絶縁膜１３がエッチングされる時、第２の絶縁膜１４はエッチング選択比が保たれている。しかし、第２の絶縁膜１４はほとんどエッチングされない条件となってはいるが、配線溝１７底部に露出した第２の絶縁膜１４の穴縁部分１５１は、他の、開孔部１５のない配線溝１７底面（すなわち第２の絶縁膜１４表面）よりエッチングされ易くなる。
【００５５】
すなわち、第２の絶縁膜１４と第１の絶縁膜１３のエッチング選択比をやや低めに設定し、第２の絶縁膜１４における開孔部１５の穴縁が出ている部分は若干エッチングされる条件とする。
【００５６】
この結果、図２（ａ）に示すように、開孔部１５を介した第１の絶縁膜１３のエッチング中に、始めは点線の形状であった開孔部１５の穴縁は徐々に後退していく。これにより、配線溝１７からはみ出さない範囲内でコンタクトホール１８の側壁部分１８１にテーパー角を付けることができる。
【００５７】
すなわち、図２（ａ）と（ｂ）のコンタクトホール１８の断面を比べてみれば分かるように、開孔部１５の穴縁が露出する配線溝１７の方向と交差する側壁部分１８１にのみ実質的にテーパー角を有するコンタクトホール１８が形成される。
【００５８】
従って、開孔部１５の穴縁が露出しない方向の断面では、配線溝１７のエッチング形態と同様に、基板に対しほぼ垂直方向にエッチングされる（図２（ｂ））。これにより、コンタクトホール１８の側壁の少なくとも一部（側壁１８１）に付けられたテーパー角は、配線溝１７の側壁のテーパー角より大きい構成になることが分かる。
【００５９】
上記実施形態の方法では、従来技術におけるいわゆるテーパーエッチング技術を適用した場合と異なり、テーパー角の付与を、エッチング選択比を下げることにより実現している。
【００６０】
このため、配線溝１７の側壁には実質的なテーパー角を付けずに、配線溝１７とコンタクトホール１８の自己整合性に矛盾しない範囲内でコンタクトホール１８側壁部分１８１のみに実質的なテーパー角を付けることが可能になる。
【００６１】

コンタクトホール１８の底面１８２、すなわち、導電領域１２との接触面積は、予め形成する開孔部１５の配線溝１７に沿った方向の大きさと、エッチング選択比との組み合わせにより、いかようにも調整可能である。

【００６２】

ちなみに、図１に示すように、第２の絶縁膜１４に予め配線溝１７に交差する方向が広い長方形の開孔部１５を形成した場合、コンタクトホール１８の開孔後には、第２の絶縁膜１４には十文字に近い形状の開孔部１５が形成されることになる。

【００６３】

この実施形態の方法を適用すれば、コンタクトホール１８における実質的なテーパー角の付与は、配線溝１７の形成時に開孔部１５の穴縁が露出した部分に沿った側壁１８１に限られる。コンタクトホール１８の間口は配線溝方向に長い長方形になり、コンタクトホール底部の面積もなるべく広くすることが可能である。

【００６４】

一般に微細化が進むと、コンタクトプラグは、上から見て丸型になることが多い。しかし、上記実施形態のような方法で実質的なテーパー角を付与したコンタクトホール１８は、上から見て間口の広い四角形（長方形）となり、後にコンタクトホールに埋め込まれる導電物質の埋め込み特性を向上させる。

【００６５】

この結果、後に形成されるコンタクトプラグの抵抗やコンタクトプラグ底面での接触抵抗を下げるのに有利である。すなわち、この発明により、コンタクトプラグの抵抗軽減と信頼性向上が期待できる。

【００６６】

図３は、この発明の半導体装置の第２の実施形態に係る、配線溝に埋め込まれた導電層と自己整合的コンタクト構造を示す平面図である。図１と同様の個所には同一の符号を付してその説明は省略する。

【００６７】

複数の配線溝１７により定められる上層の配線２１１と、配線２１１と下層の導電領域とがそれぞれ接続される複数のコンタクトプラグ２１２が形成されている。コンタクトプラグ２１２は複数の配線２１１に沿ってそれぞれ互い違いに設けられている。コンタクトプラグ２１２の位置に対応するように予め第２の絶縁膜１４に設ける開孔部１５は、それぞれ配線溝１７に交差する方向が広い長方形である。この開孔部１５それぞれは、コンタクトホール１８の形成後ではそれぞれ十文字に近い形状となる。

【００６８】

上記構成によれば、配線溝１７にはテーパー角は付与されていないので、コンタクトプラグ２１２の導電領域１２との接触面積を十分確保しつつ、微細な配線間隔を保つことができる。この結果、配線間のショートを引き起こす可能性が低減され、歩留まり低下を抑止できる。また、より一層の配線領域の集積化が期待できる。

【００６９】

上記構成においても、第１の実施形態と同様な製造方法が実施される。配線溝１７及びコンタクトホール１８の同時形成時、第２の絶縁膜１４と第１の絶縁膜１３のエッチング選択比をやや低めに設定したエッチングをする。すなわち、第２の絶縁膜１４表面に対してはほとんどエッチングされず、第２の絶縁膜１４の開孔部１５の穴縁部分に対して若干エッチングされる条件とする。

【００７０】

上記エッチング条件でそれぞれの配線溝１７とコンタクトホール１８を同時に形成することによって、配線溝１７によって露出した開孔部１５の穴縁は徐々に後退する。これにより、配線溝１７からはみ出さない範囲内でコンタクトホール１８の側壁部分１８１に実質的なテーパー角を付けることができる。

【００７１】

このようにして形成された、底面に対しほぼ垂直な側壁を有する配線溝１７及び配線溝１

７の方向に交差する側壁部分１８１のみ実質的なテーパー角を有するコンタクトホール１８において、導電物質２１が埋め込まれ、平坦化される（配線２１１）。

【００７２】

上記実施形態のような方法で側壁部分１８１のみに実質的なテーパー角が付与されたコンタクトホール１８は、コンタクトホール１８に埋め込まれる導電物質２１の埋め込み特性を向上させる。従って、コンタクトプラグ２１２の抵抗軽減と信頼性向上が期待できる。

【００７３】

また、コンタクトホール１８の側壁部分１８１におけるテーパー角の付与は、第２の絶縁膜１４と第１の絶縁膜１３のエッチング選択比を、やや低めに設定する、すなわち下げることにより実現している。このため、配線溝１７の側壁にはテーパー角を付けずに、配線溝１７とコンタクトホール１８の自己整合性に矛盾しない範囲内でコンタクトホール側壁の一部のみ（側壁部分１８１）にテーパー角を付けることが可能になる。

【００７４】

コンタクトプラグ２１２の底面と導電領域１２との接触面積は、予め形成する開孔部１５の配線溝１７に沿った方向の大きさと、第２の絶縁膜１４と第１の絶縁膜１３のエッチング選択比との組み合わせにより、いかようにも調整可能である。

【００７５】

上述したように、それぞれのコンタクトホール１８は、配線溝１７と自己整合的に形成されるから、配線溝１７からはみ出すことはない。従って、この図３のようにコンタクトホール１８が複数密集するような場合でも、予め第２の絶縁膜１４に設ける開孔部１５は、それぞれ配線溝１７に交差する方向において広め（長方形）に形成することができる（ただし、配線間隔の許容範囲内）。

【００７６】

このような広めの開孔部１５は、コンタクトホールのパターンを転写するリソグラフィ工程の困難性を緩和することができる。また、このような広めの開孔部１５によって配線溝１７の形成の合わせ余裕も、下層の導電領域１２の面積の許容する範囲内である程度確保することができる。

【００７７】

図４は、この発明の半導体装置の第３の実施形態に係る配線溝に埋め込まれた導電層と自己整合的コンタクト構造を示す平面図である。図１と同様の個所には同一の符号を付してその説明は省略する。

【００７８】

複数の配線溝１７により定められる上層の配線２１１と、配線２１１と下層の導電領域とがそれぞれ接続される複数のコンタクトプラグ２１２が形成されている。コンタクトプラグ２１２は複数の配線２１１に沿ってそれぞれ同じ位置に設けられている。コンタクトプラグ２１２の位置に対応するように予め第２の絶縁膜１４に設ける開孔部１５ａは、複数の配線溝１７に交差したスリット状の形態である。スリット状の開孔部１５ａそれぞれは、各コンタクトホール１８の形成後では配線溝１７に沿ってそのスリットに交差するエッチング後退部が現れたものとなる。

【００７９】

上記構成によれば、配線溝１７にはテーパー角は付与されていないので、コンタクトプラグ２１２の導電領域１２との接触面積を十分確保しつつ、微細な配線間隔を保つことができる。この結果、配線間のショートを引き起こす可能性が低減され、歩留まり低下を抑止できる。また、より一層の配線領域の集積化が期待できる。

【００８０】

各コンタクトホール１８が各配線溝１７において同じ位置で形成される場合、各配線溝１７の隣接相互の間隔を図３の構成よりも狭くできる可能性が高い。すなわち、前記図３の千鳥配置の開孔部１５と違い、この実施形態におけるスリット状の開孔部１５ａは、各配線溝１７の隣接相互の独立性が無いからである。

【００８１】

上記構成においても、第１の実施形態と同様な製造方法が実施される。配線溝１７及びコンタクトホール１８の同時形成時、第２の絶縁膜１４と第１の絶縁膜１３のエッチング選択比をやや低めに設定したエッチングをする。すなわち、第２の絶縁膜１４表面に対してはほとんどエッチングされず、第２の絶縁膜１４の開孔部１５ａの穴縁部分に対して若干エッチングされる条件とする。

【００８２】

上記エッチング条件でそれぞれの配線溝１７とコンタクトホール１８を同時に形成することによって、配線溝１７によって露出した開孔部１５ａの穴縁は徐々に後退する。これにより、配線溝１７からはみ出さない範囲内でコンタクトホール１８の側壁部分１８１に実質的なテーパー角を付けることができる。

【００８３】

このようにして形成された、底面に対しほぼ垂直な側壁を有する配線溝１７及び配線溝１７の方向に交差する側壁部分１８１のみ実質的なテーパー角を有するコンタクトホール１８において、導電物質２１が埋め込まれ、平坦化されている（配線２１１）。

【００８４】

上記実施形態のような方法で側壁部分１８１のみに実質的なテーパー角が付与されたコンタクトホール１８は、コンタクトホール１８に埋め込まれる導電物質２１の埋め込み特性を向上させる。従って、コンタクトプラグ２１２の抵抗軽減と信頼性向上が期待できる。

【００８５】

また、コンタクトホール１８の側壁部分１８１におけるテーパー角の付与は、第２の絶縁膜１４と第１の絶縁膜１３のエッチング選択比を、やや低めに設定する、すなわち下げることにより実現している。このため、配線溝１７の側壁にはテーパー角を付けずに、配線溝１７とコンタクトホール１８の自己整合性に矛盾しない範囲内でコンタクトホール側壁の一部のみ（側壁部分１８１）にテーパー角を付けることが可能になる。

【００８６】

コンタクトプラグ２１２の底面と導電領域１２との接触面積は、予め形成する開孔部１５ａの配線溝１７に沿った方向の大きさと、第２の絶縁膜１４と第１の絶縁膜１３のエッチング選択比との組み合わせにより、いかようにも調整可能である。

【００８７】

上述したように、それぞれのコンタクトホール１８は、配線溝１７と自己整合的に形成されるから、配線溝１７からはみ出すことはない。従って、この図４のように各コンタクトホール１８が各配線溝１７に同じ位置で形成される場合、予め第２の絶縁膜１４に設ける開孔部１５ａは、各配線溝１７と交差するスリット状に形成することができる。

【００８８】

このようなスリット状の開孔部１５ａは、コンタクトホールのパターンを転写するリソグラフィ工程の困難性を緩和することができる。また、このようなスリット状の開孔部１５ａによって配線溝１７の形成の合わせ余裕も、下層の導電領域１２の面積の許容する範囲内である程度確保することができる。

【００８９】

さらに、この図４のように各コンタクトホール１８が各配線溝１７において同じ位置で形成される場合、このようなスリット状の開孔部１５ａは、各配線溝１７隣接相互の間隔を図３の構成よりも狭く形成することができる。

【００９０】

つまり、前記図３のそれぞれ独立した開孔部１５では、所定の配線溝１７が、隣接する他の配線溝１７の開孔部１５の領域に至らないように、配線溝１７隣接相互の間隔と開孔部１５の広さの関係を配慮する必要があった。これに対し、この図４のスリット状の開孔部１５ａでは、各配線溝１７隣接相互の間隔を決める上で上記配慮は不要である。従って、第３の実施形態では、より微細な配線溝１７隣接相互の間隔を有する半導体装置が構成できる。

【００９１】

図５（ａ）～（ｆ）は、それぞれこの発明の第４の実施形態に係る半導体装置の製造工程を順次示す断面図である。
図５（ａ）に示すように、半導体基板上の絶縁層１００に導電層１０１を形成する。次いで、図５（ｂ）に示すように、導電層を含む基板上に例えばシリコン酸化膜等の絶縁膜１０２を堆積する。さらに絶縁膜１０２とはエッチングレートの異なる例えばシリコン窒化膜等の絶縁膜１０３を薄く堆積する。
【００９２】
次に、図５（ｃ）に示すように、周知のリソグラフィ技術とエッチング技術を用いて絶縁膜１０３に対して開孔部１０４を形成する。この開孔部１０４は、コンタクトホールの形成予定部分を含む領域である。
【００９３】
次に、図５（ｄ）に示すように、さらに絶縁膜１０３とはエッチングレートの異なる絶縁膜１０５を堆積する。この絶縁膜１０５は、例えば絶縁膜１０２と同じシリコン酸化膜でもよい。次に、レジスト膜１０６を塗布しリソグラフィ技術を用いて、配線溝の形成予定部分のレジスト膜１０６を除去する。
【００９４】
次に、図５（ｅ）に示すように、レジスト膜１０６の除去部分に対し、選択的エッチング技術を用い、絶縁膜１０３がほとんどエッチングされない条件で絶縁膜１０５及び１０２を除去する。これにより、絶縁膜１０５の堆積部分に配線溝１０７が形成される。
【００９５】
この際、配線溝１０７の底面は絶縁膜１０３の露出によって定められる。また、同時に、半導体基板の上方から見て配線溝１０７と開孔部１０４の重なりあった部分で絶縁膜１０２がエッチングされ、コンタクトホール１０８が形成される。
【００９６】
上記エッチングにおいて、この発明では、上記絶縁膜１０３と１０２のエッチング条件をやや選択性の低いものとしている。これにより、上述したように絶縁膜１０３表面だけが出ている領域はほとんどエッチングされないが、配線溝底部に露出した絶縁膜１０３の穴縁部分１２１においては、開孔部１０４のない配線溝１０７底面（絶縁膜１０３表面）よりエッチングされ易くなる。
【００９７】
このように上記絶縁膜１０３と１０２のエッチング選択比をやや低めに設定し、絶縁膜１０３表面に対してはほとんどエッチングされず、絶縁膜１０３の開孔部１０４の穴縁部分１２１に対して若干エッチングされる条件とする。
【００９８】
上記エッチング条件でそれぞれの配線溝１０７とコンタクトホール１０８を同時に形成する。すなわち、エッチングにおいて、配線溝１０７の側壁はほぼ垂直に形成され、その底部は絶縁膜１０３で定められ、かつ、配線溝１０７によって露出した開孔部１０４の穴縁部分１２１は徐々に後退しながら絶縁膜１０２にコンタクトホール１０８を形成していく。
【００９９】
これにより、コンタクトホール１０８は、配線溝１０７底部において開孔部１０４の穴縁部分１２１を露出させた形態に関し、配線溝１０７からはみ出さない範囲内で開孔部１０４の穴縁部分１２１に沿う側壁１２１に実質的なテーパー角を付けることができる。
【０１００】
また、絶縁膜１０３の穴縁が露出しないコンタクトホール断面について表示している（１２５）。絶縁膜１０３の穴縁が露出しないコンタクトホール断面は、絶縁層１００に対しほぼ垂直方向にエッチングされる形態となる。
【０１０１】
なお、この図５（ｅ）に示すコンタクトホール断面に垂直な断面（図示せず）では、１２５で示すコンタクトホール１０８も、配線溝１０７底部において開孔部１０４の穴縁部分

が露出しており、配線溝１０７からはみ出さない範囲内で上記穴縁部分に沿うコンタクトホール側壁に実質的なテーパー角が付けられる。

【０１０２】

次に、図５（ｆ）に示すように、レジスト１０６を除去し、導電物質１０９を埋め込むように堆積する。次いで、絶縁膜１０５の上部の導電物質１０９を例えばＣＭＰ法（Chemical Mechanical Polishing ）を用いて除去し平坦化する。これにより、コンタクトプラグ１１０と導電層１１１を形成する。

【０１０３】

上記構成は、開孔部１０４と配線溝１０７の重なり部分でコンタクトホール位置がだいたい決められる。配線溝１０７はコンタクトホール位置近傍で広めに形成し、配線溝１０７の形成時に開孔部１０４の穴縁部分１２１が確実に入るように構成すれば、配線溝１０７とコンタクトホール１０８との位置合わせずれに対処することができると共に、導電物質１０９の埋め込み特性も改善される。

【０１０４】

上記実施形態によれば、導電層１０１と、導電層１１１とを接続するテーパー角を持ったコンタクトプラグ１１０が形成されている。ここで注目すべきは、配線溝１０７にはテーパーが付与されず、コンタクトホール１０８のみにテーパー角が付与される構成であることである。しかも、実質的にテーパー角が付与されるのは、配線溝１０７の形成時に絶縁膜１０４の穴縁部分１２１が露出した部分に沿うコンタクトホール側壁に限られる。

【０１０５】

コンタクトプラグ１１０の底面と導電層１０１との接触面積は、予め形成する開孔部１０４の配線溝１０７に沿った方向の大きさと、絶縁膜１０３と１０２のエッチング選択比との組み合わせにより、いかようにも調整可能である。

【０１０６】

この発明の実施形態によれば、コンタクトプラグ１１０底面の面積（導電層１０１との接触面積）を確保しつつ導電物質１０９の埋め込み特性が改善された形態が得られる。かつ、配線溝１０７にはテーパー角は付与されないので、微細な配線間隔を保つことができる。この結果、配線間のショートを引き起こす可能性が低減され、歩留まり低下を抑止できる。また、より一層の配線領域の集積化が期待できる。

【０１０７】

また、従来技術においては、配線溝１０７のエッチングの際に配線溝の底部を平坦に加工することは困難であったため、すべての配線の深さを同一になるよう形成することは困難であった。

【０１０８】

これに対し、この発明の実施形態方法によれば、配線溝１０７は選択的エッチング技術が用いられ、配線溝底部は絶縁膜１０３により決定される。このため、あらゆる線幅の配線溝１０７の底部を平坦かつ所望の深さに仕上げることが容易になる。よって、導電層１１１のシート抵抗のばらつきを小さく抑えることができる。

【０１０９】

図６（ａ）～（ｇ）は、それぞれこの発明の第５の実施形態に係る半導体装置の製造工程を順次示す断面図であり、例えばＤＲＡＭの製造工程の一部を表わしている。図中ＭＣはメモリセル領域を、ＰＣは周辺回路領域を示したものである。

【０１１０】

図６（ａ）に示すように、一般的な技術を用いて、半導体基板２００上に素子分離領域２０１を形成し、所定の領域に絶縁ゲート型のゲート電極２０２とソース，ドレインを含む拡散層２０３を形成する。素子分離領域２０１は、例えば選択酸化法（ＬＯＣＯＳ）による素子分離、または、トレンチ素子分離法（ＳＴＩ）によって形成される。

【０１１１】

ゲート電極２０２は、異なる部材を積層する構造で例えばポリシリコンとシリサイドを含むポリサイド構造、または、ポリシリコンとメタルを含むポリメタル構造、または、バリ

アメタルとメタルを含む構造等が考えられる。なお、ゲート電極２０２は保護部材２０４により覆われる。

【０１１２】

次に、図６（ｂ）に示すように、一般的なリソグラフィ技術とエッチング技術を用いて、ゲート電極２０２上の保護部材２０４の一部に開孔部２０５を形成する。

【０１１３】

次に、図６（ｃ）に示すように、例えばシリコン酸化膜等の層間の絶縁膜２０６を堆積する。絶縁膜２０６上にさらに例えばシリコン窒化膜等の絶縁膜２０７を薄く堆積する。

【０１１４】

次に、図６（ｄ）に示すように、リソグラフィ技術とエッチング技術を用いて、コンタクトホールを形成したい部分の絶縁膜２０７を除去し、開孔部２０８を形成する。

【０１１５】

次に、図６（ｅ）に示すように、絶縁膜２０７及び２０６上に例えばシリコン酸化膜等の層間の絶縁膜２０９を堆積する。その後、レジスト膜２１０を塗布し、リソグラフィ技術を用いて、配線溝を形成したい部分のレジスト膜２１０を除去する。レジスト膜２１０の除去はメモリ領域ＭＣのビット線溝の形成予定領域も含まれる。

【０１１６】

次に、図６（ｆ）に示すように、選択的エッチング技術を用い、絶縁膜２０７がほとんどエッチングされない条件で絶縁膜２０９及び２０６を除去する。これにより絶縁膜２０９部分に配線溝２１１が形成される。この際、配線溝２１１の底面は絶縁膜２０７によって決定される。

【０１１７】

また上記エッチング工程において、半導体基板２０１の上方から見て配線溝２１１と開孔部２０８の重なりあった部分で絶縁膜２０６がエッチングされ、コンタクトホール２１２が形成される。ここで、この発明では、上記選択的エッチング技術におけるエッチング選択比をやや低いものとしている。

【０１１８】

すなわち、絶縁膜２０７表面はほとんどエッチングされず、それに比べて絶縁膜２０７における開孔部２０８の穴縁部分２８１が若干エッチングされ易い条件とする。

【０１１９】

このように絶縁膜２０７と２０６のエッチング選択比をやや低めに設定することで、エッチング中に露出している開孔部２０８の穴縁部分２８１は徐々に後退していく。この結果、配線溝２１１からはみ出さない範囲内でコンタクトホール２１２の側壁部分２１３に実質的なテーパー角を付けることができる。

【０１２０】

次に、図６（ｇ）に示すように、レジスト膜２１０を除去し、コンタクトホール２１２及び配線溝２１１を埋める導電物質２１４を堆積する。さらに絶縁膜２０９の上部の導電物質２１４を例えばＣＭＰ技術により除去する。

【０１２１】

以上により、ビット線の配線層２１５及び、配線層２１５と各拡散層２０３またはゲート電極２０２とを接続するコンタクトプラグ２１６が同時に形成される。なお、保護部材２０４は絶縁膜２０７と同じ例えばシリコン窒化膜でもかまわない。保護部材２０４は絶縁膜２０７に比べて厚く、保護部材２０４の上縁部が若干エッチングされたとしても信頼性に支障を来たすことはない。

【０１２２】

上記実施形態において、ＤＲＡＭのキャパシタは、例えば、ビット線の配線層２１５の上層に形成される。また、キャパシタコンタクトは別の断面に存在するが、これらの図示は省略する。もちろん、キャパシタコンタクトや上層のコンタクトに対しても、この発明における、所定の側壁部分にテーパーを付けるコンタクトホールを適用してもよい。

【０１２３】

上記第５の実施形態によれば、前記した各実施形態に示す作用効果を有する。すなわち、各コンタクトプラグ２１６底面の面積（各拡散層２０３との接触面積）を確保しつつ導電物質２１４の埋め込み特性が改善された形態が得られる。かつ、配線溝２１１にはテーパー角は付与されないので、微細な配線間隔を保つことができる。この結果、配線間のショートを引き起こす可能性が低減され、歩留まり低下を抑止できる。また、より一層の配線領域の集積化が期待できる。

【０１２４】

この発明の実施形態方法によれば、配線溝２１１は選択的エッチング技術が用いられ、配線溝底部は絶縁膜２０７により決定される。このため、あらゆる線幅の配線溝２１１の底部を平坦かつ所望の深さに仕上げることが容易になる。よって、配線層２１４のシート抵抗のばらつきを小さく抑えることができる。

【０１２５】

さらに、上記実施形態の方法によれば、以下のような利点がある。メモリセル領域ＭＣや周辺回路領域ＰＣの各素子領域（各拡散層２０３）へのコンタクトホールと、ゲート電極２０５上へのコンタクトホールを全て同時に形成することができる。

【０１２６】

このため、メモリデバイス製造のリソグラフィ工程数の削減をはかることができる。また各々のコンタクトホール間の位置ずれが生じないため、この後の工程で考慮すべき位置ずれを減少させることができる。

【０１２７】

さらに、図６（ｆ）中各々のコンタクトホール２１２は、ビット線の配線溝２１１からはみ出さないように、配線溝に対して自己整合的に形成されるので、後工程で考慮すべき位置ずれは、さらに減少する。

【０１２８】

図７（ａ）～（ｆ）は、それぞれこの発明の第６の実施形態に係る半導体装置の製造工程を順次示す断面図であり、例えばＤＲＡＭの製造工程の一部を表わしている。図中ＭＣはメモリセル領域を、ＰＣは周辺回路領域を示したものである。

【０１２９】

図７（ａ）に示すように、一般的な技術を用いて、半導体基板３００上に素子分離領域３０１を形成する。素子分離領域２０１は、ここでは、例えばトレンチ素子分離法（ＳＴＩ）によって形成される。

【０１３０】

次に、図７（ｂ）に示すように、基板上にゲート酸化膜３０２を形成し、一般的なリソグラフィ技術及びエッチング技術を用いて所定の領域にゲート電極３０３を形成する。ゲート電極３０３は、ゲート酸化膜３０２上に異なる部材を積層する構造で、ここでは例えばポリシリコンとタングステンの積層膜のような、ポリメタル構造である。

【０１３１】

次に、図７（ｃ）に示すように、例えばシリコン窒化膜等の絶縁膜をゲート電極３０３を覆うように薄く堆積し、異方性エッチング技術を用いてその絶縁膜を一部除去する。これにより、ゲート電極側壁３０４を形成する。基板上にソース，ドレインを含む拡散層３０５を形成した後、さらに基板上及びゲート電極３０３上に、例えばシリコン酸化膜等の絶縁膜３０６を堆積する。その後、例えばＣＭＰ法を用いて絶縁膜３０６を除去し、ゲート電極３０３の高さで絶縁膜３０６を平坦化する。

【０１３２】

次に、図７（ｄ）に示すように、リソグラフィ技術を用いて周辺回路領域ＰＣ側をレジスト膜３１０で被覆し、メモリセル領域ＭＣ側に対して選択的エッチング技術を用い、ゲート電極３０３の上部導電膜を一部除去する。

【０１３３】

次に、図７（ｅ）に示すように、レジスト膜３１０を剥離した後、ゲート電極３０３の上部の除去された部分が埋まるように例えばシリコン窒化膜等の絶縁膜３０７を堆積する。

その後、例えばＣＭＰ法を用いて絶縁膜３０６上の絶縁膜３０７を除去し、平坦化する。

【０１３４】

次に、図７（ｅ）に示すように、図７（ｅ）で平坦化された表面に例えばシリコン酸化膜等の層間の絶縁膜３０８を堆積する。絶縁膜３０８上にさらに例えばシリコン窒化膜等の絶縁膜３０９を薄く堆積する。

【０１３５】

その後は、前記第５の実施形態で示した図６（ｄ）～（ｇ）と同様な工程を経ることにより、図７（ｅ）に示す構成が実現される。すなわち、絶縁膜３１１を選択的にエッチングする配線溝３１３と共に、絶縁膜３０９の穴縁部分３９１が徐々にエッチング後退していく側の所定の側壁部分にテーパー角が付与されたコンタクトホール３１４が形成される。さらに、コンタクトホール３１４内及び配線溝３１３内を満たす導電物質３１６によりコンタクトプラグ３１８及び配線層３１７が形成される。

【０１３６】

上記第６の実施形態における作用効果は、第５の実施形態と同様であるが、さらに次のような利点を有する。前記第５の実施形態では、コンタクトプラグ２１６を形成する箇所に関し、ゲート電極２０２上には予め開孔部２０５を形成しておく工程が必要であったが、この第６の実施形態では不要である。

【０１３７】

この第６の実施形態では、メモリセル領域ＭＣと周辺回路領域ＰＣを分ける簡単なリソグラフィ工程を追加することで、ゲート電極間距離の小さいメモリセル領域ＭＣ側のみに絶縁膜３０７のキャップを形成し、ゲート電極間距離の大きい周辺回路領域ＰＣは、導電膜厚を十分に確保する。これにより、メモリセル領域ＭＣの微細化と周辺回路領域ＰＣの回路動作速度向上を同時に達成することができる。

【０１３８】

上記各実施形態によれば、配線溝とコンタクトホールのリソグラフィ工程時の表面には、ほとんど段差ができず、精度のよいリソグラフィ工程を得ることができる。また、コンタクトホールは、配線溝に対して自己整合的に形成される。さらに、配線溝で定められる配線幅からはみ出さない範囲内でコンタクトホールの側壁部分に実質的なテーパー角を付けることができ、導電物質の埋め込み特性が良好になる。

【０１３９】

このような作用効果が、従来技術に比べて工程数を増加させることなく得られるものであり、上述した発明の技術は、半導体装置の高度な微細化と歩留まりの向上、工程簡略化に適している。

【０１４０】

本発明はさらに、コンタクトホールを導電物質により埋め込むコンタクトプラグ構造自体について注目した。微細化に伴い、従来の技術では、コンタクト抵抗、反応バリア性及び金属埋め込み特性をすべて良好なものとする構造を形成することは困難になってきており、工夫が必要である。

【０１４１】

よって、以下、この発明は、高度に微細化が進んでもコンタクト抵抗、バリア性及び金属埋め込み特性の三者を同様に満足のいくものとする高信頼性のコンタクトプラグ構造を詳細に説明する。

【０１４２】

図８（ａ）～（ｆ）は、それぞれこの発明の半導体装置の第１の参考例に係る、コンタクトプラグの製造を工程順に示す断面図である。この参考例は、コンタクトプラグの導電膜としてＷ（タングステン）を、またシリコン基板とタングステンが反応するのを防ぐバリアメタルとして、ＴｉＮ（窒化チタン）を用いる。

【０１４３】

図８（ａ）に示すように、拡散層等を含む基板４０上に絶縁膜４１が形成され、この絶縁膜４１に対しリソグラフィ技術とエッチング技術を用いてコンタクトホール４２を開孔す

る。このコンタクトホール４２は、もちろん前述した各実施形態における配線溝と同時に形成されるコンタクトホールであってもよい。

【０１４４】

次に、図８（ｂ）に示すように、ＩＭＰ－スパッタ法（Ion-Metal-Plasmaスパッタ）等に代表される異方性スパッタ法により、主表面に第１のＴｉ（チタン）膜４３を堆積する。

【０１４５】

次に、図８（ｃ）に示すように、例えば熱窒化法等、窒素雰囲気中でのアニールにより、Ｔｉ膜４３の表面をＴｉＮ（窒化チタン）に変化させる（ＴｉＮ膜４４）。このとき、コンタクトホール底部基板と接触するＴｉと基板の界面は$TiSi_2$（チタンシリサイド）が形成される。

【０１４６】

次に、図８（ｄ）に示すように、例えばＩＭＰスパッタ等の異方性スパッタ法を繰り返し、ＴｉＮ膜４４上にさらに第２のＴｉ膜４５を堆積する。次に、図８（ｅ）に示すように、窒素雰囲気中でアニールすることにより、第２のＴｉ膜４５をＴｉＮ膜４６に変化させる。この時、コンタクトホール底部において図８（ｃ）の工程で未反応のまま残っていたＴｉがあれば、$TiSi_2$に変化する。

【０１４７】

なお、第１のＴｉ膜４３形成の厚みはコンタクトホール底部の低抵抗化を、第２のＴｉ膜４５（またはＴｉＮ膜４６）形成の厚みはコンタクトホール底部のバリア性をそれぞれどの程度にするかで任意に決められる。

【０１４８】

次に、図８（ｆ）に示すように、コンタクトホール４２にW（タングステン）等の導電物質４７を埋め込み、絶縁膜４１上部のWとバリアメタル部材（４６，４３）を例えばＣＭＰ法を用いて除去する。これにより、コンタクトプラグ４８を形成する。

【０１４９】

上記第１の参考例によれば、バリアメタルとしてＴｉＮが用いられたが、ＴｉＮ以外のバリアメタルにもこの発明は適用可能である。上記第１の参考例によれば、次のような利点が得られる。

【０１５０】

まず第１に、図８（ｂ），（ｄ）に示すように、バリアメタル部材の基礎となるＴｉ膜４３や４５は、異方性の堆積方法を繰り返しているため、コンタクトホール側壁にはほとんど堆積しない。このため将来微細化が高度に進んだ場合にも、コンタクトホール内における低抵抗の導電膜（ここではW）の容積を確保し易い方法といえる。

【０１５１】

第２に、コンタクトプラグ４８において、コンタクト抵抗は第１のＴｉ膜４３の膜厚で、バリア性は第２のＴｉ膜４５（あるいはＴｉＮ膜４６）の膜厚で、それぞれ独立に最適化可能である。

【０１５２】

第３に、コンタクトホール底部において、ＴｉＮよりエッジ被覆性の良いＴｉをスパッタしていることで（図８（ｂ））、コンタクト底部エッジでも十分なバリア性を発揮することが可能である。

【０１５３】

第４に、図８（ｃ），（ｅ）によれば、ＴｉＮ膜４４および４６は、熱窒化チタンを用いている。熱窒化チタンは、スパッタ法による窒化チタンより膜質に優れる。これにより、バリア性の向上が期待できる。

【０１５４】

図９（ａ）～（ｆ）は、それぞれこの発明の半導体装置の第２の参考例に係る、コンタクトプラグの製造を工程順に示す断面図である。この参考例は、コンタクトプラグの導電膜としてW（タングステン）を、またシリコン基板とタングステンが反応するのを防ぐバリアメタルとして、ＴｉＮ（窒化チタン）を用いる。

【０１５５】
図９（ａ）に示すように、拡散層等を含む基板４００上に絶縁膜４０１が形成され、この絶縁膜４０１に対しリソグラフィ技術とエッチング技術を用いてコンタクトホール４０２を開孔する。このコンタクトホール４０２は、もちろん前述した各実施形態における配線溝と同時に形成されるコンタクトホールであってもよい。
【０１５６】
次に、図９（ｂ）に示すように、ＩＭＰ－スパッタ法（Ion-Metal-Plasmaスパッタ）等に代表される異方性スパッタ法により、主表面に第１のＴｉ（チタン）膜４０３を堆積する。
【０１５７】
次に、図９（ｃ）に示すように、例えばスパッタ法、ＣＶＤ法等の技術を用いて、Ｔｉ膜４０３の表面上に極薄のＴｉＮ膜４０４を堆積する。次に、図９（ｄ）に示すように、例えばＩＭＰスパッタ等の異方性スパッタ法を繰り返し、ＴｉＮ膜４０４上にさらに第２のＴｉ膜４０５を堆積する。
【０１５８】
次に、図９（ｅ）に示すように、窒素雰囲気中でアニールすることにより、第２のＴｉ膜４０５をＴｉＮ膜４０６に変化させる。この時、コンタクトホール底部におけるＴｉ膜４０３は、$TiSi_2$ に変化する。
【０１５９】
なお、第１のＴｉ膜４０３形成の厚みはコンタクトホール底部の低抵抗化を、第２のＴｉ膜４０５（またはＴｉＮ膜４０６）形成の厚みはコンタクトホール底部のバリア性をそれぞれどの程度にするかで任意に決められる。
【０１６０】
次に、図９（ｆ）に示すように、コンタクトホール４０２にW（タングステン）等の導電物質４０７を埋め込み、絶縁膜４０１上部のWとバリアメタル部材（４０６，４０３）を例えばＣＭＰ法を用いて除去する。これにより、コンタクトプラグ４０８を形成する。
【０１６１】
上記第２の参考例によれば、バリアメタルとしてＴｉＮが用いられたが、ＴｉＮ以外のバリアメタルにもこの発明は適用可能である。上記第２の参考例によれば、次のような利点が得られる。
【０１６２】
まず第１に、図９（ｂ），（ｄ）に示すように、バリアメタル部材の基礎となるＴｉ膜４０３や４０５は、異方性の堆積方法を繰り返しているため、コンタクトホール側壁にはほとんど堆積しない。このため将来微細化が高度に進んだ場合にも、コンタクトホール内における低抵抗の導電膜（ここではW）の容積を確保し易い方法といえる。
【０１６３】
第２に、コンタクトプラグ４０８において、コンタクト抵抗は第１のＴｉ膜４０３の膜厚で、バリア性は第２のＴｉ膜４０５（あるいはＴｉＮ膜４０６）の膜厚で、それぞれ独立に最適化可能である。
【０１６４】
第３に、コンタクトホール底部において、ＴｉＮよりエッジ被覆性の良いＴｉをスパッタしていることで（図９（ｂ））、コンタクト底部エッジでも十分なバリア性を発揮することが可能である。
【０１６５】
第４に、極薄のＴｉＮ膜４０４の堆積（図９（ｃ））は、スパッタ法、ＣＶＤ法等を用いるので、前記第１の参考例に比べて低温で達成できる。これにより、熱工程削減と工程短期化に寄与する。
【０１６６】
第５に、図９（ｅ）によれば、ＴｉＮ膜４０６は、熱窒化チタンを用いている。熱窒化チタンは、スパッタ法による窒化チタンより膜質に優れる。これにより、バリア性の向上が

期待できる。

【０１６７】

図１０（ａ）～（ｇ）は、それぞれこの発明の半導体装置の第３の参考例に係る、コンタクトプラグの製造を工程順に示す断面図である。この参考例は、下層ポリサイド配線層と上層金属配線層を接続するコンタクトプラグの構造である。コンタクトプラグ及び金属配線の導電膜としてW（タングステン）を、また、ポリサイド配線層とタングステンが反応するのを防ぐバリアメタルとして、ＴｉＮ（窒化チタン）を用いる。

【０１６８】

図１０（ａ）に示すように、図示しない半導体基板上の、第ｎ層（ｎは自然数）としてポリシリコンと$TiSi_2$（チタンシリサイド）の積層からなるポリサイド配線層５０１ａ、５０１ｂが形成されている。また、この配線層５０１ａ、５０１ｂを覆う絶縁膜５０２が堆積されている。この絶縁膜５０２に対してリソグラフィ技術とエッチング技術を用い、それぞれ配線層５０１ａ、５０１ｂの上部に到達するコンタクトホール５０３ａ，５０３ｂを開孔する。

【０１６９】

次に、図１０（ｂ）に示すように、ダマシン配線層となる配線溝５０４ａ，５０４ｂを、リソグラフィ技術とエッチング技術を用いて形成する。なお、このような配線溝５０４ａ，５０４ｂとコンタクトホール５０３ａ，５０３ｂは、第１～第６の実施形態に示すような技術を用いれば、同時に形成できる。

【０１７０】

次に、図１０（ｃ）に示すように、ＩＭＰ－スパッタ法（Ion-Metal-Plasmaスパッタ）等に代表される異方性スパッタ法により、主表面に第１のＴｉ（チタン）膜５０５を堆積する。

【０１７１】

次に、図１０（ｄ）に示すように、例えば窒素プラズマ処理することにより、Ｔｉ膜５０５の表面に薄いＴｉＮ（窒化チタン）膜５０６を形成する。なお、ＴｉＮ膜５０６は、「新たな薄いＴｉ膜を堆積→窒素プラズマ処理」を繰り返して、より厚く形成することも可能である。

【０１７２】

次に、図１０（ｅ）に示すように、例えばＩＭＰスパッタ等の異方性スパッタ法を繰り返し、ＴｉＮ膜５０６上にさらに第２のＴｉ膜５０７を堆積する。次に、図１０（ｆ）に示すように、窒素雰囲気中でアニールすることにより、第２のＴｉ膜５０７をＴｉＮ膜５０８に変化させる。この時、コンタクトホール底部における第１のＴｉ膜５０５の未反応部分は、$TiSi_2$に変化していく。

【０１７３】

なお、第１のＴｉ膜５０５形成の厚みはコンタクトホール底部の低抵抗化を、第２のＴｉ膜５０７（またはＴｉＮ膜５０８）形成の厚みはコンタクトホール底部のバリア性をそれぞれどの程度にするかで任意に決められる。

【０１７４】

次に、図１０（ｇ）に示すように、コンタクトホール５０３ａ，５０３ｂ及び配線溝５０４ａ，５０４ｂにW（タングステン）等の導電物質５０９を埋め込み、絶縁膜５０２上部のWとバリアメタル部材（５０８，５０５）を例えばＣＭＰ法を用いて除去する。これにより、コンタクトプラグ５１０とダマシン配線層５１１を同時に形成する。

【０１７５】

上記第３の参考例によれば、バリアメタルとしてＴｉＮが用いられたが、ＴｉＮ以外のバリアメタルにもこの発明は適用可能である。上記第３の参考例によれば、次のような利点が得られる。

【０１７６】

まず第１に、図１０（ｃ），（ｅ）に示すように、バリアメタル部材の基礎となるＴｉ膜５０５や５０７は、異方性の堆積方法を繰り返しているため、コンタクトホール側壁には

ほとんど堆積しない。このため将来微細化が高度に進んだ場合にも、コンタクトホール内における低抵抗の導電膜（ここではW）の容積を確保し易い方法といえる。

【０１７７】

第２に、コンタクトプラグ５１０において、コンタクト抵抗は第１のＴｉ膜５０５の膜厚で、バリア性は第２のＴｉ膜５０７（またはＴｉＮ膜５０８）の膜厚で、それぞれ独立に最適化可能である。

【０１７８】

第３に、コンタクトホール底部において、ＴｉＮよりエッジ被覆性の良いＴｉをスパッタしていることで（図１０（ｃ））、コンタクト底部エッジでも十分なバリア性を発揮することが可能である。

【０１７９】

第４に、第１のＴｉ膜５０５は、窒素プラズマ処理により表面を窒化している（図１０（ｄ））。これにより、第１の参考例に比べて熱工程削減と工程短期化を実現することができる。

【０１８０】

また、ＴｉＮ膜５０６に関し、前記図９（ｃ）に示すような形成方法をとってもよい。すなわち、Ｔｉ膜５０５の表面上にスパッタ法あるいはＣＶＤ法等の技術を用いて極薄のＴｉＮ膜５０６を堆積する。この場合も、前記第１の参考例に比べて低温でＴｉＮ膜５０６が形成でき、熱工程削減と工程短期化に寄与する。

【０１８１】

図１１（ａ）～（ｇ）は、それぞれこの発明の半導体装置の第４の参考例に係る、コンタクトプラグの製造を工程順に示す断面図である。この参考例は、下層ポリサイド配線層と上層金属配線層を接続するコンタクトプラグの構造である。前記した第１～第６の実施形態に示すような技術を適用して配線溝とコンタクトホールとを同時に形成する。配線溝とコンタクトプラグ及び金属配線の導電膜としてW（タングステン）を、また、ポリサイド配線層とタングステンが反応するのを防ぐバリアメタルとして、ＴｉＮ（窒化チタン）を用いる。

【０１８２】

図１１（ａ）に示すように、図示しない半導体基板上の、第ｎ層（ｎは自然数）としてポリシリコンと$TiSi_2$（チタンシリサイド）の積層からなるポリサイド配線層６０１ａ、６０１ｂが形成されている。この配線層６０１ａ、６０１ｂ上に例えばシリコン酸化膜からなる第１の絶縁膜６０２を形成する。

【０１８３】

この第１の絶縁膜６０２の上にはこの絶縁膜６０２とはエッチングレートの異なる例えばシリコン窒化膜からなる第２の絶縁膜６２１を薄く堆積する。この絶縁膜６２１には、リソグラフィ技術、選択エッチング技術を用いることにより、下層にある配線層６０１ａ、６０１ｂの上面を含む所定の領域から基板に対し垂直方向に伸ばした領域を含んだそれぞれの開孔部６２２ａ，６２２ｂを設ける。

【０１８４】

第１の絶縁膜６０２及び第２の絶縁膜６２１上にこの絶縁膜６２１とはエッチングレートの異なる、例えば絶縁膜６０２と同じシリコン酸化膜からなる第３の絶縁膜６２３を堆積する。

【０１８５】

次に、図１１（ｂ）に示すように、絶縁膜６２３に対し、リソグラフィ技術と選択的エッチング技術を用いて、ダマシン配線層となる配線溝６０３ａ，６０３ｂ及びコンタクトホール６０４ａ，６０４ｂを形成する。

【０１８６】

この配線溝６０３ａ，６０３ｂの深さは絶縁膜６２１の位置によりで定められる。また、配線溝６０３ａ，６０３ｂのエッチングと重なる絶縁膜６２１の開孔部６２２の領域は、さらに第１の絶縁膜６０２へのエッチングが進み、それぞれ配線層６０１ａ、６０１ｂの

上部が露出するに至る（コンタクトホール６０４ａ，６０４ｂ）。

【０１８７】

しかも、上記選択的エッチング技術におけるエッチング選択比をやや低いものとし、絶縁膜６２１表面はほとんどエッチングされず、それに比べて絶縁膜６２１における開孔部６２２ａの穴縁部分６２０が若干エッチングされ易い条件とする。

【０１８８】

このように第２の絶縁膜６２１と第１の絶縁膜６０２のエッチング選択比をやや低めに設定することで、エッチング中に露出している開孔部６２２ａの穴縁部分６２０は徐々に後退していく。この結果、配線溝６０３ａからはみ出さない範囲内でコンタクトホール６０４ａの側壁部分６２４に実質的なテーパー角を付けることができる。

【０１８９】

なお、配線溝６０３ｂは、この図１１で表示している断面に対して直交する方向に形成されるものとしている。従って、配線溝６０３ｂにおいて、第２の絶縁膜６２１における開孔部６２２ｂの穴縁部分は、表示している断面と直交する断面（図示せず）にて露出し、コンタクトホール６０４ｂの側壁部分にテーパー角を付与するものである。よって、この断面では、コンタクトホール６０４ｂは実質的に配線溝６０３ｂのエッチングに沿った形状となる。

【０１９０】

次に、図１１（ｃ）に示すように、ＩＭＰ－スパッタ法（Ion-Metal-Plasmaスパッタ）等に代表される異方性スパッタ法により、主表面に第１のＴｉ（チタン）膜６０５を堆積する。

【０１９１】

次に、図１１（ｄ）に示すように、例えば窒素プラズマ処理することにより、Ｔｉ膜６０５の表面に薄いＴｉＮ（窒化チタン）膜６０６を形成する。なお、ＴｉＮ膜６０６は、「新たな薄いＴｉ膜を堆積→窒素プラズマ処理」を繰り返して、より厚く形成することも可能である。その他、ＴｉＮ膜６０６の形成方法としては、Ｔｉ膜６０５の表面上に極薄のＴｉＮ膜をスパッタ法、あるいはＣＶＤ法等により堆積してもよい（図９（ｃ）参照）。

【０１９２】

次に、図１１（ｅ）に示すように、例えばＩＭＰスパッタ等の異方性スパッタ法を繰り返し、ＴｉＮ膜６０６上にさらに第２のＴｉ膜６０７を堆積する。なお、第１のＴｉ膜６０５形成の厚みはコンタクトホール底部の低抵抗化を、第２のＴｉ膜６０７（またはＴｉＮ膜６０８）形成の厚みはコンタクトホール底部のバリア性をそれぞれどの程度にするかで任意に決められる。

【０１９３】

次に、図１１（ｆ）に示すように、窒素雰囲気中でアニールすることにより、第２のＴｉ膜６０７をＴｉＮ膜６０８に変化させる。この時、コンタクトホール底部における第１のＴｉ膜６０５の未反応部分は、$TiSi_2$ に変化していく。

【０１９４】

次に、図１１（ｇ）に示すように、コンタクトホール６０４ａ，６０４ｂ及び配線溝６０３ａ，６０３ｂにＷ（タングステン）等の導電物質６０９を埋め込み、絶縁膜６２３上部のＷとバリアメタル部材（６０８，６０５）を例えばＣＭＰ法を用いて除去する。これにより、コンタクトプラグ６１０とダマシン配線層６１１を同時に形成する。

【０１９５】

上記第４の参考例によれば、バリアメタルとしてＴｉＮが用いられたが、ＴｉＮ以外のバリアメタルにもこの発明は適用可能である。上記第第４の参考例によれば、第１の実施形態乃至第６の実施形態及び第３の参考例で述べたのと同様な効果、利点を有する。

【０１９６】

すなわち、配線溝に対して自己整合的に、合わせずれの問題のない側壁にのみ実質的なテーパー角が付与されたコンタクトホールを形成する。よって、配線間隔が縮小してもショートの危険性を防ぎつつ、導電物質の埋め込み特性の良い配線構造を得ることができ、か

つ、高度に微細化が進んでもコンタクト抵抗、バリア性及び金属埋め込み特性の三者を同様に満足のいくものとする高信頼性のコンタクトプラグ構造を得ることができる。

【０１９７】

また、第１～第６の各実施形態に第１または第２または第３の参考例で示したようなコンタクトプラグ構造を適用すれば、上記と同様に、配線溝に対して自己整合的にコンタクトホールを形成し、配線間隔が縮小してもショートの危険性を防ぎつつ、導電物質の埋め込み特性の良い配線構造を得ることができ、かつ、高度に微細化が進んでもコンタクト抵抗、バリア性及び金属埋め込み特性の三者を同様に満足のいくものとする高信頼性のコンタクトプラグ構造を得ることができる。

【０１９８】

【発明の効果】

以上、説明したように、この発明によれば、第１に、配線溝とコンタクトホールの自己整合性に矛盾しない範囲内でコンタクトホールの所定の側壁部分のみにテーパー角を付けることが可能になる。

【０１９９】

すなわち、合わせずれの問題のない方向にのみコンタクトホール側壁に実質的にテーパー角が付けられるため、導電物質の埋め込み特性が向上し、半導体装置の高度な微細化と信頼性向上に寄与する半導体装置及びその製造方法が提供できる。

【図面の簡単な説明】

【図１】　この発明の半導体装置の第１の実施形態に係る配線溝とコンタクトホールを示す平面図。

【図２】　（ａ），（ｂ）は、それぞれ図１の２Ａ－２Ａ断面図、２Ｂ－２Ｂ断面図。

【図３】　この発明の半導体装置の第２の実施形態に係る、配線溝に埋め込まれた導電層と自己整合的コンタクト構造を示す平面図。

【図４】　この発明の半導体装置の第３の実施形態に係る配線溝に埋め込まれた導電層と自己整合的コンタクト構造を示す平面図。

【図５】　（ａ）～（ｆ）は、それぞれこの発明の第４の実施形態に係る半導体装置の製造工程を順次示す断面図。

【図６】　（ａ）～（ｇ）は、それぞれこの発明の第５の実施形態に係る半導体装置の製造工程を順次示す断面図。

【図７】　（ａ）～（ｆ）は、それぞれこの発明の第６の実施形態に係る半導体装置の製造工程を順次示す断面図。

【図８】　（ａ）～（ｆ）は、それぞれこの発明の半導体装置の第１の参考例に係る、コンタクトプラグの製造を工程順に示す断面図。

【図９】　（ａ）～（ｆ）は、それぞれこの発明の半導体装置の第２の参考例に係る、コンタクトプラグの製造を工程順に示す断面図。

【図１０】　（ａ）～（ｇ）は、それぞれこの発明の半導体装置の第３の参考例に係る、コンタクトプラグの製造を工程順に示す断面図。

【図１１】　（ａ）～（ｇ）は、それぞれこの発明の半導体装置の第４の参考例に係る、コンタクトプラグの製造を工程順に示す断面図。

【図１２】　（ａ）～（ｆ）は、それぞれ第１の従来例を説明するための、コンタクト配線構造の製造方法を工程順に示す断面図。

【図１３】　第１の従来例のような製造方法に関する問題点を説明するための、配線溝とコンタクトホールを示す平面図。

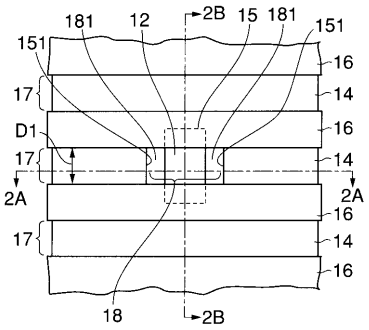
【図１４】　（ａ），（ｂ）は、それぞれ図１２の１３Ａ－１３Ａ断面図、１３Ｂ－１３Ｂ断面図。

【図１５】　図１３（ａ）の断面図において、コンタクトホールに導電物質を埋め込んだ様子を示す断面図。

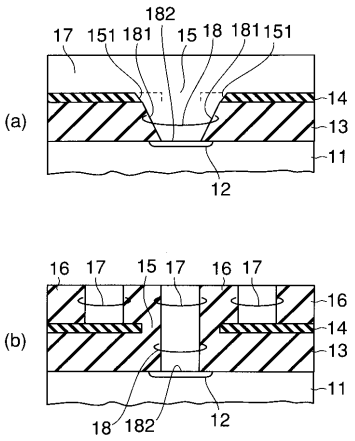
【図１６】　（ａ），（ｂ）は、それぞれ図１３（ａ），（ｂ）に対応した変形例を示す断面図。

【図１７】　（ａ）～（ｃ）は、それぞれ第２の従来例を説明するための、Ｓｉ基板に対するコンタクトプラグの製造方法を工程順に示した断面図。
【図１８】　（ａ）～（ｃ）は、それぞれ第３の従来例を説明するための、Ｓｉ基板に対するコンタクトプラグの製造方法を工程順に示した断面図。
【図１９】　（ａ）～（ｃ）は、それぞれ第４の従来例を説明するための、Ｓｉ基板に対するコンタクトプラグの製造方法を工程順に示した断面図。
【符号の説明】
１１…半導体基板
１２…導電領域
１３…第１の絶縁膜
１４…第２の絶縁膜
１５…開孔部
１６…第３の絶縁膜
１７…配線溝
１８…コンタクトホール
１８１…テーパー角が付与されるコンタクトホールの所定の側壁部分

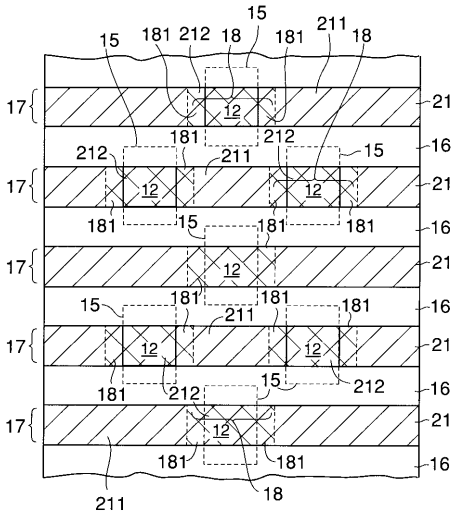
【図１】



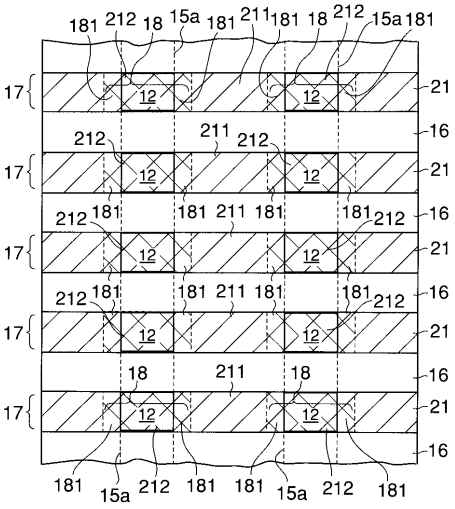
【図２】



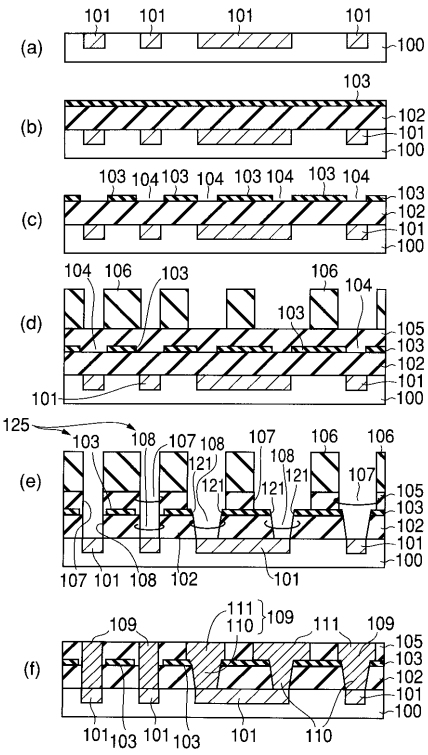
【図３】



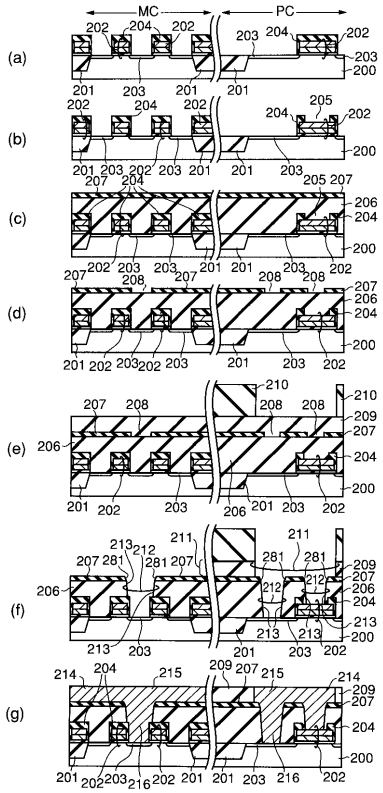
【図４】



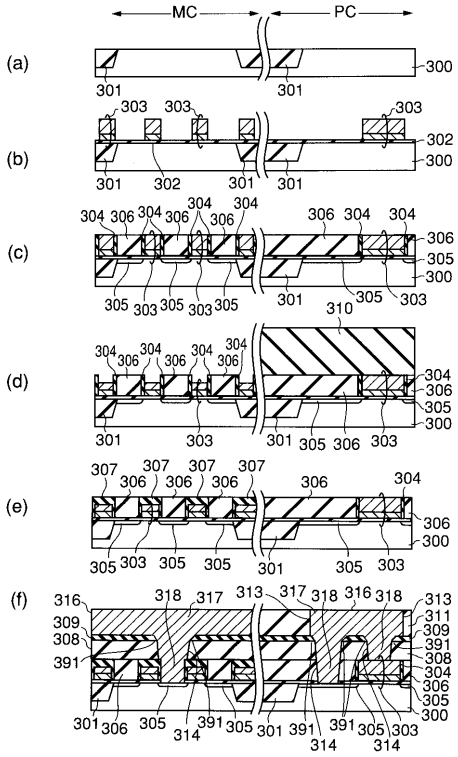
【図５】



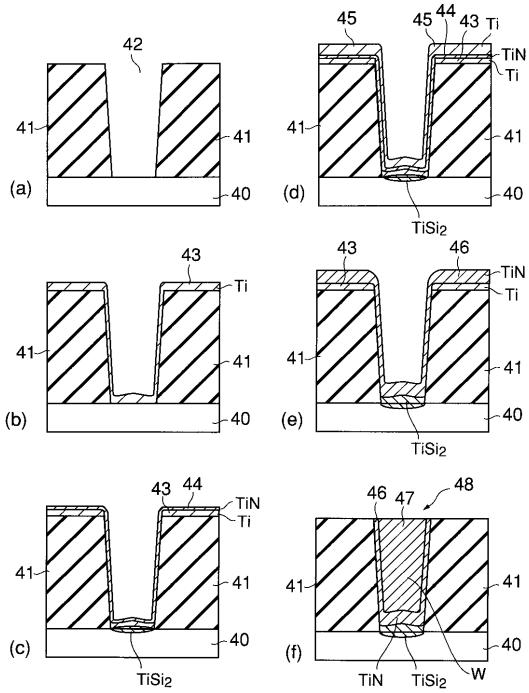
【図６】



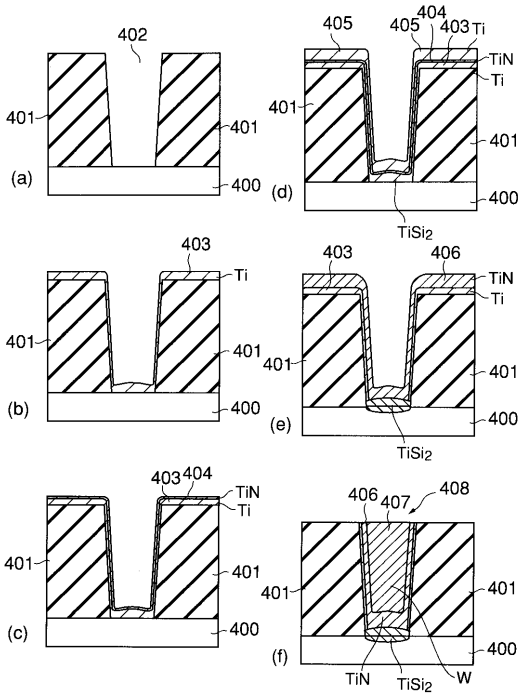
【図７】


MC
PC
(a)
(b)
(c)
(d)
(e)
(f)

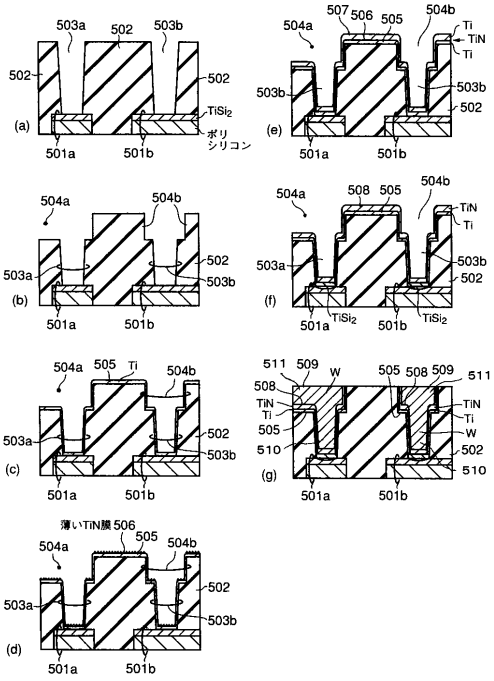
【図８】


(a)
(b)
(c)
(d)
(e)
(f)
TiN
Ti
TiSi2
W

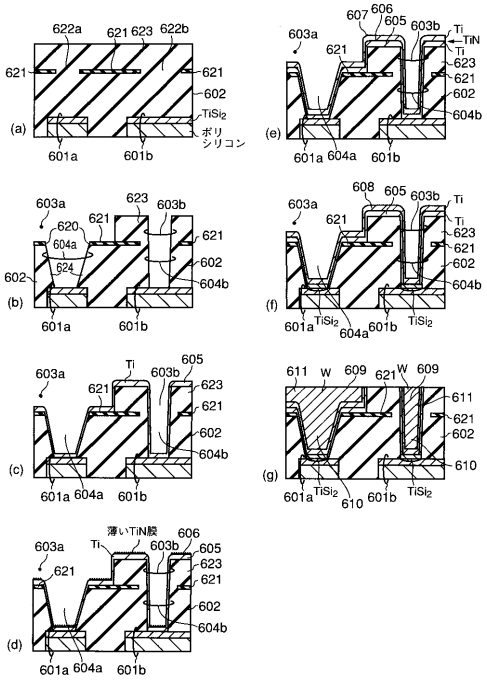
【図９】


(a)
(b)
(c)
(d)
(e)
(f)
TiN
Ti
TiSi2
W

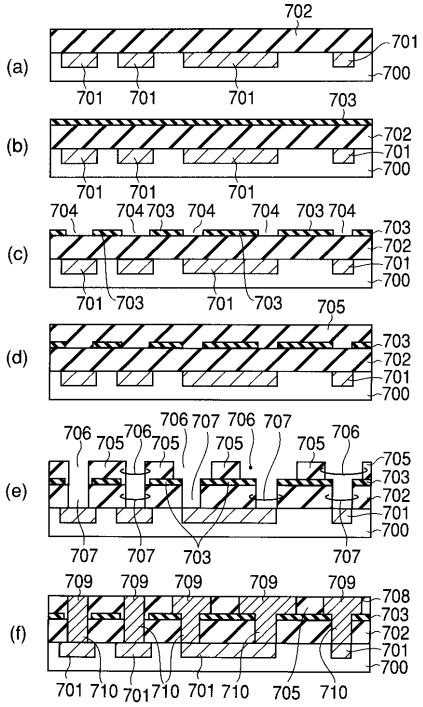
【図１０】


(a)
(b)
(c)
(d)
(e)
(f)
(g)
ポリシリコン
薄いTiN膜
TiSi2
W

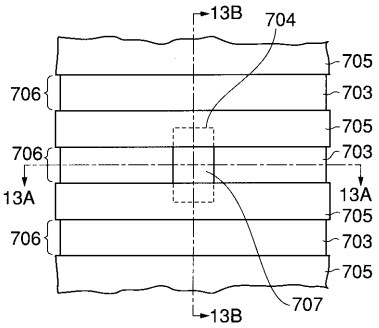
【図１１】



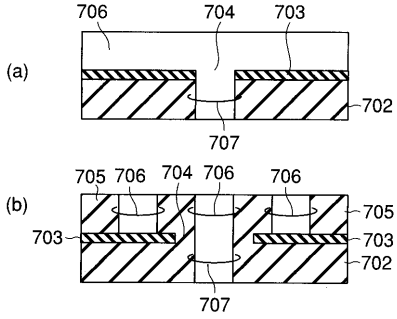
【図１２】



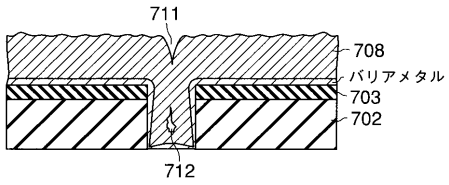
【図１３】



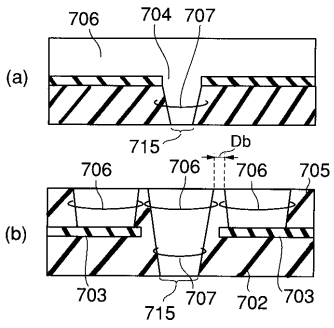
【図１４】



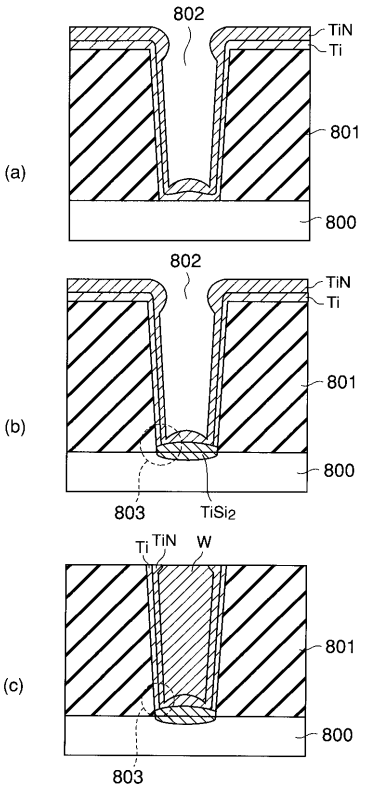
【図１５】



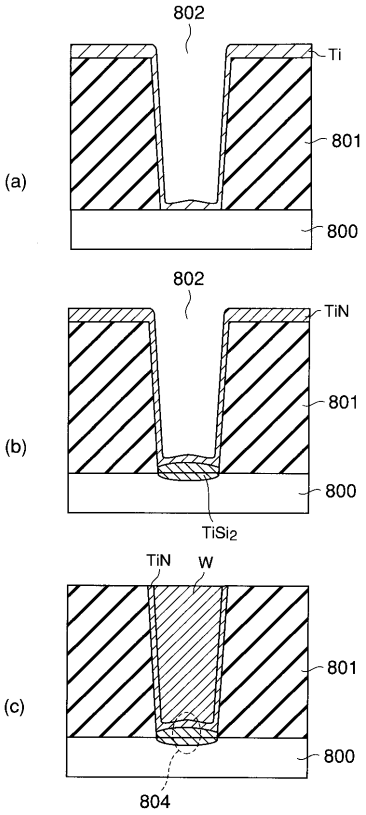
【図１６】



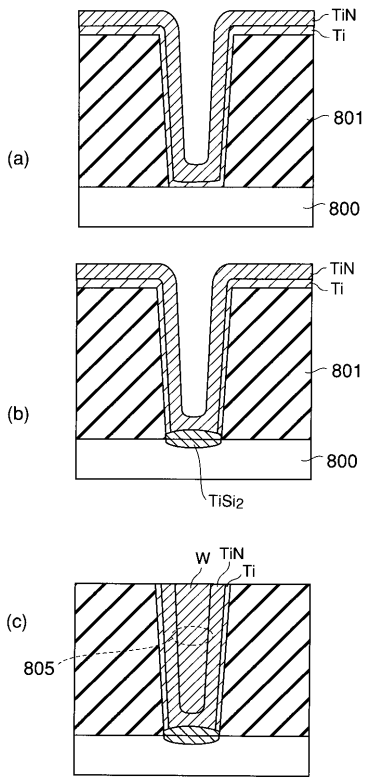
【図１７】


802
TiN
Ti
801
800
(a)
(b)
(c)
803
TiSi2
W

【図１８】


802
Ti
801
800
(a)
(b)
(c)
TiN
TiSi2
W
804

【図１９】


TiN
Ti
801
800
(a)
(b)
(c)
TiSi2
W
805

フロントページの続き

(51)Int.Cl. ＦＩ
Ｈ０１Ｌ 21/8242 (2006.01)
Ｈ０１Ｌ 27/108 (2006.01)

(72)発明者 福住 嘉晃
神奈川県横浜市磯子区新杉田町８番地 株式会社東芝横浜事業所内

審査官 河口 雅英

(56)参考文献 特開２０００－０９１４２８（ＪＰ，Ａ）
特開平０９－１５３５４５（ＪＰ，Ａ）
特開平０７－２８３３１２（ＪＰ，Ａ）
米国特許第０５８０１０９４（ＵＳ，Ａ）
米国特許第０５６３５４２３（ＵＳ，Ａ）
特開平０５－３０４２１７（ＪＰ，Ａ）
特開平１０－３３５４５６（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H01L 21/768
H01L 21/28
H01L 21/3065
H01L 21/3205
H01L 21/8242
H01L 23/522
H01L 27/108