

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第6238431号
(P6238431)

(45) 発行日 平成29年11月29日(2017.11.29)

(24) 登録日 平成29年11月10日(2017.11.10)

(51) Int.Cl.
G 1 1 C 11/419 (2006.01)

F I
G 1 1 C 11/419 1 2 0

請求項の数 5 (全 15 頁)

(21) 出願番号	特願2013-145321 (P2013-145321)	(73) 特許権者	504199127
(22) 出願日	平成25年7月11日 (2013. 7. 11)		エヌエックスピー ユーエスエイ インコ
(65) 公開番号	特開2014-22032 (P2014-22032A)		ーポレイテッド
(43) 公開日	平成26年2月3日 (2014. 2. 3)		NXP USA, Inc.
審査請求日	平成28年7月8日 (2016. 7. 8)		アメリカ合衆国 テキサス州 78735
(31) 優先権主張番号	13/548, 848		オースティン ウィリアム キャノン
(32) 優先日	平成24年7月13日 (2012. 7. 13)		ドライブ ウェスト 6501
(33) 優先権主張国	米国 (US)	(74) 代理人	100142907
			弁理士 本田 淳
		(72) 発明者	ジェームズ ディ. バーネット
			アメリカ合衆国 78731 テキサス州
			オースティン ローレル レッジ レー
			ン 3804

最終頁に続く

(54) 【発明の名称】 ビット線ブリチャージ電圧が低減されたSRAMビットセル

(57) 【特許請求の範囲】

【請求項 1】

メモリデバイスであって

複数のビットセルを備え、該ビットセルは、
PMOSTランジスタおよびNMOSTランジスタを含む第1のインバータと、
PMOSTランジスタおよびNMOSTランジスタを含む第2のインバータと、こ
で、前記第2のインバータは前記第1のインバータと交差結合され、
パストランジスタとして前記第1のインバータおよび前記第2のインバータに結合
された第1の低閾値電圧金属酸化膜半導体電界効果トランジスタ(MOSFET)と、
パストランジスタとして前記第1のインバータおよび前記第2のインバータに結合
された第2の低閾値電圧MOSFETとを含み、ここで、前記第1の低閾値電圧MOSFET
および前記第2の低閾値電圧MOSFETの閾値電圧は、ビットセルの書き込みパフ
ォーマンスを向上させるべく、前記第1のインバータおよび前記第2のインバータのNM
OSTランジスタの閾値電圧よりも実質的に小さい、前記複数のビットセルと、
ブリチャージ動作中に選択されたビット線に約1/2VDDを提供するように結合さ
れる電源電圧(VDD)とを含み、前記第1の低閾値電圧MOSFETおよび前記第2の
低閾値電圧MOSFETにより向上された書き込みパフォーマンスを提供しつつ、読み出
し動作中のビットセルの安定性の測度である静的雑音余裕(SNM)を向上させるべく、
前記第1のインバータにおける前記PMOSTランジスタおよび前記NMOSTランジ
スタの相互コンダクタンスはほぼ等しく、前記第2のインバータにおける前記PMOSTラ

10

20

ンジスタおよび前記NMOSTランジスタの相互コンダクタンスはほぼ等しい、メモリデバイス。

【請求項2】

メモリデバイスであって

複数のビットセルを備え、該ビットセルは、

PMOSTランジスタおよびNMOSTランジスタを含む第1のインバータと、

PMOSTランジスタおよびNMOSTランジスタを含む第2のインバータと、ここで、前記第2のインバータは前記第1のインバータと交差結合され、

パストランジスタとして前記第1のインバータおよび前記第2のインバータに結合された第1の低閾値電圧金属酸化膜半導体電界効果トランジスタ(MOSFET)と、

パストランジスタとして前記第1のインバータおよび前記第2のインバータに結合された第2の低閾値電圧MOSFETとを含み、ここで、前記第1の低閾値電圧MOSFETおよび前記第2の低閾値電圧MOSFETの閾値電圧は、ビットセルの書き込みパフォーマンスを向上させるべく、前記第1のインバータおよび前記第2のインバータのNMOSTランジスタの閾値電圧よりも実質的に小さい、前記複数のビットセルと、

プリチャージ動作中に選択されたビット線に約1/2VDDを提供するように結合される電源電圧(VDD)とを含み、前記第1の低閾値電圧MOSFETおよび前記第2の低閾値電圧MOSFETにより向上された書き込みパフォーマンスを提供しつつ、読み出し動作中のビットセルの安定性の測度である静的雑音余裕(SNM)を向上させるべく、前記第1のインバータにおける前記PMOSTランジスタおよび前記NMOSTランジスタの相互コンダクタンスはほぼ等しく、前記第2のインバータにおける前記PMOSTランジスタおよび前記NMOSTランジスタの相互コンダクタンスはほぼ等しく、

前記第1の低閾値電圧MOSFETおよび前記第2の低閾値電圧MOSFETは、接地電圧を下回る電圧に結合されるワード線信号を受信するように構成される、メモリデバイス。

【請求項3】

SRAMビットセルであって、

PMOSTランジスタおよびNMOSTランジスタを含む第1のインバータと、

PMOSTランジスタおよびNMOSTランジスタを含む第2のインバータと、ここで、前記第1のインバータおよび前記第2のインバータは互いに交差結合され、

前記インバータをビット線に結合する複数のパストランジスタとしての複数の低閾値電圧金属酸化膜半導体電界効果トランジスタ(MOSFET)であって、該複数の低閾値電圧MOSFETの閾値電圧は、ビットセルの書き込みパフォーマンスを向上させるべく、前記第1のインバータおよび前記第2のインバータのNMOSTランジスタの閾値電圧よりも実質的に小さい、前記複数の低閾値電圧MOSFETと、

供給電圧(VDD)とを備え、前記SRAMビットセルが選択されるとき、プリチャージ動作中に該供給電圧のほぼ二分の一が前記ビット線に提供され、

前記複数の低閾値電圧MOSFETにより向上された書き込みパフォーマンスを提供しつつ、読み出し動作中のビットセルの安定性の測度である静的雑音余裕(SNM)を向上させるべく、前記第1のインバータにおける前記PMOSTランジスタおよび前記NMOSTランジスタの相互コンダクタンスはほぼ等しく、前記第2のインバータにおける前記PMOSTランジスタおよび前記NMOSTランジスタの相互コンダクタンスはほぼ等しい、SRAMビットセル。

【請求項4】

SRAMビットセルであって、

PMOSTランジスタおよびNMOSTランジスタを含む第1のインバータと、

PMOSTランジスタおよびNMOSTランジスタを含む第2のインバータと、ここで、前記第1のインバータおよび前記第2のインバータは互いに交差結合され、

前記インバータをビット線に結合する複数のパストランジスタとしての複数の低閾値電圧金属酸化膜半導体電界効果トランジスタ(MOSFET)であって、該複数の低閾値電

10

20

30

40

50

圧M O S F E Tの閾値電圧は、ビットセルの書き込みパフォーマンスを向上させるべく、前記第1のインバータおよび前記第2のインバータのN M O Sトランジスタの閾値電圧よりも実質的に小さい、前記複数の低閾値電圧M O S F E Tと、

供給電圧(V D D)であって、前記S R A Mビットセルが選択されるとき、プリチャージ動作中に該供給電圧のほぼ二分の一が前記ビット線に提供され、ここで、前記複数の低閾値電圧M O S F E Tにより向上された書き込みパフォーマンスを提供しつつ、読み出し動作中のビットセルの安定性の測度である静的雑音余裕(S N M)を向上させるべく、前記第1のインバータにおける前記P M O Sトランジスタおよび前記N M O Sトランジスタの相互コンダクタンスはほぼ等しく、前記第2のインバータにおける前記P M O Sトランジスタおよび前記N M O Sトランジスタの相互コンダクタンスはほぼ等しい、前記供給電圧と、

前記複数のパストランジスタのうちの第1のパストランジスタの制御ゲート端子に結合される第1のワード線と、

前記複数のパストランジスタのうちの第2のパストランジスタの制御ゲート端子に結合される第2のワード線と

を備えるS R A Mビットセル。

【請求項5】

方法であって、

選択されたS R A Mビットセルのプリチャージ動作中に供給電圧のほぼ二分の一をビット線信号およびビット線バー信号に印加するステップを含み、前記ビット線信号は第1の低閾値電圧トランジスタの第1の電流電極に結合され、前記ビット線バー信号は第2の低閾値電圧トランジスタの第1の電流電極に結合され、前記第1の低閾値電圧トランジスタおよび前記第2の低閾値電圧トランジスタは、向上されたビットセルの書き込みパフォーマンスを提供するパストランジスタとして前記ビットセル内の第1のインバータおよび第2のインバータに結合され、前記第1の低閾値電圧トランジスタおよび前記第2の低閾値電圧トランジスタにより向上された書き込みパフォーマンスを提供しつつ、読み出し動作中のビットセルの安定性の測度である静的雑音余裕(S N M)を向上させるべく、前記第1のインバータにおけるP M O SトランジスタおよびN M O Sトランジスタの相互コンダクタンスはほぼ等しく、前記第2のインバータにおけるP M O SトランジスタおよびN M O Sトランジスタの相互コンダクタンスはほぼ等しい、方法。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、一般的には半導体メモリデバイスに関し、より具体的には、スタティックランダム・アクセス・メモリ(S R A M)デバイスに関する。

【背景技術】

【0002】

半導体メモリデバイスは、携帯電話、デジタルカメラ、モバイルおよび固定コンピュータデバイス、自動車、電化製品、および他のデバイスのような、多種多様な電子デバイスに使用されている。

【0003】

S R A Mメモリの主要な特性は、メモリの速度および電力である。S R A Mメモリは、高速アクセスが必要とされるときに利用されることが多い。S R A Mメモリは、データ保持のために電力が維持される必要があるスタティックメモリである。しかしながら、データ保持に必要なとされる電力は相対的にわずかである。S R A Mメモリ内で散逸される電力の多くは、ビット線チャージおよび放電に関係する。S R A Mの別の重要な態様は、読み出しアクセス中にビットセルによってビット線に提供される信号、すなわち、その信号をどれだけ早く提供できるか、および、その信号をどれだけ確実に検知することができるかである。S R A Mメモリの別の主要な特性は、ソフトエラー率、すなわち、メモリが高エネルギーの原子よりも小さい粒子にさらされたときにデータを保持する能力である。それ

ゆえ、必要とされる電力がより低く、確実に検知されることができる信号を提供するためにより高速で、ソフトエラー率がより低いSRAMビットセルが必要とされている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】米国特許第5532955号明細書

【特許文献2】米国特許出願公開第2012/0069636号明細書

【非特許文献】

【0005】

【非特許文献1】クラウス、アール (Kraus, R) 他, DRAMの最適化されたセンス手法 (Optimized Sensing Scheme of DRAM's)、IEEE Journal of Solid-state Circuits、第24巻、第4号、1989年8月、p. 895 - 899 10

【非特許文献2】ナカセ、ワイ (Nakase, Y) 他、相補半振バスアーキテクチャを用いた高速広帯域SRAMマクロ (A High Speed Wide Band SRAM Macro using Complementary Half-Swing Bus Architecture)、Circuits Digest of Tech. Papers、1994年、p. 1 - 4

【非特許文献3】バドゥルドゥーザ、エス・エー・ (Badrudduza, S.A.) 他、読み出し安定性が改良された6個及び7個のトランジスタの漏れが抑制されたSRAMセル (Six and Seven Transistor Leakage Suppressed SRAM Cells with improved Read Stability)、IEEE 2007 Custom Integrated Circuits Conference (ICC)、p. 225 - 228 20

【図面の簡単な説明】

【0006】

本開示は例として示されており、添付の図面によって限定されない。図面において、同様の参照符号は類似の要素を示す。図面内の要素は簡潔かつ明瞭にするために示されており、必ずしも原寸に比例して描かれてはいない。

【図1】本発明による処理システムの一実施形態を示すブロック図。

【図2】本発明による図1のSRAMメモリ内に含まれることができる構成要素を示すブロック図。

【図3】図2のSRAMメモリ内に含まれることができるビットセルを示す回路図。

【図4】図2のSRAMメモリ内に含まれることができるワード線ドライバ回路の一実施形態を示す回路図。 30

【図5】図4のワード線ドライバ回路に使用されるさまざまな信号に関する波形の一例を示す図。

【図6】図3のビットセルに関する静的雑音余裕を示す一例の図。

【図7】既知のビットセルと比較した図3のビットセルに関する静的雑音余裕対VDDの一例を示す図。

【図8】図3のビットセルを実装するのに使用されることができるFinFETレイアウトの一実施形態を示す図。

【発明を実施するための形態】

【0007】

1/2VDDにプリチャージされるビット線および低VTパストランジスタを有する6トランジスタ(6T)ビットセルを含むSRAMメモリデバイスの実施形態が開示される。ビット線が供給電圧(VDD)全体ではなくVDDの1/2を変動するため、ビットセルが読み出しおよび書き込み動作の間に使用する電力は50%低い。加えて、ビット線は1/2VDDの間でしか変動しないため、ビットセルはより速い書き込みおよびプリチャージ速度を有する。1/2VDDによってビット線が駆動されることによって、動的センス増幅器の交差結合p型トランジスタおよび交差結合n型トランジスタを利得を提供するために利用することができるため、検知をより高速にすることが可能になる。全VDDの代わりに1/2VDDを使用することによって、検知がより迅速に解決されるためにクローク電流が少なくなることに起因して電源ノイズも低減される。高度にスケールン 50

た技術において $1/2 VDD$ ビットセルを具体化するのに必要とされる面積は他の $6T$ ビットセルと同等である。 $1/2 VDD$ ビットセルは他の $6T$ ビットセルと同様または向上した安定性を有する。ビット線上で信号を生成するためにビットセルからデータを読み出すのにより多くのトランジスタが利用され、ビット線信号の検知により多くのトランジスタが利用されるため、これらのトランジスタのいずれかにおける欠陥が $SRAM$ の動作にとって致命的なものになる機会が低減され、結果としてメモリ収率が高くなる。さらに、 $1/2 VDD$ ビット線のビットセルに関連付けられるトランジスタサイズによってソフトウェアエラーに対するより高い耐性がもたらされる。

【0008】

図1は、バス122によって双方向性結合され得る、1つまたは複数のプロセッサ112と、1つまたは複数の $SRAM$ メモリ114と、1つまたは複数の他のメモリ116と、1つまたは複数の他のモジュール118と、外部バスインターフェース120とを含むことができる、本発明による処理システム100の一実施形態のブロック図である。外部バスインターフェース120は、システム100に、および当該システムから情報を通信するのに使用され得る外部バス124に結合可能である。 $SRAM$ メモリ114は、 $SRAM$ メモリ114と、システム100の外部の回路（図示せず）との間で情報を通信するのに使用され得る1つまたは複数の集積回路端子126に結合され得る。代替の実施形態では、コンピュータプロセッサ（複数の場合もあり）112、他のメモリ（複数の場合もあり）116、および他のモジュール（複数の場合もあり）118が、システム100の外部の回路（図示せず）に情報を通信すること、および当該回路から情報を通信することのうちの少なくとも一つに使用され得る1つまたは複数の集積回路端子（図示せず）を有してもよい。

【0009】

$SRAM$ メモリ114の一実施形態は、データを記憶するために書き込みアクセスされ、記憶されたデータを取り出すために読み出しアクセスされ得るビットセルのアレイを含む。

【0010】

図2は、ブロック復号器201と、行復号器202と、メモリアレイ203とを含む、本発明による図1の $SRAM$ メモリ114内に含むことができる構成要素のブロック図を示す。行復号器202は、グローバルワード線信号 GWL をワード線ドライバ204、206、208に提供する。提供されるグローバルワード線信号のうちの選択される1つがアサートされる。ブロック復号器201は、ブロック選択信号 BS をブロック選択ドライバ205、207、209に提供する。ブロック選択信号 BS は、ブロック選択ドライバ205、207、209のうちの1つを選択し、当該ドライバは、ブロック選択バー信号 BSB をその対応するワード線ドライバ204、206、208に、そのワード線ドライバを選択および選択解除するために提供する。選択されたワード線ドライバは、アサートされた GWL 信号に対応するワード線を選択する。選択されたワード線は、そのワード線に結合される複数のビットセルを選択する。

【0011】

図3は、図1および図2のメモリ114の $SRAM$ メモリアレイ203内に含まれる、ビット線 BL 、相補的ビット線 BLB 、および、プリチャージ回路330に結合されるビットセル300の回路図を示す。メモリセル300は、パストランジスタ302、304と、プルアップ $PMOS$ トランジスタ306、308と、プルダウン $NMOS$ トランジスタ310、312とを備える。パストランジスタ302、304は、実質的にプルダウントランジスタ310および312よりも低い V_T を有する低閾値電圧 (V_T) $MOSFET$ である。パストランジスタ302、304の低 V_T に起因して、パストランジスタ302、304のゲートに印加される負電圧が、パストランジスタ302、304を通る電流を遮断するのに必要とされる。

【0012】

$PMOS$ トランジスタ306および $NMOS$ トランジスタ310は第1のインバータ3

14として結合され、PMOSトランジスタ306のソースは供給電圧VDDに結合され、NMOSトランジスタ310のソースは接地VSSに結合される。トランジスタ306および310のゲートはインバータ314の入力に結合され、トランジスタ306および310のドレインはインバータ314の出力に結合される。PMOSトランジスタ308およびNMOSトランジスタ312は第2のインバータ316として結合され、PMOSトランジスタ308のソースは供給電圧VDDに結合され、NMOSトランジスタ312のソースは接地VSSに結合される。トランジスタ308および312のゲートはインバータ316の入力に結合され、トランジスタ308および312のドレインはインバータ316の出力に結合される。インバータ314、316の入力および出力は互いに、およびそれぞれのセンスノードSNおよびSNBにおいて低VTパストランジスタ302、304の第1の電流電極に交差結合される。ビット線信号BLはパストランジスタ302の第2の電流電極に結合され、相補的ビット線信号BLBはパストランジスタ304の第2の電流電極に結合される。ワード線信号WLはパストランジスタ302、304の制御ゲートに結合される。

【0013】

ビット線がVDDまでプリチャージされる従来の6Tビットセルでは、ビット線のうちの1つが、電圧の二乗をキャパシタンスに乗算した関数(CV^2)である電力消費のために切り替えられなければならない。ビット線が $1/2VDD$ までプリチャージされるビットセル300では、書き込みは、ビット線の各々の $1/2VDD$ の切り替え、即ち、1つのビット線をVDDに切り替え、1つのビット線をVSSに切り替えることを必要とする。ビットセル300の各ビット線を $1/2VDD$ のみを切り替えればよいため、電力は $2 \times C \times (1/2V)^2 = 2 \times 1/4 \times CV^2 = 1/2 CV^2$ の関数、すなわち、従来のセルの電力の二分の一である。データノードSNおよびSNBは、インバータ314および316を通してビットセル300に書き込まれるデータを記憶する。論理「1」がビットセル300に書き込まれると、ノードSNは論理「1」またはVDDになり、ノードSNBは論理「0」またはVSSになる。論理「0」がビットセル300に書き込まれると、ノードSNは論理「0」またはVSSになり、ノードSNBは論理「1」またはVDDになる。

【0014】

プリチャージ回路330はトランジスタ320、322、および324を備える。トランジスタ320および324のソースは $1/2VDD$ に結合され、トランジスタ320および324のドレインはそれぞれビット線信号BLおよびBLBに結合される。トランジスタ322の通電電極はBLおよびBLBに結合される。トランジスタ320、322および324のゲートはプリチャージ信号PCに結合される。読み出しまたは書き込みアクセスのいずれかのためのプリチャージ中、ビット線はトランジスタ322によってともに短絡され、両方のビット線が $1/2VDD$ に戻る。トランジスタ320および324によって、 $1/2VDD$ が経時的にドリフトすることが避けられる。ビット線がともに短絡されるため、プリチャージ中に電源過電流がなく、プリチャージ中にVDD上に過電流がある従来の6Tビットセルによるものよりもはるかに高速にプリチャージを切り替えることができる。

【0015】

標準的な6T SRAMビットデバイスのサイズでは、低VTパストランジスタ302、304と関連する低閾値電圧VTによってビットセル300の書き込みパフォーマンスは向上するであろうが、それに応じて、低閾値電圧および小さいプルアップPMOSトランジスタ306、308に関連して信号雑音余裕が低いことに起因して読み出しパフォーマンスは劣化するであろう。低信号雑音余裕を埋め合わせるのを助けるために、PMOSトランジスタ306、308の駆動強度または相互コンダクタンスは、NMOSトランジスタ310、312の駆動強度または相互コンダクタンスとほぼ同じであるように選択される。PMOSトランジスタ306、308がNMOSトランジスタ310、312とほぼ同じ相互コンダクタンスを有することは、十分な書き込み余裕を提供しながら、パスト

10

20

30

40

50

ランジスタ302、304の低閾値電圧に関連して静的余裕が低いビットセル300の安定性または静的雑音余裕を向上させる助けとなる。加えて、相対的に強固なP型トランジスタ306、308は、ビットセル300の「1」レベルを破壊するよう試みるソフトエラー事象に抗する強い電流を提供する。

【0016】

低VTパストランジスタ302、304は、プリアップトランジスタ306、308およびブルダウントランジスタ310、312の整合する相互コンダクタンスとともに、約 $1/2 V_{DD}$ までプリチャージされるビット線で安定性を提供するのに十分である。ビットセル300のワード線がほぼ $1/2 V_{DD}$ までプリチャージされる線とともに選択されるとき、パストランジスタ302または304のうちの一方は、メモリ300のノードSNおよびSNB上に記憶されているデータに応じてそれぞれBLまたはBLB上でプルアップすることになる。他方のパストランジスタ302または304はそれぞれBLまたはBLB上でプルダウンすることになる。プルダウンすることしかできない従来の6T SRAMビットセルとは異なり、ビットセル300の両方の側がアクティブである。読み出しアクセスの間、「1」を記憶している対応するノードSNまたはSNBに結合されるパストランジスタ302または304が、対応するビット線BLまたはBLB上でプルアップすることになり、「0」を記憶している対応するノードSNまたはSNBに結合される他方のパストランジスタ302または304が、対応するビット線上でプルダウンすることになる。ビットセル300の両方の側がビット線上に信号を展開するための電流を提供するため、ビットセルはビットセル300の任意のトランジスタ内の欠陥により影響されにくく、それによって、メモリ114がより高い生産性（収率）を有することが可能になる。同様に、ビット線BLおよびBLBに関連付けられるセンス増幅器（図示せず）は、BLおよびBLB上の差分信号を増幅するためにプルアップおよびプルダウンの両方を行い、それによって、より高速の検知および欠陥に対するより高い耐性が可能になる。

【0017】

図4は、図2のそれぞれのワード線ドライバ204、206、208およびブロック選択ドライバ205、207、209としてSRAMメモリ114内に含むことができる、ワード線ドライバ402およびブロック選択ドライバ404を含むワード線ドライバ回路400の回路図を示す。ワード線ドライバ402は、第1のパストランジスタ406、第2のパストランジスタ408、およびラッチ回路409を含む。ゲート電極がVDDに結合されるパストランジスタ406は、グローバルワード線信号GWLをパストランジスタ408の制御ゲート端子に伝導する。GWL信号は供給電圧VDDと接地VSSとの間で変動する。GWL信号がアクティブハイであるとき、パストランジスタ408は、ブロック選択ドライバ404によって生成される相補的ブロック選択BSBをラッチ回路409に伝導する。ラッチ回路409は駆動インバータ412およびフィードバックインバータ410を含む。インバータ410、412は、VDDと、接地VSSよりも低いまたは小さい負電圧VNとの間に結合され、それによって、出力信号WLはVDDとVNとの間で変動する。GWLがアクティブハイであり、BSBがアクティブローであるとき、駆動インバータ412はアクティブローBSB信号を受信してワード線信号WLを出力し、当該信号は、図3のビットセル300のような、ワード線に結合されるビットセルに提供される。フィードバックインバータ410はワード線信号WLを受信して駆動インバータ412への入力に対するフィードバック信号を提供し、これによって出力信号ワード線信号WLがラッチされる。

【0018】

ブロック選択ドライバ404は、第1のパストランジスタ422、第2のパストランジスタ424、およびラッチ回路425を含む。ゲート電極がVDDに結合されるパストランジスタ422は、ブロック復号器420からのブロック選択信号BSをパストランジスタ424の制御ゲート端子に伝導する。ブロック選択信号BSがアクティブハイであるとき、パストランジスタ424は相補的ワード線クロック信号WLCLKBをラッチ回路425、およびワード線ドライバ回路402に向けてパストランジスタ408に伝導する。

W L C L K B 信号は供給電圧 V D D と接地 V S S との間で駆動される。ラッチ回路 4 2 5 は V D D と、接地 V S S よりも低いまたは小さい負電圧 V N との間に結合される 2 つのインバータ 4 2 6 および 4 2 8 を含む。インバータ 4 2 8 は W L C L K B 信号を受信してワード線クロック信号 W L C L K を出力し、当該信号はインバータ 4 2 6 の入力に提供される。

【 0 0 1 9 】

いくつかの高度にスケールダウンされた技術では、インバータ 4 1 0 , 4 1 2 , 4 2 6 および 4 2 8 は、V N 供給に起因してプルアップおよびプルダウンデバイスに印加される電圧が通常よりも大きくなることから生じる故障を避けるために、プルアップおよびプルダウンデバイスと直列の直列カスコードデバイスを必要とする場合がある。いくつかの高度にスケールダウンされた技術では、パストランジスタ 4 0 6、4 2 2 は、ワード線ドライバ 4 0 2 およびブロック選択ドライバ 4 0 4 の他の n チャネルトランジスタよりも実質的に低い V T を有する場合がある。たとえば、いくつかの実施形態では、パストランジスタ 4 0 6、4 2 2 の閾値電圧 V T は、ワード線ドライバ 4 0 2 およびブロック選択ドライバ 4 0 4 の N M O S トランジスタ 4 0 8、4 2 4 の閾値電圧よりも約 3 0 ~ 5 0 パーセント低い。しかしながら、他の適切な閾値電圧をパストランジスタ 4 0 6、4 2 2 に使用することができる。

【 0 0 2 0 】

ここで、ワード線ドライバ回路 4 0 0 およびブロック選択ドライバ 4 0 4 の動作が図 5 を参照して説明され、当該図面は、図 4 のワード線ドライバ回路 4 0 0 に使用されるさまざまな信号の時間波形の一例を示している。ワード線起動の始まりにおいて、グローバルワード線 G W L およびブロック選択 B S 信号が接地 V S S から選択されるワード線ドライバ 4 0 2 の供給電圧 V D D に駆動される。ブロック選択信号 B S はパス・ゲート・トランジスタ 4 2 2 を通じてノード A に結合され、ノード A はトランジスタ 4 2 4 のゲートに結合される。グローバルワード線信号 G W L はパス・ゲート・トランジスタ 4 0 6 を通じてパストランジスタ 4 0 8 のゲートに結合される。グローバルワード線およびブロック選択信号が V D D に達した後、ワード線クロック信号 W L C L K が供給電圧 V D D から接地 V S S に駆動され、これによって、相補的ブロック選択信号 B S B が供給電圧 V D D から接地 V S S に駆動される。ワード線クロック信号および相補的ブロック選択信号が接地に達した後、ラッチ回路 4 0 9 によって生成されるワード線信号 W L が負電圧 V N から正電圧 V D D に駆動される。

【 0 0 2 1 】

ワード線信号 W L は、ワード線信号 W L 上のビットセル 3 0 0 および他のビットセルを選択し、それによって、差分信号をビットセル 3 0 0 からビットセル 3 0 0 のビット線 B L および B L B 上に結合することが可能になり、同様に、差分信号はワード線信号 W L に結合される他のビットセルの関連するビット線上に結合される。差分信号が W L 選択されたビットセルのビット線上に展開された後、信号は各々、対応するセンス増幅器（図示せず）によって検知される。ワード線信号 W L が V D D 電圧に達した後、ワード線クロックバー信号 W L C L K B は、出力インバータ 4 1 0 および 4 2 8 が負電圧 V N に切り替わることを可能にするトライステート（T S）状態となる。トライステート状態のワード線クロックバー信号 W L C L K B は相補的ブロック選択信号 B S B に従って負電圧 V N になる。ビットセル 3 0 0 を含む選択されたビットセル上のビット線上の信号が、ハイのままであるグローバルワード線信号 G W L によって検知されると、ワード線クロック信号 W L C L K が供給電圧 V D D にまで戻って駆動される。制御ゲート間の寄生容量とパストランジスタ 4 0 8、4 2 4 内のそれぞれの電流電極により、トランジスタ 4 0 8、4 2 4 におけるノード A および B が V D D を上回る電圧までセルフブーストされ、それによって、全 V D D レベルをパストランジスタ 4 0 8 および 4 2 4 を通じて信号 B S B 及びインバータ 4 1 2 および 4 2 8 に対する入力に結合することが可能になり、V N 電圧へのワード線 W L の選択が解除される。V N 電圧は、ビットセル 3 0 0 のパストランジスタ 3 0 2 および 3 0 4 のより低い V T を補償して、パストランジスタ 3 0 2 および 3 0 4 を完全にオフにす

10

20

30

40

50

る。GWL 電圧は、ワード線WLがオフになってセルフブーストが可能になるまでアクティブハイのままである。

【0022】

図3および図6を参照すると、図6は、PD SOI（部分空乏型（Partially Depleted）SOI）技術におけるビットセル300のシミュレーションからの静的雑音余裕を示す曲線600の一例を示している。x軸はV_{SN}、すなわちノードSN上の電圧であり、y軸V_{SNB}はノードSNB上の電圧であり、これらは両方ともビットセル300のものである。静的雑音余裕（Static Noise Margin: SNM）は読み出し動作中のビットセルの安定性の測度である。曲線内の開口602および604のサイズは共通してSNMとして測定される。開口602は、ビットセル300の左のバストランジスタ302、右のプルアップPMOSTランジスタ308およびプルダウンNMOSTランジスタ312に対応する。開口604は、ビットセル300の右のバストランジスタ304、左のプルアップPMOSTランジスタ306および左のプルダウンNMOSTランジスタ310に対応する。

10

【0023】

図3のビットセル300のいくつかの実施形態について、低閾値電圧バストランジスタ302、304は、0ボルト程度に低い閾値電圧V_Tを有する。低閾値電圧はバストランジスタ302、304を書き込み動作に対してはるかに強固にするが、低閾値電圧はSNMを劣化させる。これは、バストランジスタ302がより強固になると、ノードSN上に記憶されている「0」値に対する読み出し動作中に図3のノードSN上の電圧が増大するために発生する。しかしながら、ビットセル300に使用されているようなV_{DD}/2にプリチャージされたビット線によりバストランジスタ302が弱められ、したがって、バストランジスタ302の低閾値電圧の影響に抗する助けとなる。SNMはまた、NMOSTランジスタ310、312とほぼ同じ相互コンダクタンスを有するプルアップPMOSTランジスタ306、308によっても改善される。

20

【0024】

図3および図7を参照すると、図7は、曲線704内の既知のビットセルと比較した曲線702内のビットセル300に関する静的雑音余裕対V_{DD}の一例を示している。ビットセル300の全体的な影響は、FinFETのようなFD SOI（完全欠乏型SOI）デバイスに関して推定される。曲線702は、プルダウンNMOSTランジスタに相当する強度または相互コンダクタンスのプルアップPMOSTランジスタに対応し、一方でバストランジスタ閾値電圧V_Tはほぼ0ボルトであり、ビット線電圧はV_{DD}/2に設定されている。曲線704は、PD SOI技術からの従来のSRAMセルに対応する。y軸は静的雑音余裕（SNM）シグマを表し、通常の統計を仮定した0からSNMが離れているシグマの数の推定値である。5.2に等しいNシグマにある破線は、ビットセルの大規模アレイ上で許容可能な収率を提供するのに必要とされる最小レベルに対応する。曲線702を曲線704に比較すると、ビットセル300は、曲線704によって表されている従前に既知のビットセル構成よりもはるかに低い供給電圧V_{DD}において動作しながらより高い静的雑音余裕を達成する。

30

【0025】

図3および図8を参照すると、図8は、それぞれのプルアップPMOSTランジスタ306、308に結合される2つのフィン804、816と、それぞれのプルダウンNMOSTランジスタ310、312に結合される2つのフィン808、810と、バストランジスタ302として接続される第1の低閾値電圧MOSFETに結合される1つのフィン802とを含む、図3のビットセル300の二分の一を具体化するのに使用することができるFinFETレイアウト800の一実施形態を示している。ビット線がフィン802に結合される。供給電圧V_{DD}がフィン804およびフィン816に結合される。フィン808、810は接地V_{SS}に結合される。ワード線信号WLがバストランジスタ302に結合される。PMOSTランジスタ306、308はノードSNBに結合される。NMOSTランジスタ310、312およびフィン804、816はノードSNに結合される

40

50

。いくつかの実施形態では、低閾値電圧伝達デバイスはディプリーション型素子であってよい。

【 0 0 2 6 】

ここまでで、いくつかの実施形態において、いくつかの実施形態における、複数のビットセルを備えることができるメモリデバイスが提供されたことを理解されたい。ビットセルは、PMOSトランジスタおよびNMOSトランジスタを含む第1のインバータと、PMOSトランジスタおよびNMOSトランジスタを含む第2のインバータとを含む。第2のインバータは第1のインバータと交差結合される。第1の低閾値電圧金属酸化膜半導体電界効果トランジスタ(MOSFET)がパストランジスタとして第1のインバータおよび第2のインバータに結合される。第2の低閾値電圧MOSFETがパストランジスタとして第1のインバータおよび第2のインバータに結合される。第1の低閾値電圧MOSFETおよび第2の低閾値電圧MOSFETの閾値電圧は、第1のインバータおよび第2のインバータのNMOSトランジスタの閾値電圧よりも実質的に小さい。

10

【 0 0 2 7 】

別の態様では、電源電圧(VDD)をプリチャージ動作中にビット線に約 $1/2 VDD$ を提供するように結合することができる。

別の態様では、第1のインバータおよび第2のインバータ内のPMOSトランジスタおよびNMOSトランジスタの相互コンダクタンスはほぼ等しいことができる。

【 0 0 2 8 】

別の態様では、第1の低閾値電圧MOSFETおよび第2の低閾値電圧MOSFETは接地電圧を下回る電圧に結合されるワード線信号を受信するように構成されることができる。

20

【 0 0 2 9 】

別の態様では、ビットセルをFinFETとして構成することができる。

別の態様では、第1の閾値電圧MOSFETおよび第2の閾値電圧MOSFETはほぼ0ボルトの閾値電圧(V_T)を有する。

【 0 0 3 0 】

別の態様では、第1の低閾値電圧MOSFETおよび第2の低閾値電圧MOSFETはディプリーション型素子である。

別の態様では、ビットセルはスタティックランダムアクセス(SRAM)ビットセルである。

30

【 0 0 3 1 】

他の実施形態では、SRAMビットセルは、PMOSトランジスタおよびNMOSトランジスタを含む第1のインバータと、PMOSトランジスタおよびNMOSトランジスタを含む第2のインバータとを備える。第1のインバータおよび第2のインバータは互いに交差結合される。複数のパストランジスタがインバータをビット線に結合する。プリチャージ動作中に供給電圧のほぼ二分の一がビット線に提供される。

【 0 0 3 2 】

別の態様では、第1のインバータおよび第2のインバータ内のPMOSトランジスタおよびNMOSトランジスタの相互コンダクタンスはほぼ等しい。

40

別の態様では、複数のパストランジスタは低閾値電圧デバイスを含む。

【 0 0 3 3 】

別の態様では、複数のパストランジスタはほぼ0ボルトの閾値電圧(V_T)を有する。

別の態様では、複数のパストランジスタはディプリーション型素子である。

別の態様では、PMOSトランジスタおよびNMOSトランジスタはFinFETである。

【 0 0 3 4 】

別の態様では、第1のワード線が複数のパストランジスタのうちの第1のパストランジスタの制御ゲート端子に結合される。第2のワード線が複数のパストランジスタのうちの第2のパストランジスタの制御ゲート端子に結合される。

50

【 0 0 3 5 】

別の態様では、ビット線が第1のパストランジスタの電流電極に結合される。ビット線バーが第2のパストランジスタの電流電極に結合される。第1のパストランジスタおよび第2のパストランジスタはNMOストランジスタである。

【 0 0 3 6 】

別の態様では、複数のパストランジスタのうちの第1のパストランジスタの第2の電流電極が、第1のインバータのPMOストランジスタのドレイン電極とNMOストランジスタのドレイン電極との間、および第2のインバータのPMOストランジスタおよびNMOストランジスタの制御ゲートに結合される。

【 0 0 3 7 】

別の態様では、複数のパストランジスタのうちの第2のパストランジスタの第2の電流電極が、第2のインバータのPMOストランジスタのドレイン電極とNMOストランジスタのドレイン電極との間、および第1のインバータのPMOストランジスタおよびNMOストランジスタの制御ゲートに結合される。

【 0 0 3 8 】

他の実施形態において、方法は、SRAMビットセルのプリチャージ動作中に供給電圧のほぼ二分の一をビット線信号およびビット線バー信号に印加するステップを含む。ビット線信号は第1の低閾値電圧トランジスタの第1の電流電極に結合され、ビット線バー信号は第2の低閾値電圧トランジスタの第1の電流電極に結合される。第1の低電圧トランジスタおよび第2の低電圧トランジスタはパストランジスタとしてビットセル内の第1のインバータおよび第2のインバータに結合される。

【 0 0 3 9 】

別の態様では、第1のインバータおよび第2のインバータ内のPMOストランジスタおよびNMOストランジスタの相互コンダクタンスはほぼ等しい。

本開示を具体化する装置は、大部分について、当業者に既知の電子コンポーネントおよび回路から成っているため、本開示の基礎となる概念の理解および評価のために、ならびに本開示の教示を分かりにくくせず当該教示から注意を逸らさせないために、回路の詳細は上記で例示されているように必要と考えられる範囲を超えては説明されない。

【 0 0 4 0 】

その上、本明細書および特許請求の範囲における「正面」、「裏」、「上部」、「底」、「上」、「下」などの用語は、存在する場合、説明を目的として使用されており、必ずしも永久的な相対位置を記述するために使用されてはいない。このように使用される用語は、本明細書に記載されている本開示の実施形態がたとえば、本明細書において例示または他の様態で記載されている以外の方向で動作することが可能であるように、適切な状況下で置き換え可能であることが理解される。

【 0 0 4 1 】

上記の実施形態のうちのいくつかは、規定通り、さまざまな異なる情報処理システムを使用して実装することができる。たとえば、図1およびその説明は、例示的な情報処理アーキテクチャを記載しているが、この例示的なアーキテクチャは本開示のさまざまな態様の説明における有用な参照を提供するためにのみ提示されている。無論、このアーキテクチャの記載は説明の目的のために簡略化されており、これは、本開示に従って使用することができる多くの異なる種類の適切なアーキテクチャのうちのほんの1つに過ぎない。論理ブロック間の境界は例示にすぎないこと、および、代替的な実施形態は、論理ブロックもしくは回路要素を融合し、またはさまざまな論理ブロックもしくは回路要素に対する代替的な機能の分解を課してもよいことを、当業者は認識しよう。

【 0 0 4 2 】

したがって、本明細書において描写したアーキテクチャは例示にすぎないこと、および、事実、同じ機能を達成する多くの他のアーキテクチャを実装することができることは理解されたい。要約すると、ただし依然として明確な意味で、同じ機能を達成するための構成要素の任意の構成が、所望の機能が達成されるように効果的に「関連付けられる」。し

10

20

30

40

50

たがって、本明細書における、特定の機能を達成するために結合される任意の2つの構成要素は互いに「関連付けられる」とみなすことができ、それによって、中間の構成要素またはアーキテクチャにかかわりなく、所望の機能が達成される。同様に、そのように関連付けられる任意の2つの構成要素も、所望の機能を達成するために互いに「動作可能に接続されている」または「動作可能に結合されている」とみなすことができる。

【0043】

さらに例として、1つの実施形態では、システム100の例示される要素は、単一の集積回路上または同じデバイス内に位置する回路である。代替的には、システム100は、互いに相互接続される任意の数の別個の集積回路または別個のデバイスを含んでもよい。たとえば、メモリ114、116は同じ集積回路もしくは別個の集積回路上に位置してもよく、または、システム100の他の要素から離散的に分離される別の周辺機器もしくはスレーブ内に位置してもよい。他のモジュール118も、別個の集積回路またはデバイス上に位置してもよい。さらに例として、システム100またはその一部は、実回線または実回線に転換可能な論理表現のソフトまたはコード表現であってもよい。そのため、システム100は、任意の適切なタイプのハードウェア記述言語において具現化されてもよい。

10

【0044】

さらに、上述の動作の機能間の境界は例示にすぎないことを当業者は認識しよう。複数の動作の機能を単一の動作に組み合わせることができ、かつ/または単一の動作の機能を追加の動作に分散させることができる。その上、代替的な実施形態は、特定の動作の複数のインスタンスを含んでもよく、動作の順序はさまざまな他の実施形態においては変更してもよい。

20

【0045】

1つの実施形態では、システム100はパーソナル・コンピュータ・システムのようなコンピュータシステムである。他の実施形態は、異なる複数の種類のコンピュータシステムを含んでもよい。コンピュータシステムは、独立した計算能力を1者または複数のユーザに与えるように設計されることができる情報ハンドリングシステムである。コンピュータシステムは、メインフレーム、ミニコンピュータ、サーバ、ワークステーション、パーソナルコンピュータ、ノートパッド、携帯個人端末、電子ゲーム、自動車用または他の埋め込みシステム、携帯電話およびさまざまな他の無線デバイスを含む多くの形態に見出され得るが、これらには限定されない。一般的なコンピュータシステムは少なくとも1つの処理装置、関連付けられるメモリ、および多数の入出力(I/O)デバイスを含む。

30

【0046】

本明細書において、具体的な実施形態を参照して本開示を説明したが、添付の特許請求の範囲に明記されているような本開示の範囲から逸脱することなくさまざまな改変および変更を為すことができる。したがって、本明細書および図面は限定的な意味ではなく例示とみなされるべきであり、すべてのこのような改変が本開示の範囲内に含まれることが意図されている。本明細書において具体的な実施形態に関して記載されているいかなる利益、利点、または問題に対する解決策も、任意のまたはすべての請求項の重要な、必要とされる、または基本的な特徴または要素として解釈されるようには意図されていない。

40

【0047】

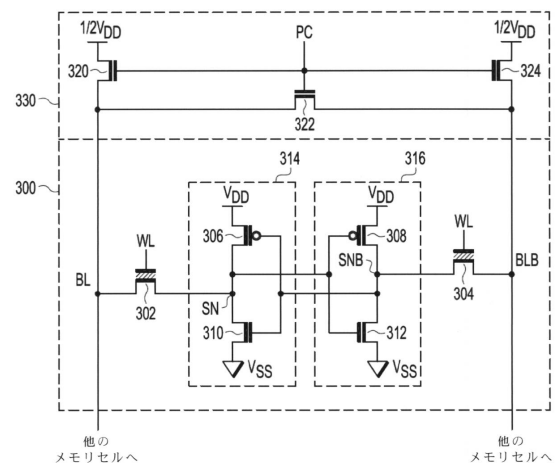
さらに、本明細書において使用される場合、「1つ」という用語は、1つまたは2つ以上として定義される。さらに、特許請求の範囲における「少なくとも1つの」および「1つまたは複数の」のような前置きの語句の使用は、「1つの」による別の請求項要素の導入が、このように導入された請求項要素を含む任意の特定の請求項を、たとえ同じ請求項が前置きの語句「1つまたは複数の」または「少なくとも1つの」および「1つの」のような不定冠詞を含む場合であっても、1つだけのこのような要素を含む開示に限定することを暗示するように解釈されるべきではない。同じことが、定冠詞の使用についても当てはまる。

【0048】

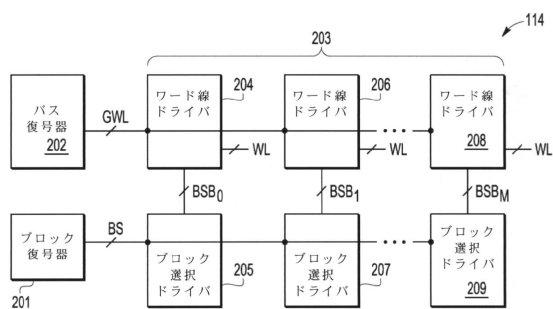
50

○

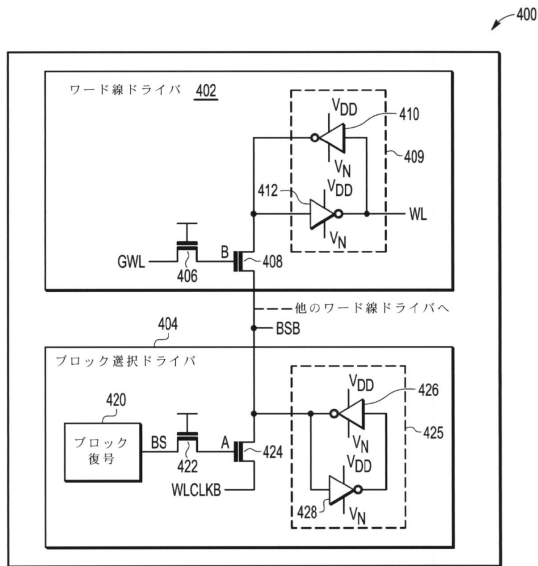
【 図 3 】



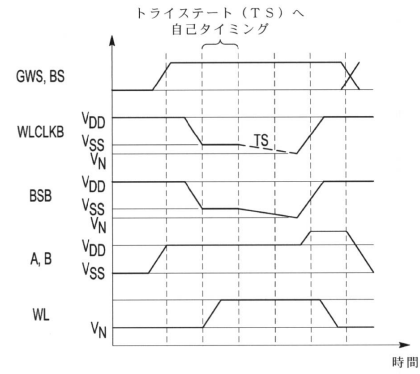
【圖 2】



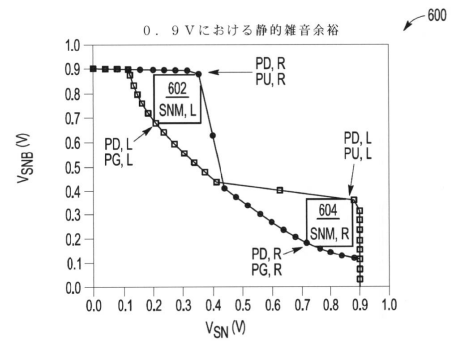
【図 4】



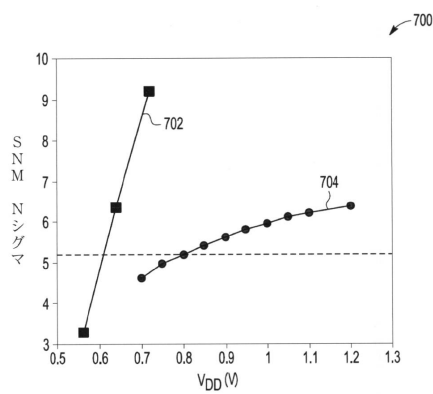
【図 5】



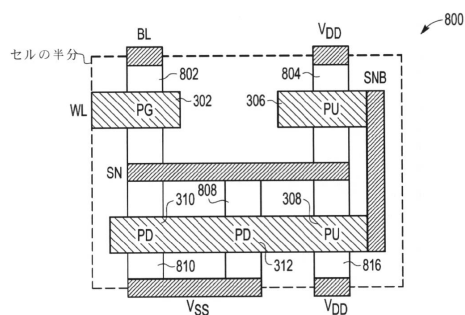
【図 6】



【図 7】



【図 8】



フロントページの続き

(72)発明者 ペリー エイチ・ペリー

アメリカ合衆国 78726 テキサス州 オースティン インディゴ ブラッシュ ドライブ
9606

審査官 堀田 和義

(56)参考文献 特開2005-166095(JP,A)

特表2002-538615(JP,A)

特開平9-51042(JP,A)

米国特許第06307805(US,B1)

特開2011-146121(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 11/412