

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年9月7日(07.09.2023)



(10) 国際公開番号

WO 2023/167129 A1

(51) 国際特許分類:
H03K 19/195 (2006.01) **H03K 17/92** (2006.01)
G06N 10/40 (2022.01)

(21) 国際出願番号: PCT/JP2023/007010

(22) 国際出願日: 2023年2月27日(27.02.2023)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2022-032905 2022年3月3日(03.03.2022) JP

(71) 出願人: 国立大学法人横浜国立大学(NATIONAL UNIVERSITY CORPORATION YOKOHAMA NATIONAL UNIVERSITY) [JP/

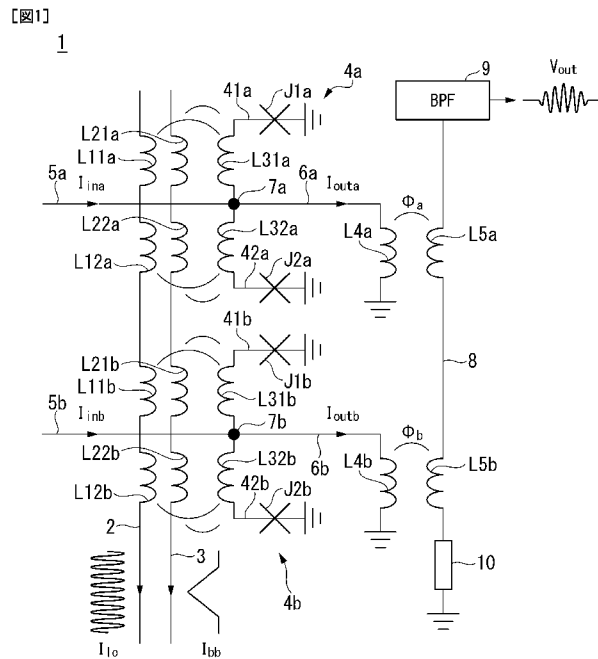
JP]; 〒2408501 神奈川県横浜市保土ヶ谷区常盤台79番1号 Kanagawa (JP).

(72) 発明者: 竹内 尚輝 (TAKEUCHI Naoki); 〒2408501 神奈川県横浜市保土ヶ谷区常盤台79番1号 国立大学法人横浜国立大学内 Kanagawa (JP). 吉川 信行 (YOSHIKAWA Nobuyuki); 〒2408501 神奈川県横浜市保土ヶ谷区常盤台79番1号 国立大学法人横浜国立大学内 Kanagawa (JP).

(74) 代理人: 弁理士法人志賀国際特許事務所 (SHIGA INTERNATIONAL PATENT OFFICE); 〒1006620 東京都千代田区丸の内一丁目9番2号 Tokyo (JP).

(54) Title: QUBIT CONTROL CIRCUIT

(54) 発明の名称: 量子ビット制御回路



(57) Abstract: This qubit control circuit comprises: a first power supply line to which a first excitation current that is a current of a predetermined frequency is input; a second power supply line to which a second excitation current that is a current having a predetermined waveform is input; an input signal line to which an input signal indicating a logic state is input; a magnetic coupling unit; and a Josephson junction, wherein the Josephson junction includes an output signal generation circuit for outputting an output signal according to the logic state indicated by the input signal and the waveform

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

of the second excitation current and the frequency of the first excitation current input via the magnetic coupling unit.

(57) 要約: 量子ビット制御回路は、所定の周波数の電流である第1励起電流が入力される第1電源線と、所定の波形の電流である第2励起電流が入力される第2電源線と、論理状態を示す入力信号が入力される入力信号線と、磁気結合部と、ジョセフソン接合とを備え、ジョセフソン接合は、磁気結合部を介して入力される第1励起電流の周波数及び第2励起電流の波形と、入力信号が示す論理状態と、に応じた出力信号を出力する出力信号生成回路と、を備える。

明 細 書

発明の名称：量子ビット制御回路

技術分野

[0001] 本発明は、量子ビット制御回路に関する。

本願は、2022年3月3日に、日本に出願された特願2022-032905号に基づき優先権を主張し、その内容をここに援用する。

背景技術

[0002] 量子コンピュータは、多数の電子から構成される量子系をシミュレートできるため、材料設計や創薬に応用できると期待されている。量子コンピュータにおいて制御される量子ビットは、超伝導素子によって構成されるため、低温において制御される必要がある。そのため、量子コンピュータの構成は、量子ビットを低温に保つための冷凍機と、室温で動作する機器とが含まれる。室温で動作する機器は、ケーブルを介して量子ビットに制御信号を出力する。

[0003] 量子コンピュータにおいて、冷凍機中の多数の量子ビットを制御するために、大量のケーブルが必要とされている。例えば、72個の量子ビットを制御するためには、168本のケーブルが必要である。しかしながら、量子ビットを制御するためのケーブルの数には上限があるため、量子ビットの数を増加させることは困難を極めている。

[0004] 大規模な量子コンピュータを実現するためには、量子ビットと同じく低温の側で動作する制御回路が必要とされている。例えば、多数の通信線の数で制御対象のデバイスの数よりも少ない量子コンピューティングシステムが知られている（特許文献1）。また、磁束量子パラメトロンをシフトレジスタとして用いた超伝導デジタル／アナログ変換器を備えた超伝導量子プロセッサが知られている（特許文献2）。

先行技術文献

特許文献

[0005] 特許文献1：特表2010-511946号公報

特許文献2：特表2019-521546号公報

発明の概要

発明が解決しようとする課題

[0006] 上述したように、少ない数のケーブルで多数の量子ビットを制御できることが求められている。そこで、少ない数のケーブルで多数の量子ビットを制御できる量子ビット制御回路を構成する要素となる回路が求められている。

[0007] 本発明は上記の点に鑑みてなされたものであり、少ない数のケーブルで多数の量子ビットを制御できる量子ビット制御回路を構成する要素となる回路を提供する。

課題を解決するための手段

[0008] 本発明は上記の課題を解決するためになされたものであり、本発明の一態様は、所定の周波数の電流である第1励起電流が入力される第1電源線と、所定の波形の電流である第2励起電流が入力される第2電源線と、論理状態を示す入力信号が入力される入力信号線と、磁気結合部と、ジョセフソン接合とを備え、前記ジョセフソン接合は、前記磁気結合部を介して入力される前記第1励起電流の周波数及び前記第2励起電流の波形と、前記入力信号が示す前記論理状態と、に応じた出力信号を出力する出力信号生成回路と、を備える量子ビット制御回路である。

[0009] また、本発明の一態様は、上記の量子ビット制御回路において、前記第1電源線に入力される前記第1励起電流には、複数の周波数が含まれ、前記出力信号生成回路と、共振回路とを前記複数の周波数ごとに備え、前記共振回路は、前記第1電源線と結合する結合部と、前記出力信号生成回路の前記磁気結合部と磁気結合する第2磁気結合部とを備え、前記第1励起電流に含まれる前記複数の周波数のうちのいずれかの周波数である共振周波数を有し、当該共振周波数の電流を前記第2磁気結合部に流すことにより、対応する前記出力信号生成回路に当該共振周波数を前記第1電源線の周波数として供給する。

[0010] また、本発明の一態様は、上記の量子ビット制御回路において、前記出力信号生成回路と、前記出力信号に応じた電流が流れる第3磁気結合部とを備える複数の超伝導ゲート回路と、複数の前記超伝導ゲート回路の前記第3磁気結合部とそれぞれ磁気結合する第4磁気結合部と、複数の前記超伝導ゲート回路がそれぞれ生成する前記出力信号が前記第4磁気結合部に印加する磁束に応じて、量子ビットに照射される電磁波を出力する出力信号線と、を備える。

[0011] また、本発明の一態様は、上記の量子ビット制御回路において、前記出力信号線が出力する前記電磁波の振幅及びパルス幅は、前記第1励起電流の振幅によって制御される。

[0012] また、本発明の一態様は、上記の量子ビット制御回路において、前記出力信号生成回路は、磁束量子パラメトロン回路の構成を含む。

発明の効果

[0013] 本発明によれば、少ない数のケーブルで多数の量子ビットを制御できる量子ビット制御回路を構成する要素となる回路を提供できる。

図面の簡単な説明

[0014] [図1]本発明の第1の実施形態に係る量子ビット制御回路の構成の一例を示す図である。

[図2]本発明の第1の実施形態に係る量子ビット制御回路によるシミュレーション結果の一例を示す図である。

[図3]本発明の第1の実施形態に係るベースバンド信号である第2励起電流のスペクトルの一例を示す図である。

[図4]本発明の第1の実施形態に係る出力マイクロ波のスペクトルの一例を示す図である。

[図5]本発明の第2の実施形態に係る量子ビット制御回路の構成の一例を示す図である。

[図6]本発明の第2の実施形態に係る量子ビット制御回路によるシミュレーション結果の一例を示す図である。

[図7]本発明の第2の実施形態に係る第1励起電流のスペクトルと出力マイクロ波の振幅との関係の一例を示す図である。

[図8]磁束量子パラメトロンの動作原理を説明するための図である。

発明を実施するための形態

[0015] (第1の実施形態)

以下、図面を参照しながら本発明の実施形態について詳しく説明する。図1は、本実施形態に係る量子ビット制御回路1の構成の一例を示す図である。量子ビット制御回路1は、制御対象の量子ビットにマイクロ波を照射するための回路である。量子ビット制御回路1では、マイクロ波を磁束量子パラメترون (Quantum Flux Parametron: QFP) 回路を用いて生成する。後述するように、量子ビット制御回路1は、非線形なミキサとして機能する。

[0016] なお、以下の説明では、一方のインダクタに電流が流れて磁束が発生した場合に、当該磁束によって他方のインダクタにも磁束が発生することを、一方のインダクタと他方のインダクタとが磁気結合しているという場合がある。

[0017] 量子ビット制御回路1は、第1電源線2と、第2電源線3と、QFPゲート4aと、QFPゲート4bと、入力信号線5aと、入力信号線5bと、起電力出力線8と、バンドパスフィルタ9と、抵抗器10とを備える。

[0018] QFPゲート4a及びQFPゲート4bはそれぞれ、QFPである。なお、1つのQFP (QFPゲート4a) の構成には、配線41a、インダクタL31a、ジョセフソン接合J1a、配線42a、インダクタL32a、ジョセフソン接合J2a、負荷インダクタL4a、入力信号線5a、及び出力信号線6aが含まれる。同様に、1つのQFP (QFPゲート4b) の構成には、配線41b、インダクタL31b、ジョセフソン接合J1b、配線42b、インダクタL32b、ジョセフソン接合J2b、負荷インダクタL4b、入力信号線5b、及び出力信号線6bが含まれる。

なお、QFPゲート4aの構成のうち、配線41a、インダクタL31a

、ジョセフソン接合 J 1 a、配線 4 2 a、インダクタ L 3 2 a、ジョセフソン接合 J 2 a、及び入力信号線 5 aによって構成される部分を出力信号生成回路 4 0 aともいう。同様に、QFPゲート 4 bの構成のうち、配線 4 1 b、インダクタ L 3 1 b、ジョセフソン接合 J 1 b、配線 4 2 b、インダクタ L 3 2 b、ジョセフソン接合 J 2 b、及び入力信号線 5 bによって構成される部分を出力信号生成回路 4 0 bともいう。

[0019] 第1電源線2は、第1励起電流 I_{10} が入力される電源線である。第1励起電流 I_{10} は、所定の周波数を含む電流である。第1励起電流 I_{10} の周波数は、一例として、5 GHzである。第1励起電流 I_{10} は、局部発振器 (Local Oscillator) (不図示) から供給されるローカルオシレータ信号である。当該局部発振器は、量子ビット制御回路1とは別体として備えられる。

第1電源線2は、インダクタ L 1 1 aと、インダクタ L 1 2 aと、インダクタ L 1 1 bと、インダクタ L 1 2 bとを備える。

[0020] 第2電源線3は、第2励起電流 I_{bb} が入力される電源線である。第2励起電流 I_{bb} は、所定の波形の電流である。第2励起電流 I_{bb} は、ベースバンド回路 (不図示) から出力信号として供給されるベースバンド信号である。当該ベースバンド回路は、量子ビット制御回路1とは別体として備えられる。第2励起電流 I_{bb} の波形は、一例として、三角波である。

第2電源線3は、インダクタ L 2 1 aと、インダクタ L 2 2 aと、インダクタ L 2 1 bと、インダクタ L 2 2 bとを備える。

[0021] 入力信号線5 aは、入力電流 I_{ina} が入力される制御線である。入力信号線5 bは、入力電流 I_{inb} が入力される制御線である。入力電流 I_{ina} 及び入力電流 I_{inb} はそれぞれ、QFPゲート 4 aとQFPゲート 4 bの論理状態を決める電流である。

QFPゲート 4 aは、入力電流 I_{ina} に応じて出力電流 I_{outa} を生成する。QFPゲート 4 bは、入力電流 I_{inb} に応じて出力電流 I_{outb} を生成する。

[0022] ここで図8を参照し、QFPの動作原理について、図1に示したQFPと対比しつつ説明する。

図8は、QFPの動作原理を説明するための図である。QFP100は、QFPの基本ゲートを示す。QFP100は、交流励起電流 I_x によって駆動、及びクロックされる。交流励起電流 I_x が電源線101を流れることにより、電源線101に備えられるインダクタ L_{x1} 、及びインダクタ L_{x2} にそれぞれ磁束が発生する。

なお、量子ビット制御回路1（図1）は2本の電源線（第1電源線2、第2電源線3）を備えているが、QFP100（図8）では、説明を簡単にするために、第1電源線2及び第2電源線3の一方に相当する電源線の図示を省略し、1本の電源線（電源線101）を備えるとしている。ここでは一例として、電源線101が、図1の第1電源線2に相当するものとして説明する。

また、QFP100は、図1に示すQFPゲート4a及びQFPゲート4bのいずれかに相当する。ここでは一例として、QFP100が、図1のQFPゲート4aに相当するものとして説明する。この一例の場合、インダクタ L_{x1} は、図1のインダクタ L_{11a} に相当し、インダクタ L_{x2} は、図1のインダクタ L_{12a} に相当する。交流励起電流 I_x は、図1の第1励起電流 I_{10} に相当する。

[0023] インダクタ L_{x1} と、ループ102に備えられるインダクタ L_1 とは、結合定数 k_1 によって磁気結合されている。なお、インダクタ L_1 は、図1のインダクタ L_{31a} に相当する。

インダクタ L_{x2} と、ループ102に備えられるインダクタ L_2 とは、結合定数 k_2 によって磁気結合されている。なお、インダクタ L_2 は、図1のインダクタ L_{32a} に相当する。

インダクタ L_1 及びインダクタ L_2 に磁束が印加されると、ループ102に備えられる一対のジョセフソン接合であるジョセフソン接合 J_1 及びジョセフソン接合 J_2 は、入力信号線103を流れる入力電流 I_{in} に応じて論

理状態を決定するとともに、出力電流 I_{out} を生成する。なお、ジョセフソン接合 J_1 は、図1のジョセフソン接合 J_{1a} に相当し、ジョセフソン接合 J_2 は、図1のジョセフソン接合 J_{2a} に相当する。入力信号線103は、図1の入力信号線5aに相当し、入力電流 I_{in} は、図1の入力電流 I_{ina} に相当する。

[0024] 生成された出力電流 I_{out} が出力信号線104を流れることにより、出力信号線104に備えられる負荷インダクタ L_q に磁束が発生する。なお、出力信号線104は、図1の出力信号線6aに相当し、出力電流 I_{out} は、図1の出力電流 I_{outa} に相当し、負荷インダクタ L_q は、図1の負荷インダクタ L_{4a} に相当する。

[0025] QFP100では、インダクタ L_1 、インダクタ L_2 、負荷インダクタ L_q 、ジョセフソン接合 J_1 、及びジョセフソン接合 J_2 のパラメータを最適化することによって、消費電力の低減が可能である。QFPでは、超伝導素子を用いているため直流抵抗がなく超低消費電力であることが知られている。QFPでは、ゲート当りの消費電力は10pW程度である。また、QFPでは、クロック周波数が10GHz程度の高速動作が可能である。また、QFPは超低消費電力であるため、QFPを量子ビットの近くで動作させることが可能である。なお、上述したQFPの消費電力、クロック周波数それぞれの値は、一例であって、回路パラメータや回路の種類によってそれらの値は変わり得る。

[0026] なお、QFPでは、回路についての各種のパラメータに応じて、ジョセフソン接合によって出力電流が生成されるか否かが決定される。当該パラメータには、インダクタのインダクタンスの大きさ、ジョセフソン接合の臨界電流値が含まれる。QFP100では、インダクタ L_1 、インダクタ L_2 、及び負荷インダクタ L_q それぞれのインダクタンスの大きさ、ジョセフソン接合 J_1 及びジョセフソン接合 J_2 それぞれの臨界電流値が、ジョセフソン接合 J_1 及びジョセフソン接合 J_2 によって出力電流 I_{out} が生成されるように調整されている。

図1に示すQFPゲート4a及びQFPゲート4bについてもそれぞれ、回路についての各種のパラメータがジョセフソン接合によって出力電流が生成されるように調整されている。

[0027] 図1に戻って量子ビット制御回路1の構成の説明を続ける。なお、QFPゲート4aの構成と、QFPゲート4bの構成とは同様であるため、以下では、QFPゲート4aの構成を説明し、QFPゲート4bの構成の説明は省略する。

[0028] 配線41aと、配線42aと、出力信号線6aと、上述した入力信号線5aとは、接続部7aにおいて互いに接続される。インダクタL31aと、ジョセフソン接合J1aとは、配線41a上に備えられる。図1では、一例として、インダクタL31aと、ジョセフソン接合J1aとは、接続部7aから近い方からこの順において配線41aに配置される。インダクタL31aと、ジョセフソン接合J1aとが配線41aに配置される順序は、これに限られず任意である。配線41aの両端のうち、接続部7aと接続されていない方の端は、グラウンドに接続される。

[0029] インダクタL32aと、ジョセフソン接合J2aとは、配線42a上に備えられる。図1では、一例として、インダクタL32aと、ジョセフソン接合J2aとは、接続部7aから近い方からこの順において配線42aに配置される。インダクタL32aと、ジョセフソン接合J2aとが配線42aに配置される順序は、これに限られず任意である。配線42aの両端のうち、接続部7aと接続されていない方の端は、グラウンドに接続される。

[0030] ジョセフソン接合J1aと、ジョセフソン接合J2aと、インダクタL31aと、インダクタL32aとは、超伝導リングに一对のジョセフソン接合を有する超伝導量子干渉素子を構成する。なお、超伝導リングとは、図8に示したループ102に相当する回路である。なお、超伝導量子干渉素子として、超伝導リングに3つ以上のジョセフソン接合を有する超伝導量子干渉素子が用いられてもよい。

[0031] 起電力出力線8は、インダクタL5aとインダクタL5bと、バンドパス

フィルタ 9 と、抵抗器 10 とを備える。起電力出力線 8 の一端は、グラウンドに接続される。起電力出力線 8 において、抵抗器 10、インダクタ L5b、インダクタ L5a、及びバンドパスフィルタ 9 は、この順にグラウンドから近い順に配置される。なお、抵抗器 10 は、起電力出力線 8 の構成から省略されてよい。

[0032] 第 1 励起電流 I_{10} が第 1 電源線 2 を流れ、第 2 励起電流 I_{bb} が第 2 電源線 3 を流れることにより、インダクタ L31a と、インダクタ L11a 及びインダクタ L21a とのそれぞれの磁気結合によって、インダクタ L31a に磁束が発生する。第 1 励起電流 I_{10} が第 1 電源線 2 を流れ、第 2 励起電流 I_{bb} が第 2 電源線 3 を流れることにより、インダクタ L32a と、インダクタ L12a 及びインダクタ L22a とのそれぞれの磁気結合によって、インダクタ L32a に磁束が発生する。インダクタ L31a 及びインダクタ L32a にそれぞれ磁束が発生することにより、ジョセフソン接合 J1a 及びジョセフソン接合 J2a は、入力信号線 5a を流れる入力電流 I_{ina} に応じて、論理状態を決定するとともに、出力電流 I_{outa} を生成する。

[0033] 生成された出力電流 I_{outa} が出力信号線 6a を流れることにより、出力信号線 6a に備えられる負荷インダクタ L4a に磁束が発生する。負荷インダクタ L4a と、インダクタ L5a との磁気結合によって、インダクタ L5a に磁束 Φ_a が発生する。

[0034] 上述したように、QFP ゲート 4a は、第 1 電源線 2 に第 1 励起電流 I_{10} が流れ、第 2 電源線 3 に第 2 励起電流 I_{bb} が流れることにより、磁気結合によって、入力信号線 5a を流れる入力電流 I_{ina} に応じて出力電流 I_{outa} を生成する。また、出力電流 I_{outa} によって、インダクタ L5a に磁束 Φ_a が発生する。さらに、第 1 励起電流 I_{10} 及び第 2 励起電流 I_{bb} が変化することで、磁束 Φ_a が変化し、インダクタ L5a には第 1 励起電流 I_{10} 及び第 2 励起電流 I_{bb} の変化に応じた誘導起電力が発生する。

同様にして QFP ゲート 4b は、第 1 励起電流 I_{10} が第 1 電源線 2 を流れ、第 2 励起電流 I_{bb} が第 2 電源線 3 を流れることにより、磁気結合によ

って、入力信号線5bを流れる入力電流 I_{inb} に応じて出力電流 I_{outb} を生成する。また、出力電流 I_{outb} によって、インダクタL5bに磁束 Φ_b が発生する。さらに、第1励起電流 I_{lo} 及び第2励起電流 I_{lbb} が変化することで、磁束 Φ_b が変化し、インダクタL5bには第1励起電流 I_{lo} 及び第2励起電流 I_{lbb} の変化に応じた誘導起電力が発生する。

[0035] インダクタL5a及びインダクタL5bにそれぞれ誘導起電力が発生することにより、誘導起電力の変化に応じた周波数の電流が起電力出力線8を流れ、バンドパスフィルタ9によって不要な周波数が除去された後、起電力出力線8から出力マイクロ波 V_{out} が出力される。この出力マイクロ波 V_{out} が、量子ビット制御回路1の制御対象の量子ビットに照射される。

[0036] 次に図2を参照し、量子ビット制御回路1によるシミュレーション結果について説明する。図2は、本実施形態に係る量子ビット制御回路1によるシミュレーション結果の一例を示す図である。図2では、各物理量の値が30ナノ秒間について示されている。

[0037] 第1励起電流 I_{lo} の周波数は、上述したように5GHzである。第2励起電流 I_{lbb} は、上述したように三角波である。図2において第1励起電流 I_{lo} 、及び第2励起電流 I_{lbb} それぞれの値は任意の単位で表されている。

[0038] 入力電流 I_{ina} は、一例として「0、1」の論理状態を示す。論理状態に応じて、入力電流 I_{ina} は、15ナノ秒付近において、値がローからハイへと変化している。一方、入力電流 I_{inb} は、一例として「1、1」の論理状態を示す。論理状態に応じて、入力電流 I_{inb} は、値が常にハイである。なお、図2において、入力電流 I_{ina} 、及び入力電流 I_{inb} それぞれの値の単位は、 $5\mu A / tick$ である。

[0039] 出力電流 I_{outa} は、第1励起電流 I_{lo} と、第2励起電流 I_{lbb} と、入力電流 I_{ina} とに基づいて生成される。出力電流 I_{outb} は、第1励起電流 I_{lo} と、第2励起電流 I_{lbb} と、入力電流 I_{inb} とに基づいて生成される。ローカルオシレータ信号である第1励起電流 I_{lo} により印加さ

れる磁束によって、出力電流 $I_{out a}$ 及び出力電流 $I_{out b}$ はいずれも、第1励起電流 I_{10} の周波数である 5 GHz で振動している。また、ベースバンド信号である第2励起電流 I_{bb} により印加される磁束によって、出力電流 $I_{out a}$ 及び出力電流 $I_{out b}$ はいずれも、第2励起電流 I_{bb} の波形に基づいて出力される。第2励起電流 I_{bb} の波形は、出力電流 $I_{out a}$ 及び出力電流 $I_{out b}$ が出力されるタイミングを規定する。出力電流 $I_{out a}$ 及び出力電流 $I_{out b}$ それぞれの振幅やデューティ比は、第2励起電流 I_{bb} の波形によって規定される。

[0040] 第1電源線2と第2電源線3との2つの電源線から磁束がそれぞれQFPゲート4aに印加され、QFPゲート4aが励起されて出力電流 $I_{out a}$ が第2励起電流 I_{bb} によって規定されるタイミングにおいて生成される。出力電流 $I_{out a}$ が第2励起電流 I_{bb} によって規定されるタイミングにおいて生成されるため、出力電流 $I_{out a}$ の振幅及びデューティ比は、第2励起電流 I_{bb} の立ち上がりに応じて徐々に増加し、第2励起電流 I_{bb} の立ち下がりに応じて徐々に減少している。

同様に、第1電源線2と第2電源線3との2つの電源線から磁束がそれぞれQFPゲート4bに印加され、QFPゲート4bが励起されて出力電流 $I_{out b}$ が第2励起電流 I_{bb} によって規定されるタイミングにおいて生成される。出力電流 $I_{out b}$ が第2励起電流 I_{bb} によって規定されるタイミングにおいて生成されるため、出力電流 $I_{out b}$ の振幅及びデューティ比は、第2励起電流 I_{bb} の立ち上がりに応じて徐々に増加し、第2励起電流 I_{bb} の立ち下がりに応じて徐々に減少している。

[0041] また、出力電流 $I_{out a}$ が真 (True) の論理値を示す範囲と偽 (False) の論理値を示す範囲とのうちいずれの範囲において振動するかは、入力電流 $I_{in a}$ が示す論理状態に応じている。つまり、出力電流 $I_{out a}$ が示す論理値は、入力電流 $I_{in a}$ が示す論理値に基づいている。入力電流 $I_{in a}$ がローを示す場合、出力電流 $I_{out a}$ は偽の論理値を示す範囲において振動し、入力電流 $I_{in a}$ がハイを示す場合、出力電流 $I_{out a}$

aは真の論理値を示す範囲において振動している。

[0042] 同様に、出力電流 $I_{out\ b}$ が真 (True) の論理値を示す範囲と偽 (False) の論理値を示す範囲とのうちいずれの範囲において振動するかは、入力電流 $I_{in\ b}$ が示す論理状態に応じている。つまり、出力電流 $I_{out\ b}$ が示す論理値は、入力電流 $I_{in\ b}$ が示す論理値に基づいている。図2に示す例では入力電流 $I_{in\ b}$ は常にハイを示す。出力電流 $I_{out\ b}$ は、入力電流 $I_{in\ b}$ が常にハイを示すことに応じて、出力電流 $I_{out\ b}$ が示す論理値は時間変化せず、真の論理値を示す範囲において振動している。

なお、図2において、出力電流 $I_{out\ a}$ 、及び出力電流 $I_{out\ b}$ それぞれの値の単位は、 $20\ \mu A / tick$ である。

[0043] 出力マイクロ波 V_{out} は、出力電流 $I_{out\ a}$ と出力電流 $I_{out\ b}$ とに基づいて生成される。上述したように、出力電流 $I_{out\ a}$ が示す論理値は、入力電流 $I_{in\ a}$ が示す論理値に基づいており、出力電流 $I_{out\ b}$ が示す論理値は、入力電流 $I_{in\ b}$ が示す論理値に基づいている。出力マイクロ波 V_{out} は、入力電流 $I_{in\ a}$ が示す論理値と入力電流 $I_{in\ b}$ が示す論理値が一致する場合に出力される。一方、出力マイクロ波 V_{out} は、入力電流 $I_{in\ a}$ が示す論理値と入力電流 $I_{in\ b}$ が示す論理値が一致しない場合に出ない。特に、図2に示す例のように、入力電流 $I_{in\ b}$ が示す論理値が時間変化しない場合には、出力マイクロ波 V_{out} が出力されるか否かは、出力電流 $I_{out\ a}$ が示す論理値に基づいて規定される。

[0044] 0ナノ秒から15ナノ秒までの期間においては、出力電流 $I_{out\ a}$ と出力電流 $I_{out\ b}$ との間で振動の向きが逆向きかつ位相が揃っており、出力電流 $I_{out\ a}$ と出力電流 $I_{out\ b}$ との両者が起電力出力線8に生成する誘導起電力が合成された結果、出力マイクロ波 V_{out} の振幅はゼロである。

15ナノ秒から30ナノ秒までの期間においては、出力電流 $I_{out\ a}$ と出力電流 $I_{out\ b}$ との間で振動の向きと位相とが揃っており、出力電流 $I_{out\ a}$ と出力電流 $I_{out\ b}$ との両者が起電力出力線8に生成する誘導起

電力が合成された結果、出力マイクロ波 V_{out} の波形は、振幅が徐々に増加した後、徐々に減少する 5 GHz で振動する波形となっている。

なお、図2において、出力マイクロ波 V_{out} の値の単位は、 $10\text{ }\mu\text{V}/\text{tick}$ である。

[0045] ここで 15 ナノ秒 から 30 ナノ秒 までの期間において、出力電流 $I_{out a}$ 、出力電流 $I_{out b}$ 、及び出力マイクロ波 V_{out} それぞれの振幅を比較する。出力電流 $I_{out a}$ 及び出力電流 $I_{out b}$ それぞれの振幅は飽和する傾向がみられる。一方、出力マイクロ波 V_{out} の振幅は、出力電流 $I_{out a}$ 及び出力電流 $I_{out b}$ それぞれの振幅が飽和し始めた後であっても、増加し続ける傾向がみられる。これは、一周期の間に QFP ゲート (QFP ゲート 4 a、QFP ゲート 4 b) が生成する出力信号 (出力電流 $I_{out a}$ 、出力電流 $I_{out b}$) のデューティ比が変化しているためである。

[0046] 出力マイクロ波 V_{out} が出力されるタイミングと、出力マイクロ波 V_{out} の波形 (の包絡線) とは、第2励起電流 I_{bb} の波形によって規定されている。出力マイクロ波 V_{out} の波形は、第1励起電流 I_{lo} の波形と第2励起電流 I_{bb} の波形とが混合された波形である。したがって、量子ビット制御回路1は、ミキサとして機能する。

また、出力マイクロ波 V_{out} は、入力電流 I_{ina} が示す論理値及び入力電流 I_{inb} が示す論理値によって出力されるか否かについて制御が可能である。

[0047] ここで図3及び図4を参照し、量子ビット制御回路1が、第1励起電流 I_{lo} と第2励起電流 I_{bb} を印加された結果としての出力マイクロ波 V_{out} のスペクトルについて説明する。

図3は、本実施形態に係るベースバンド信号である第2励起電流 I_{bb} のスペクトルの一例を示す図である。図4は、本実施形態に係る出力マイクロ波 V_{out} のスペクトルの一例を示す図である。図3及び図4ではそれぞれ、信号の周波数に対する振幅の値が示されている。

[0048] 図3に示すベースバンド信号のスペクトルの最大値は 0 GHz にあるのに

対し、図4に示す出力マイクロ波 V_{out} のスペクトルの最大値は5GHzにある。つまり、量子ビット制御回路1によって、ベースバンド信号である第2励起電流 I_{bb} が、5GHzで振動するローカルオシレータ信号である第1励起電流 I_{lo} によってアップコンバートされたことがわかる。

なお、量子ビット制御回路1では、QFPの第2励起電流 I_{bb} と出力信号（出力電流 I_{outa} 、出力電流 I_{outb} ）とが非線形な関係にあるため、量子ビット制御回路1は、非線形なミキサとして機能する。また、量子ビット制御回路1では、第2励起電流 I_{bb} と、出力マイクロ波 V_{out} との非線形な関係に基づいて、出力マイクロ波 V_{out} の波形を制御できる。

[0049] なお、本実施形態では、量子ビット制御回路1が、QFPゲート4aと、QFPゲート4bとの2つのQFPゲートを備える場合の一例について説明したが、これに限られない。量子ビット制御回路は、QFPゲートを1つのみ備えてもよい。つまり、量子ビット制御回路は、第1電源線2と、第2電源線3と、QFPゲート（一例として、QFPゲート4a）と、を備える構成であってもよい。また、量子ビット制御回路は、QFPゲートを3つ以上備えてもよい。つまり、量子ビット制御回路は、第1電源線2と、第2電源線3と、3つ以上のQFPゲートと、を備える構成であってもよい。

[0050] 上述したように、第1電源線2は、所定の周波数の電流である第1励起電流 I_{lo} が入力される。第2電源線3は、所定の波形の電流である第2励起電流 I_{bb} が入力される。

出力信号生成回路40aは、論理状態を示す入力信号（一例として、入力電流 I_{ina} ）が入力される入力信号線（一例として、入力信号線5a）と、磁気結合部（一例として、インダクタ L_{31a} 、インダクタ L_{32a} ）と、ジョセフソン接合（一例として、ジョセフソン接合 J_{1a} 、ジョセフソン接合 J_{2a} ）とを備える。ジョセフソン接合（一例として、ジョセフソン接合 J_{1a} 、ジョセフソン接合 J_{2a} ）は、磁気結合部（一例として、インダクタ L_{31a} 、インダクタ L_{32a} ）を介して入力される第1励起電流 I_{lo} の周波数及び第2励起電流 I_{bb} の波形と、入力信号（一例として、入力

電流 $I_{in a}$) が示す論理状態と、に応じた出力信号（一例として、出力電流 $I_{out a}$) を出力する。

[0051] なお、本実施形態では、量子ビット制御回路に、第1電源線2と、第2電源線3との2本の電源線が備えられる場合の一例について説明したが、これに限られない。量子ビット制御回路に、第1電源線2と、第2電源線3とを兼ねる1本の電源線が備えられてもよい。量子ビット制御回路に、第1電源線2と、第2電源線3とを兼ねる1本の電源線が備えられる場合、当該1本の電源線には、第1励起電流 I_{1o} と第2励起電流 I_{2b} との両方の励起電流が入力される。

[0052] 第1電源線2と、第2電源線3と、出力信号生成回路40aとを備える量子ビット制御回路は、第1励起電流 I_{1o} の波形と、第2励起電流 I_{2b} の波形とに応じた出力を得る回路を、磁気結合部とジョセフソン接合との組み合わせによって構成するため、発熱を抑えた回路構成で実現することができる。上記の量子ビット制御回路は、発熱を抑えた回路構成であるため、冷凍機内に配置することができる。

第1電源線2と、第2電源線3と、出力信号生成回路40aとを備える量子ビット制御回路は、少ない数のケーブルで多数の量子ビットを制御できる量子ビット制御回路を構成する要素となる回路として用いることができる。少ない数のケーブルで多数の量子ビットを制御できる量子ビット制御回路の具体例については、第2の実施形態において説明する。

[0053] 以上に説明したように、本実施形態に係る量子ビット制御回路1は、複数の超伝導ゲート回路（本実施形態において、QFPゲート4a、QFPゲート4b）と、第4磁気結合部（本実施形態において、インダクタL5a、インダクタL5b）と、出力信号線（本実施形態において、起電力出力線8）とを備える。

複数の超伝導ゲート回路（本実施形態において、QFPゲート4a、QFPゲート4b）はそれぞれ、出力信号生成回路（本実施形態において、出力信号生成回路40a、出力信号生成回路40b）と、出力信号（本実施形態

において、出力電流 $I_{out a}$ 、出力電流 $I_{out b}$ ）に応じた電流が流れる第3磁気結合部（本実施形態において、負荷インダクタ $L_{4 a}$ 、負荷インダクタ $L_{4 b}$ ）とを備える。

第4磁気結合部（本実施形態において、インダクタ $L_{5 a}$ 、インダクタ $L_{5 b}$ ）は、複数の超伝導ゲート回路の第3磁気結合部（本実施形態において、負荷インダクタ $L_{4 a}$ 、負荷インダクタ $L_{4 b}$ ）と磁気結合する。

出力信号線（本実施形態において、起電力出力線8）は、複数の超伝導ゲート回路（本実施形態において、QFPゲート4a、QFPゲート4b）がそれぞれ生成する出力信号（本実施形態において、出力電流 $I_{out a}$ 、出力電流 $I_{out b}$ ）が第4磁気結合部（本実施形態において、インダクタ $L_{5 a}$ 、インダクタ $L_{5 b}$ ）に印加する磁束に応じて、量子ビットに照射される電磁波（本実施形態において、出力マイクロ波 V_{out} ）を出力する。

[0054] この構成により、本実施形態に係る量子ビット制御回路1は、発熱を抑えた回路構成であるため、冷凍機内に配置できる。量子ビット制御回路1は、少ない数のケーブルで多数の量子ビットを制御できる量子ビット制御回路を構成する要素となる回路として用いることができる。

少ない数のケーブルで多数の量子ビットを制御できる量子ビット制御回路の具体例については、第2の実施形態において説明する。

[0055] （第2の実施形態）

以下、図面を参照しながら本発明の第2の実施形態について詳しく説明する。

上記第1の実施形態では、第1電源線には、ローカルオシレータ信号に単一の周波数が含まれる場合について説明をした。本実施形態では、ローカルオシレータ信号に複数の周波数が含まれ、それぞれの周波数に基づく出力マイクロ波が出力される場合について説明をする。

本実施形態に係る量子ビット制御回路を量子ビット制御回路1Aという。

[0056] 図5は、本実施形態に係る量子ビット制御回路1Aの構成の一例を示す図である。量子ビット制御回路1Aは、第1電源線2Aと、第2電源線3Aと

、共振回路 1 1 A（共振回路 1 1 A－1、共振回路 1 1 A－2、共振回路 1 1 A－3）と、Q F P ミキサ 4 A（Q F P ミキサ 4 A－1、Q F P ミキサ 4 A－2、Q F P ミキサ 4 A－3）とを備える。量子ビット制御回路 1 Aは、Q F P ミキサ 4 Aと、共振回路 1 1 Aとをそれぞれ複数の周波数毎に備える。

[0057] 第 1 電源線 2 Aは、第 1 励起電流 I_{10} が入力される電源線である。第 1 励起電流 I_{10} は、複数の周波数を含む電流である。換言すれば、第 1 励起電流 I_{10} には、複数の周波数が多重化されて含まれる。

第 1 励起電流 I_{10} に含まれる複数の周波数はそれぞれ、量子ビット制御回路 1 Aの制御対象の量子ビット 1 2 A－1、量子ビット 1 2 A－2、量子ビット 1 2 A－3 それぞれに応じた周波数である。本実施形態では、第 1 励起電流 I_{10} には、一例として、周波数 f_1 、周波数 f_2 、周波数 f_3 の 3 つの周波数が含まれる。

第 1 電源線 2 Aは、インダクタ L_{1-1} と、インダクタ L_{1-2} と、インダクタ L_{1-3} とを備える。

[0058] 第 2 電源線 3 Aは、第 2 励起電流 I_{bb} が入力される電源線である。第 2 励起電流 I_{bb} は、所定の波形の電流である。第 2 励起電流 I_{bb} は、ベースバンド回路から出力信号として供給されるベースバンド信号である。第 2 電源線 3 Aを流れる第 2 励起電流 I_{bb} の波形は、図 1 に示した第 2 電源線 3 を流れる第 2 励起電流 I_{bb} の波形と同様、一例として、三角波である。

第 2 電源線 3 Aは、インダクタ L_{4-1} と、インダクタ L_{4-2} と、インダクタ L_{4-3} とを備える。

[0059] 共振回路 1 1 A－1、共振回路 1 1 A－2、共振回路 1 1 A－3 はそれぞれ、共振によって第 1 励起電流 I_{10} に含まれる複数の周波数からそれぞれ特定の周波数を抽出する。共振回路 1 1 A－1、共振回路 1 1 A－2、共振回路 1 1 A－3 はそれぞれ共振周波数が互いに異なる以外、同様の機能を有する。そのため、以下では、共振回路 1 1 A－1 について説明をし、共振回路 1 1 A－2、共振回路 1 1 A－3 の説明は省略する。

[0060] 共振回路 11A-1 は、所定の周波数（共振周波数）にて共振する回路である。当該共振周波数は、第 1 励起電流 I_{10} に含まれる複数の周波数のうちいずれかの周波数と等しい。共振回路 11A-1 は、一例として、LC 回路である。共振回路 11A-1 は、インダクタ L_{2-1} と、インダクタ L_{3-1} とを備える。インダクタ L_{2-1} は、第 1 電源線 2A に備えられるインダクタ L_{1-1} と磁気結合している。インダクタ L_{3-1} は、QFP ミキサ 4A-1 に備えられるインダクタ L_{5-1} と磁気結合している。

[0061] QFP ミキサ 4A（QFP ミキサ 4A-1、QFP ミキサ 4A-2、QFP ミキサ 4A-3）は、ローカルオシレータ信号としての第 1 励起電流 I_{10} と、ベースバンド信号としての第 2 励起電流 I_{bb} とを混合するための QFP 回路である。QFP ミキサ 4A-1、QFP ミキサ 4A-2、QFP ミキサ 4A-3 は、それぞれ第 2 励起電流 I_{bb} と混合する第 1 励起電流 I_{10} に含まれる周波数が互いに異なる以外、同様の機能を有する。そのため、以下では、QFP ミキサ 4A-1 について説明をし、QFP ミキサ 4A-2、QFP ミキサ 4A-3 の説明は省略する。

[0062] QFP ミキサ 4A-1 は、図 1 に示した量子ビット制御回路 1 と同様の構成を有するミキサである。図 5 では、QFP ミキサ 4A-1 と他の回路素子との磁気結合がインダクタ L_{5-1} により抽象的に示されている。

[0063] 共振回路 11A-1 では、第 1 励起電流 I_{10} が第 1 電源線 2A を流れることにより、インダクタ L_{2-1} とインダクタ L_{1-1} との間の磁気結合によって、第 1 励起電流 I_{10} に含まれる複数の周波数のうち自身が共振する周波数の電流が流れる。したがって、共振回路 11A-1 は、第 1 電源線 2A を流れる第 1 励起電流 I_{10} に含まれる複数の周波数のなかから、自身の共振周波数と同じ周波数を抽出する。

なお、本実施形態では、共振回路 11A-1 と第 1 電源線 2A が、インダクタ L_{2-1} とインダクタ L_{1-1} を介した磁気結合により結合する場合の一例について説明するが、これに限られない。共振回路 11A-1 と第 1 電源線 2A の結合は、キャパシタを介した容量結合でもよい。

以下の説明では、共振回路 11A-1 に流れる共振周波数の電流を成分励起電流 I_{r1} という。

[0064] QFPミキサ 4A-1 は共振回路 11A-1 に成分励起電流 I_{r1} が流れかつ第2電源線 3A に第2励起電流 I_{bb} が流れることにより、インダクタ L_{5-1} と共振回路 11A-1 が備えるインダクタ L_{3-1} との間の磁気結合、及びインダクタ L_{5-1} と第2電源線 3A が備えるインダクタ L_{4-1} との間の磁気結合によって、入力信号線（不図示）に入力される電流である入力電流 I_{in1} に応じた出力信号を出力する。

[0065] なお、図5では、第2電源線 3A とQFPミキサ 4A-1 とが磁気結合していることを、インダクタ L_{5-1} とインダクタ L_{4-1} に代表させて示しており、共振回路 11A-1 とQFPミキサ 4A-1 とが磁気結合していることを、インダクタ L_{5-1} とインダクタ L_{3-1} に代表させて示している。図5では、図1に示したインダクタ L_{31a} 、 L_{32a} 、 L_{31b} 、 L_{32b} に相当する構成はインダクタ L_{5-1} によって抽象的に示されている。

[0066] ここで本実施形態では、QFPミキサ 4A-1 が出力する出力信号は、マイクロ波である出力マイクロ波 V_{out1} である。出力マイクロ波 V_{out1} の周波数は、周波数多重化された第1励起電流 I_{lo} から共振回路 11A-1 によって抽出される周波数 f_1 と同じである。つまり、QFPミキサ 4A-1 は、出力信号として第1励起電流 I_{lo} から共振回路 11A-1 によって抽出される周波数 f_1 のマイクロ波を出力する。

[0067] 入力電流 I_{in1} は、量子ビット制御回路 1A とは別体として備えられる回路から供給される。

[0068] なお、図1に示した量子ビット制御回路 1では、2つの入力信号（入力電流 I_{ina} 、入力電流 I_{inb} ）が入力されていたのに対して、図5に示すQFPミキサ 4A-1 では、1つの入力信号（入力電流 I_{in1} ）しか示されていない。図5に示すQFPミキサ 4A-1 についても、図1に示した量子ビット制御回路 1と同様に、2つの入力信号が入力されている。入力電流 I_{in1} は、当該2つの入力信号のうち一方を示したものである。当該2つ

の入力信号のうち他方は、論理状態が「1」または「0」に固定されている。QFPミキサ4A-2、QFPミキサ4A-3についても同様にそれぞれ、2つの入力信号のうち一方（それぞれ入力電流 I_{in2} 、入力電流 I_{in3} ）のみが示されている。

[0069] QFPミキサ4A-1によって出力される周波数 f_1 の出力マイクロ波 V_{out1} は、量子ビット12A-1に照射される。同様に、QFPミキサ4A-2によって出力される周波数 f_2 の出力マイクロ波 V_{out2} は、量子ビット12A-2に照射される。また同様に、QFPミキサ4A-3によって出力される周波数 f_3 の出力マイクロ波 V_{out3} は、量子ビット12A-3に照射される。

[0070] 量子ビット制御回路1Aでは、出力マイクロ波 V_{out1} 、出力マイクロ波 V_{out2} 、出力マイクロ波 V_{out3} のオンとオフとはそれぞれ、入力電流 I_{in1} 、入力電流 I_{in2} 、入力電流 I_{in3} それぞれが示す論理状態によって制御される。

量子ビット制御回路1Aでは、出力マイクロ波 V_{out1} 、出力マイクロ波 V_{out2} 、または出力マイクロ波 V_{out3} の出力マイクロ波の振幅は、第1励起電流 I_{10} に含まれる各周波数成分の振幅を調整することによって制御することができる。つまり、量子ビット制御回路1Aでは、出力マイクロ波の振幅は、第1励起電流 I_{10} のスペクトルによって制御することができる。

[0071] 次に図6を参照し、量子ビット制御回路1Aによるシミュレーション結果について説明する。図6は、本実施形態に係る量子ビット制御回路1Aによるシミュレーション結果の一例を示す図である。図6に示すシミュレーション結果は、第1励起電流 I_{10} に2つの周波数が含まれている場合についての結果である。図6では、各物理量の値が65ナノ秒間について示されている。

[0072] 第1励起電流 I_{10} は、4.5GHzと5GHzとの2つの周波数を含む。共振回路11A-1に共振によって流れる成分励起電流 I_{r1} の周波数は

、4.5 GHzである。共振回路11A-2に共振によって流れる成分励起電流 I_{r2} の周波数は、5 GHzである。第2励起電流 I_{bb} は、三角波である。図6において第1励起電流 I_{lo} 、成分励起電流 I_{r1} 、成分励起電流 I_{r2} 、及び第2励起電流 I_{bb} それぞれの値は任意の単位で表されている。

[0073] QFPミキサ4A-1に入力される入力電流 I_{in1} は、一例として「0、1、0、1」の論理状態を示す。QFPミキサ4A-2に入力される入力電流 I_{in2} は、一例として「0、0、1、1」の論理状態を示す。なお、図6において、入力電流 I_{in1} 、及び入力電流 I_{in2} それぞれの値の単位は、 $5\mu A / tick$ である。

[0074] 出力マイクロ波 V_{out1} は、第1励起電流 I_{lo} に含まれる4.5 GHzの周波数と、第2励起電流 I_{bb} と、入力電流 I_{in1} とに基づいて生成される。ローカルオシレータ信号である第1励起電流 I_{lo} に含まれる4.5 GHzの周波数と、ベースバンド信号である第2励起電流 I_{bb} とが混合されることによって、出力マイクロ波 V_{out1} は、入力電流 I_{in1} が示す論理状態に応じた振幅で、4.5 GHzで振動している。出力マイクロ波 V_{out1} は、入力電流 I_{in1} が示す論理状態が「0」である期間においては、振幅がほぼゼロで振動せず、当該論理状態が「1」である期間においては、第2励起電流 I_{bb} の波形が非線形に反映されて4.5 GHzで振動している。

[0075] なお、上述したように、QFPミキサ4A-1に入力される2つの入力信号のうち的一方が入力電流 I_{in1} であり、他方は論理値が固定されている。図6では、他方の入力信号の論理値が「1」である場合のシミュレーション結果である。他方の入力信号の論理状態が「1」に固定されているため、入力電流 I_{in1} の論理値が「1」である場合には、出力マイクロ波 V_{out1} が所定の大きさの振幅で出力され、入力電流 I_{in1} の論理値が「0」である場合には、出力マイクロ波 V_{out1} は振幅がほぼゼロであり出力されない。入力電流 I_{in2} と、出力マイクロ波 V_{out2} との関係について

も同様である。

[0076] 出力マイクロ波 V_{out2} は、第1励起電流 I_{lo} に含まれる 5 GHz の周波数と、第2励起電流 I_{bb} と、入力電流 I_{in2} とに基づいて生成される。ローカルオシレータ信号である第1励起電流 I_{lo} に含まれる 5 GHz の周波数と、ベースバンド信号である第2励起電流 I_{bb} とが混合されることによって、出力マイクロ波 V_{out2} は、入力電流 I_{in2} が示す論理状態に応じた振幅で、 5 GHz で振動している。出力マイクロ波 V_{out2} は、入力電流 I_{in2} が示す論理状態が「0」である期間においては、振幅がほぼゼロで振動せず、当該論理状態が「1」である期間においては、第2励起電流 I_{bb} の波形が非線形に反映されて 5 GHz で振動している。

なお、図6において、出力マイクロ波 V_{out1} 、及び出力マイクロ波 V_{out2} それぞれの値の単位は、 $10\text{ }\mu\text{V}/\text{tick}$ である。

[0077] 上述したように、出力マイクロ波の振幅は、第1励起電流 I_{lo} のスペクトルによって制御することができる。ここで図7を参照し、第1励起電流 I_{lo} のスペクトルによる出力マイクロ波の振幅の制御について説明する。図7は、本実施形態に係る第1励起電流 I_{lo} のスペクトルと出力マイクロ波の振幅との関係の一例を示す図である。

[0078] 5 GHz の周波数成分の振幅は、図7に示す第1励起電流 I_{lo} では図6に示す第1励起電流 I_{lo} に比べて低減されている。 5 GHz の周波数成分のパワー（電力）は、図6に示す第1励起電流 I_{lo} では -55.7 dBm であるのに対して、図7に示す第1励起電流 I_{lo} では -58.7 dBm である。なお、 4.5 GHz の周波数成分の振幅は、図6に示す第1励起電流 I_{lo} 、図7に示す第1励起電流 I_{lo} とともに -56.6 dBm である。

[0079] 第1励起電流 I_{lo} に含まれる 5 GHz の周波数成分の振幅が低減されたことに応じて、出力マイクロ波 V_{out2} は、振幅、及びパルス幅がそれぞれ低減されている。なお、第1励起電流 I_{lo} に含まれる 4.5 GHz の周波数成分の振幅は変更されていないため、出力マイクロ波 V_{out1} は、振幅、及びパルス幅ともに変化していない。

[0080] したがって、出力信号線（本実施形態において、不図示であり、図1の起電力出力線8に相当）が出力する電磁波（本実施形態において、出力マイクロ波 V_{out1} 、出力マイクロ波 V_{out2} 、出力マイクロ波 V_{out3} ）の振幅及びパルス幅は、第1励起電流 I_{10} のうち所定の周波数の成分の振幅によって制御される。なお、上述した第1の実施形態に係る量子ビット制御回路1（図1）のようにQFPミキサ4Aに相当する構成が1つしか備えられていない場合であっても、第1励起電流 I_{10} の振幅を変更することによって出力マイクロ波 V_{out} の振幅、及びパルス幅を調整することができる。

[0081] 以上に説明したように、本実施形態に係る量子ビット制御回路1Aでは、第1電源線2Aに入力される第1励起電流 I_{10} には、複数の周波数（本実施形態において、周波数 f_1 、周波数 f_2 、周波数 f_3 の周波数）が含まれ、出力信号生成回路（本実施形態において、不図示であり、図1のQFPゲート4aの構成のうち出力信号生成回路40a、QFPゲート4bの構成のうち出力信号生成回路40bに相当）と、共振回路とをそれぞれ複数の周波数（本実施形態において、周波数 f_1 、周波数 f_2 、周波数 f_3 の周波数）毎に備える。

共振回路（本実施形態において、共振回路11A-1、共振回路11A-2、共振回路11A-3）は、第1電源線2Aと結合する結合部（本実施形態において、インダクタ L_{2-1} 、インダクタ L_{2-2} 、インダクタ L_{2-3} ）と、出力信号生成回路（本実施形態において、不図示であり、図1のQFPゲート4aの構成のうち出力信号生成回路40a、QFPゲート4bの構成のうち出力信号生成回路40bに相当）の磁気結合部（本実施形態において、インダクタ L_{5-1} 、インダクタ L_{5-2} 、インダクタ L_{5-3} ）と磁気結合する第2磁気結合部（本実施形態において、インダクタ L_{3-1} 、インダクタ L_{3-2} 、インダクタ L_{3-3} ）とを備え、第1励起電流 I_{10} に含まれる複数の周波数（本実施形態において、周波数 f_1 、周波数 f_2 、周波数 f_3 の周波数）のうちのいずれかの周波数である共振周波数を有し、

当該共振周波数の電流を第2磁気結合部（本実施形態において、インダクタ L_{3-1} 、インダクタ L_{3-2} 、インダクタ L_{3-3} ）に流すことにより、対応する出力信号生成回路（本実施形態において、不図示であり、図1のQFPゲート4aの構成のうち出力信号生成回路40a、QFPゲート4bの構成のうち出力信号生成回路40bに相当）に当該共振周波数を第1電源線2Aの周波数として供給する。

[0082] この構成により、本実施形態に係る量子ビット制御回路1Aでは、量子ビットの数によらず、当該量子ビットの制御に必要なケーブルの数は第1電源線2Aと第2電源線3Aとの2本であるため、少ない数のケーブルで多数の量子ビットを制御できる。ここでケーブルの数が少ないとは、制御対象の量子ビットの数に比べて少ないことを意味する。

[0083] なお、本実施形態では、第1励起電流 I_{10} に含まれる周波数が3つである場合の一例について説明したが、これに限られない。第1励起電流 I_{10} に含まれる周波数は、制御対象の量子ビットの数に応じて1つ、2つ、または4以上であってもよい。量子ビット制御回路は、第1励起電流 I_{10} に含まれる周波数の数以上の共振回路と出力信号生成回路との組を少なくとも備える。量子ビット制御回路が備える共振回路と出力信号生成回路との組のうち使用されないものがあってもよい。また、第1励起電流 I_{10} に含まれるある1つの周波数に対して、共振回路と出力信号生成回路の組が複数対応していてもよい。

[0084] なお、本実施形態では、共振回路と、電源線（第1電源線）とが磁気結合によって結合される場合の一例について説明したが、これに限られない。共振回路と、電源線とは、容量結合によって結合されてもよい。

[0085] なお、上述した各実施形態において量子ビット制御回路に備えられるQFPは、断熱磁束量子パラメトロン（*Adiabatic QFP* : AQFP）や直結式磁束量子パラメトロン（*Directly coupled QFP* : DQFP）であってもよい。

[0086] なお、上述した各実施形態では、量子ビット制御回路1、1Aが生成し制

御対象（量子ビット）に照射する電磁波がマイクロ波である場合の一例について説明したが、これに限られない。量子ビット制御回路 1、1 A が生成し制御対象（量子ビット）に照射する電磁波の周波数は、マイクロ波の周波数以外であってもよい。つまり、量子ビット制御回路 1、1 A は、マイクロ波の周波数以外の周波数の電磁波を生成し、制御対象に照射してもよい。

[0087] なお、上述した各実施形態では、量子ビット制御回路の制御対象が量子ビットである場合の一例について説明したが、これに限られない。上述した各実施形態に係る量子ビット制御回路と同様の構成を備える回路によって、量子ビット以外の制御対象が制御されてもよい。量子ビット以外の制御対象とは、例えば、量子コンピュータの回路を構成する種々の部品である。

[0088] 以上、図面を参照してこの発明の一実施形態について詳しく説明してきたが、具体的な構成は上述のものに限られることはなく、この発明の要旨を逸脱しない範囲内において様々な設計変更等を行うことが可能である。

符号の説明

[0089] 1、1 A…量子ビット制御回路、2、2 A…第 1 電源線、3、3 A…第 2 電源線、4 0 a、4 0 b…出力信号生成回路、1 1 o…第 1 励起電流、1 b b…第 2 励起電流、1 1 A…共振回路、5 a、5 b…入力信号線、4 a、4 b…Q F P ゲート、4 A…Q F P ミキサ、1 i n a、1 i n b、1 i n 1、1 i n 2、1 i n 3…入力電流

請求の範囲

- [請求項1] 所定の周波数の電流である第1励起電流が入力される第1電源線と、
、
所定の波形の電流である第2励起電流が入力される第2電源線と、
論理状態を示す入力信号が入力される入力信号線と、磁気結合部と、
ジョセフソン接合とを備え、前記ジョセフソン接合は、前記磁気結合部を介して入力される前記第1励起電流の周波数及び前記第2励起電流の波形と、前記入力信号が示す前記論理状態と、に応じた出力信号を出力する出力信号生成回路と、
を備える量子ビット制御回路。
- [請求項2] 前記第1電源線に入力される前記第1励起電流には、複数の周波数が含まれ、
前記出力信号生成回路と、共振回路とを前記複数の周波数ごとに備え、
前記共振回路は、前記第1電源線と結合する結合部と、前記出力信号生成回路の前記磁気結合部と磁気結合する第2磁気結合部とを備え、
前記第1励起電流に含まれる前記複数の周波数のうちのいずれかの周波数である共振周波数を有し、当該共振周波数の電流を前記第2磁気結合部に流すことにより、対応する前記出力信号生成回路に当該共振周波数を前記第1電源線の周波数として供給する
請求項1に記載の量子ビット制御回路。
- [請求項3] 前記出力信号生成回路と、前記出力信号に応じた電流が流れる第3磁気結合部とを備える複数の超伝導ゲート回路と、
複数の前記超伝導ゲート回路の前記第3磁気結合部とそれぞれ磁気結合する第4磁気結合部と、
複数の前記超伝導ゲート回路がそれぞれ生成する前記出力信号が前記第4磁気結合部に印加する磁束に応じて、量子ビットに照射される電磁波を出力する出力信号線と、

を備える請求項 1 または請求項 2 に記載の量子ビット制御回路。

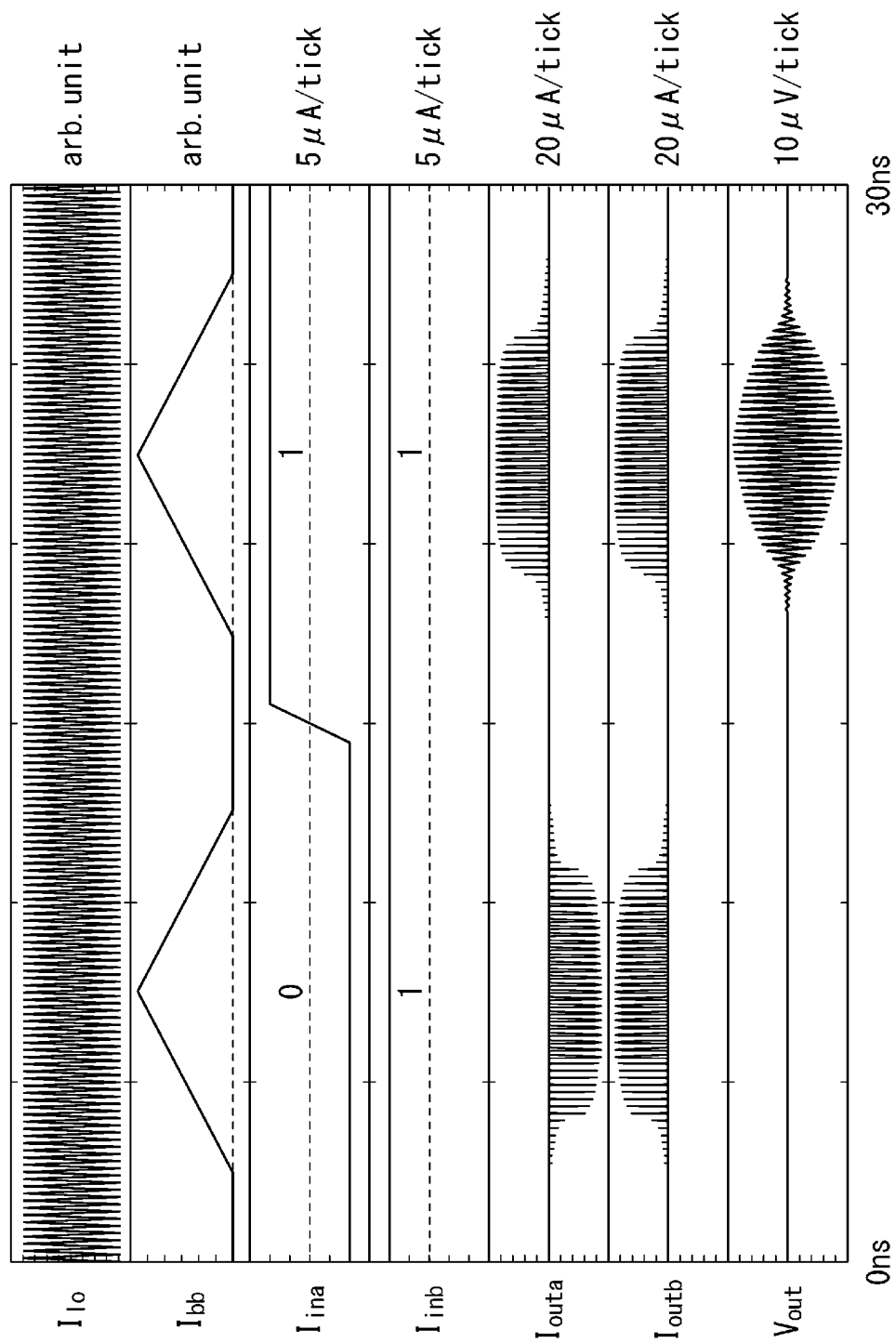
[請求項4] 前記出力信号線が出力する前記電磁波の振幅及びパルス幅は、前記第 1 励起電流の振幅によって制御される

請求項 3 に記載の量子ビット制御回路。

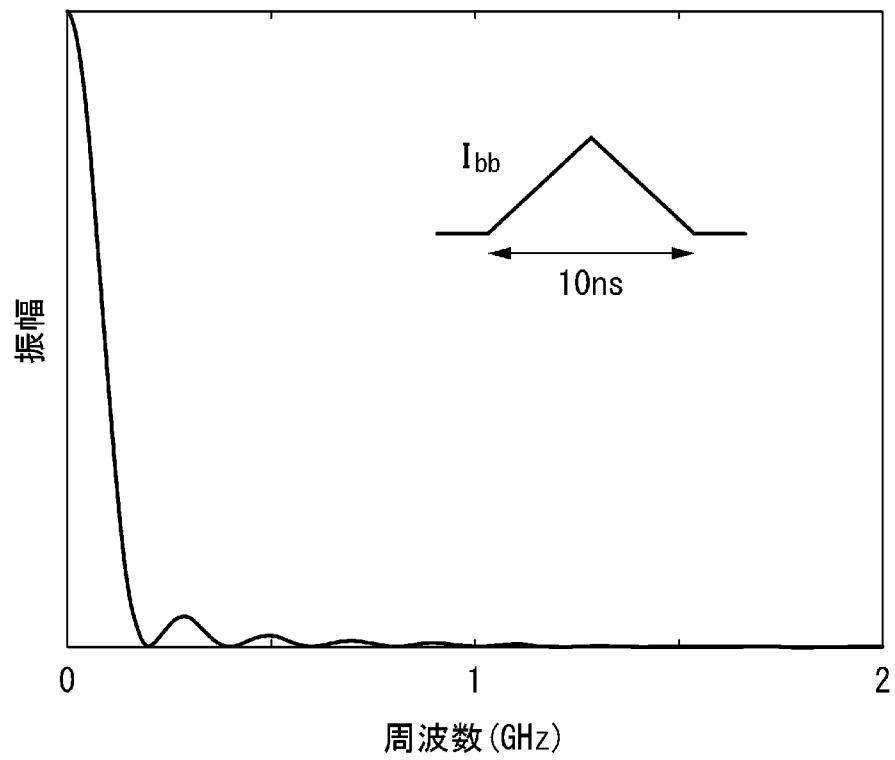
[請求項5] 前記出力信号生成回路は、磁束量子パラメトロン回路の構成を含む請求項 1 から請求項 4 のいずれか一項に記載の量子ビット制御回路

。

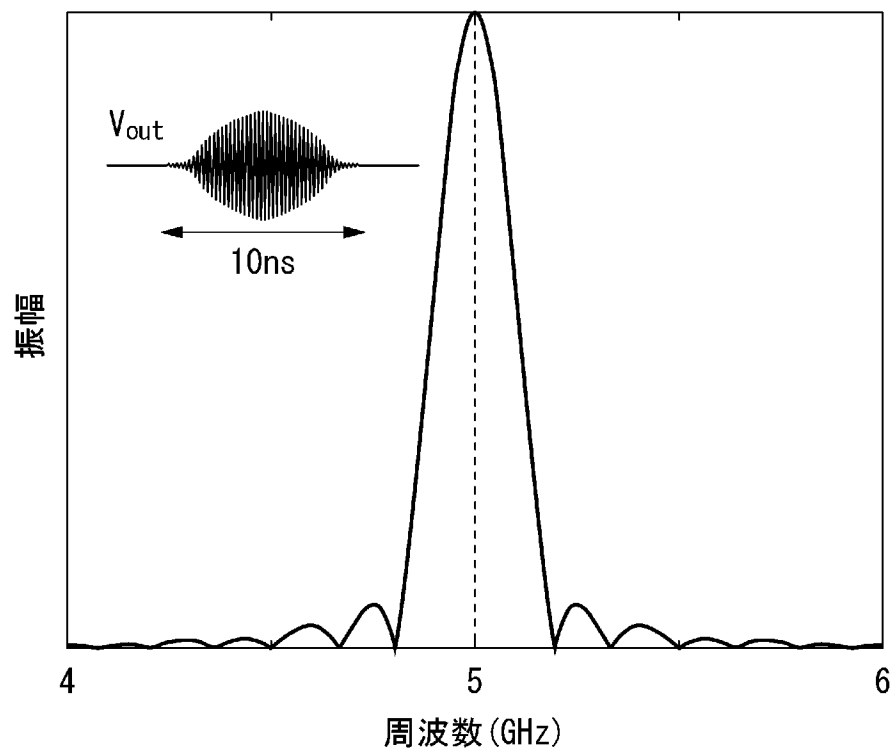
[図2]



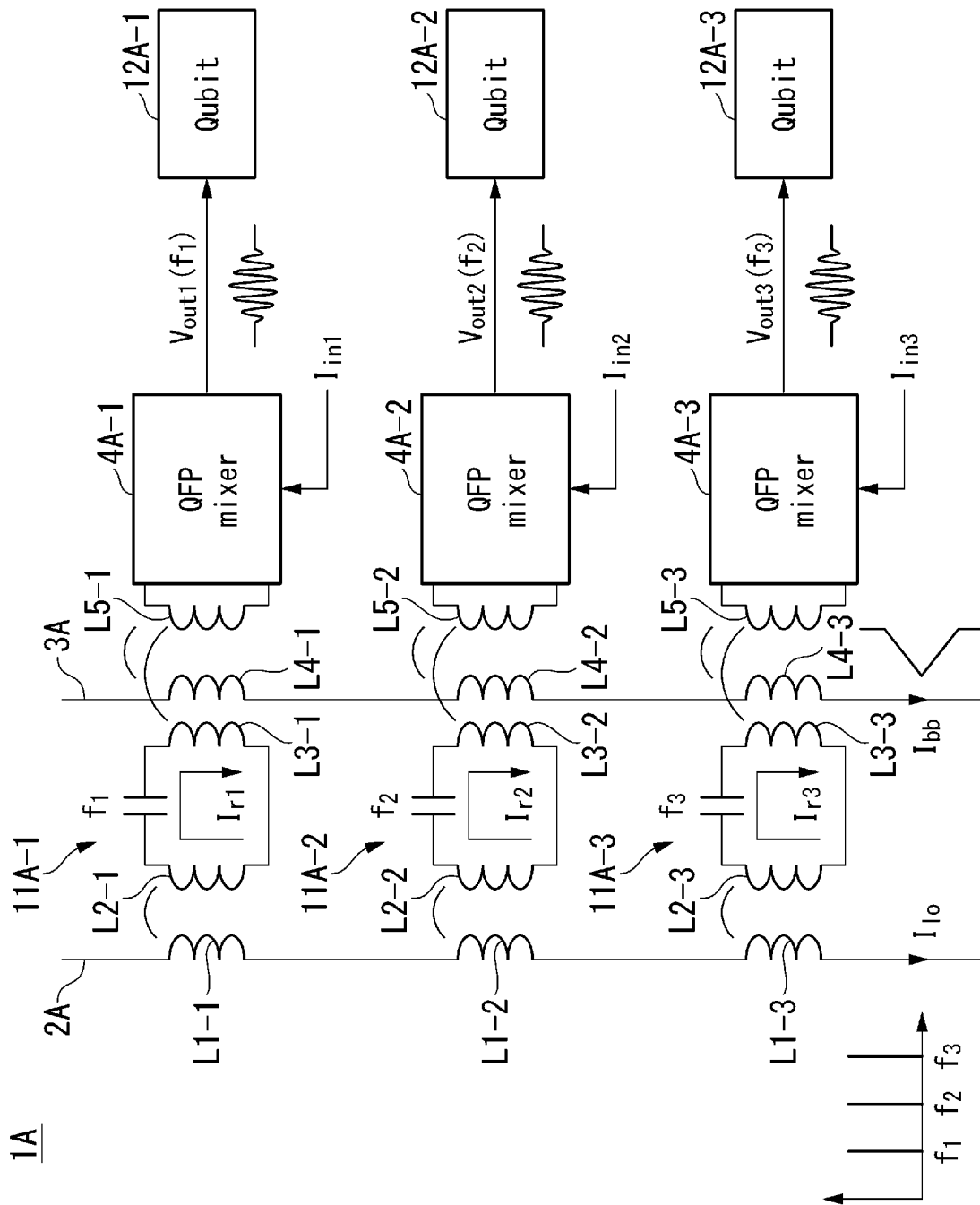
[図3]



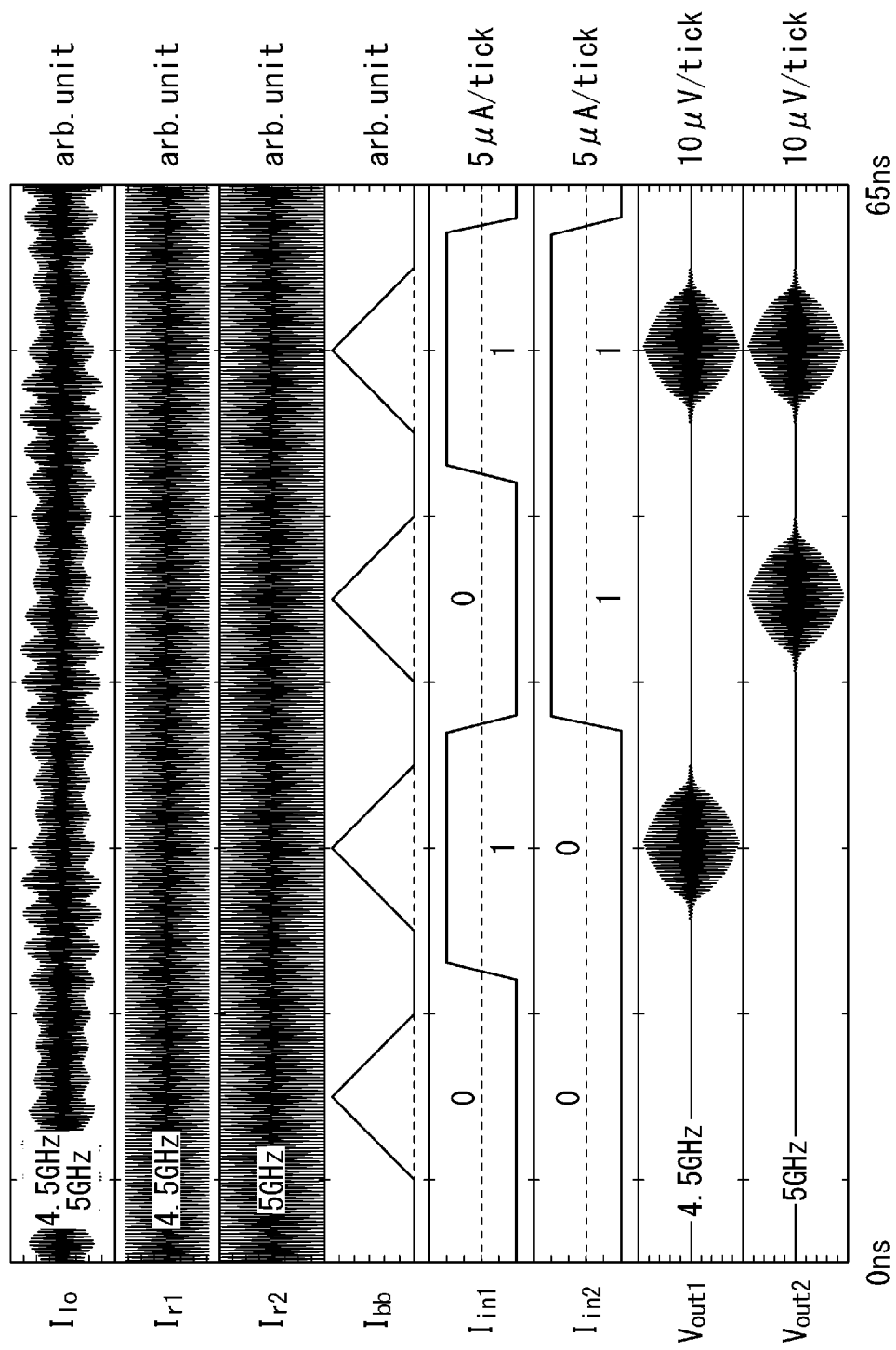
[図4]



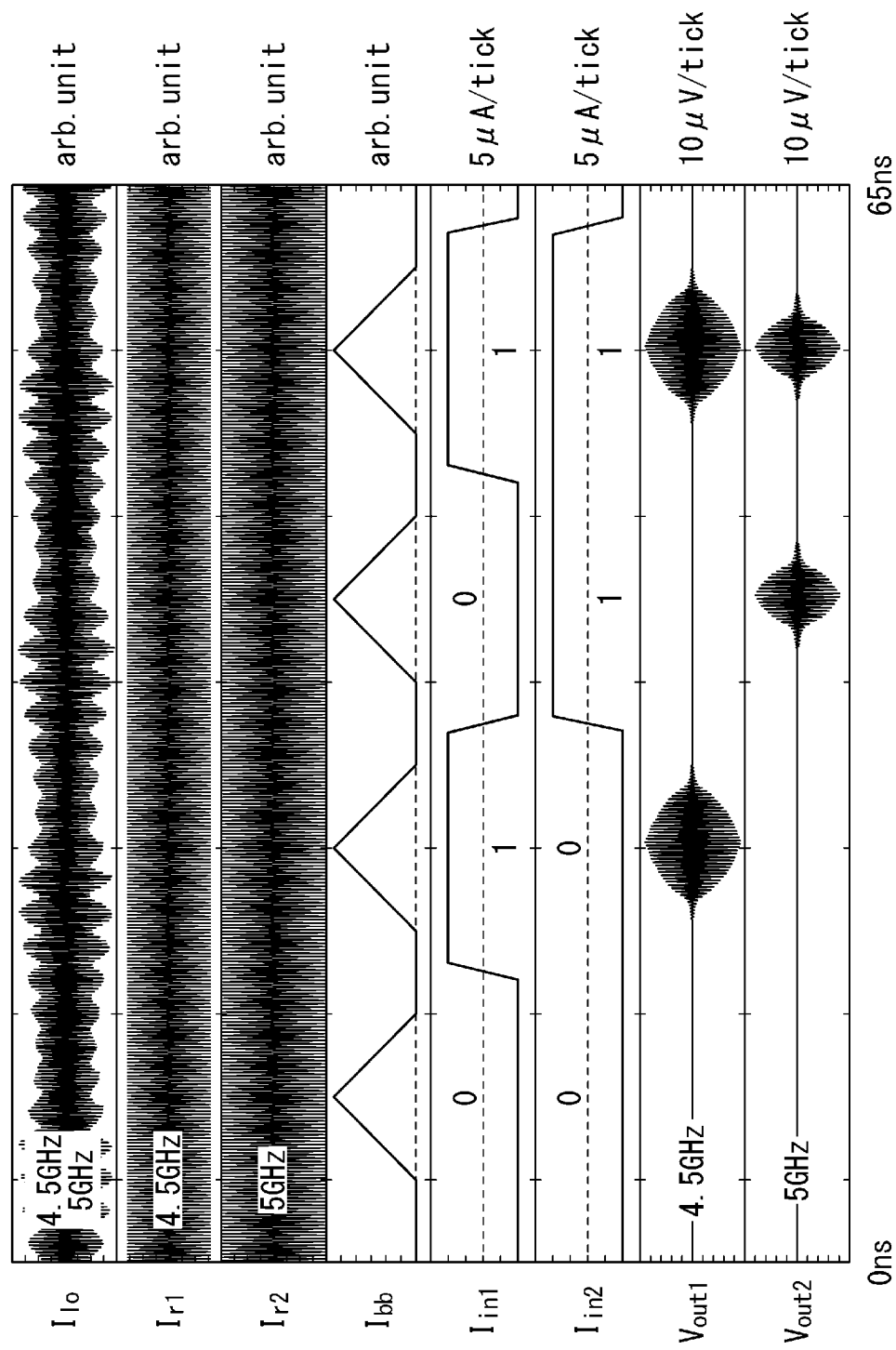
[図5]



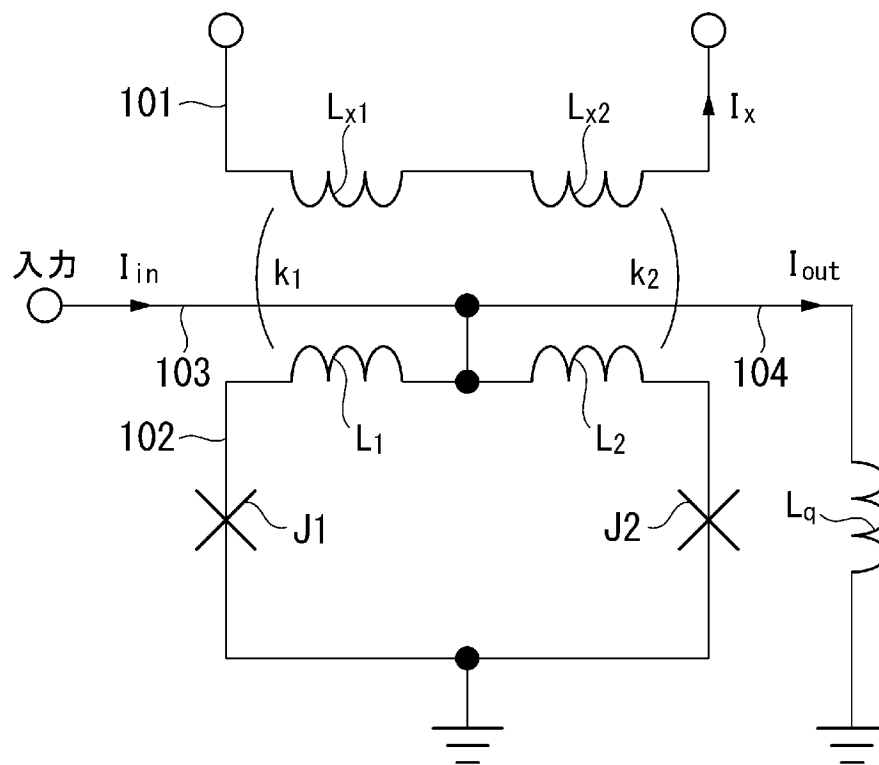
[図6]



[図7]



[図8]

100

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/007010

A. CLASSIFICATION OF SUBJECT MATTER**H03K 19/195**(2006.01)i; **G06N 10/40**(2022.01)i; **H03K 17/92**(2006.01)i

FI: H03K19/195; G06N10/40; H03K17/92

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K19/195; G06N10/40; H03K17/92

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2023
 Registered utility model specifications of Japan 1996-2023
 Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 59-143427 A (RIKAGAKU KENKYUSHO) 17 August 1984 (1984-08-17) entire text, all drawings	1-5
A	JP 60-89126 A (KOGYO GIJUTSUIN (JAPAN)) 20 May 1985 (1985-05-20) entire text, all drawings	1-5
A	JP 2021-518991 A (NORTHROP GRUMMAN SYSTEMS CORP.) 05 August 2021 (2021-08-05) entire text, all drawings	1-5
A	US 5396242 A (LEE, Gregory S.) 07 March 1995 (1995-03-07) entire text, all drawings	1-5

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

01 May 2023

Date of mailing of the international search report

16 May 2023

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/007010

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
JP	59-143427	A	17 August 1984	US	4623804	A	
				entire text, all drawings			
JP	60-89126	A	20 May 1985	(Family: none)			
JP	2021-518991	A	05 August 2021	US	2019/0391214	A1	
				entire text, all drawings			
				WO	2020/005534	A1	
				KR	10-2021-0013187	A	
US	5396242	A	07 March 1995	(Family: none)			

A. 発明の属する分野の分類（国際特許分類（IPC）） H03K 19/195(2006.01)i; G06N 10/40(2022.01)i; H03K 17/92(2006.01)i FI: H03K19/195; G06N10/40; H03K17/92										
B. 調査を行った分野										
調査を行った最小限資料（国際特許分類（IPC）） H03K19/195; G06N10/40; H03K17/92										
最小限資料以外の資料で調査を行った分野に含まれるもの										
<table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2023年</td> </tr> </table>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2023年	日本国実用新案登録公報	1996 - 2023年	日本国登録実用新案公報	1994 - 2023年
日本国実用新案公報	1922 - 1996年									
日本国公開実用新案公報	1971 - 2023年									
日本国実用新案登録公報	1996 - 2023年									
日本国登録実用新案公報	1994 - 2023年									
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）										
C. 関連すると認められる文献										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号								
A	JP 59-143427 A（理化学研究所）17.08.1984（1984 - 08 - 17） 全文，全図	1-5								
A	JP 60-89126 A（工業技術院長）20.05.1985（1985 - 05 - 20） 全文，全図	1-5								
A	JP 2021-518991 A（ノースロップ グラマン システムズ コーポレーション） 05.08.2021（2021 - 08 - 05） 全文，全図	1-5								
A	US 5396242 A（LEE; Gregory S.）07.03.1995（1995 - 03 - 07） 全文，全図	1-5								
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。										
<table border="0"> <tr> <td> * 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 </td> <td> “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献 </td> </tr> </table>			* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献						
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献									
国際調査を完了した日 01.05.2023	国際調査報告の発送日 16.05.2023									
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 及川 尚人 5W 5888 電話番号 03-3581-1101 内線 3576									

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2023/007010

引用文献			公表日	パテントファミリー文献			公表日
JP	59-143427	A	17.08.1984	US	4623804	A	
				全文, 全図			
JP	60-89126	A	20.05.1985	(ファミリーなし)			
JP	2021-518991	A	05.08.2021	US	2019/0391214	A1	
				全文, 全図			
				WO	2020/005534	A1	
				KR	10-2021-0013187	A	
US	5396242	A	07.03.1995	(ファミリーなし)			