

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2007 年 3 月 15 日 (15.03.2007)

PCT

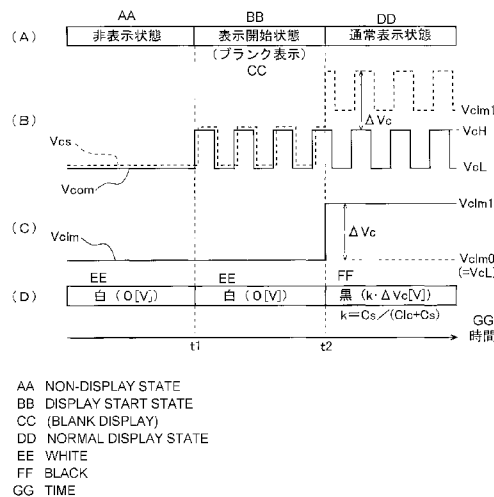
(10) 国際公開番号
WO 2007/029381 A1

- (51) 国際特許分類:
G09G 3/36 (2006.01) G09G 3/20 (2006.01)
G02F 1/133 (2006.01)
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 宮下 敏彦
(MIYASHITA, Toshihiko) [JP/—].
- (21) 国際出願番号: PCT/JP2006/310430
- (22) 国際出願日: 2006 年 5 月 25 日 (25.05.2006)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2005-253665 2005 年 9 月 1 日 (01.09.2005) JP
- (71) 出願人 (米国を除く全ての指定国について): シャープ
株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒
5458522 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号
Osaka (JP).
- (74) 代理人: 島田 明宏 (SHIMADA, Akihiro); 〒6340078
奈良県橿原市八木町 1 丁目 1 0 番 3 号 萬盛庵ビル
島田特許事務所 Nara (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が
可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,
BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,
ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK,
LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW,
MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO,
RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR,
TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

[続葉有]

(54) Title: DISPLAY DEVICE, DRIVE CIRCUIT, AND DRIVE METHOD THEREOF

(54) 発明の名称: 表示装置ならびにその駆動回路および駆動方法



(57) Abstract: There is provided a display device in which a defective pixel is not so remarkable even when the entire-surface white display is performed. In a normal white type liquid crystal display device in which after power is turned on, a non-display state is changed to a normal display state through a display start state when the blank display of entire-surface white display is performed, an auxiliary electrode drive unit controls an auxiliary capacity line voltage V_{cs} to be applied to an auxiliary capacity line according to the state of the liquid crystal display device as follows. That is, in the display start state, the voltage difference between the auxiliary capacity line voltage V_{cs} and the opposing voltage V_{com} is made 0 so that a defective pixel is displayed in white and in the normal display state, a predetermined voltage difference ΔV_c is generated between the auxiliary capacity line voltage V_{cs} and the opposing voltage V_{com} so that the defective pixel is displayed in black. The present invention may be applied to an active matrix type liquid crystal display device.

(57) 要約: 本発明は、全面白表示等が行われるような場合であっても欠陥画素を目立たないようにした表示装置を提供することを目的とする。電源投入後に非表示状態から、全面白のブランク表示が行われる表示開始状態を経て通常表示状態となるノーマリホワイト型の液晶表示装置において、補助電極駆動部は、補助容量線に印加すべき補助容量線電圧 V_{cs} を液晶

[続葉有]

WO 2007/029381 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

表示装置の状態に応じて次のように制御する。すなわち、表示開始状態のときには欠陥画素が白表示となるように補助容量線電圧 V_{cs} と対向電圧 V_{com} との電圧差を0とし、通常表示状態のときには欠陥画素が黒表示となるように補助容量線電圧 V_{cs} と対向電圧 V_{com} との間に所定の電圧差 ΔV_c を生じさせる。本発明は、アクティブマトリクス型の液晶表示装置に適する。

明 細 書

表示装置ならびにその駆動回路および駆動方法

技術分野

- [0001] 本発明は、複数の画素電極とそれに対向する共通電極との間に電圧を印加することによって画像を表示する液晶表示装置等の表示装置に関するものであり、更に詳しくは、そのような表示装置において欠陥画素が目立たないようにするための駆動方法等に関する。

背景技術

- [0002] 現在、平面型表示装置として、薄膜トランジスタ(TFT:Thin Film Transistor)によるアクティブマトリクス型液晶表示装置(以下「TFT-LCD装置」という)が広く使用されている。
- [0003] TFT-LCD装置における液晶パネルは、互いに対向する一対の基板(以下「第1および第2の基板」という)を有している。これらの基板は、所定の距離だけ離されて固定されており、液晶材料がこれらの基板間に充填されて液晶層が形成されている。これらの基板のうち少なくとも一方は透明であり、透過型表示を行う場合には、両基板は共に透明であることが必要である。TFT-LCD装置において、第1の基板上には互いに平行する複数の走査信号線と、走査信号線に対して直交するように交差する複数のデータ信号線とが設けられている。走査信号線とデータ信号線との各交差部には、画素電極と、当該画素電極をデータ信号線に電氣的に接続するためのスイッチング素子である画素TFTとが設けられている。この画素TFTのゲート端子は走査信号線に接続され、ソース端子はデータ信号線に接続され、ドレイン端子は上記画素電極に接続されている。
- [0004] 上記第1の基板に対向する第2の基板上には、全面に対向電極としての共通電極が設けられており、第1の基板における各画素電極と第2の基板における共通電極とそれらの間に挟持される液晶とによって液晶容量が形成されている。また、第1の基板上には、上記複数の画素電極と交差するように補助容量線が配設され、各画素電極と補助容量線とによって補助容量が形成されている。

[0005] 上記複数のデータ信号線を駆動するためにデータ信号線駆動回路が、上記複数の走査信号線を駆動するために走査信号線駆動回路が、上記共通電極を駆動するために共通電極駆動回路が、上記補助容量線を駆動するために補助容量線駆動回路が、それぞれ設けられている。そして、表示すべき画像に応じた電圧がデータ信号線駆動回路および走査信号線駆動回路により各画素電極に与えられると共に、共通電極には共通電極駆動部により、補助容量線には補助容量線駆動部により、それぞれ適切な電圧が与えられる。これにより、表示すべき画像の各画素の値に相当する電圧は、当該画素に対応する画素電極によって形成される上記液晶容量および補助容量に保持され、液晶層には画素電極と共通電極との電位差に相当する電圧が印加される。この印加電圧によって液晶層の光透過率を制御することができるので、各画素電極に与えられる電圧に基づき画像を表示することができる。

特許文献1: 日本の特開平8-248389号公報

発明の開示

発明が解決しようとする課題

[0006] ところで、上記のような液晶表示装置では、電源を遮断した際(電源オフ時)に、それまでの画像表示に基づき液晶パネルに蓄積された電荷が残留し、その後に電源を投入した際(電源オン時)には、図15に示すように、本来の表示データに基づく表示(以下「通常表示」という)が開始されるまでの間、その残留電荷に起因して異常な表示がなされることがある。これを防止するために、電源投入等による液晶表示装置の起動から通常表示が開始されるまでの間(これは液晶表示装置が非表示状態から通常表示状態となるまでの期間であり、以下、この期間における液晶表示装置の状態を「表示開始状態」という)、ブランク表示を行う、という方法が知られている。この方法によれば、例えばノーマリホワイト型の液晶パネルを備えた液晶表示装置では、図16に示すように、電源投入から通常表示開始までの間(非表示状態から通常表示状態となるまでの間)、全面白表示が行われ、その間に表示データが液晶表示装置内のデータ信号線駆動回路に転送され、その後、当該表示データに基づく表示(通常表示)が開始される。

[0007] 一方、液晶パネルの製造欠陥等により或る画素TFTが開放状態となった場合には

、その画素TFT(以下「開放故障TFT」という)に接続される画素電極によって表示されるべき画素である欠陥画素を黒表示とすること(黒点化)により、欠陥画素を目立たなくする、という方法が知られている(例えば日本の特開平8-248389号公報(特許文献1)参照)。

[0008] しかし、このように欠陥画素を黒点化するという方法(以下「欠陥画素黒点化法」という)を、図16に示したように表示開始状態においてブランク表示としての全面白表示を行う液晶表示装置に適用すると、当該表示開始状態において欠陥画素P_{dft}が黒点として表示されて目立ってしまう。

[0009] 例えば、欠陥画素黒点化法による液晶表示装置として上記日本の特開平8-248389号公報に開示された液晶表示装置が使用される場合には、以下のようになる。この液晶表示装置では、液晶パネルのうち1画素を形成する部分の等価回路は図17(A)に示すように構成されている。すなわち、信号ライン6と走査ライン5との交差部近傍にスイッチング素子としてのTFT7および画素電極8が形成され、画素電極8はTFT7を介して信号ラインに接続され、TFT7のゲート端子は走査ラインに接続されている。そして、画素電極8と共通電極24との間には画素容量部31が、画素電極8と補助容量ライン9との間には補助容量部32がそれぞれ形成されている。また、共通電極24は高電源41に接続され、補助容量ライン9は低電源42に接続される。なお、画素電極8と走査ライン5との間には寄生容量部33, 34も形成されている。

[0010] ここで、TFT7が製造欠陥によって開放状態になっているものとする、1画素を形成する部分の等価回路は図17(B)に示すような構成となる。この場合、液晶パネルにおける対向電極側の電圧(共通電極24の電圧) V_{com} と補助容量電極側の電圧(補助容量ライン9の電圧) V_{cs} との電圧差が液晶容量 C_{lc} と補助容量 C_s との容量比によって分圧され、その分圧に基づく電圧が液晶に印加される。例えば、 $V_{com}=5[V]$ 、 $V_{cs}=9[V]$ で容量比 $C_{lc}/C_s=1/3$ の場合、画素電極の電圧 $V_s=8[V]$ で、液晶への印加電圧は $|V_s - V_{com}| = 3[V]$ となる。ここで、液晶への印加電圧と液晶の透過率との関係を示す曲線(以下「VTカーブ」という)が図18に示すようなものであるとすると、欠陥画素はほぼ遮光状態となり黒点化する。したがって、ブランク表示として全面白表示が行われている場合には、その黒点化した欠陥画素が目立

つことになる。

- [0011] そこで本発明は、全面白表示等が行われるような場合であっても欠陥画素を目立たないようにした表示装置ならびにそのための駆動回路および駆動方法を提供することを目的とする。

課題を解決するための手段

- [0012] 本発明の第1の局面は、複数の画素電極と当該複数の画素電極に共通的に設けられた共通電極との間の電位差に応じて画像を表示する表示装置であって、
各画素電極に対応して設けられたスイッチング素子と、
各画素電極との間に所定容量が形成されるように設けられた補助電極と、
表示すべき画像に応じた電圧を前記複数の画素電極に、それぞれ対応するスイッチング素子を介して与える画素電極駆動部と、
前記共通電極に所定の対向電圧を与える共通電極駆動部と、
前記補助電極に所定の補助電圧を与える補助電極駆動部とを備え、
前記補助電極駆動部は、
前記補助電圧と前記対向電圧との間に電圧差が生じるように前記補助電圧を生成する補助電圧生成部と、
前記スイッチング素子のうち故障によって開放状態となったスイッチング素子である開放故障スイッチング素子に対応する画素電極によって表示される欠陥画素が目立たないように、前記表示すべき画像に応じて前記電圧差を変更する電圧差制御部と
を含むことを特徴とする。

- [0013] 本発明の第2の局面は、本発明の第1の局面において、
前記電圧差制御部は、
前記表示すべき画像が全面白表示の画像である場合には、前記開放故障スイッチング素子に対応する画素電極と前記共通電極との間に白表示に相当する電圧が印加されるように前記電圧差を制御し、
前記表示すべき画像が全面白表示の画像でない場合には、前記開放故障スイッチング素子に対応する画素電極と前記共通電極との間に黒表示に相当する電圧が

印加されるように前記電圧差を制御することを特徴とする。

[0014] 本発明の第3の局面は、本発明の第1の局面において、

前記電圧差制御部は、当該表示装置の電源投入時または電源遮断時に所定期間だけ全面白表示の画像が表示される場合に、

前記所定期間は、前記開放故障スイッチング素子に対応する画素電極と前記共通電極との間に白表示に相当する電圧が印加されるように前記電圧差を制御し、

前記所定期間以外では、前記開放故障スイッチング素子に対応する画素電極と前記共通電極との間に黒表示に相当する電圧が印加されるように前記電圧差を制御することを特徴とする。

[0015] 本発明の第4の局面は、本発明の第1の局面において、

前記表示すべき画像において白表示が支配的か否かを判定する判定部を更に備え、

前記電圧差制御部は、前記判定部によって白表示が支配的であると判定された場合に、前記開放故障スイッチング素子に対応する画素電極と前記共通電極との間に白表示に相当する電圧が印加されるように前記電圧差を制御することを特徴とする。

[0016] 本発明の第5の局面は、本発明の第1の局面において、

前記補助電圧生成部は、

前記対向電圧または前記対向電圧と交流的に同等の電圧が一端に与えられるコンデンサと、

前記コンデンサの他端に一端が接続されたダイオードとを有し、

前記補助電極駆動部は、前記コンデンサの他端の電圧を前記補助電圧として出力し、

前記電圧差制御部は、所定のクランプ電圧を生成して前記ダイオードの他端に与え、かつ、当該クランプ電圧の値を変更することにより前記電圧差を変更することを特徴とする。

[0017] 本発明の第6の局面は、本発明の第5の局面において、

前記補助電圧生成部は、前記コンデンサに並列に接続された抵抗素子を有することを特徴とする。

- [0018] 本発明の第7の局面は、本発明の第5の局面において、
前記補助電圧生成部は、前記コンデンサの他端と接地点との間に接続された抵抗素子を有することを特徴とする。
- [0019] 本発明の第8の局面は、本発明の第5の局面において、
前記補助電圧生成部は、前記コンデンサに並列に接続されたスイッチを有し、
前記スイッチは、前記電圧差の要否に応じて開閉することを特徴とする。
- [0020] 本発明の第9の局面は、本発明の第5の局面において、
前記補助電圧生成部は、前記コンデンサの他端と接地点との間に接続されたスイッチを有し、
前記スイッチは、前記電圧差の要否に応じて開閉することを特徴とする。
- [0021] 本発明の第10の局面は、複数の画素電極と、各画素電極との間に第1の容量が形成されるように前記複数の画素電極に共通的に設けられた共通電極と、各画素電極との間に第2の容量が形成されるように設けられた補助電極とを有し、各画素電極と前記共通電極との間の電位差に応じて画像を表示する表示装置の駆動回路であって、
前記画像に応じた電圧を前記複数の画素電極に与える画素電極駆動部と、
前記共通電極に所定の対向電圧を与える共通電極駆動部と、
前記補助電極に所定の補助電圧を与える補助電極駆動部とを備え、
前記補助電極駆動部は、
前記補助電圧と前記対向電圧との間に電圧差が生じるように前記補助電圧を生成する補助電圧生成部と、
前記電圧差を変更する電圧差制御部とを含むことを特徴とする。
- [0022] 本発明の第11の局面は、本発明の第10の局面において、
前記補助電圧生成部は、
前記対向電圧または前記対向電圧と交流的に同等の電圧が一端に与えられるコンデンサと、
前記コンデンサの他端に一端が接続されたダイオードとを有し、
前記補助電極駆動部は、前記コンデンサの他端の電圧を前記補助電圧として出力

し、

前記電圧差制御部は、所定のクランプ電圧を生成して前記ダイオードの他端に与え、かつ、当該クランプ電圧の値を変更することにより前記電圧差を変更することを特徴とする。

[0023] 本発明の第12の局面は、複数の画素電極と、各画素電極に対応して設けられたスイッチング素子と、各画素電極との間に第1の容量が形成されるように前記複数の画素電極に共通的に設けられた共通電極と、各画素電極との間に第2の容量が形成されるように設けられた補助電極とを有し、各画素電極と前記共通電極との間の電位差に応じて画像を表示する表示装置の駆動方法であって、

前記画像に応じた電圧を前記複数の画素電極に、それぞれ対応するスイッチング素子を介して与える画素電極駆動ステップと、

前記共通電極に所定の対向電圧を与える共通電極駆動ステップと、

前記補助電極に所定の補助電圧を与える補助電極駆動ステップとを備え、

前記補助電極駆動ステップでは、

前記補助電圧と前記対向電圧との間に電圧差が生じるように前記補助電圧が生成され、

前記スイッチング素子のうち故障によって開放状態となったスイッチング素子である開放故障スイッチング素子に対応する画素電極によって表示される欠陥画素が目立たないように、前記表示すべき画像に応じて前記電圧差が変更されることを特徴とする。

[0024] 本発明の第13の局面は、本発明の第12の局面において、

前記補助電極駆動ステップは、

前記表示すべき画像が全面白表示の画像である場合には、前記開放故障スイッチング素子に対応する画素電極と前記共通電極との間に白表示に相当する電圧が印加されるように前記電圧差を制御するステップと、

前記表示すべき画像が全面白表示の画像でない場合には、前記開放故障スイッチング素子に対応する画素電極と前記共通電極との間に黒表示に相当する電圧が印加されるように前記電圧差を制御するステップとを含むことを特徴とする。

- [0025] 本発明の第14の局面は、本発明の第12の局面において、
前記補助電極駆動ステップでは、当該表示装置の電源投入時または電源遮断時に所定期間だけ全面白表示の画像が表示される場合において、
前記所定期間は、前記開放故障スイッチング素子に対応する画素電極と前記共通電極との間に白表示に相当する電圧が印加されるように前記電圧差が制御され、
前記所定期間以外では、前記開放故障スイッチング素子に対応する画素電極と前記共通電極との間に黒表示に相当する電圧が印加されるように前記電圧差が制御されることを特徴とする。

- [0026] 本発明の第15の局面は、本発明の第12の局面において、
前記表示すべき画像において白表示が支配的か否かを判定するステップを更に備え、
前記補助電極駆動ステップでは、白表示が支配的であると判定された場合に、前記開放故障スイッチング素子に対応する画素電極と前記共通電極との間に白表示に相当する電圧が印加されるように前記電圧差が制御されることを特徴とする。

発明の効果

- [0027] 本発明の第1または第12の局面によれば、補助電圧と対向電圧との間に電圧差が生じるように補助電圧が生成され、当該電圧差は、欠陥画素が目立たないように、表示すべき画像に応じて変更される。これにより、欠陥画素は、表示すべき画像に応じて黒表示または白表示等とされるので、通常の表示状態の場合だけでなく、全面白のブランク表示が行われる場合等、白表示が支配的な場合であっても、欠陥画素を目立たなくすることができる。
- [0028] 本発明の第2または第13の局面によれば、表示すべき画像が全面白表示の画像である場合には欠陥画素が白表示とされ、表示すべき画像が全面白表示の画像でない場合には欠陥画素が黒表示とされる。したがって、通常表示状態において欠陥画素が黒表示となることで目立たなくなるだけでなく、全面白表示(ブランク表示)の場合においても、欠陥画素が白表示となることで目立たなくなる。
- [0029] 本発明の第3または第14の局面によれば、表示パネルにおける残電荷に起因する異常表示を防止するために電源投入時または電源遮断時に所定期間だけ全面白

表示の画像が表示される場合に、その所定期間では欠陥画素が白表示とされるので、このような期間においても欠陥画素を目立たなくすることができる。すなわち、残電荷による異常表示を抑えつつ、欠陥画素を通常表示状態のときだけでなく表示開始状態や終了表示状態においても目立たないようにすることができる。

[0030] 本発明の第4または第15の局面によれば、白表示が支配的である場合には欠陥画素が白表示となるので、表示開始状態や終了表示状態において全面白のブランク表示が行われる場合だけでなく、通常表示状態において白表示が支配的な場合においても、欠陥画素を白表示とすることで目立たなくすることができる。

[0031] 本発明の第5の局面によれば、コンデンサとダイオードとからなるクランプ回路によって対向電圧に対して電圧差が生じうるように補助電圧が生成される。すなわち、ダイオードのカソードがコンデンサに接続されている場合には、クランプ電圧を下限値とする補助電圧が生成され、ダイオードのアノードがコンデンサに接続されている場合には、クランプ電圧を上限值とする補助電圧が生成される。したがって、クランプ電圧の値を変えることで当該電圧差が変更される。よって、クランプ電圧の値を表示すべき画像に応じて変更することにより、本発明の第1の局面と同様の効果を得ることができる。

[0032] 本発明の第6の局面によれば、クランプ回路を構成するコンデンサに並列に抵抗素子が接続されているので、対向電圧と補助電圧との電圧差が比較的大きくなるクランプ電圧値から当該電圧差が0となるクランプ電圧値へとクランプ電圧が変化した場合であっても、当該抵抗素子を介してコンデンサが速やかに放電される。このようにコンデンサの放電が促進されるので、コンデンサにおける電荷残留による異常表示等の不具合を防止することができる。

[0033] 本発明の第7の局面によれば、クランプ回路を構成するコンデンサの他端と接地点との間に抵抗素子が接続されているので、電源の遮断時には、対向電圧も接地電圧となることから本発明の第6の局面と同様の効果が得られる。

[0034] 本発明の第8の局面によれば、クランプ回路を構成するコンデンサに並列にスイッチが接続され、当該スイッチは対向電圧と補助電圧との電圧差の要否に応じて開閉するので、当該電圧差が比較的大きくなるクランプ電圧値から当該電圧差が0となる

クランプ電圧値へとクランプ電圧が変化した場合であっても、当該スイッチ素子を介してコンデンサが速やかに放電される。これにより、コンデンサにおける電荷残留による異常表示等の不具合を防止することができる。

[0035] 本発明の第9の局面によれば、クランプ回路を構成するコンデンサの他端と接地点との間にスイッチが接続され、当該スイッチは対向電圧と補助電圧との電圧差の要否に応じて開閉するので、電源の遮断時には、対向電圧も接地電圧となることから本発明の第8の局面と同様の効果が得られる。

[0036] 本発明の第10の局面によれば、補助電圧と対向電圧との間に電圧差が生じうるように補助電圧生成部によって補助電圧を生成し、当該電圧差を電圧差制御部によって変更することで、表示すべき画像に応じて欠陥画素を黒表示または白表示等とすることができる。したがって、通常の表示状態の場合だけでなく、全面白のブランク表示が行われる場合等、白表示が支配的な場合であっても、欠陥画素を目立たなくすることができる。

[0037] 本発明の第11の局面によれば、コンデンサとダイオードとからなるクランプ回路によって対向電圧に対して電圧差が生じうるように補助電圧が生成され、クランプ電圧の値を変えることで当該電圧差が変更される。したがって、クランプ電圧の値を表示すべき画像に応じて変更することにより、本発明の第10の局面と同様の効果を得ることができる。

図面の簡単な説明

[0038] [図1]本発明の第1の実施形態に係る液晶表示装置の構成を示すブロック図である。

[図2]上記第1の実施形態における画素形成部の等価回路(画素回路)を示す回路図(A, B, C)である。

[図3]上記第1の実施形態における補助電極駆動部の基本構成を示す回路図である。

[図4]上記第1の実施形態における補助電極駆動部の動作を説明するための信号波形図(B, C)、および、液晶表示装置の動作状態および表示状態を示すタイミングチャート(A, D)である。

[図5]上記第1の実施形態における補助電極駆動部内のクランプ電圧制御部を構成

するクランプ電圧発生回路の構成例を示す回路図である。

[図6]上記第1の実施形態における補助電極駆動部の第1の構成例を示す回路図である。

[図7]上記第1の実施形態における補助電極駆動部の第1の構成例の変形例を示す回路図である。

[図8]上記第1の実施形態における補助電極駆動部の第2の構成例を示す回路図である。

[図9]上記第1の実施形態における補助電極駆動部の第2の構成例の変形例を示す回路図である。

[図10]上記第1の実施形態における補助電極駆動部の他の構成例を示す回路図である。

[図11]上記第1の実施形態における補助電極駆動部の更に他の構成例を液晶表示装置の全体構成と共に示す回路図である。

[図12]本発明の第2の実施形態に係る液晶表示装置としての液晶表示モジュールの構成を示す機能ブロック図である。

[図13]白表示が支配的な表示例を示す図である。

[図14]本発明の他の実施形態を説明するための信号波形図(B, C)、および、液晶表示装置の動作状態および表示状態を示すタイミングチャート(A, D)である。

[図15]液晶パネル内の残電荷に起因して表示開始状態において生じる異常表示を説明するための図(A, B, C)である。

[図16]残電荷に起因する上記異常表示を回避するために表示開始状態においてブランク表示を行う場合の問題点を説明するための図(A, B, C)である。

[図17]液晶パネルの製造欠陥による欠陥画素を目立たなくする従来技術を説明するための回路図(A, B)である。

[図18]液晶パネルにおける印加電圧と透過率との関係(V-Tカーブ)を示す特性図である。

符号の説明

100	…液晶パネル
102	…TFT基板
104	…対向基板
200	…データ信号線駆動回路
300	…走査信号線駆動回路
400	…共通電極駆動部
403	…DC／DCコンバータ
450	…補助電極駆動部
451	…クランプ電圧制御部
455	…DC／DCコンバータ
461	…電圧設定レジスタ
600	…コントローラ
C1	…コンデンサ
D1	…ダイオード
Rd	…放電用の抵抗素子
SWd	…放電用のスイッチ
Nout	…出力点
CS(j)	…補助容量線(j=1～M)
Clc	…液晶容量
Cs	…補助容量
Ec	…共通電極
Ep	…画素電極
Vcom	…対向電圧
Vcs	…補助容量線電圧
Vclm	…クランプ電圧
Vclm0	…初期クランプ電圧値
Vclm1	…通常クランプ電圧値
Vpp	…矩形波電圧

ΔV_c …補助容量線電圧と対向電圧との電圧差

発明を実施するための最良の形態

[0040] 以下、添付図面を参照して本発明の実施形態について説明する。

<1. 第1の実施形態>

<1.1 全体構成>

図1は、本発明の第1の実施形態に係る液晶表示装置の全体構成を示すブロック図である。この液晶表示装置は、液晶パネル100と、データ信号線駆動回路200、走査信号線駆動回路300、共通電極駆動部400および補助電極駆動部450を含む駆動回路と、表示制御回路としてのコントロール回路600とを備えている。なお、この液晶表示装置ではライン反転駆動方式が採用されかつ対向AC駆動が行われるものとして以下の説明を進めるが、本発明はこのような駆動方式に限定されるものではない。ここで、「対向AC駆動」とは、ライン反転駆動方式の液晶表示装置においてデータ信号線の電圧の振幅を抑えるために当該ライン反転駆動に応じて共通電極の電位すなわち対向電圧の値を変化させることをいう。

[0041] 液晶パネル100は、液晶層を挟持する1対の電極基板からなり、各電極基板の外表面には偏光板が貼り付けられていて、液晶層に電圧が印加されないときに白表示が行われる。すなわち本実施形態では、液晶層への印加電圧が実質的に0であるときに液晶パネル100の透過率が最大となるノーマリホワイト型の液晶パネル100が使用されている。

[0042] 液晶パネル100における上記1対の電極基板の一方はTFT基板と呼ばれるアクティブマトリクス基板であり、このTFT基板102では、ガラス等の絶縁性基板上に、複数のデータ信号線 $S(1) \sim S(N)$ と複数の走査信号線 $G(1) \sim G(M)$ とが互いに交差するように格子状に形成されていると共に、複数の走査信号線 $G(1) \sim G(M)$ にそれぞれ平行して延在する複数の補助容量線 $CS(1) \sim CS(M)$ が補助電極として形成されている。上記1対の電極基板の他方は対向基板104と呼ばれ、ガラス等の透明な絶縁性基板上に、全面にわたって共通電極 E_c 、配向膜が順次積層されている。

[0043] 液晶パネル100には、複数のデータ信号線 $S(1) \sim S(N)$ と複数の走査信号線 $G(1) \sim G(M)$ との交差点にそれぞれ対応して複数($N \times M$ 個)の画素形成部 $P(i, j)$ が

マトリクス状に形成されている。これらの複数の画素形成部 $P(1, 1) \sim P(N, M)$ のそれぞれは、TFT基板102に形成されたスイッチング素子としての薄膜トランジスタ(TFT)10および画素電極 E_p を含み、表示すべき画像を構成する1つの画素に対応する。上記共通電極 E_c および液晶層は、これらの複数の画素形成部 $P(1, 1) \sim P(N, M)$ に共通的に設けられており、画素電極 E_p と共通電極 E_c とそれらによって挟持される液晶層とによって液晶容量 C_{lc} が形成され、画素電極 E_c と補助容量線 $CS(j)$ とによって補助容量 C_s が形成される。

[0044] 各画素形成部 $P(i, j)$ は、回路的には図2(A)に示す構成となっている(以下、画素形成部 $P(i, j)$ に回路的観点から言及する場合には「画素回路」と呼ぶものとする)。すなわち、画素回路としての各画素形成部 $P(i, j)$ は、スイッチング素子としてのTFT10と液晶容量 C_{lc} および補助容量 C_s とを含み、TFT10のゲート端子は、当該画素形成部 $P(i, j)$ に対応する走査信号線 $G(i)$ に接続され、ソース端子は、当該画素形成部 $P(i, j)$ に対応するデータ信号線 $S(i)$ に接続され、ドレイン端子は、上記液晶容量 C_{lc} および補助容量 C_s を形成する画素電極 E_c に接続されている。なお以下では、記号“ C_{lc} ”は液晶容量の容量値をも表し、記号“ C_s ”は補助容量の容量値をも表すものとする。

[0045] ところで、図2(B)に示すように、液晶パネル100(TFT基板102)の製造欠陥等によって或る画素形成部 $P(i, j)$ のTFT10が開放状態に固定される場合がある(以下、このように開放状態に固定されたTFTを含む画素形成部に対応する画素を「欠陥画素」という)。この場合、当該画素形成部 $P(i, j)$ は回路的には図2(C)に示すような構成となり、画素電極 E_p の電位(TFT10のソース端子の電位) V_s は、共通電極 E_c の電位(対向電圧) V_{com} と補助容量線 $CS(j)$ の電位(補助容量線電圧) V_{cs} との電位差と、液晶容量 C_{lc} と補助容量 C_s との容量比とによって決まる。すなわち、

$$V_s = (C_s \cdot V_{cs} + C_{lc} \cdot V_{com}) / (C_{lc} + C_s) \quad \cdots (1)$$

となる。なお以下では、液晶容量 C_{lc} と補助容量 C_s との和の容量(以下「画素容量」という) $C_{lc} + C_s$ を記号“ C_p ”で表すものとする。

[0046] 表示制御回路としてのコントローラ600は、外部のメインコントローラとしてのCPU(Central Processing Unit)(不図示)から与えられる画像信号 D_v および制御信号 C_t に

に基づき、データ信号線駆動回路200を動作させるための駆動制御信号(画素値に相当する電圧を各画素電極に与えるための画像信号Daを含む)、および、走査信号線駆動回路300を動作させるための駆動制御信号を生成する。また、このコントローラ600は、共通電極駆動部400および補助電極駆動部450を動作させるための制御信号(例えば、補助電極駆動部450に与えるべきクランプ電圧 V_{clm})を生成する。

[0047] 共通電極駆動部400は、コントローラ600からの制御信号(不図示)等に基づき後述の対向電圧 V_{com} を生成し、これを共通電極 E_c に印加する。既述のように本実施形態では、ライン反転駆動が行われ、これに応じて対向電圧 V_{com} の値は、画像表示における1水平期間毎に所定の高電圧値 V_{cH} と所定の低電圧値 V_{cL} との間での交互に切り替わる。

[0048] 補助電極駆動部450は、コントローラ600からのクランプ電圧 V_{clm} 等に基づき補助電圧として後述の補助容量線電圧 V_{cs} を生成し、これを補助容量線 $CS(1) \sim CS(M)$ に印加する。この補助容量線電圧 V_{cs} は、対向電圧 V_{com} と同位相の電圧であって、その値は対向電圧 V_{com} と同様に2種類の電圧値の間で交互に切り替わるが、通常表示状態において対向電圧 V_{com} に対し所定の電圧差 ΔV_c を有している。なお、図1に示した構成では、補助電極駆動部450はコントローラ600とは別個の構成要素となっているが、後述のように、コントローラ600の一部を利用して補助電極駆動部450が構成されてもよい。

[0049] データ信号線駆動回路200は、液晶パネル100における各データ信号線 $S(i)$ ($i=1, 2, \dots, N$)と接続されており、液晶パネル100に画像を表示するために各データ信号線 $S(i)$ に印加すべきデータ信号をコントローラ600からの駆動制御信号に基づき生成する。また、走査信号線駆動回路300は、液晶パネル100における各走査信号線 $G(j)$ ($j=1, 2, \dots, M$)と接続されており、各走査信号線 $G(j)$ に印加すべき走査信号をコントローラ600からの駆動制御信号に基づき生成する。そして走査信号線駆動回路300は、データ信号線駆動回路200から各データ信号線 $G(j)$ に印加されるデータ信号を各画素形成部(の画素容量 $C_p = C_{lc} + C_s$)に書き込むために、走査信号を各走査信号線 $G(j)$ に印加することにより画像表示の各フレーム期間において液晶パネル100における走査信号線 $G(1) \sim G(M)$ をほぼ1水平期間ずつ順次選

択する。なお、データ信号線駆動回路200および走査信号線駆動回路300はTFT基板102に実装されていてもよいし、例えばフレキシブル基板を介してデータ信号線駆動回路200等とTFT基板102上の配線(データ信号線等)とが接続される形態でもよい。また、データ信号線駆動回路200と走査信号線駆動回路300の双方または一方を画素回路と共にガラス基板に一体的に形成したいわゆるドライバモノリシック型または部分的ドライバモノリシック型の液晶パネルであってもよい。

[0050] 上記のような液晶パネル100において、対向電極としての共通電極Ecには、共通電極駆動部400によって対向電圧Vcomが与えられ、各画素電極Epには、表示すべき画像に応じた電圧がデータ信号線駆動回路200および走査信号線駆動回路300によって与えられる。その結果、各画素電極Epと共通電極Ecとの間に挟持される液晶層には、それらの電極間の電位差に応じた電圧が印加される。これによって液晶層の各部分の光学的変調が行われることで画像表示が実現される。なお、データ信号線駆動回路200と走査信号線駆動回路300とにより、表示すべき画像の各画素に対応する画素電極に当該画像に応じた電圧をスイッチング素子としてのTFTを介して与える駆動部すなわち画素電極駆動部が構成される。

[0051] <1.2 補助電極駆動部>

<1.2.1 基本構成と動作>

図3は、本実施形態における補助電極駆動部450の基本構成を示す回路図である。本実施形態における補助電極駆動部450は、基本的構成要素として、上記共通電極駆動部400からの対向電圧Vcomが一端に与えられるコンデンサC1と、当該コンデンサC1の他端にカソードが接続されたダイオードD1と、当該ダイオードD1のアノードに後述のクランプ電圧Vclmを与えるクランプ電圧制御部451とを有している。そして、コンデンサC1の他端とダイオードD1のカソードとの接続点(以下「出力点」という)Noutの電圧が、補助容量線電圧Vcsとして補助容量線CS(1)～CS(M)に印加される(図1参照)。

[0052] このような構成によれば、対向電圧VcomがコンデンサC1によって直流成分を遮断された後に出力点Noutに与えられると共に、クランプ電圧VclmがダイオードD1を介して出力点Noutに与えられる。このため、下限値がクランプ電圧Vclmに等しく且

つ対向電圧 V_{com} とは直流成分のみが異なる電圧が、補助容量線電圧 V_{cs} として出力点 N_{out} において得られる。すなわち、コンデンサ $C1$ とダイオード $D1$ とによってクランプ回路が構成され、当該クランプ回路は、対向電圧 V_{com} と補助容量線電圧 V_{cs} との間に電圧差が生じうるように補助容量線電圧 V_{cs} を生成する補助電圧生成部として機能し、クランプ電圧制御部450は、当該電圧差を変更する電圧差制御部として機能する。なお、本実施形態ではコンデンサ $C1$ の他端すなわち出力点 N_{out} にダイオード $D1$ のカソードが接続されているが、出力点 N_{out} にダイオード $D1$ のアノードが接続されるようにしてもよい(ダイオード $D1$ の向きが逆であってもよい)。この場合、上限値がクランプ電圧 V_{clm} に等しく且つ対向電圧 V_{com} とは直流成分のみが異なる電圧が、補助容量線電圧 V_{cs} として出力点 N_{out} に得られる。また、本実施形態ではクランプ電圧制御部451はコントローラ600内に設けられているが、コントローラとは別個に設けられていてもよい。

[0053] 図4は、本実施形態における補助電極駆動部450の動作を説明するための信号波形図である。対向電圧 V_{com} 、補助容量線電圧 V_{cs} 、およびクランプ電圧 V_{clm} は、液晶表示装置が非表示状態か表示開始状態か通常表示状態かに応じて、図4(B)および図4(C)に示すように変化する。ここで、対向電圧 V_{com} は、従来のライン反転駆動方式の液晶表示装置における対向電圧と同様であって、非表示状態では所定の低電圧 V_{cL} であり、表示開始状態および通常表示状態では、画像表示における1水平期間毎に所定の高電圧値 V_{cH} と所定の低電圧値 V_{cL} との間での交互に切り替わる(図4(B)において実線で示す波形参照)。これに対し、クランプ電圧制御部451から出力されるクランプ電圧 V_{clm} は、非表示状態および表示開始状態においては上記低電圧値 V_{cL} と同じ値 V_{clm0} (以下「初期クランプ電圧値」という)であり、通常表示状態においては所定の電圧値(以下「通常クランプ電圧値」という) V_{clm1} となる。この通常クランプ電圧値 V_{clm1} は、開放故障TFTを含む画素形成部 $P(i, j)$ に対応する画素(欠陥画素)が黒表示となるように、液晶パネルのVTカーブ(図18)や液晶容量 C_{lc} と補助容量 C_s との容量比等に基づき決定される(詳細は後述)。

[0054] 液晶表示装置の状態に応じて上記のようにクランプ電圧 V_{clm} が制御されることにより、図3に示す補助電極駆動部450から出力される補助容量線電圧 V_{cs} は、図4(

B)において点線で示すように変化する(図4(B)では、実線で示す波形と点線で示す波形とを見やすくするために両者を相対的に若干ずらして描いている)。すなわち、補助容量線電圧 V_{cs} は、非表示状態では、対向電圧 V_{com} と同様、所定の低電圧値のままで変化せず、表示開始状態では、対向電圧 V_{com} と同振幅かつ同位相の電圧であって対向電圧 V_{com} との電圧差は0であり、通常表示状態では、対向電圧 V_{com} と同振幅かつ同位相の電圧であって対向電圧 V_{com} との電圧差は $\Delta V_c = V_{clm1} - V_{clm0} = V_{clm1} - V_{cL}$ である。

[0055] 既述のように表示開始状態とは、液晶表示装置が非表示状態から通常表示状態となるまでの期間における状態をいい、この期間に、液晶表示装置の起動後における最初の表示データが外部のメインコントローラ(例えば当該液晶表示装置を液晶モジュールとして備える携帯電話等の電子機器のCPU)から当該液晶表示装置のコントローラ600(のメモリ)に転送される。したがって、電源投入等による液晶表示装置の起動時点 t_1 から外部のメインコントローラによる最初の表示データの当該液晶表示装置内への転送が完了する時点 t_2 までが表示開始状態となる。この表示開始状態では、ブランク表示として全面白表示が行われるように(図16参照)、データ信号線駆動回路200、走査信号線駆動回路300および共通電極駆動部400が制御される。したがって、欠陥画素が目立たないようにするには、図4(D)に示すように、欠陥画素が表示開始状態では白表示となり通常表示状態では黒表示となるようにクランプ電圧 V_{clm} を制御すればよい。

[0056] そこで本実施形態では、クランプ電圧制御部451は、表示開始状態から通常表示状態への切り替わり時点すなわち通常表示開示時点 t_2 に、クランプ電圧 V_{clm} を上記低電圧値 V_{cL} に等しい値 V_{clm0} から上記所定値 V_{clm1} へと変化させる。具体的には、コントローラ200が、その内蔵タイマーによって決定される所定期間に基づき表示開始状態においてブランク表示を行うようにデータ信号線駆動回路200等を制御する場合には、当該タイマーからの出力信号に基づき、クランプ電圧制御部451から出力されるクランプ電圧 V_{clm} が初期クランプ電圧値 $V_{clm0}(=V_{cL})$ から通常クランプ電圧値 V_{clm1} へと変更される。また、当該液晶表示装置の外部から与えられる表示開始信号 S_{on} に基づいて通常表示が開始される場合には、その表示開始信

号Sonに基づき、クランプ電圧制御部451から出力されるクランプ電圧Vclmが初期クランプ電圧値Vclm0(=VcL)から通常クランプ電圧値Vclm1へと変更される。

- [0057] 欠陥画素に対応する画素回路(図2(B))は図2(C)に示す回路に等価となり、液晶容量C_{lc}と補助容量C_sとを直列に接続した回路の両端間に、補助容量電圧V_{cs}と対向電圧V_{com}との差に相当する電圧V_{cs}−V_{com}が印加される。この印加電圧V_{cs}−V_{com}は、図3に示す回路構成より、クランプ電圧Vclmと上記低電圧VcLとの差Vclm−VcLに等しい。クランプ電圧Vclmの値は、上記のように、表示開始状態ではVclm0=VcLであり、通常表示状態ではVclm1である。したがって、上記印加電圧V_{cs}−V_{com}は、表示開始状態では0であり、通常表示状態ではVclm1−VcLとなる。ところで、当該画素回路における液晶容量C_{lc}への印加電圧(以下、単に「液晶印加電圧」という)は、式(1)より

$$|V_s - V_{com}| = C_s \cdot (V_{cs} - V_{com}) / (C_{lc} + C_s) \quad \cdots (2)$$

である。したがって、液晶印加電圧は、表示開始状態では0であり、通常表示状態では

$$C_s \cdot |V_{clm1} - V_{cL}| / (C_{lc} + C_s) \quad \cdots (3)$$

となる。

- [0058] 本実施形態では、液晶パネル100のVTカーブ(図18参照)に基づき、上記式(3)で示される液晶印加電圧に対応する液晶の透過率が黒表示に相当する値となるように、通常表示状態におけるクランプ電圧値Vclm1が設定される。例えば、容量比C_{lc}/C_s=1/3の場合、図18に示すVTカーブに対してVclm1−VcL=4[V]となるように通常表示状態におけるクランプ電圧値Vclm1を設定すれば、上記式(3)より、欠陥画素についての液晶印加電圧|V_s−V_{com}|は3[V]となり、当該欠陥画素は黒表示となる。これに対し、表示開始状態では、|V_{cs}−V_{com}|=0[V]であるので、欠陥画素についての液晶印加電圧|V_s−V_{com}|も0[V]となり、当該欠陥画素は白表示となる。なお、この例ではV_{cs}≥V_{com}としているが、液晶の透過率は液晶印加電圧の実効値によって決まるので、V_{cs}≤V_{com}であってもよい。

- [0059] 上記のように設定されたクランプ電圧値Vclm0、Vclm1に基づきクランプ電圧制御部451からのクランプ電圧Vclmが制御されることにより、図4(D)に示すように、欠陥

画素は、非表示状態および表示開始状態では(すなわち全面白表示のときには)白表示となり、通常表示状態では黒表示となる。

[0060] 上記のようなクランプ電圧 V_{clm} を出力するクランプ電圧制御部451は、例えばコントローラ600においてDA変換回路を用いて実現することができる。図5は、本実施形態におけるクランプ電圧制御部451を構成するクランプ電圧発生回路としてのDA変換回路の構成例を示す回路図である。この構成例によるクランプ電圧発生回路は、互いに直列に接続された5個の抵抗素子 $Ra_1 \sim Ra_5$ からなる抵抗列と、接地電圧と所定の基準電源の電圧 V_{ref} (以下「基準電圧 V_{ref} 」という)との間での選択が可能な切替スイッチ $SW_1 \sim SW_4$ と、これらの切替スイッチ $SW_1 \sim SW_4$ と上記抵抗列における各2つの抵抗素子 R_{aj} , R_{aj+1} ($j=1, 2, 3, 4$)の間の接続点とをそれぞれ接続する抵抗素子 $Rb_1 \sim Rb_4$ と、電圧設定レジスタ461と、電圧ホロワ463とを備えており、上記抵抗列の両端は接地され、抵抗素子 Ra_4 と Ra_5 との接続点は、電圧ホロワ463を構成するオペアンプの非反転入力端子に接続されている。そして、切替スイッチ $SW_1 \sim SW_4$ は、電圧設定レジスタ461に書き込まれる電圧設定値としてのデータ D_{clm} によって制御される。この電圧設定レジスタ461へのデータ D_{clm} の書込はコントローラ600の機能に基づいて行われ、コントローラ600のうち電圧設定レジスタ461へのデータ D_{ba} の書込を行う部分は、クランプ電圧制御部451を構成する。

[0061] 上記のような構成によれば、コントローラ600において電圧設定レジスタ461にデータ D_{clm} (電圧設定値)が書き込まれると、それに応じた電圧が電圧ホロワ463に入力され、その電圧がインピーダンス変換されてクランプ電圧 V_{clm} として出力される。

[0062] ところで、本実施形態における補助電極駆動部450では、クランプ電圧 V_{clm} がダイオードD1を介して出力点(コンデンサC1とダイオードD1との接続点) N_{out} に与えられる。したがって、当該補助電極駆動部450が上記基本構成の構成要素のみからなる場合(図3参照)、通常表示状態からブランク表示の状態や非表示状態(電源がオフの状態等)へ移行するときには、クランプ電圧 V_{clm} が0[V]または低電圧値 V_{cL} となっても、ダイオードD1が逆バイアス状態となることから、コンデンサC1の放電に時間(例えば10秒程度)を要する。この放電中は、液晶層のうち欠陥画素に対応する部分(開放故障TFTを含む画素回路における液晶容量 C_{lc})に通常クランプ電圧値

Vclm1に対応する電圧が印加された状態となるので、欠陥画素が黒またはそれに近い表示となって人間に認識されてしまうことがある。そこで、本実施形態における補助電極駆動部450は、このような問題を回避するための構成要素を追加した構成となっている。以下、このような本実施形態における補助電極駆動部450の構成例を説明する。

[0063] <1.2.2 第1の構成例>

図6は、本実施形態における補助電極駆動部450の第1の構成例を示す回路図である。本構成例では、図3に示した基本構成に対して放電用の抵抗素子Rdが構成要素として追加されている。他の構成は基本構成と同様であるので同一部分には同一の参照符号を付して説明を省略する。本構成例では、抵抗素子Rdの一端は、対向電圧Vcomの与えられるコンデンサC1の一端(以下「入力点」という)Ninに接続され、抵抗素子Rdの他端は出力点Noutに接続されている。すなわち、抵抗素子RdはコンデンサC1に並列に接続されている。この抵抗素子Rdの抵抗値としては、対向AC駆動に対応した補助容量線電圧Vcsの生成に影響を与えない程度に十分に高いがコンデンサC1の放電が十分に短い時間で行われるような値(例えば1[MΩ]程度)が、選定される。例えば、2.2[μF]程度の容量値のコンデンサC1に対して1[MΩ]程度の抵抗値の抵抗素子Rdが使用される。これにより、補助電極駆動部450の機能を損なうことなく、クランプ電圧Vclmが通常クランプ電圧値Vclm1からそれよりも低い値(例えば0[V])に変更された場合にコンデンサC1の放電を促進することができる。

[0064] このような第1の構成例によれば、基本構成の場合と実質的に同一の補助容量線電圧Vcsを出力しつつ、クランプ電圧Vclmが通常クランプ電圧値Vclm1からそれよりも低い値に変更されても短時間(例えば数百[msec])でコンデンサC1の放電が行われる。これにより、欠陥画素が人間に認識されるのを防止することができる。

[0065] なお、上記第1の構成例では、放電用の抵抗素子RdはコンデンサC1に並列に接続されているが、これに代えて、放電用の抵抗素子Rdの一端を出力点Noutに接続すると共に、他端を、補助容量線電圧Vcsと対向電圧Vcomとの間に電圧差を生じさせない又は対向電圧Vcomとの電圧差の小さい接地点等に接続してもよい。すなわ

ち、図7に示すように、放電用の抵抗素子 R_d を出力点 N_{out} と接地点との間に接続してもよい。このような構成であっても、電源がオフされた状態では対向電圧 V_{com} も接地電位となるので、抵抗素子 R_d を介したコンデンサ C_1 の放電により、補助容量線電圧 V_{cs} と対向電圧 V_{com} との間に電圧差が生じなくなる。

[0066] <1.2.3 第2の構成例>

図8は、本実施形態における補助電極駆動部450の第2の構成例を示す回路図である。本構成例では、図3に示した基本構成に対して放電用のスイッチ SW_d が構成要素として追加されている。他の構成は基本構成と同様であるので同一部分には同一の参照符号を付して説明を省略する。このスイッチ SW_d は、第1および第2の端子と制御端子とを有し、制御端子にハイレベル(Hレベル)の信号が与えられると第1の端子と第2の端子との間が導通し(スイッチ SW_d がオンし)、制御端子にローレベル(Lレベル)の信号が与えられると第1の端子と第2の端子との間が遮断される(スイッチ SW_d がオフする)。

[0067] 本構成例では、スイッチ SW_d の第1の端子は入力点 N_{in} に接続され、スイッチ SW_d の第2の端子は出力点 N_{out} に接続され、スイッチ SW_d の制御端子にはコントローラ600から当該スイッチ SW_d をオン／オフさせるための制御信号が放電制御信号 C_d として与えられる。この放電制御信号 C_d は、クランプ電圧 V_{clm} が通常クランプ電圧値 V_{clm1} のとき(これは、補助容量線電圧 V_{cs} と対向電圧 V_{com} との間に電圧差が生じるときであり、以下「通常クランプ時」という)にLレベルとなり、クランプ電圧 V_{clm} が初期クランプ電圧値 $V_{clm0}(=V_{cL})$ のとき(これは、補助容量線電圧 V_{cs} と対向電圧 V_{com} との間に電圧差が生じないときであり、以下「初期クランプ時」という)にHレベルとなる。したがって、放電用のスイッチ SW_d は、通常クランプ時にオフし、初期クランプ時にオンする。すなわち、放電用のスイッチ SW_d は、補助容量線電圧 V_{cs} と対向電圧 V_{com} との電圧差の要否に応じて開閉する。これにより、補助電極駆動部450の機能を損なうことなく、クランプ電圧 V_{clm} が通常クランプ電圧値 V_{clm1} からそれよりも低い値(例えば0[V])に変更された場合にコンデンサ C_1 の放電を促進することができる。なお、スイッチ SW_d のオン／オフを制御する放電制御信号 C_d としては、表示制御回路としてのコントローラ600から出力される信号を利用することができる。ま

た、放電用のスイッチSWdはMOSTランジスタや薄膜ランジスタ(TFT)で実現することができ、TFTで放電用のスイッチSWdが実現される場合には、これを液晶パネル100内に形成することも可能である。

[0068] 以上のような第2の構成例によっても第1の構成例と同様の効果が得られる。すなわち、基本構成の場合と実質的に同一の補助容量線電圧Vcsを出力しつつ、クランプ電圧Vclmが通常クランプ電圧値Vclm1から初期クランプ電圧値Vclm0(=VcL)に変更されたときには瞬時にコンデンサC1が放電される。これにより、欠陥画素が人間に認識されるのを防止することができる。

[0069] なお、上記第2の構成例では、放電用のスイッチSWdはコンデンサC1に並列に接続されているが、これに代えて、放電用のスイッチSWdの第1の端子を出力点Noutに接続すると共に、第2の端子を、補助容量線電圧Vcsと対向電圧Vcomとの間に電圧差を生じさせない又は対向電圧Vcomとの電圧差の小さい接地点等に接続してもよい。すなわち、図9に示すように、放電用のスイッチSWdを出力点Noutと接地点との間に接続してもよい。このような構成であっても、電源がオフされた状態では対向電圧Vcomも接地電位となるので、スイッチSWdを介したコンデンサC1の放電により、補助容量線電圧Vcsと対向電圧Vcomとの間に電圧差が生じなくなる。

[0070] <1.2.4 他の構成例>

図10は、本実施形態における補助電極駆動部450の他の構成例を示す回路図である。本構成例では、クランプ電圧制御部451におけるクランプ電圧発生回路としてコントローラ600の外部に、DA変換回路を内蔵したDC/DCコンバータ455が設けられており、この点を除けば、図6に示した第1の構成例と同様である。したがって、本構成例のうち第1の構成例と同一の部分については同一の参照符号を付して説明を省略する。なお、本構成例におけるクランプ電圧制御部451は、コントローラ600(またはその一部)とDC/DCコンバータ455とによって実現される。

[0071] このような構成によれば、液晶パネル100を駆動するために設けられたDC/DCコンバータ455へ適切なクランプ電圧設定データDclmを与えることで、液晶パネル100で使用される液晶の特性に応じたクランプ電圧Vclmを発生させることができる。通常、コントローラ600は低電圧で動作するので、このような構成によれば、高いクラン

プ電圧を必要とする場合にも対応可能となる。

[0072] なお、第1の構成例の変形例(図7)、第2の構成例(図8)、または第2の構成例の変形例(図9)においても、クランプ電圧制御部451を、図10に示すようにコントローラ600(またはその一部)とDC/DCコンバータ455とによって実現してもよい。

[0073] 図11は、本実施形態における補助電極駆動部450の更に他の構成例を液晶表示装置の全体構成(共通電極駆動部400の構成を含む)と共に示す回路図である。以下、この構成例について説明する。

[0074] 図11に示した液晶表示装置は、対向AC駆動が行われるTFT-LCD装置であり、液晶パネル100と、その液晶パネル100に搭載されたデータ信号線駆動回路200および走査信号線駆動回路300と、表示制御回路としてのコントローラ600と、電源供給回路としてのDC/DCコンバータ403と、共通電極駆動部の構成要素としての第1の抵抗素子R1、第2の抵抗素子R2およびコンデンサC0と、補助電極駆動部の構成要素としてのコンデンサC1およびダイオードD1とを備えている。

[0075] 液晶パネル100は、液晶層を挟持するTFT基板102と対向基板104からなり、TFT基板102では、ガラス等の絶縁性基板上に、複数のデータ信号線と複数の走査信号線とが互いに交差するように格子状に形成され、当該複数のデータ信号線と当該複数の走査信号線との交差点にそれぞれ対応して複数の画素回路(画素形成部)がマトリクス状に形成されている(以下、このようにマトリクス状に形成された当該複数の画素回路を「画素アレイ」という)。データ信号線駆動回路200および走査信号線駆動回路300はTFT基板102上に実装されており、データ信号線駆動回路200は上記複数のデータ信号線に接続され、走査信号線駆動回路300は上記複数の走査信号線に接続されている。

[0076] コントローラ600は、外部の信号源(不図示)から与えられる画像信号および制御信号に基づき、データ信号線駆動回路200を動作させるための駆動制御信号(画素値に相当する電圧を各画素電極に与えるための画像信号を含む)Ssdv、および、走査信号線駆動回路300を動作させるための駆動制御信号Sgdvを生成する。また、このコントローラ600は、共通電極Ecを駆動するためのバイアス電圧Vbaを出力するDA変換回路401、および、補助容量線CS(1)～CS(M)を駆動するためのクランプ電

圧 V_{clm} を出力するクランプ電圧制御部451を含んでいる。

[0077] DC/DCコンバータ403は、コントローラ600からの制御信号Sigに基づき、他の電源(例えば当該液晶表示装置を含む携帯電話等の電子機器の電源(不図示))によって与えられる直流電圧から、コントローラ600やデータ信号線駆動回路200等の電源電圧としての直流電圧 V_{01} を生成する。これに加えて、このDC/DCコンバータ403は、共通電極Ecを駆動するための矩形波電圧 V_{pp} および基準電圧 V_{00} を出力する。

[0078] 上記コントローラ600内のDA変換回路401から出力されるバイアス電圧 V_{ba} は、第1の抵抗素子 R_1 の一端に与えられ、第1の抵抗素子 R_1 の他端は第2の抵抗素子 R_2 の一端と接続されている。第2の抵抗素子 R_2 の他端には、上記DC/DCコンバータ403から出力される基準電圧 V_{00} が与えられ、これにより、第2の抵抗素子 R_2 の他端が接地されて、第1および第2の抵抗素子 R_1 , R_2 からなる抵抗列の両端間に直流電圧としてのバイアス電圧 V_{ba} が印加される。また、第1の抵抗素子 R_1 と第2の抵抗素子 R_2 との接続点 T_{out} にはコンデンサ C_0 の一端が接続され、コンデンサ C_0 の他端には、上記DC/DCコンバータ403から出力される矩形波電圧 V_{pp} が与えられる。このようにして、第1の抵抗素子 R_1 と第2の抵抗素子 R_2 とは、バイアス電圧 V_{ba} を分圧するための抵抗列を構成し、コンデンサ C_0 は、矩形波電圧 V_{pp} を当該抵抗列内の接続点 T_{out} に与えるための結合コンデンサとして機能する。

[0079] 上記コントローラ600内のDA変換回路401と、上記DC/DCコンバータ403と、第1および第2の抵抗素子 R_1 , R_2 と、コンデンサ C_0 とは、共通電極駆動部を構成し、第1の抵抗素子 R_1 と第2の抵抗素子 R_2 との接続点(以下「出力点」という) T_{out} の電圧は、対向電圧 V_{com} として液晶パネル100の共通電極Ecに与えられる。

[0080] このような共通電極駆動部の構成を前提として、補助電極駆動部は、コンデンサ C_1 と、ダイオード D_1 と、コントローラ600内のクランプ電圧制御部451とから構成される。そして、コンデンサ C_1 の一端には、DC/DCコンバータ403から出力される矩形波電圧 V_{pp} が与えられると共に、ダイオード D_1 のアノードには、クランプ電圧制御部451からクランプ電圧 V_{clm} が与えられ、コンデンサ C_1 とダイオード D_1 のカソードとが接続され、その接続点 N_{out} の電圧が補助容量線電圧 V_{cs} として補助容量線CS(1)

～CS (M) に印加される。なお、クランプ電圧制御部451の構成および動作については既述の基本構成例の場合と同様であるので説明を省略する。また、本構成例では省略されているが、上記第1または第2の構成例のように、放電用の抵抗素子RdまたはスイッチSWdを接続するのが好ましい(図6、図7、図8、図9参照)。

[0081] このような補助電極駆動部では、上記の基本構成や第1および第2の構成例とは異なり、コンデンサC1の一端に矩形波電圧Vppが与えられるが、この矩形波電圧Vppは、対向電圧Vcomとは直流成分が異なるのみであり(矩形波電圧Vppは対向電圧Vcomとは交流的に同等の電圧である)、コンデンサC1で直流成分を遮断された後に補助容量線電圧Vcsの出力点としての接続点Noutに与えられる。また、この接続点Noutにはクランプ電圧制御部451からクランプ電圧VclmがダイオードD1を介して与えられる。したがって、本構成例の補助電極駆動部によっても、上記基本構成例等と同様の補助容量線電圧Vcsが生成される。

[0082] <1.3 効果>

上記のような本実施形態によれば、補助電極駆動部450におけるクランプ電圧Vclmは、液晶表示装置が表示開始状態のときには初期クランプ電圧値Vclm0となり、液晶表示装置が通常表示状態のときには通常クランプ電圧値Vclm1となる(図4(C))。これにより、欠陥画素は、全面白表示(ブランク表示)が行われる表示開始状態のときに白表示となり、通常表示状態のときには黒表示となる。したがって、残電荷による表示開始時の異常表示を抑えつつ、欠陥画素を通常表示状態のときだけでなく表示開始状態においても目立たないようにすることができる。

[0083] <2. 第2の実施形態>

図12は、本発明の第2の実施形態に係る液晶表示装置としての液晶表示モジュールの構成を示す機能ブロック図である。本実施形態に係る液晶モジュール2000は、携帯電話等の電子機器(以下「本体」という)において使用され、表示制御回路としてのコントローラ(以下「表示用コントローラ」という)600と、データ信号線駆動回路および走査信号線駆動回路等の搭載された液晶パネル100と、共通電極駆動部400と、補助電極駆動部450とを備えている。このような液晶モジュール2000の表示用コントローラ600には、本体のメインコントローラとしてのCPU1000が接続され、当該CPU

1000には、表示データ等を格納するためのメモリとしてのRAM(Random Access Memory) 1020が接続されている。CPU1000がRAM1020から表示データを読み出して液晶モジュール2000内の表示用コントローラ600に転送すると、表示用コントローラ600は、その表示データに基づく画像信号を液晶パネル100内のデータ信号線駆動回路に供給すると共に、所定の制御信号をデータ信号線駆動回路や、走査信号線駆動回路、共通電極駆動部、補助電極駆動部450に供給する。これにより、液晶パネル100におけるデータ信号線および走査信号線がデータ信号線駆動回路および走査信号線駆動回路によってそれぞれ駆動され、液晶パネルにおける共通電極および補助容量線が共通電極駆動部400および補助電極駆動部450によってそれぞれ駆動されることで、上記表示データによって表される画像が当該液晶パネル100に表示される。なお、以下では、補助電極駆動部450は図10に示すように構成されているものとして説明するが、この構成に限定されるものではない。

[0084] このような本実施形態における表示用コントローラ600は、本体のCPU1000から転送される表示データに基づき、液晶パネル100において白表示が支配的か否か(白または白に近い表示を多くしているか否か)を判定する判定部620を含んでいる。この判定部620は、1画面分の表示データに基づき白または白に近い画素の数を計数することで白または白に近い表示の割合を算出し、その算出結果に基づいて白表示が支配的か否かを判定する。例えば320本の表示ラインを有する画面において図14に示すような「時計表示」が行われる場合、時刻を示す数値などの表示領域は例えば320本のうち40本の表示ラインに相当する領域となり、他の表示領域は白表示となる。このような時計表示については、上記判定部620により、白表示が支配的と判定される。

[0085] 表示用コントローラ600は、判定部620の判定結果に基づき、クランプ電圧設定データDclmを補助電極駆動部450に出力する。ここで出力されるクランプ電圧設定データDclmは、上記第1の実施形態と同様、液晶モジュール2000が表示開始状態のときには初期クランプ電圧Vclm0に相当する値となり(図4)、これに加えて、液晶モジュール2000が通常表示状態のときであっても、判定部620により白表示が支配的であると判定された場合には、クランプ電圧設定データDclmは初期クランプ電圧Vc

lm0に相当する値となる。そして、液晶モジュール2000が通常表示状態のときであって、判定部620により白表示が支配的ではないと判定された場合に、クランプ電圧設定データDclmは通常クランプ電圧Vclm1に相当する値となる。

[0086] 上記のような本実施形態によれば、通常表示状態において、欠陥画素は、白表示が支配的である場合には白表示となり、白表示が支配的でない場合には黒表示となる。したがって、第1の実施形態と同様の効果(全面白表示が行われる表示開始状態において欠陥画素を目立たなくするという効果)に加えて、通常表示状態において欠陥画素をより確実に目立たなくすることができる。

[0087] なお、上記実施形態において判定部620は、本体のCPU1000から転送される表示データに基づいて白表示が支配的か否かを判定するが、これに代えて又はこれと共に、例えば「時計表示」のように白表示が支配的な表示を行う場合には、判定部620は、本体のCPU1000から所定コマンドを受け取り、当該コマンドに基づいて白表示が支配的か否かを判定するようにしてもよい。

[0088] <3. その他の実施形態および変形例>

上記第1および第2の実施形態では、液晶表示装置に電源が投入されるときに当該液晶表示装置が非表示状態から表示開始状態を経て通常表示状態へと移行し、その移行過程の表示開始状態においてブランク表示として全面白表示が行われることを前提として(図15参照)、本発明が適用されている。しかし、これに代えて又はこれと共に、液晶表示装置の電源が遮断されるときに当該液晶表示装置が通常表示状態から終了表示状態を経て非表示へと移行し、その移行過程の終了表示状態においてブランク表示として全面白表示が行われることを前提として、本発明を適用してもよい。この場合、補助電極駆動部については、上記第1または第2の実施形態と基本的に同様の構成を採用した上で、電源オフ時において図14(C)に示すようにクランプ電圧Vclmを変化させることにより、補助容量線電圧Vcsおよび対向電圧Vcomは図14(B)に示すように変化する(図14(B)では、実線で示す波形と点線で示す波形とを見やすくするために両者を相対的に若干ずらして描いている)。これにより、図14(D)に示すように、欠陥画素を通常表示状態において黒表示としつつ、全面白のブランク表示が行われる終了表示状態では欠陥画素を白表示とすることができる。

したがって、終了表示状態におけるブランク表示によって残電荷による異常表示を抑えつつ、欠陥画素を通常表示状態のときだけでなく終了表示状態(全面白表示の状態)においても目立ちにくくすることができる。

[0089] 上記第1および第2の実施形態では、画素電極と共通電極とが異なる基板上に形成された液晶パネルを例に挙げて説明したが、これらの電極構造に限定はなく、例えば、IPS(In Plane Switching)方式のような、同一基板上に画素電極と共通電極とが形成されているものであってもよい。

[0090] 上記第1および第2の実施形態では、液晶への印加電圧の極性が1水平走査線毎に反転するライン反転駆動方式の液晶表示装置を例に挙げて説明したが、本発明はこれに限定されるものではなく、対向AC駆動が行われる他の反転駆動方式の表示装置にも適用可能である。例えば、液晶への印加電圧の極性が n 水平走査線毎に反転する n ライン反転駆動方式の液晶表示装置($n \geq 2$)やフレーム反転駆動方式の液晶表示装置にも適用可能である。さらに、対向AC駆動が行われない液晶表示装置すなわち対向DC駆動が行われる液晶表示装置においても、本発明が適用可能である。例えば、対向DC駆動が行われる場合において、全面白のブランク表示が行われるとき(表示開始状態等)に欠陥画素が白表示となるように補助容量線電圧 V_{cs} を対向電圧 V_{cs} に等しくし、通常表示状態のときには欠陥画素が黒表示となるように補助容量線電圧 V_{cs} を対向電圧 V_{cs} よりも大きい値または小さい値とすればよい。

[0091] 上記第1および第2の実施形態の説明からわかるように、本発明は、液晶パネルが点順次駆動されるか線順次駆動されるかに関わらず適用可能であり、また、例えばデータ信号線駆動回路の出力端子と液晶パネルのデータ信号線との間に切替スイッチを設けることにより各水平期間内で複数のデータ信号線を時分割的に駆動する液晶表示装置にも適用可能である。

[0092] なお以上の説明では、ノーマリホワイト型の液晶パネルが使用されていることを前提としているが、ノーマリブラック方式の液晶パネルが使用されている液晶表示装置であっても、表示開始状態におけるブランク表示として全面白表示が行われる場合には、本発明の適用が可能である。

産業上の利用可能性

[0093] 本発明は、複数の画素電極とそれに対向する共通電極との間に電圧を印加することによって画像を表示する表示装置に適用されるものであり、アクティブマトリクス型の液晶表示装置に適する。

請求の範囲

- [1] 複数の画素電極と当該複数の画素電極に共通的に設けられた共通電極との間の電位差に応じて画像を表示する表示装置であって、
- 各画素電極に対応して設けられたスイッチング素子と、
- 各画素電極との間に所定容量が形成されるように設けられた補助電極と、
- 表示すべき画像に応じた電圧を前記複数の画素電極に、それぞれ対応するスイッチング素子を介して与える画素電極駆動部と、
- 前記共通電極に所定の対向電圧を与える共通電極駆動部と、
- 前記補助電極に所定の補助電圧を与える補助電極駆動部とを備え、
- 前記補助電極駆動部は、
- 前記補助電圧と前記対向電圧との間に電圧差が生じうるように前記補助電圧を生成する補助電圧生成部と、
- 前記スイッチング素子のうち故障によって開放状態となったスイッチング素子である開放故障スイッチング素子に対応する画素電極によって表示される欠陥画素が目立たないように、前記表示すべき画像に応じて前記電圧差を変更する電圧差制御部と
- を含むことを特徴とする、表示装置。
- [2] 前記電圧差制御部は、
- 前記表示すべき画像が全面白表示の画像である場合には、前記開放故障スイッチング素子に対応する画素電極と前記共通電極との間に白表示に相当する電圧が印加されるように前記電圧差を制御し、
- 前記表示すべき画像が全面白表示の画像でない場合には、前記開放故障スイッチング素子に対応する画素電極と前記共通電極との間に黒表示に相当する電圧が印加されるように前記電圧差を制御することを特徴とする、請求項1に記載の表示装置。
- [3] 前記電圧差制御部は、当該表示装置の電源投入時または電源遮断時に所定期間だけ全面白表示の画像が表示される場合に、
- 前記所定期間は、前記開放故障スイッチング素子に対応する画素電極と前記共

通電極との間に白表示に相当する電圧が印加されるように前記電圧差を制御し、

前記所定期間以外では、前記開放故障スイッチング素子に対応する画素電極と前記共通電極との間に黒表示に相当する電圧が印加されるように前記電圧差を制御することを特徴とする、請求項1に記載の表示装置。

- [4] 前記表示すべき画像において白表示が支配的か否かを判定する判定部を更に備え、

前記電圧差制御部は、前記判定部によって白表示が支配的であると判定された場合に、前記開放故障スイッチング素子に対応する画素電極と前記共通電極との間に白表示に相当する電圧が印加されるように前記電圧差を制御することを特徴とする、請求項1に記載の表示装置。

- [5] 前記補助電圧生成部は、

前記対向電圧または前記対向電圧と交流的に同等の電圧が一端に与えられるコンデンサと、

前記コンデンサの他端に一端が接続されたダイオードとを有し、

前記補助電極駆動部は、前記コンデンサの他端の電圧を前記補助電圧として出力し、

前記電圧差制御部は、所定のクランプ電圧を生成して前記ダイオードの他端に与え、かつ、当該クランプ電圧の値を変更することにより前記電圧差を変更することを特徴とする、請求項1に記載の表示装置。

- [6] 前記補助電圧生成部は、前記コンデンサに並列に接続された抵抗素子を有することを特徴とする、請求項5に記載の表示装置。

- [7] 前記補助電圧生成部は、前記コンデンサの他端と接地点との間に接続された抵抗素子を有することを特徴とする、請求項5に記載の表示装置。

- [8] 前記補助電圧生成部は、前記コンデンサに並列に接続されたスイッチを有し、

前記スイッチは、前記電圧差の要否に応じて開閉することを特徴とする、請求項5に記載の表示装置。

- [9] 前記補助電圧生成部は、前記コンデンサの他端と接地点との間に接続されたスイッチを有し、

前記スイッチは、前記電圧差の要否に応じて開閉することを特徴とする、請求項5に記載の表示装置。

- [10] 複数の画素電極と、各画素電極との間に第1の容量が形成されるように前記複数の画素電極に共通的に設けられた共通電極と、各画素電極との間に第2の容量が形成されるように設けられた補助電極とを有し、各画素電極と前記共通電極との間の電位差に応じて画像を表示する表示装置の駆動回路であって、

前記画像に応じた電圧を前記複数の画素電極に与える画素電極駆動部と、
前記共通電極に所定の対向電圧を与える共通電極駆動部と、
前記補助電極に所定の補助電圧を与える補助電極駆動部とを備え、
前記補助電極駆動部は、

前記補助電圧と前記対向電圧との間に電圧差が生じうるように前記補助電圧を生成する補助電圧生成部と、

前記電圧差を変更する電圧差制御部と
を含むことを特徴とする駆動回路。

- [11] 前記補助電圧生成部は、

前記対向電圧または前記対向電圧と交流的に同等の電圧が一端に与えられるコンデンサと、

前記コンデンサの他端に一端が接続されたダイオードとを有し、
前記補助電極駆動部は、前記コンデンサの他端の電圧を前記補助電圧として出力し、

前記電圧差制御部は、所定のクランプ電圧を生成して前記ダイオードの他端に与え、かつ、当該クランプ電圧の値を変更することにより前記電圧差を変更することを特徴とする、請求項10に記載の駆動回路。

- [12] 複数の画素電極と、各画素電極に対応して設けられたスイッチング素子と、各画素電極との間に第1の容量が形成されるように前記複数の画素電極に共通的に設けられた共通電極と、各画素電極との間に第2の容量が形成されるように設けられた補助電極とを有し、各画素電極と前記共通電極との間の電位差に応じて画像を表示する表示装置の駆動方法であって、

前記画像に応じた電圧を前記複数の画素電極に、それぞれ対応するスイッチング素子を介して与える画素電極駆動ステップと、

前記共通電極に所定の対向電圧を与える共通電極駆動ステップと、

前記補助電極に所定の補助電圧を与える補助電極駆動ステップとを備え、

前記補助電極駆動ステップでは、

前記補助電圧と前記対向電圧との間に電圧差が生じるように前記補助電圧が生成され、

前記スイッチング素子のうち故障によって開放状態となったスイッチング素子である開放故障スイッチング素子に対応する画素電極によって表示される欠陥画素が目立たないように、前記表示すべき画像に応じて前記電圧差が変更されることを特徴とする、駆動方法。

[13] 前記補助電極駆動ステップは、

前記表示すべき画像が全面白表示の画像である場合には、前記開放故障スイッチング素子に対応する画素電極と前記共通電極との間に白表示に相当する電圧が印加されるように前記電圧差を制御するステップと、

前記表示すべき画像が全面白表示の画像でない場合には、前記開放故障スイッチング素子に対応する画素電極と前記共通電極との間に黒表示に相当する電圧が印加されるように前記電圧差を制御するステップとを含むことを特徴とする、請求項12に記載の駆動方法。

[14] 前記補助電極駆動ステップでは、当該表示装置の電源投入時または電源遮断時に所定期間だけ全面白表示の画像が表示される場合において、

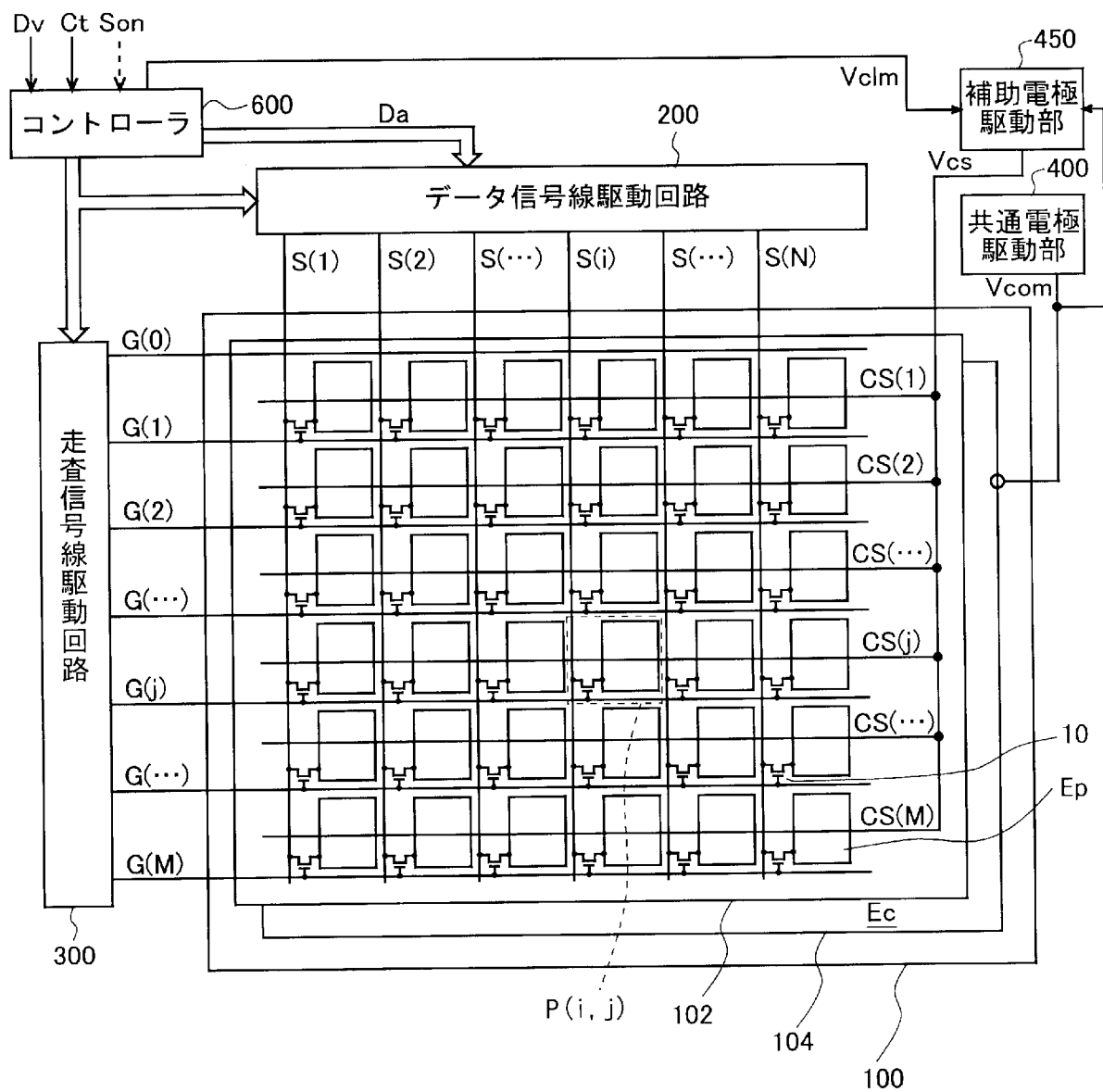
前記所定期間は、前記開放故障スイッチング素子に対応する画素電極と前記共通電極との間に白表示に相当する電圧が印加されるように前記電圧差が制御され、

前記所定期間以外では、前記開放故障スイッチング素子に対応する画素電極と前記共通電極との間に黒表示に相当する電圧が印加されるように前記電圧差が制御されることを特徴とする、請求項12に記載の駆動方法。

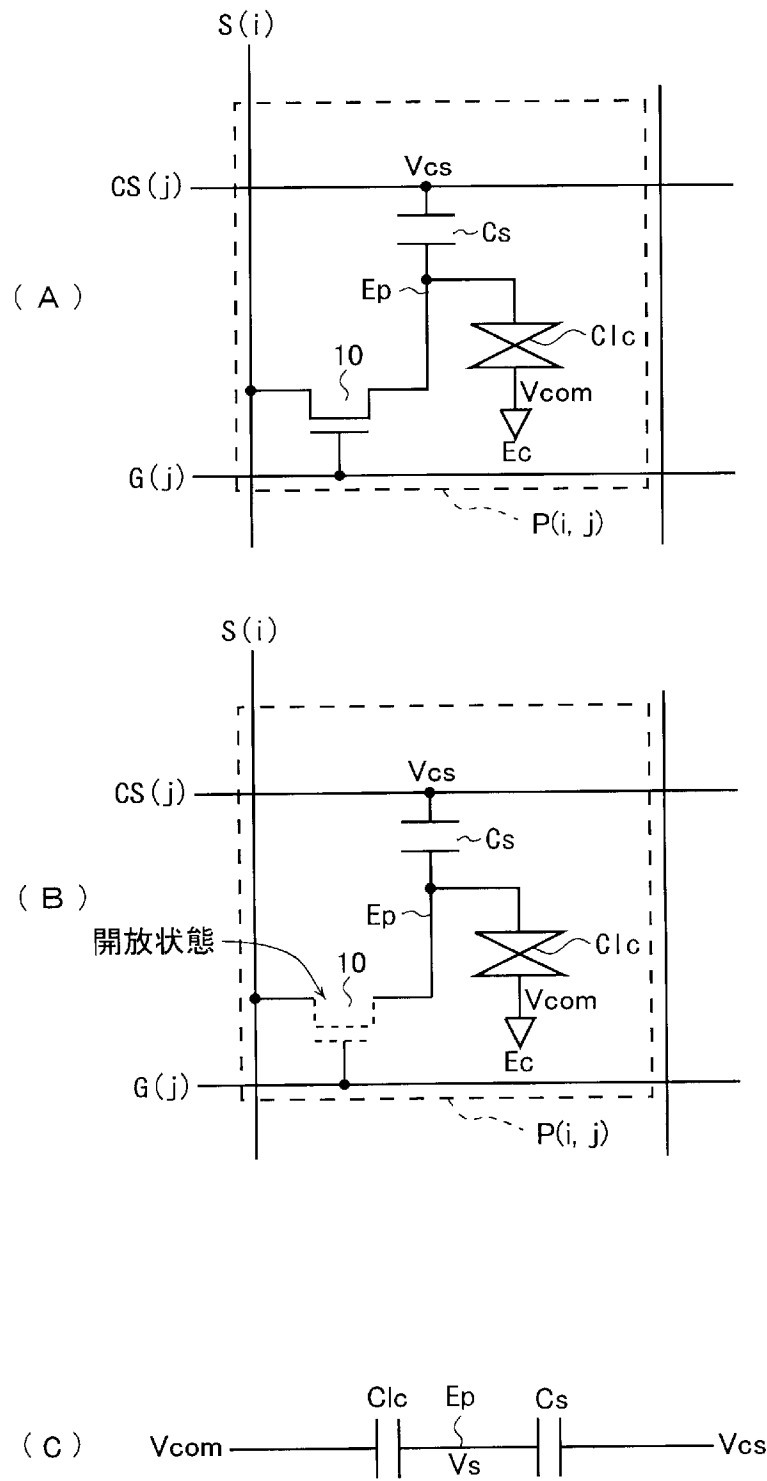
[15] 前記表示すべき画像において白表示が支配的か否かを判定するステップを更に備え、

前記補助電極駆動ステップでは、白表示が支配的であると判定された場合に、前記開放故障スイッチング素子に対応する画素電極と前記共通電極との間に白表示に相当する電圧が印加されるように前記電圧差が制御されることを特徴とする、請求項12に記載の駆動方法。

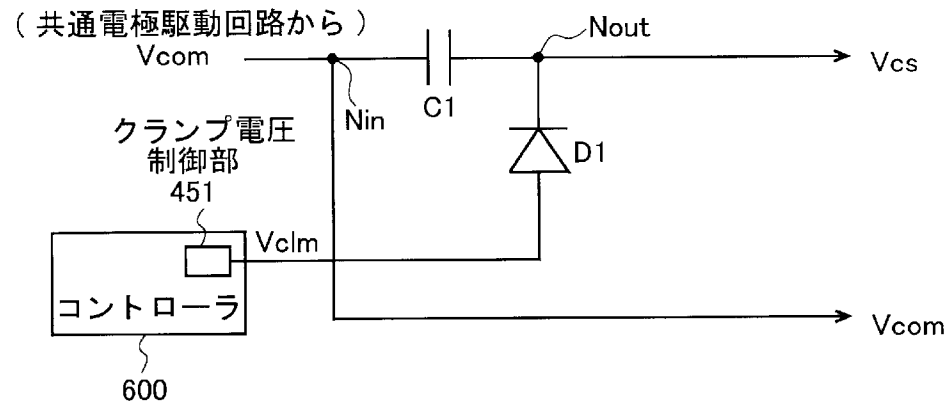
[図1]



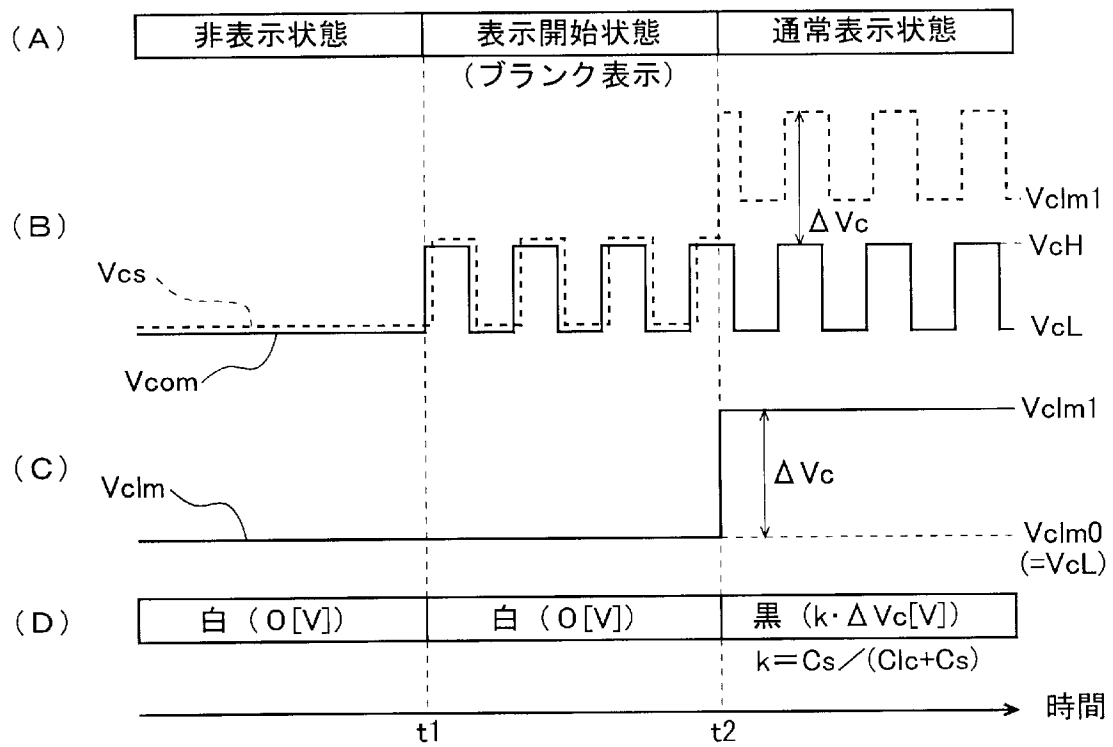
[図2]



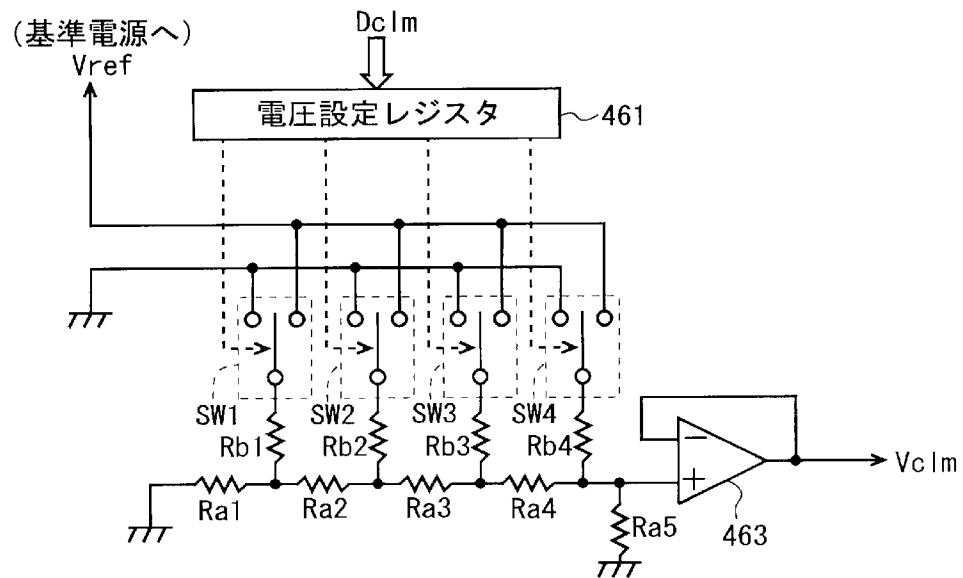
[図3]



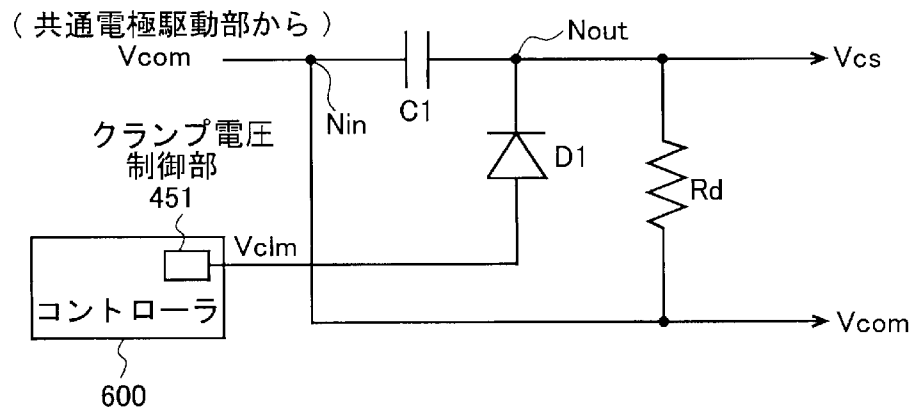
[図4]



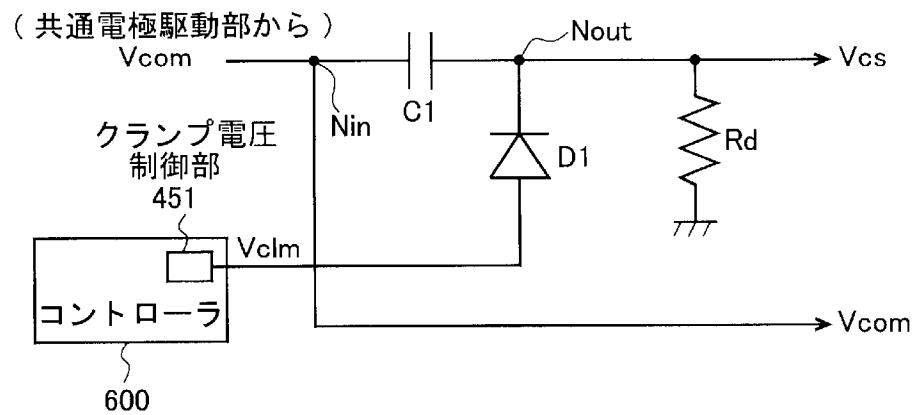
[図5]



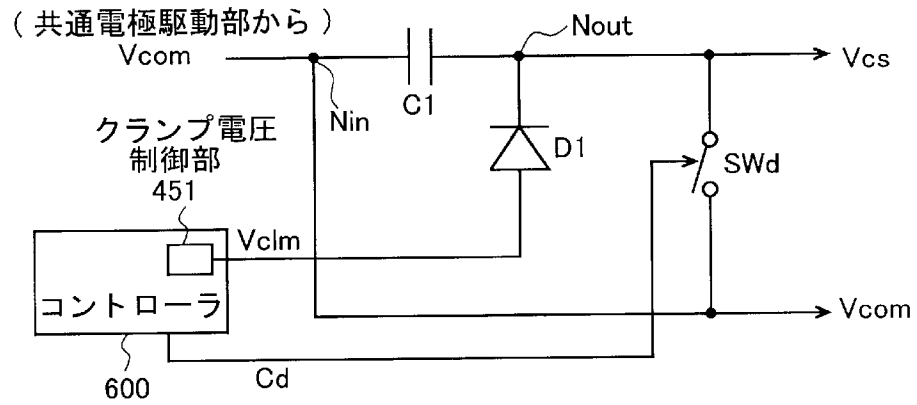
[図6]



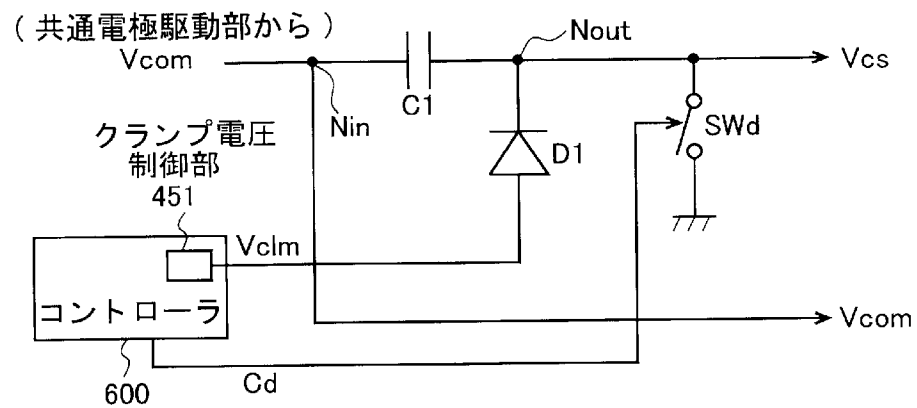
[図7]



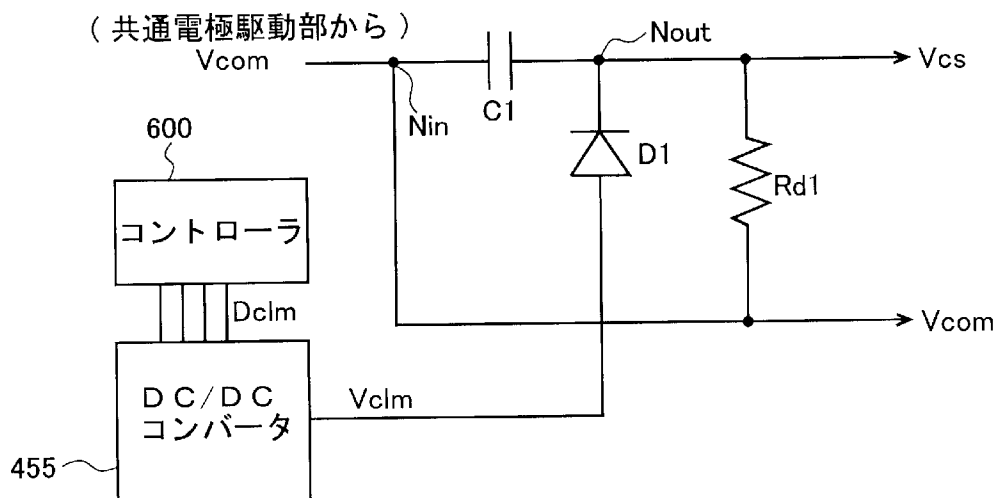
[図8]



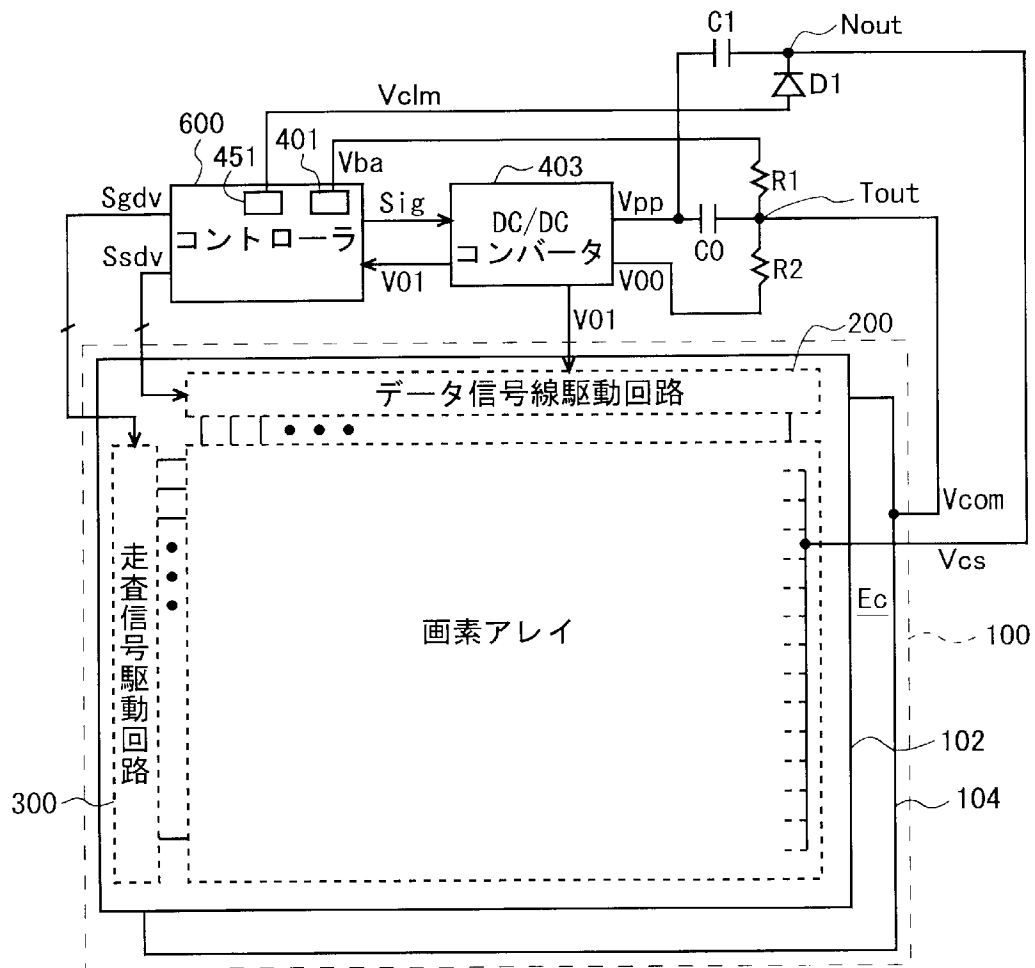
[図9]



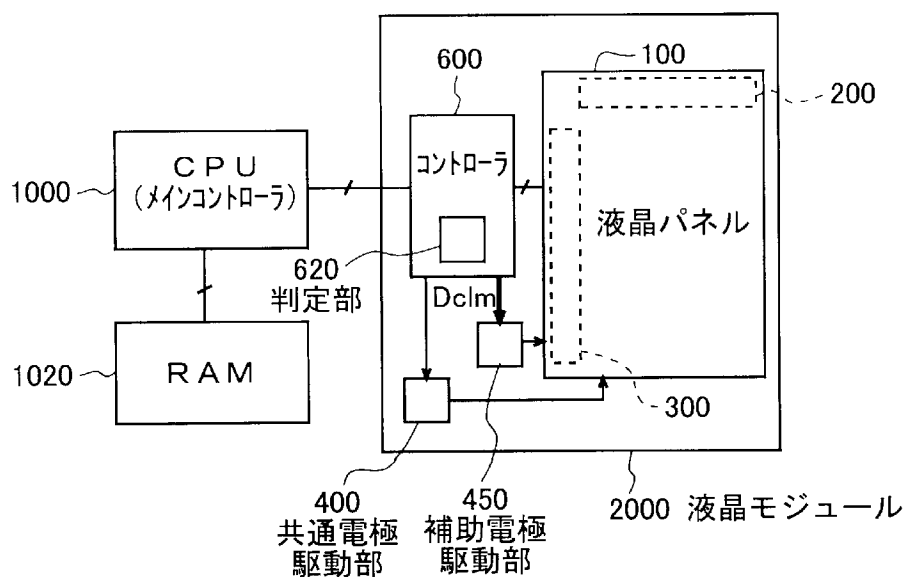
[図10]



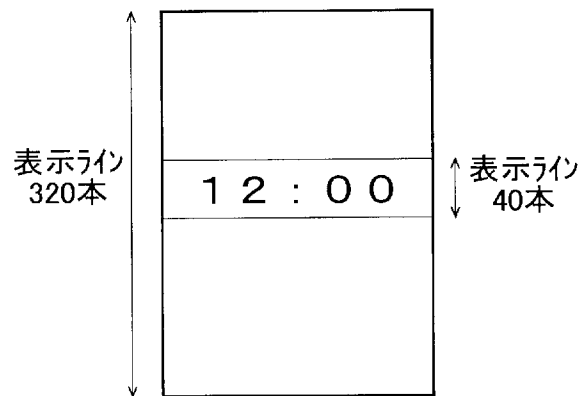
[図11]



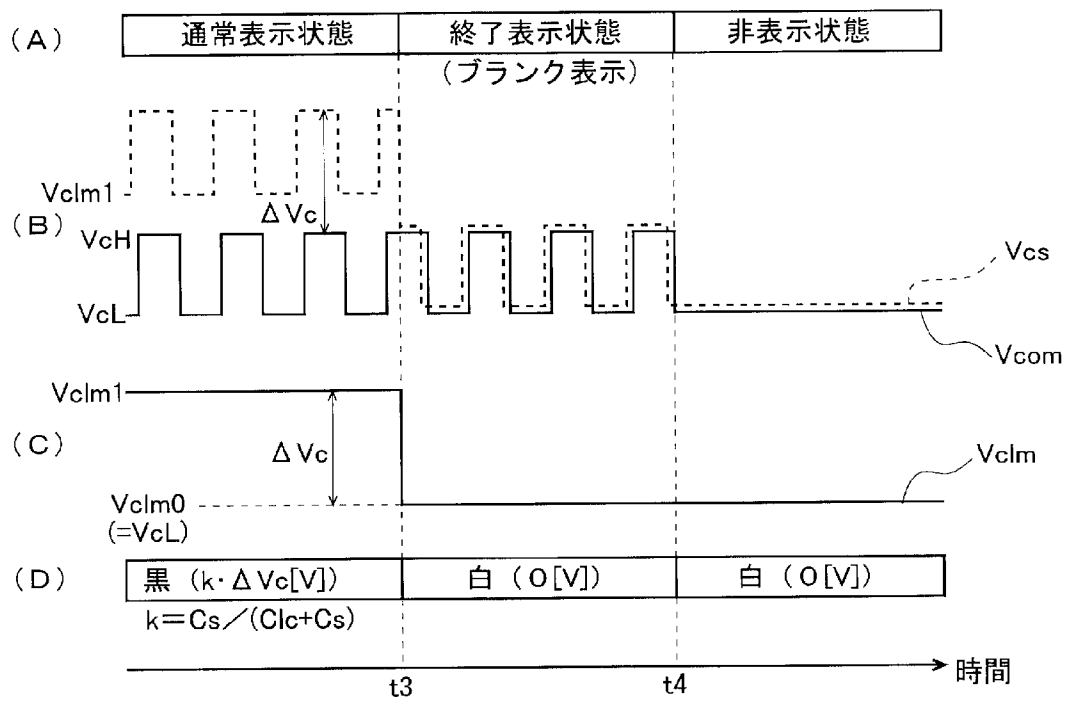
[図12]



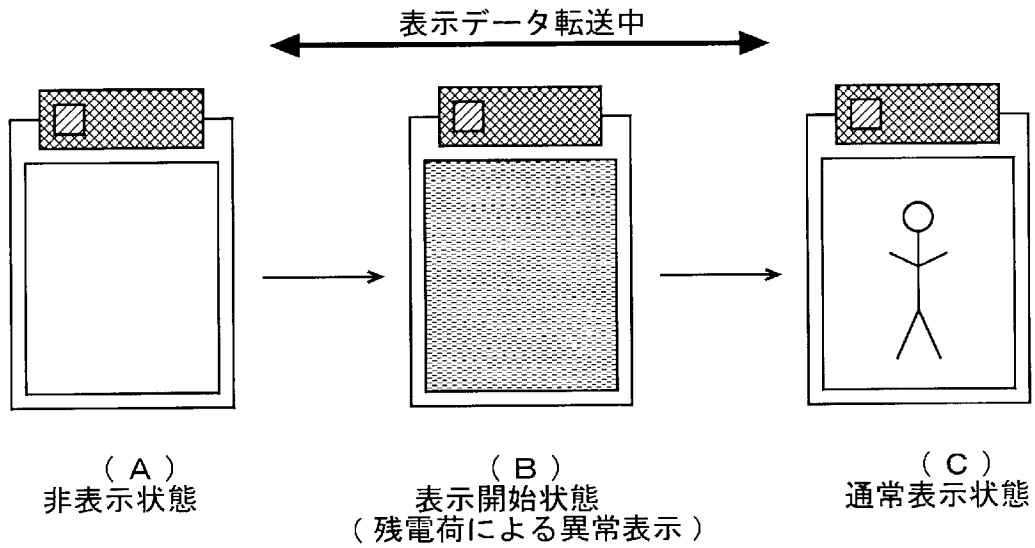
[図13]



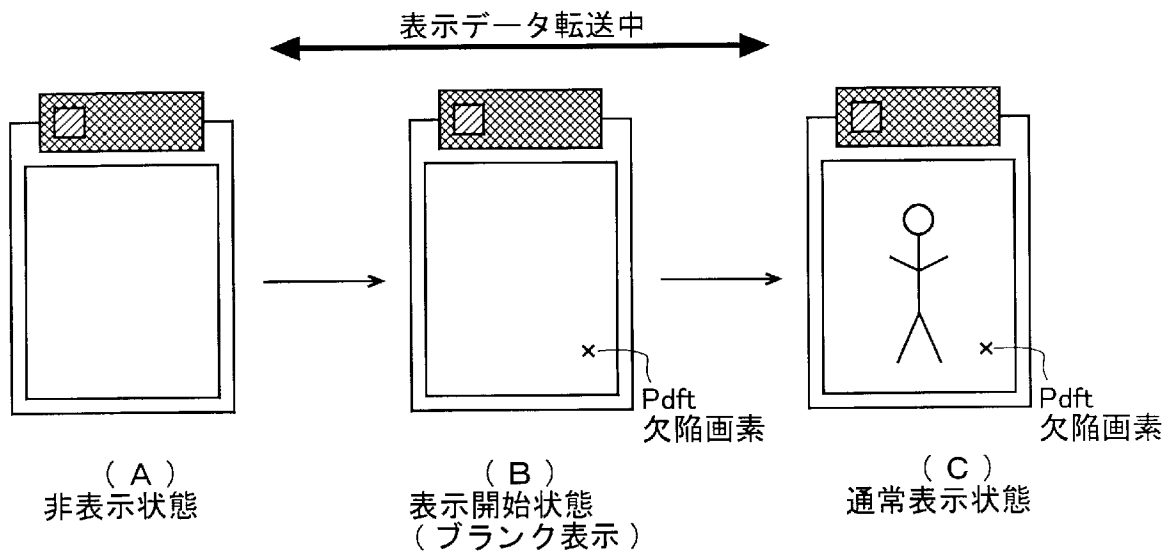
[図14]



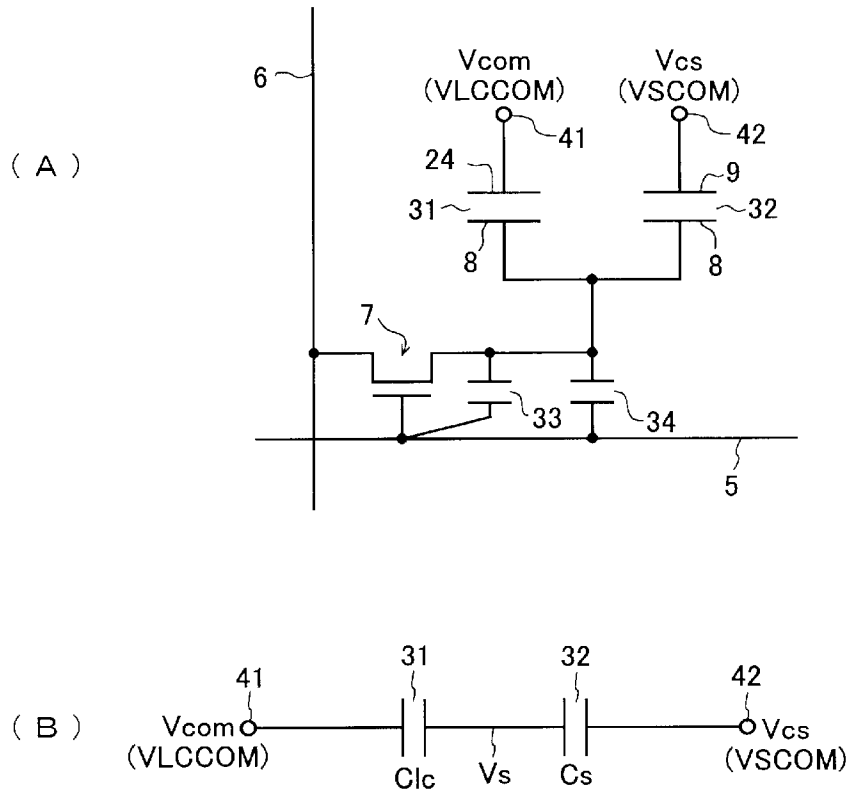
[図15]



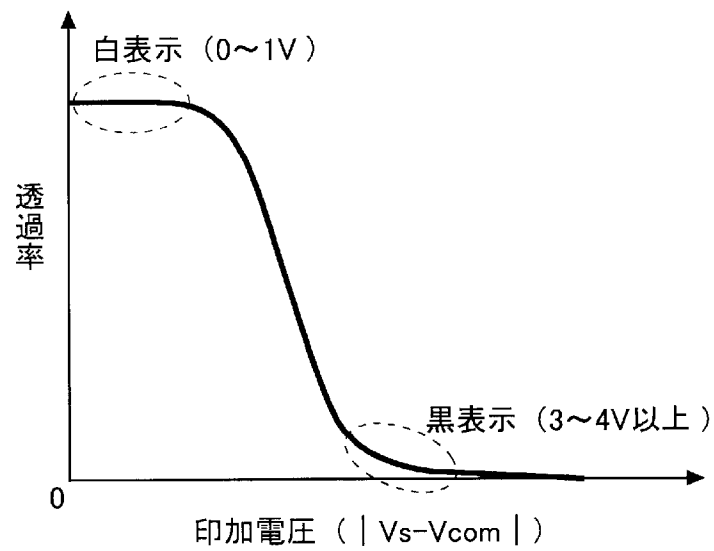
[図16]



[図17]



[図18]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/310430

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/36(2006.01), G02F1/133(2006.01), G09G3/20(2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F1/133, G09G3/20, G09G3/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2003-216117 A (Matsushita Electric Industrial Co., Ltd.), 30 July, 2003 (30.07.03), Par. Nos. [0007] to [0025]; Figs. 1 to 13 (Family: none)	1, 3, 10 5, 11 2, 4, 6-9, 12-15
Y	JP 2002-358050 A (Casio Computer Co., Ltd.), 13 December, 2002 (13.12.02), Par. Nos. [0047] to [0052]; Fig. 4 (Family: none)	5, 11
A	JP 2001-265287 A (Sharp Corp.), 28 September, 2001 (28.09.01), Par. Nos. [0054] to [0056]; Figs. 15 to 16 & US 2002/0008685 A1	1-15

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
12 June, 2006 (12.06.06)Date of mailing of the international search report
20 June, 2006 (20.06.06)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/310430

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 5-216443 A (Toshiba Corp.), 27 August, 1993 (27.08.93), Par. Nos. [0033] to [0063]; Figs. 1 to 5 (Family: none)	1-15
A	JP 2001-188217 A (Sharp Corp.), 10 July, 2001 (10.07.01), Par. Nos. [0045] to [0046]; Figs. 3 to 5 & US 6864871 B1	1-15
A	JP 8-248389 A (Casio Computer Co., Ltd.), 27 September, 1996 (27.09.96), Par. Nos. [0015] to [0019]; Fig. 1 (Family: none)	1-15
A	JP 10-293284 A (Canon Inc.), 04 November, 1998 (04.11.98), Par. Nos. [0014] to [0018]; Figs. 1 to 5 (Family: none)	1-15

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G09G3/36 (2006.01), G02F1/133 (2006.01), G09G3/20 (2006.01)

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G02F 1/133, G09G 3/20, G09G 3/36

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2006年
日本国実用新案登録公報	1996-2006年
日本国登録実用新案公報	1994-2006年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y A	J P 2 0 0 3 - 2 1 6 1 1 7 A (松下電器産業株式会社) 2 0 0 3 . 0 7 . 3 0 , 段落【0007】-【0025】、【図1】 -【図13】(ファミリーなし)	1, 3, 10 5, 11 2, 4, 6-9, 12-15
Y	J P 2 0 0 2 - 3 5 8 0 5 0 A (カシオ計算機株式会社) 2 0 0 2 . 1 2 . 1 3 , 段落【0047】-【0052】、【図4】 (ファミリーなし)	5, 11

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

12.06.2006

国際調査報告の発送日

20.06.2006

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

西島 篤宏

2 G

9308

電話番号 03-3581-1101 内線 3226

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 2001-265287 A (シャープ株式会社) 2001. 09. 28, 段落【0054】－【0056】, 【図15】－【図16】 & US 2002/0008685 A1	1-15
A	J P 5-216443 A (株式会社東芝) 1993. 08. 27, 段落【0033】－【0063】, 【図1】 －【図5】 (ファミリーなし)	1-15
A	J P 2001-188217 A (シャープ株式会社) 2001. 07. 10, 段落【0045】－【0046】, 【図3】 －【図5】 & US 6864871 B1	1-15
A	J P 8-248389 A (カシオ計算機株式会社) 1996. 09. 27, 段落【0015】－【0019】, 【図1】 (ファミリーなし)	1-15
A	J P 10-293284 A (キヤノン株式会社) 1998. 11. 04, 段落【0014】－【0018】, 【図1】 －【図5】 (ファミリーなし)	1-15