

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-127483  
(P2004-127483A)

(43) 公開日 平成16年4月22日(2004.4.22)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
G 1 1 B 20/14	G 1 1 B 20/14 3 5 1 A	5 D 0 4 4
H 0 3 L 7/08	H 0 3 L 7/08 P	5 J 1 0 6
H 0 3 L 7/087	H 0 3 L 7/08 M	

審査請求 未請求 請求項の数 10 O L (全 18 頁)

(21) 出願番号	特願2003-153872 (P2003-153872)	(71) 出願人	000001889 三洋電機株式会社 大阪府守口市京阪本通2丁目5番5号
(22) 出願日	平成15年5月30日(2003.5.30)	(74) 代理人	100111383 弁理士 芝野 正雅
(31) 優先権主張番号	特願2002-226741 (P2002-226741)	(72) 発明者	清瀬 雅司 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
(32) 優先日	平成14年8月2日(2002.8.2)	(72) 発明者	白石 卓也 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
(33) 優先権主張国	日本国 (JP)	Fターム(参考)	5D044 BC04 CC04 GM12 GM13 GM26 5J106 AA04 BB03 CC03 FF09

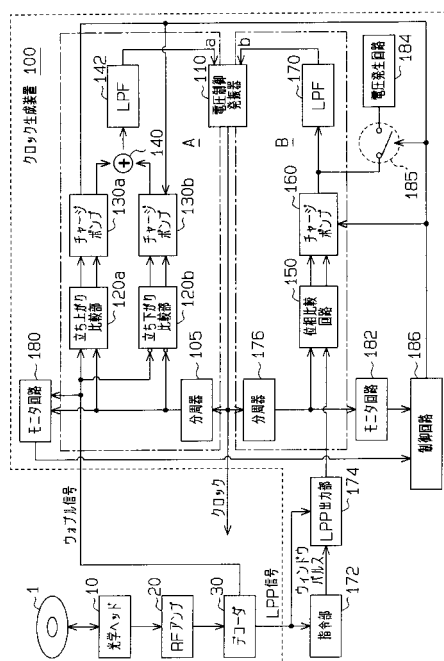
(54) 【発明の名称】 PLL回路及びデータ記録制御装置

(57) 【要約】

【課題】互いに異なる周波数を有する信号が混在する状況下、そのパルスの出現頻度が低いために同期をとることが困難な信号に同期したクロックを生成することができるクロック生成装置を提供する。

【解決手段】第1のループAでは、電圧制御発振器110の発振クロックの分周クロックをウォブル信号に周波数同期させる。第2のループBでは、電圧制御発振器110の発振クロックの分周クロックをLPP信号に位相同期させる。第1のループAにおける周波数同期がほぼ完了するまで制御電圧入力端子bに電圧発生回路184にて生成される所定の直流電圧を印加することで同第2のループBを開ループ制御とする。そして、周波数同期が完了するとLPP信号と分周クロックとの位相差に応じた電圧を制御電圧入力端子bへ印加することで同第2のループBを閉ループ制御に切り替える。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

制御電圧に応じた発振クロックを出力する電圧制御発振器と、  
第 1 の周期を有する第 1 の基準信号に応じて前記発振クロックの周波数を制御する第 1 のループと、

前記第 1 の基準信号よりも周期の長い第 2 の基準信号に応じて前記発振クロックの位相を制御する第 2 のループと、を備え、

前記第 2 のループは、前記第 1 の基準信号と前記発振クロックとの周波数の差が所定の範囲内に収まるまでの期間に、前記電圧制御発振器に一定電圧を与え、前記第 1 の基準信号と前記発振クロックとの周波数の差が所定の範囲内に収まった後は、前記第 2 の基準信号と前記発振クロックとの位相差に応じた電圧を前記電圧制御発振器に与えて前記発振クロックの位相の制御を行うことを特徴とする PLL 回路。

10

## 【請求項 2】

請求項 1 に記載の PLL 回路において、

前記第 2 のループは、

互いに電圧値の異なる複数の電圧を生成する電圧生成部と、

制御信号に応じて前記電圧生成部の出力電圧を選択するデコーダと、を備え、

前記第 1 の基準信号と前記発振クロックとの周波数の差が所定の範囲内に収まるまでの期間に、前記デコーダで選択された前記電圧生成部の出力電圧を前記電圧制御発振器に与えることを特徴とする PLL 回路。

20

## 【請求項 3】

請求項 1 に記載の PLL 回路において、

前記電圧制御発振器は、

前記第 1 及び第 2 のループに対応した 2 つの入力端子と、

該 2 つの入力端子への印加電圧に応じて発振出力するリングオシレータと、を有し、

前記第 1 のループは、前記第 1 の基準信号と前記発振クロックとの周波数の差に応じた電圧を前記電圧制御発振器の一方の入力端子に印加し、

前記第 2 のループは、前記第 2 の基準信号と前記発振クロックとの位相差に応じた電圧を前記電圧制御発振器の他方の入力端子に印加することを特徴とする PLL 回路。

30

## 【請求項 4】

請求項 1 に記載の PLL 回路において、

前記第 1 のループは、

前記第 1 の基準信号と前記発振クロックとの周波数の差に応じた信号を出力する位相比較器と、

該位相比較器の出力に応じて電流を制御するチャージポンプと、を備え、

前記チャージポンプは、駆動能力の切り替えが可能に設定され、前記第 1 の基準信号と前記発振クロックとの周波数の差が所定の範囲内に収まった後に、駆動能力を低下させることを特徴とする PLL 回路。

## 【請求項 5】

請求項 4 に記載の PLL 回路において、

前記第 1 のループは、

前記位相比較器として、前記第 1 の基準信号及び前記発振クロックの立ち上がりタイミングの差に応じた信号を出力する立ち上がり比較部と、前記第 1 の基準信号及び前記発振クロックの立ち下がりタイミングの差に応じた信号出力する立ち下がり比較部と、を有し、前記チャージポンプが、前記立ち上がり比較部及び前記立ち下がり比較部のそれぞれに対応して設けられ、

前記チャージポンプの出力を合成する加算器を備えることを特徴とする PLL 回路。

40

## 【請求項 6】

回転制御されるディスク媒体から得られる位置情報を示す第 1 の信号及び前記第 1 の信号よりも周期の長い第 2 の信号に基づいてデータの書き込みクロックを生成するデータ記録

50

制御装置において、  
 制御電圧に応じた発振クロックを出力する電圧制御発振器と、  
 前記第 1 の信号に応じて前記発振クロックの周波数を制御する第 1 のループと、  
 前記第 2 の信号に応じて前記発振クロックの位相を制御する第 2 のループと、を備え、  
 前記第 2 のループは、前記第 1 の信号と前記発振クロックとの周波数の差が所定の範囲内に収まるまでの期間に、前記電圧制御発振器に一定電圧を与え、前記第 1 の信号と前記発振クロックとの周波数の差が所定の範囲内に収まった後は、前記第 2 の信号と前記発振クロックとの位相差に応じた電圧を前記電圧制御発振器に与えて前記発振クロックの位相の制御を行うことを特徴とするデータ記録制御装置。

【請求項 7】

請求項 6 に記載のデータ記録制御装置において、  
 前記第 2 のループは、  
 互いに電圧値の異なる複数の電圧を生成する電圧生成部と、  
 制御信号に応じて前記電圧生成部の出力電圧を選択するデコーダと、を備え、  
 前記第 1 の信号と前記発振クロックとの周波数の差が所定の範囲内に収まるまでの期間に、前記デコーダで選択された前記電圧生成部の出力電圧を前記電圧制御発振器に与えることを特徴とするデータ記録制御装置。

【請求項 8】

請求項 6 に記載のデータ記録制御装置において、  
 前記電圧制御発振器は、  
 前記第 1 及び第 2 のループに対応した 2 つの入力端子と、  
 該 2 つの入力端子への印加電圧に応じて発振出力するリングオシレータと、を有し、  
 前記第 1 のループは、前記第 1 の信号と前記発振クロックとの周波数の差に応じた電圧を前記電圧制御発振器の一方の入力端子に印加し、  
 前記第 2 のループは、前記第 2 の信号と前記発振クロックとの位相差に応じた電圧を前記電圧制御発振器の他方の入力端子に印加することを特徴とするデータ記録制御装置。

【請求項 9】

請求項 6 に記載のデータ記録制御装置において、  
 前記第 1 のループは、  
 前記第 1 の信号と前記発振クロックとの周波数の差に応じた信号を出力する位相比較器と、  
 該位相比較器の出力に応じて電流を制御するチャージポンプと、を備え、  
 前記チャージポンプは、駆動能力の切り替えが可能に設定され、前記第 1 の信号と前記発振クロックとの周波数の差が所定の範囲内に収まった後に、駆動能力を低下させることを特徴とするデータ記録制御装置。

【請求項 10】

請求項 9 に記載のデータ記録制御装置において、  
 前記第 1 のループは、  
 前記位相比較器として、前記第 1 の信号及び前記発振クロックの立ち上がりタイミングの差に応じた信号を出力する立ち上がり比較部と、前記第 1 の信号及び前記発振クロックの立ち下がりタイミングの差に応じた信号を出力する立ち下がり比較部と、を有し、  
 前記チャージポンプが、前記立ち上がり比較部及び前記立ち下がり比較部のそれぞれに対応して設けられ、  
 前記チャージポンプの出力を合成する加算器を備えることを特徴とするデータ記録制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、例えばディスク媒体の記録制御等に使用するクロックを生成する PLL 回路及びデータ記録制御装置に関する。

10

20

30

40

50

## 【0002】

## 【従来の技術】

近年、記録媒体として光ディスク等、ディスク媒体が普及してきている。こうしたディスク媒体の中には、データの記録が可能な媒体も存在する。例えば、DVD-R (Digital Versatile Disc-Recordable) 及びDVD-RW (Digital Versatile Disc-Rewritable) がそれである。

## 【0003】

このDVD-R/RWは、ディスクの平坦面(ランド)に形成されるグループとよばれる溝によって構成されるトラックを備えている。このグループはわずかに蛇行(ウォブル)して形成されており、この蛇行から、所定の周期を有するウォブル信号が取り出される。このウォブルは、上記DVDのデータフォーマットの所定のデータ長のデータ記録領域に対応して形成されている。

10

## 【0004】

また、このディスク媒体には、ウォブルに加えてランドプリピット(LPP)とよばれるディスク位置情報を含む領域が、トラック上に所定の間隔で設けられている。このLPPの再生を通じて取得されるLPP信号は、基本的には、上記ウォブル信号の16パルスに1~3パルスの割合となる。そして、このLPP信号から、そのディスク位置情報を取得することができる。

## 【0005】

一方、こうしたディスク媒体を回転制御するとともに、同回転制御されるディスク媒体へレーザを照射することでこれにデータを記録する際には、この記録動作を、ディスク媒体の回転動作に対応した基準クロックに基づいて行うことが望ましい。このように、回転制御されるディスク媒体の回転動作に対応した基準クロックを用いることで、例えばディスク媒体上に記録される1ビットのデータの記録領域を一定にすることができる等、データの記録制御を的確に行うことができる。

20

## 【0006】

そして、この回転制御されるディスク媒体の回転動作に対応した基準クロックは、上記ウォブル信号を再生するとともに、PLL回路を用いてこのウォブル信号と同期したパルス信号を生成することで取得することができる。すなわち、電圧制御発振器を通じて発振制御されるクロックとウォブル信号とを位相比較器で位相比較し、これら2つの信号の周波数差に応じた電圧を電圧制御発振器にフィードバックすることで、同電圧制御発振器から発振出力されるクロックをウォブル信号に同期したものとすることができる。

30

## 【0007】

## 【発明が解決しようとする課題】

ところで、こうしたPLL回路を用いてディスク媒体の回転動作に対応した基準クロックを生成する際には、上記ウォブル信号よりも、上記LPP信号を用いることが望まれることがある。ただし、上述したように、LPP信号はウォブル信号と比較してパルスとしての出現頻度が低いことに加え、ウォブル信号の1パルスに1~3回といった具合に、ウォブル信号の16パルスに対して必ずしも同じ回数だけ出現するものではないため、これと正確に同期したクロックを生成することは困難である。

40

## 【0008】

なお、上記LPP信号やウォブル信号に限らず、2つの異なる周波数を有する信号が混在する状況下において、そのパルスの出現頻度が低いために同期をとることが困難な信号に同期したクロックを生成しようとする場合には、こうした実情も概ね共通したものとなっている。

## 【0009】

本発明は上記実情に鑑みてなされたものであり、その目的は、互いに異なる周波数を有する信号が混在する状況下、そのパルスの出現頻度が低いために同期をとることが困難な信号に同期したクロックを生成することのできるPLL回路及びデータ記録制御装置を提供することにある。

50

## 【0010】

## 【課題を解決するための手段】

この発明は、制御電圧に応じた発振クロックを出力する電圧制御発振器と、第1の周期を有する第1の基準信号に応じて前記発振クロックの周波数を制御する第1のループと、前記第1の基準信号よりも周期の長い第2の基準信号に応じて前記発振クロックの位相を制御する第2のループと、を備え、前記第2のループは、前記第1の基準信号と前記発振クロックとの周波数の差が所定の範囲内に収まるまでの期間に、前記電圧制御発振器に一定電圧を与え、前記第1の基準信号と前記発振クロックとの周波数の差が所定の範囲内に収まった後は、前記第2の基準信号と前記発振クロックとの位相差に応じた電圧を前記電圧制御発振器に与えて前記発振クロックの位相の制御を行うことで、互いに異なる周波数を有する信号が混在する状況下、そのパルスの出現頻度が低いために同期をとることが困難な信号に同期したクロックを生成することを可能とする。

10

## 【0011】

## 【発明の実施の形態】

以下、本発明にかかるPLL回路及びデータ記録制御装置をDVD-Rのデータ記録制御装置及び同装置内のPLL回路に適用した一実施形態について、図面を参照しつつ説明する。

## 【0012】

図1は、上記データ記録制御装置の構成を示すブロック図である。

## 【0013】

上記データ記録制御装置の記録対象となるディスク媒体である光ディスク1は、データを書き込む（記録する）ことが可能なディスク媒体であるDVD-Rディスクである。この光ディスク1には、同ディスク内の案内溝として機能するプリグループが螺旋状に形成されているとともに、螺旋状に形成されたプリグループに近接してランドプリピット（以下、LPP）が形成されている。

20

## 【0014】

このうち、上記プリグループは、光ディスク1上を蛇行しつつ形成されている。この蛇行（ウォブル）成分の有する信号は、「140.6kHz」の周波数を有する。一方、上記LPPは、光ディスク1に螺旋状に形成されているプリグループに沿って所定の間隔で形成されている。この間隔は、上記ウォブル信号の約16パルスに1パルスの割合の信号が得られる間隔に設定されている。このLPPの再生に基づいて得られる信号がLPP信号である。

30

## 【0015】

一方、上記データ記録制御装置は、光学ヘッド10やRFアンプ20、デコーダ30、クロック生成装置100を備えている。ここで、光学ヘッド10は、光ディスク1へレーザを照射すると共に、光ディスク1に照射されたレーザの反射光を受光する回路である。また、RFアンプ20は、光学ヘッド10において受光された反射光から2値のデジタル信号を生成する回路である。更に、デコーダ30は、RFアンプ20にて生成されたデジタル信号をデコードし、上記ウォブル信号やLPP信号を生成する回路である。

## 【0016】

そして、本実施形態にかかるクロック生成装置100は、こうしたウォブル信号やLPP信号に基づいて当該データ記録装置において用いられるクロックを生成する回路である。詳しくは、LPP信号の周波数の分周比「1/5952」で分周されたクロックを、換言すれば各LPP信号のパルス間に5952のパルスを有するクロックを生成する。これにより、クロックは、「52.32MHz」の周波数を有する信号となる。

40

## 【0017】

上記クロック生成装置100では、発振クロックを、ウォブル信号とほぼ周波数同期させる処理を行った後、LPP信号に基づいて同クロックの位相を調整する処理を行うという2段階の処理にて、こうしたLPP信号に位相同期したクロックの生成を行う。具体的には、ウォブル信号と発振クロックとの周波数の差が所定の範囲内に収まる程度に小さくな

50

った後に、L P P 信号に基づく発振クロックの位相制御を行うようにする。これは、上述したようにL P P 信号の頻度がウォブル信号の頻度と比較して低いことやデータ記録時においてディスク媒体に形成されているL P P が欠落するなどにより、このL P P 信号に同期したクロックを生成することが困難であることによる。このため本実施形態では、ウォブル信号に基づいてクロックの粗調整を行った後に、L P P 信号に基づいて微調整を行うことで、L P P 信号に位相同期したクロックを生成する。

#### 【0018】

こうした制御を行う上記クロック生成装置100は、図示するように、その出力するクロックの分周器105による分周クロックをウォブル信号と周波数同期させる第1のループAと、同じく出力するクロックの分周クロックをL P P 信号に位相同期させる第2のループBとの2つの位相ロックループを備えている。そして、これら第1のループAと第2のループBとは、当該クロック生成装置100において生成される上記クロックを出力する電圧制御発振器110を共有している。この電圧制御発振器110は、2つの制御電圧入力端子a, bを備えており、これら各制御電圧入力端子には、上記分周クロックとウォブル信号との周波数差に応じた電圧と、同分周クロックとL P P 信号との位相差に応じた電圧とがそれぞれ印加される。

10

#### 【0019】

ここで、上記第1のループAと第2のループBとで共有される電圧制御発振器110について説明する。

#### 【0020】

図2は、電圧制御発振器110の構成を示す回路図である。

20

#### 【0021】

同図2に示すように、この電圧制御発振器110は、第1の電流源112、第2の電流源114、ゲイン制御回路115、制御電圧発生回路116、及びリングオシレータ118を備えている。

#### 【0022】

ここで、第1の電流源112は、制御電圧入力端子aから入力される制御電圧に対応した制御電流にてリングオシレータ118を駆動するに際してのゲイン調整を行う部分である。詳しくは、この第1の電流源112は、PチャネルトランジスタT<sub>ip</sub>からなる出力側電流経路及びこれに直列に接続されたスイッチS<sub>wi</sub>を複数備え、これらが電源電圧V<sub>D</sub>Dの電源と第1の電流源112の出力との間に互いに並列接続されている。ここで、スイッチS<sub>w</sub>は、上記ゲイン制御回路115によって電源及び出力間の導通及び遮断を制御する回路である。そして、これにより、互いに並列接続されている出力側電流経路の使用段数が設定される。

30

#### 【0023】

更に、第1の電流源112は、電源電圧V<sub>D</sub>D及び接地間に互いに直列接続されているNチャネルトランジスタT<sub>an</sub>及びこれに直列に接続されたPチャネルトランジスタT<sub>ap</sub>からなる入力側電流経路を備えている。そして、制御電圧入力端子aを介して上記NチャネルトランジスタT<sub>an</sub>のゲートに印加される制御電圧の大きさに応じて、これと直列に接続されたPチャネルトランジスタT<sub>ap</sub>を流れる電流量を決定し、ゲートの電圧が決定する。そして、PチャネルトランジスタT<sub>ap</sub>とカレントミラー接続されたPチャネルトランジスタT<sub>ip</sub>のゲートにPチャネルトランジスタT<sub>ap</sub>のゲート電圧と同じ電圧が印加される。更に、このPチャネルトランジスタT<sub>ip</sub>と並列接続されたPチャネルトランジスタT<sub>ip</sub>のゲートにも同じ電圧が印加され、ソース及びドレイン間を流れる電流量が決定される。したがって、制御電圧入力端子aに印加される制御電圧の大きさに応じて、第1の電流源112から出力される電流量が制御される。

40

#### 【0024】

また、第2の電流源114も、上記第1の電流源112と同様の構成を有する回路である。ただし、この第2の電流源114は、制御電圧入力端子bから入力される制御電圧に対応した制御電流にてリングオシレータ118を駆動するに際してのゲイン調整を行う部分

50

である。このため、制御電圧入力端子 b に印加される制御電圧の大きさに応じて、その出力する電流量が制御される。

【0025】

ゲイン制御回路 115 は、レジスタ 115 a に格納されるモードデータに応じて第 1 の電流源 112 や第 2 の電流源 114 を切替制御する回路である。すなわち、ゲイン制御回路 115 は、第 1 の電流源 112 のスイッチ SW i 及び第 2 の電流源 114 のスイッチ SW k を選択的に開閉することで、各制御電圧入力端子 a、b への印加電圧の変化に対する第 1 及び第 2 の電流源 112、114 の出力電流の変化度合いを変更する。

【0026】

制御電圧発生回路 116 は、各電流源 112 及び 114 から出力される電流信号を電圧信号に変換する回路である。この制御電圧発生回路 116 は、N チャネルトランジスタ T 1 n、T 2 n 及び P チャネルトランジスタ T 3 p 及び T 4 p からなる 2 段のカレントミラー回路から構成されている。そして、P チャネルトランジスタ T 4 p 及び 2 段目のカレントミラー回路に直列接続される N チャネルトランジスタ T 5 n のゲートバイアス電圧をリングオシレータ 118 に出力する。 10

【0027】

リングオシレータ 118 は、電源電圧 VDD と接地との間で給電可能に接続されたインバータ IV が奇数段直列に接続されて構成された回路である。そして、これら各インバータ IV へ供給される電流量が、上記制御電圧入力端子 a 及び制御電圧入力端子 b に印加される制御電圧に応じて制御される。詳しくは、上記電源電圧 VDD と各インバータ IV との間には、P チャネルトランジスタ T j p がそれぞれ接続されており、また、各インバータ IV と接地点の間には N チャネルトランジスタ T j n がそれぞれ接続されている。そして、上記第 1 の電流源 112 及び第 2 の電流源 114 の出力電流に応じた電圧が制御電圧発生回路 116 を介してこれらインバータ IV へ流れ込む電流量を制御するトランジスタ T j p、T j n に印加される。 20

【0028】

ここで、電圧制御発振器 110 の特性について説明する。

【0029】

図 3 は、上記制御電圧入力端子 a へ印加される制御電圧と電圧制御発振器 110 の発振周波数との関係を示す図である。図 3 において、曲線 f 1 は、制御電圧入力端子 b に印加される電圧が「0」とされたときの曲線である。同図 3 に示されるように、制御電圧入力端子 a へ印加される制御電圧が大きいほど発振周波数が上昇する。 30

【0030】

また、曲線 f 2 ~ f 4 は、制御電圧入力端子 b へ電源電圧 VDD を印加したときについて、先の図 2 にした第 2 の電流源 114 において使用される出力側電流経路の段数がそれぞれ「1」個 ~ 「3」個であるときについての曲線である。同図 3 に示すように、制御電圧入力端子 a へ印加される制御電圧が一定であるときには、第 2 の電流源 114 における上記出力側電流経路の使用段数が多いほど発振周波数が上昇する。

【0031】

そして、制御電圧入力端子 a へ印加する制御電圧が一定という条件の下、制御電圧入力端子 b へ印加する電圧を可変としたときの発振周波数の帯域幅は、先の図 2 に示した第 2 の電流源 114 において能動とされる出力側電流経路の段数が多いほど広がる ( $A < B < C$ )。 40

【0032】

したがって、先の図 2 に示した第 2 の電流源 114 において能動とされる出力側電流経路の段数を所定個「n」に固定した場合、制御電圧入力端子 a 及び制御電圧入力端子 b に印加される電圧を可変としたときの電圧制御発振器 110 の発振周波数帯域は、図 4 に斜線で示す帯域となる。

【0033】

更に、制御電圧入力端子 b に印加される電圧を「0」とする条件の下、先の図 2 に示した 50

第1の電流源112において能動とされる出力側電流経路の段数を変更した場合の制御電圧入力端子aへ印加する電圧と発振周波数との関係は図5に例示されるようになる。ここで、第1の電流源112において使用される出力側電流経路の段数は、曲線f1'、曲線f1、曲線f1''の順で多くなっている。同図5に示すように、第1の電流源112において使用される上記出力側電流経路の段数が多いほど、制御電圧入力端子aに印加する電圧の変化に対する発振周波数の上昇度合いが大きくなる。

【0034】

なお、これら図3～図5において模式的に示す性質は、制御電圧入力端子aと制御電圧入力端子bとの役割を逆にしたときにも同様となる。

【0035】

こうした2つの制御電圧入力端子aと制御電圧入力端子bとを備える電圧制御発振器110において、本実施形態では、制御電圧入力端子aには、先の図1に示したローパスフィルタ142の出力電圧Vaを、また、制御電圧入力端子bには、同図1に示したローパスフィルタ170の出力電圧Vbをそれぞれ印加する。そしてこれにより、制御電圧入力端子aを通じて電圧制御発振器110の発振するクロック（正確にはその分周クロック）をウォブル信号に周波数同期させるとともに、制御電圧入力端子bを通じて上記クロック（正確にはその分周クロック）をLPP信号に位相同期させる。すなわち、図6(a)に示すように制御電圧入力端子a側にて発振周波数の粗調整を行うとともに、図6(b)に示すように制御電圧入力端子b側にて発振周波数の微調整を行う。

【0036】

次に、この電圧制御発振器110の発振周波数についての第1のループAによる粗調整、及び第2のループBによる微調整を行う回路について更に説明する。

【0037】

ここで、上記第1のループAについて更に説明する。

【0038】

この第1のループAでは、電圧制御発振器110の発振するクロックの分周クロックとウォブル信号との立ち上がりエッジ及び立ち下がりエッジのそれぞれを比較し、この比較結果に基づいて電圧制御発振器110を制御するものである。このように立ち上がりエッジ及び立ち下がりエッジの双方を用いるのは、以下の理由による。

【0039】

図7に示されるように、レーザによって読み取られる上記ディスク媒体のウォブルに対応した信号（図7(a)）は、上記RFアンプ20にて2値化されウォブル信号となる（図7(b)）。このウォブル信号はそのデューティ比が変化するため、上記分周クロックとウォブル信号との位相差に基づいて上記電圧制御発振器110を制御する際に、同制御がこのデューティ比の変化の影響を受けるおそれがある。

【0040】

しかしながら、ウォブル信号は、図7(d)に示されるように、パルス幅Whが変化するにもかかわらず、各パルスの中心間の周期Twや位相は保持される。したがって、このパルス中心の周期Tw及び位相と、上記分周クロックのパルス中心の周期及び位相とに基づいて同電圧制御発振器110を制御することで、デューティ比の変化の影響を回避することができる。

【0041】

具体的には、先の図1に示す第1のループAにおいては、まず、立ち上がり比較部120a及び立ち下がり比較部120bにおいて、ウォブル信号と上記分周クロックとの立ち上がり及び立ち下がりが比較される。そして、これら比較結果に基づく信号が、チャージポンプ130a及びチャージポンプ130bにて所定の出力に変換される。これら出力の変換された信号は、加算器140で合成され、ローパスフィルタ142にて平滑化された後、制御電圧として電圧制御発振器110の制御電圧入力端子aに印加される。この制御電圧を通じて制御される電圧制御発振器110の発振するクロックの周波数は、上記分周器105にて分周された後、上記立ち上がり比較部120a及び立ち下がり比較部120b

10

20

30

40

50



に入力される。こうして電圧制御発振器 110 の発振するクロック（の分周クロック）がウォブル信号に周波数同期するよう制御される。なお、この分周器 105 の分周比は「1 / 372」であり、これにより、電圧制御発振器 110 の出力信号は、「52.32 MHz」に制御される。

#### 【0042】

ここで、チャージポンプ 130 a は、図 8 に示すように、ゲインを可変制御することのできる構成となっている。すなわち、チャージポンプ 130 a は、上記立ち上がり比較部 120 a の出力信号に応じた電流を出力する複数のチャージポンプユニット CP と、同チャージポンプユニット CP のうちのいくつかを選択的に駆動するゲイン切替回路 131 a とを備える。そして、駆動されるチャージポンプユニット CP の段数が、このゲイン切替回路 131 a によって切り替えられることで、チャージポンプ 130 a のゲイン、すなわち、位相比較出力に対するチャージポンプ 130 a の出力電流量の度合いを切り替えることができる。

10

#### 【0043】

図 9 に、立ち上がり比較部 120 a 及びチャージポンプユニット CP の回路構成を例示する。図 9 に示されるように、チャージポンプユニット CP は、上記立ち上がり比較部 120 a から出力される信号に応じた信号を出力する出力部 132 a と、同出力部 132 a の出力を調整するバイアス回路 133 a とを備えている。ここで、出力部 132 a は、ウォブル信号のパルスの立ち上がりタイミングが上記分周クロックのパルスの立ち上がりタイミングよりも早い場合に、同ウォブル信号が立ち上がったときから分周クロックが立ち上がるまでの期間、高電位の信号を出力する（チャージ動作）。また、上記分周クロックのパルスの立ち上がりタイミングがウォブル信号のパルスの立ち上がりタイミングよりも早い場合に、分周クロックのパルスが立ち上がったときからウォブル信号が立ち上がるまでの期間、低電位の信号を出力する（ディスチャージ動作）。

20

#### 【0044】

なお、チャージポンプ 130 a において、上記チャージ動作及びディスチャージ動作を行う期間が等しいときには、これらチャージ電流及びディスチャージ電流は互いに等しくなるように設定される。

#### 【0045】

一方、立ち上がり比較部 120 a では、上記入力されるウォブル信号及び分周クロックのパルスのいずれか一方が立ち上がってから他方が立ち上がるまでの期間、チャージポンプ 130 a を介して所定の出力信号を出力するための制御を行う。まず、ウォブル信号及び分周クロックはそれぞれ別のフリップフロップ（F/F）に入力される。そして、入力されるパルスの立ち上がりに同期してこれらフリップフロップから「H」レベル信号が出力される。また、2つのフリップフロップに入力されるパルスが両方とも立ち上がったときに、これら2つのフリップフロップをリセットすることで、チャージポンプ 130 a から上記信号の出力が中断される。

30

#### 【0046】

なお、先の図 1 に示した立ち下がり比較部 120 b 及びチャージポンプ 130 b は、上記立ち上がり比較部 120 a 及びチャージポンプ 130 a とそれぞれ同一の構成を有している。そして、図 1 に示されるように、立ち下がり比較部 120 b には、立ち上がり比較部 120 a に入力される信号がインバータを介して反転されて入力されることで、立ち下がりが検出される。

40

#### 【0047】

図 10 に、立ち上がり比較部 120 a 及び立ち下がり比較部 120 b に入力される信号と、加算器 140 の出力との関係を示す。図 10 に示されるように、分周クロックの立ち上がり及び立ち下がり（図 10 (b)）とウォブル信号のパルスの立ち上がり及び立ち下がりとが等しい場合（図 10 (a) の ) には、上記加算器 140 からの出力はほぼ「0」となる。

これに対して、分周クロックのパルス幅よりもウォブル信号のパルス幅が狭まった場合（

50

図10(a)の )には、分周クロックが立ち上がってからウォブル信号のパルスが立ち上がるまでの期間、上記加算器140から低電位の信号が出力される(ディスチャージ動作がなされる)(図10(c)の )。また、ウォブル信号のパルスが立ち下がってから分周クロックが立ち下がるまでの期間、上記加算器140から高電位の信号が出力される(チャージ動作がなされる)(図10(c)の )。そして、これら分周クロックが立ち上がってからウォブル信号のパルスが立ち上がるまでの期間と、ウォブル信号のパルスが立ち下がってから分周クロックが立ち下がるまでの期間とは互いに等しいため、これらディスチャージ電流とチャージ電流とは互いに等しくなる。

【0048】

一方、分周クロックのパルス幅よりもウォブル信号のパルス幅が広がった場合(図10(a)の )には、ウォブル信号のパルスの立ち上がりから分周クロックの立ち上がるまでの期間、上記加算器140から高電位の信号が出力される(チャージ動作がなされる)(図10(c)の )。また、分周クロックの立ち下がりからウォブル信号のパルスが立ち下がるまでの期間、上記加算器140から低電位の信号が出力される(ディスチャージ動作がなされる)(図10(c)の )。そして、これらウォブル信号のパルスの立ち上がりから分周クロックの立ち上がるまでの期間と、分周クロックの立ち下がりからウォブル信号のパルスが立ち下がるまでの期間とは互いに等しいため、これらチャージ電流とディスチャージ電流とは互いに等しくなる。

10

【0049】

このように、パルス中心が等しい場合には、チャージポンプ130a及び130bにおいて、チャージ電流及びディスチャージ電流は等しくなる。したがって、ウォブル信号のパルス及び分周クロックのパルスの各パルス幅の差異に関係なく、ウォブル信号及び分周クロックのパルスの中心が一致するように制御される。

20

【0050】

次に、上記電圧制御発振器110の発振するクロックの分周クロックをLPP信号に位相同期させる回路である先の図1に示した第2のループBについて更に説明する。

【0051】

この第2のループBにあつては、まず、LPP信号が検出されるであろう時期を予測することで、デコーダ30からクロック生成装置100に入力されるLPP信号とノイズとを区別する処理がなされる。すなわち、指令部172において、記録開始時にLPP信号がはじめて検出された時が記憶されるとともに、例えばクロック生成装置100の出力するクロックをカウントするなどして、LPP信号が検出されてから次のLPP信号が検出されるまでの期間を推定する。そして指令部172では、LPP信号が検出されるであろう時期に同期して所定周期毎にウィンドウパルスを出力する。このウィンドウパルスのパルス幅は、LPP信号が検出される可能性のある時期をカバーする時間幅を有している。一方、LPP出力部174では、このウィンドウパルスの入力されている期間において、LPP信号が検出されたときにのみ同LPP信号が出力される。これによりノイズをLPP信号と誤検出することを回避することができるようになる。

30

【0052】

このLPP出力部174から出力されたLPP信号は、電圧制御発振器110の発振するクロックが分周器176にて分周された分周クロックと位相比較回路150にてその位相が比較される。この比較結果に基づく信号は、チャージポンプ160にて所定の出力レベルに変換された後、ローパスフィルタ170で平滑化される。そして、ローパスフィルタ170の出力する制御電圧信号は、上記電圧制御発振器110の制御電圧入力端子bに印加される。

40

【0053】

上記分周器176の分周比は、「1/5952」であるものの、上記LPP信号と比較して所定の位相だけずれたクロックを生成出力するようになっている。そして、位相比較回路150では、上記LPP出力部174からLPP信号が出力されているときのみ、同LPP信号と分周器176によって分周された分周クロックとの比較に基づく信号を出力す

50

る。このため、位相比較回路 150 では、電圧制御発振器 110 の発振するクロックを分周比「1/5952」にて分周した分周クロックと LPP 信号とを比較することとなる。そしてこれにより、電圧制御発振器 110 の発振するクロックの周波数が「52.32 MHz」に制御される。

**【0054】**

これら LPP 信号と分周クロックとの比較は、詳しくは、上記分周器 176 を介して電圧制御発振器 110 から位相比較回路 150 に入力されるパルスの立ち上がり、同位相比較回路 150 に入力される LPP 信号のパルスの中心と一致するように制御される。ちなみに、このような制御を行うための LPP 出力部 174 や、位相比較回路 150 等は、図 11 に例示されるような構成を有する。なお、図 11 において位相比較回路 150 の出力側に接続されるチャージポンプユニット CP は、上記チャージポンプ 160 内に備えられるものである。このチャージポンプ 160 は、先の図 8 に示したチャージポンプ 130 a と同様の構成を有する。

10

**【0055】**

ここで、先の図 1 に示したウィンドウパルスや LPP 信号、更には分周器 176 から出力される分周クロック、チャージポンプ 160 の出力の関係を図 12 に示す。

**【0056】**

すなわち、上記 LPP 出力部 174 にウィンドウパルスが入力されていない期間（図 12 (a)）においては、ノイズが混入した（図 12 (b)）としてもこれが位相比較回路 150 に出力されることはない。これに対して、ウィンドウパルス（図 12 (a)）が LPP 出力部 174 に入力されているときに、LPP 信号が入力される（図 12 (b)）と、同 LPP 信号が上記位相比較回路 150 に出力される。これにより、上記チャージポンプ 160 では、位相比較回路 150 に LPP 信号が入力されてから分周クロック（図 12 (c)）のパルスが立ち上がるまでの期間、高電位の信号を出力する（図 12 (d)）。そして、LPP 信号のパルスが入力されている期間であって、且つ分周クロックのパルスが立ち上がっている（図 12 (c)）期間、上記チャージポンプ 160 は低電位の信号を出力する。

20

**【0057】**

ちなみに、このチャージポンプ 160 は、チャージ動作及びディスチャージ動作を行う時間が等しいときには、これらチャージ電流及びディスチャージ電流が等しくなるように設定されている。これにより、分周クロックの立ち上がりエッジが LPP 信号の中心にきたときにチャージ時間及びディスチャージ時間が等しくなるために、これらチャージ電流及びディスチャージ電流が等しくなることとなる。こうして、チャージポンプ 160 の出力信号に基づいて、電圧制御発振器 110 は、分周器 176 の分周クロックのパルスの立ち上がりが LPP 信号のパルスの中心と一致するように制御される。

30

**【0058】**

特に、この第 2 のループ B による微調整によって、電圧制御発振器 110 の発振するクロックは、ウォブル信号とほぼ周波数同期しつつも、LPP 信号に位相同期したものとなる。このため、先の図 7 (c) に示す LPP 信号と図 7 (b) に示したウォブル信号の中心とが図 7 (d) に示すように変動したとしても、電圧制御発振器 110 の発振するクロックは、LPP 信号に位相同期したものに制御されることとなる。

40

**【0059】**

次に、これら第 1 のループ A 及び第 2 のループ B を用いて、ウォブル信号とほぼ周波数同期させた後、LPP 信号に位相同期させるという粗調整及び微調整の 2 段階の処理を行う回路について説明する。

**【0060】**

図 1 に示すように、上記粗調整及び微調整を行うための回路として、本実施形態では、第 1 のモニタ回路 180、第 2 のモニタ回路 182、電圧発生回路 184、制御回路 186 を備えている。

**【0061】**

50

ここで、第1のモニタ回路180は、ウォブル信号と分周器105にて分周された分周クロックとを取り込み、第1のループAによるこれらウォブル信号と分周クロックとの周波数同期が完了したか否かをモニタする回路である。

【0062】

また、第2のモニタ回路182は、LPP信号及び分周器176にて分周された分周クロックとを取り込み、第2のループBによるこれらLPP信号と分周クロックとの状態をモニタする回路である。

【0063】

更に、電圧発生回路184は、所定の直流電圧を発生する回路である。この回路は、図13にその構成を例示するように、互いに電圧値の異なる複数の電圧を生成する電圧生成部184cと、入力される信号をデコードして電圧生成部184cによって生成される電圧の値を選択的に切り替えるデコーダ184dとを備えている。なお、この電圧発生回路184の生成する直流電圧は、図1に示すように、切替回路185を介してローパスフィルタ170への入力、及び非入力の切替が可能となっている。

10

【0064】

一方、制御回路186は、これら第1のモニタ回路180、第2のモニタ回路182からの信号に加えて、外部から入力されるモード信号に応じて、上記粗調整及び微調整を行うべく、第1のモニタ回路180、第2のモニタ回路182、電圧発生回路184を制御する回路である。なお、ここでモード信号とは、データを記録する速度を指定する信号であり、例えば当該データ記録制御装置においてその全体を統括的に制御するマイクロコンピュータによって指定される。

20

【0065】

ここで、電圧制御発振器110の発振周波数の第1のループAによる粗調整、及び第2のループBによる微調整について、上記制御回路186による制御を中心に説明する。

【0066】

この一連の処理においては、まず上記マイクロコンピュータ等から制御回路186にモード信号が入力されるとともに、先の図2に示した電圧制御発振器110のゲイン制御回路115内のレジスタ115aに、モードデータが書き込まれる。このモードデータに基づき、電圧制御発振器110では、データの記録速度（光ディスク1の回転にかかる線速度）に適したゲインとなるように、換言すればデータの記録速度に応じた発振周波数への制御に適したゲイン（駆動能力）となるように各電流源112, 114が設定されることとなる。ちなみに、このゲイン調整は、データの記録速度が速くなるほどゲインを上昇させるようにすることが望ましい。

30

【0067】

また、図1に示す制御回路186では、チャージポンプ130a、130b、を、データの記録速度に適した駆動能力に、換言すればデータの記録速度（光ディスク1の回転にかかる線速度）に応じた発振周波数への制御に適した駆動能力に設定する。この制御回路186による各チャージポンプ130a、130bの駆動能力の設定は、先の図8に示したゲイン切替回路やそれに相当する回路に対して指令信号を出力することで行う。なお、この駆動能力の調整は、データの記録速度が速くなるほど上昇させるようにすることが望ましい。

40

【0068】

更に、制御回路186では、上記モード信号に基づき、上記電圧発生回路184のデコーダ184dに対し、電圧生成部184cにて生成する電圧値についての指令信号を出力する。

【0069】

加えて、制御回路186では、電圧発生回路184の出力する電圧をローパスフィルタ170に印加するように切替回路185を切り替えると共に、チャージポンプ160を非駆動状態とする。すなわち、先の図8に示す構成と同様の構成を有するチャージポンプ160において、全てのチャージポンプユニットCPへイネーブル信号を印加しないことによ

50

り、これら全てを非駆動状態とする。

【0070】

これら一連の処理によってクロック生成装置100における初期設定が終了される。

【0071】

こうした初期設定のなされた後、ウォブル信号が当該クロック生成装置100に入力されると、上記第1のループAでは、電圧制御発振器110の発振するクロック（実際にはそれが分周器105にて分周された分周クロック）とウォブル信号との周波数同期が取られる。この際、第2のループBにおいてはチャージポンプ160が非駆動状態とされており、電圧制御発振器110の制御電圧入力端子bには上記電圧発生回路184からの直流電圧、すなわち、一定電圧が印加される。このため、この時点では第2のループBは開ループ制御となる。

10

【0072】

そして、第1のループAにおいて、電圧制御発振器110の発振するクロックの分周クロックとウォブル信号との周波数の差が所定の範囲内に収まったことが第1のモニタ回路180を通じて検知されると、制御回路186では、第2のループBを閉ループ制御に切り替える。すなわち、チャージポンプ160内の所定個のチャージポンプユニットCPを駆動状態とするとともに、上記ローパスフィルタ170へ電圧発生回路184からの電圧が印加されないように切替回路185を切り替える。これにより、電圧制御発振器110の制御電圧入力端子bに電圧制御発振器110の発振するクロック（実際にはそれが分周器176にて分周された分周クロック）とLPP信号との位相差に応じた電圧が印加されるようになる。

20

【0073】

また、制御回路186では、この切り替えとともに、上記チャージポンプ130a、130bの駆動能力を下げる制御を行う。これは、ウォブル信号と発振クロックとの周波数の差が小さくなった後に、第1のループA側の重みを第2のループB側よりも軽くするためである。すなわち、ウォブル信号に対する周期がほぼ完了した後は、第1のループA側の影響を受けにくくなり、第2のループBによる発振クロックの微調整を適切に行うことができる。

【0074】

更に、上述のように第1のループAに基づく粗調整が行われている間、電圧発生回路184からの電圧を電圧制御発振器110の制御電圧入力端子bに印加することで、第2のループBによる微調整への切替の円滑化を図る。すなわち、チャージポンプ160を非駆動状態から駆動状態へ切り替えることで電圧制御発振器110の制御電圧入力端子bに印加される電圧値が急変することによる発振周波数の急変を回避する。

30

【0075】

なお、電圧発生回路184に基づく制御電圧入力端子bへの印加電圧は、第2のループBによって電圧制御発振器110の発振するクロックとLPP信号との位相同期が取られたときに制御電圧入力端子bに印加されると想定される電圧と略等しくなるように設定することが望ましい。これにより、チャージポンプ160を非駆動状態から駆動状態へ切り替えることに起因する電圧制御発振器110の制御電圧入力端子bに印加される電圧値の変化を極力抑制することができる。

40

【0076】

また、この電圧発生回路184に基づく制御電圧入力端子bへの印加電圧は、制御電圧入力端子bに印加される電圧の最大値と最小値との略中間とされることが望ましい。

【0077】

以上説明した本実施形態によれば以下の効果が得られるようになる。

【0078】

(1) 第1のループAにてウォブル信号と発振クロックとの周波数差が所定の範囲内に収まるまで電圧制御発振器110の制御電圧入力端子bに電圧生成部184cにて生成される一定電圧電圧を印加するようにした。そして、上記周波数差が所定の範囲内に収まった

50

後は、L P P 信号と分周クロックとの位相差に応じた電圧を制御電圧入力端子 b へ印加するようにした。このように制御電圧入力端子 b へ印加する電圧を切り替えることで、第 2 のループ B を開ループ制御から閉ループ制御に切り替える際の電圧制御発振器 1 1 0 の発振周波数の変化を抑制することができるようになる。

【 0 0 7 9 】

( 2 ) 電圧発生回路 1 8 4 において互いに電圧値の異なる複数の電圧を生成可能とすることで、光ディスク 1 の回転速度等に応じてそれぞれ適切な電圧を制御電圧入力端子 b へ印加することができる。

【 0 0 8 0 】

( 3 ) 2 つの制御電圧入力端子 a、b を備えて電圧制御発振器 1 1 0 を第 1 のループ A 及び第 2 のループ B にて共有した。これにより、当該クロック生成装置 1 0 0 の回路規模を低減することができるようになる。 10

【 0 0 8 1 】

( 4 ) 電圧制御発振器 1 1 0 が第 1 の電流源 1 1 2、1 1 4 を備える構成とすることで、光ディスク 1 の回転速度の設定等に応じて当該電圧制御発振器 1 1 0 の特性を可変とすることができる。

【 0 0 8 2 】

( 5 ) 第 1 のループ A の備えるチャージポンプ 1 3 0 a、1 3 0 b のゲインを可変とする構成とするとともに、このゲインを粗調整から微調整へ切り替える際に低下させるようにした。これにより、第 2 の P L L 回路による微調整を好適に行うことができるようになる。 20

【 0 0 8 3 】

( 6 ) L P P 信号が検出される時期を指令部 1 7 2 で予測し、この予測される時期にのみ位相比較回路 1 5 0 での処理が許可されるために、ノイズを L P P 信号と誤認することを回避することができるようになる。

【 0 0 8 4 】

( 7 ) 電圧制御発振器 1 1 0 の発振するクロックの分周クロックとウォブル信号との両パルスの立ち上がり及び立ち下がりそれぞれ比較することで、再生されるウォブル信号のデューティ比の変化の影響を排除して電圧制御発振器 1 1 0 を制御することができる。

【 0 0 8 5 】

なお、上記実施形態は、以下のように変更して実施してもよい。 30

- ・上記第 1 のループ A に入力される信号としては、ウォブル信号に限らず、その分周信号でもよい。

- ・上記第 2 のループ B に入力される信号としては、L P P 信号に限らず、その分周信号でもよい。

- ・必ずしも光ディスク 1 の回転速度に応じて電圧制御発振器 1 1 0 のゲインを可変設定する構成でなくてもよい。例えばこの場合、ディスク媒体の回転速度に応じて、チャージポンプ 1 3 0 a、1 3 0 b、1 6 0 や、電圧発生回路 1 8 4 の電圧を可変とすることで、当該クロック生成装置の特性を調整してもよい。この際、電圧発生回路 1 8 4 の出力電圧は、倍速記録等、光ディスク 1 の回転速度が高く設定されるほど、高い電圧に設定することが望ましい。 40

- ・電圧制御発振器 1 1 0 の構成は、図 2 に例示したものに限らない。例えばリングオシレータ 1 1 8 の各インバータ I V への給電量を制御する電流制御素子としては、N チャネルトランジスタ及び P チャネルトランジスタからなるものに限らない。

- ・電圧制御発振器 1 1 0 のゲインをレジスタ 1 1 5 a による初期設定としたが、これに限らず、クロック生成装置の動作中においても可変とする構成としてもよい。こうした構成は、クロック生成装置を、角速度一定のデータ記録装置に適用する場合には、特に有効である。

- ・立ち上がり比較部 1 2 0 a 及び立ち下がり比較部 1 2 0 b、位相比較回路 1 5 0、チャージポンプ 1 3 0 a、1 3 0 b、1 6 0 の構成としては、先の図 8 及び図 9 及び図 1 1 に 50

例示したものに限られない。

・ウォブル信号に周波数同期したクロックを生成する第1のループAにおけるウォブル信号と電圧制御発振器110の発振するクロックとの比較態様は、上記立ち上がり及び立ち下りの両方を比較するものに限られない。例えば、立ち上がりのみを用いて、ウォブル信号とほぼ同期した信号を生成するようにしてもよい。

・例えばノイズをLPP信号と誤検出することがない場合等においては、先の図1に示した指令部172においてウィンドウパルスを生成する処理を省略してもよい。

・第1のループAと第2のループBとで電圧制御発振器を共有する構成にも限らない。すなわち、第1のループAと第2のループBとで各別の電圧制御発振器を備える構成としてもよい。こうした場合であれ、上記実施形態に準じた態様にて第2のループBの制御電圧入力端子へ印加する電圧を切り替えることで、第2のループBを開ループ制御から閉ループ制御に切り替える際の電圧制御発振器の発振周波数の変化を抑制することはできる。

・データ記録制御装置の構成は、図1に例示するものに限らない。

・更に、本発明にかかるPLL回路は、ディスク媒体のデータ記録制御装置に備えられるクロック生成装置に限られない。要は、互いに異なる周波数を有する信号が混在する状況下、そのパルスの出現頻度が低いために正確な同期をとることが困難な信号に正確に位相同期したクロックを生成することが望まれる場合には、本発明にかかるクロック生成装置の適用は有効である。

【0086】

【発明の効果】

本願によれば、互いに異なる周波数を有する信号が混在する状況下、そのパルスの出現頻度が低いために同期をとることが困難な信号に同期したクロックを生成することのできるようになる。

【図面の簡単な説明】

【図1】本発明にかかるデータ記録制御装置をDVD-Rのデータ記録制御装置に適用した一実施形態の構成を示すブロック図。

【図2】同実施形態における電圧制御発振器の構成を示す回路図。

【図3】同実施形態における電圧制御発振器の特性を示す図。

【図4】同実施形態における電圧制御発振器の特性を示す図。

【図5】同実施形態における電圧制御発振器の特性を示す図。

【図6】同実施形態における電圧制御発振器の特性を示す図。

【図7】ウォブル信号及びLPP信号の特性を示すタイムチャート。

【図8】同実施形態のチャージポンプの構成を示す図。

【図9】同実施形態の立ち上がり比較部及びチャージポンプユニットの構成を示す回路図。

【図10】同実施形態においてウォブル信号と周波数同期したクロックの生成態様を示すタイムチャート。

【図11】同実施形態の位相比較回路及びチャージポンプユニットの構成を示す回路図。

【図12】同実施形態におけるLPP信号と位相同期したクロックの生成態様を示すタイムチャート。

【図13】同実施形態における電圧発生回路の構成を示す図。

【符号の説明】

1：光ディスク、10：光学ヘッド、20：RFアンプ、30：デコーダ、100：クロック生成装置、105：分周器、110：電圧制御発振器、112、114：電流源、115：ゲイン制御回路115a：レジスタ、116：制御電圧発生回路、118：リングオシレータ、120a、120b：比較部、130a、130b：チャージポンプ、131a：ゲイン切替回路、132a：出力部、133a：バイパス回路、140：加算器、142：ローパスフィルタ、150：位相比較回路、160：チャージポンプ、172：指令部、174：LPP出力部、176：分周器、180、182：モニタ回路、184：電圧発生回路、185：切替回路、186：制御回路。

10

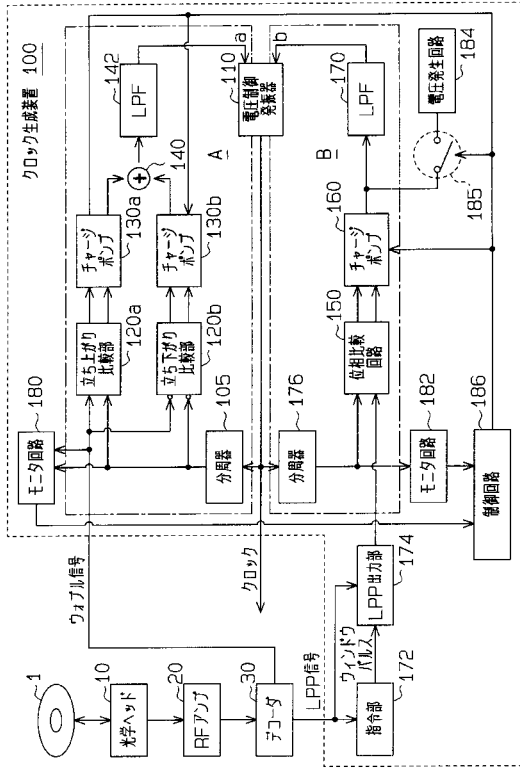
20

30

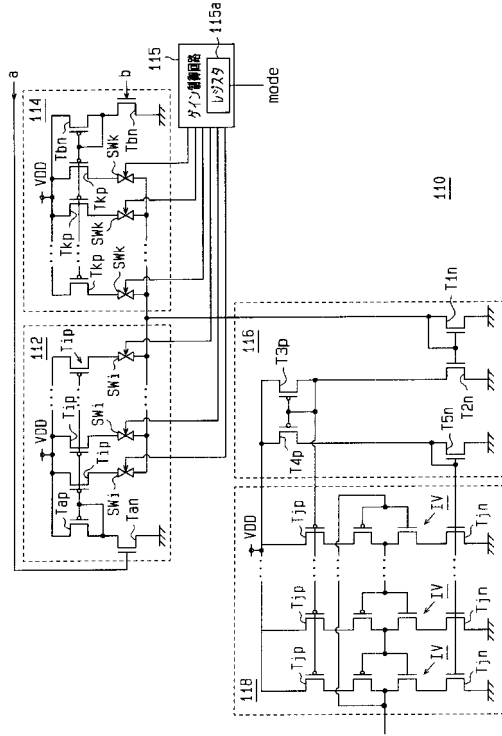
40

50

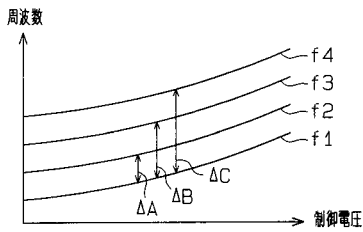
【 図 1 】



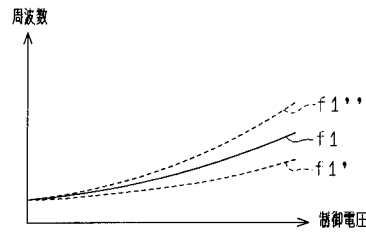
【 図 2 】



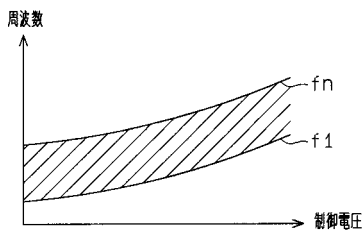
【 図 3 】



【 図 5 】

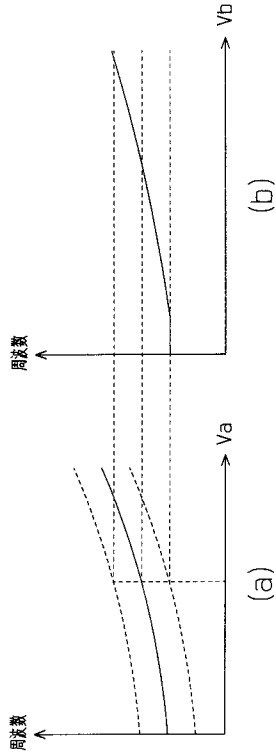


【 図 4 】

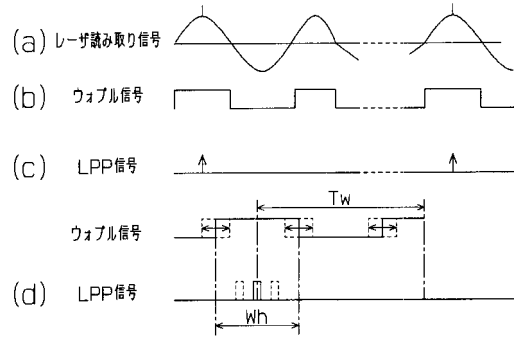




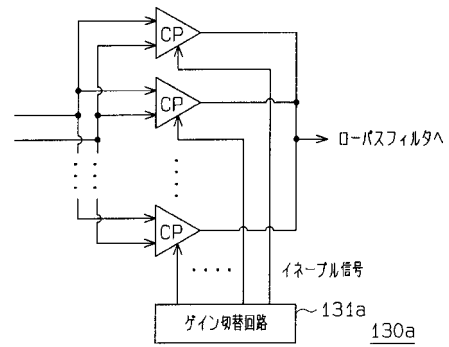
【 図 6 】



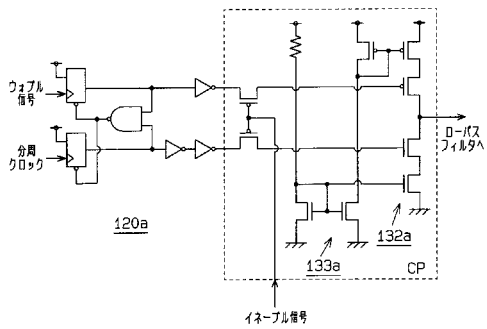
【 図 7 】



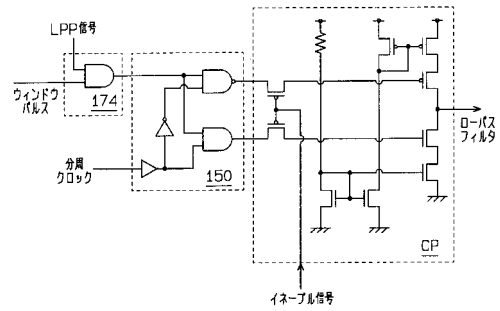
【 図 8 】



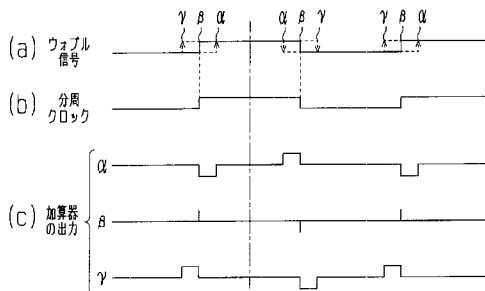
【 図 9 】



【 図 11 】



【 図 10 】



【 図 12 】

