

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年8月10日(10.08.2017)



(10) 国際公開番号
WO 2017/134824 A1

- (51) 国際特許分類:
H02M 7/12 (2006.01) H02M 3/155 (2006.01)
- (21) 国際出願番号: PCT/JP2016/053542
- (22) 国際出願日: 2016年2月5日(05.02.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (72) 発明者; および
- (71) 出願人: 大島 俊蔵(OHSHIMA Shunzou) [JP/JP];
〒4410213 愛知県豊川市御油町汲ヶ谷 2 3 3 番
地 Aichi (JP).
- (74) 代理人: 池田 敏行, 外(IKEDA Toshiyuki et al.);
〒4600003 愛知県名古屋市中区錦二丁目 1 9 番
1 9 号 広小路センタープレイス 3 階 池田・
岩田国際特許事務所 Aichi (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,

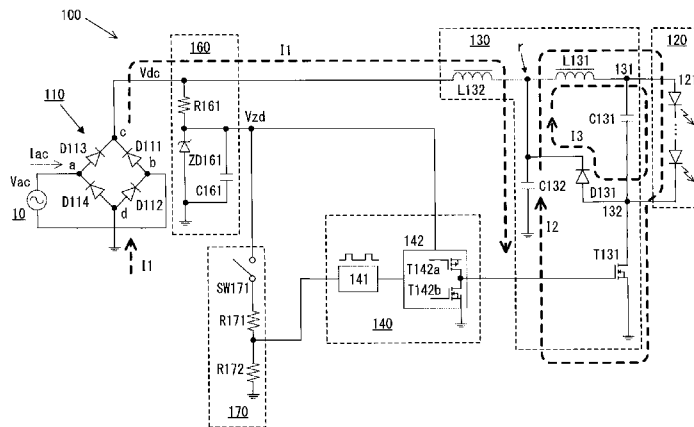
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユー
ロッパ (AM, AZ, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,
MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM,
ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: POWER SUPPLY DEVICE

(54) 発明の名称: 電源装置



(57) Abstract: [Problem] To provide, inexpensively and via a simple configuration, a power supply device that is capable of improving efficiency. [Solution] A full-wave rectifier circuit 110 generates a DC voltage (pulsating DC voltage) Vdc for which an AC voltage Vac has been rectified. A switching element T131 constituting part of a power supply circuit 130 is on during a fixed on period Mon, and off during a fixed off period M_{off} (= M - Mon) for individual fixed control cycles M. When the switching element T131 is on, the charge stored in a capacitor C132 causes a current I2 to flow over a path including an inductor L131 and the switching element. When the switching element T131 is off, the electromagnetic energy stored in the inductor L131 causes a return current I3 to flow via a diode D131 and parallel circuits of a capacitor C131 and a load 120. Concurrently, a current I1 is supplied from the full-wave rectifier circuit 110 via an inductor L132 to the capacitor C132. A configuration is adopted such that the current I1 continues to flow to the capacitor C132 during the period that the switching element T131 is off.

(57) 要約:

[続葉有]

WO 2017/134824 A1



【課題】簡単な構成で、安価に、効率を向上させることができる電源装置を提供する。【解決手段】全波整流回路110は、交流電圧 V_{ac} を整流した直流電圧（脈動直流電圧） V_{dc} を発生する。電力供給回路130を構成するスイッチング素子T131は、固定された制御周期M毎に、固定されたオン期間Monの間オンされ、固定されたオフ期間Moff（=M-Mon）の間オフされる。スイッチング素子T131がオンすると、コンデンサC132に蓄積された電荷により、インダクタL131およびスイッチング素子を含む経路で電流I2が流れる。スイッチング素子T131がオフすると、インダクタL131に蓄積された電磁エネルギーにより、コンデンサC131と負荷120との並列回路およびダイオードD131を介して還流電流I3が流れる。同時に、全波整流回路110からインダクタL132を介してコンデンサC132に電流I1が供給される。スイッチング素子T131がオフしている期間中、コンデンサC132に電流I1が流れ続けるように構成されている。

明 細 書

発明の名称：電源装置

技術分野

[0001] 本発明は、負荷に直流電力を供給する電源装置に関し、特に、効率を向上させることができる電源装置に関する。

背景技術

[0002] 負荷に直流電力を供給する電源装置として、特開平9-47024号公報に開示されている電源装置が知られている。図6に従来の一般的な電源装置の回路図が示されている。

図6に示されている電源装置400は、全波整流回路410、ローパスフィルタ480、負荷420に直流電力を供給する電力供給回路430、電力供給回路430を制御する制御回路440を備える降圧型AC-DCコンバータとして構成されている。全波整流回路410は、交流電源10の交流電圧 V_{ac} を全波整流して直流電圧（脈動直流電圧） V_{dc} に変換する。電力供給回路430のスイッチング素子T431として、N型MOSFETが用いられている。また、電力供給回路430は、高調波電流の振幅を制限値（「PFC規格」と呼ばれる）以下に抑制するための力率改善（PFC：Power Factor Correction）機能を有している。制御回路440は、固定された制御周期でスイッチング素子T431をオンし、スイッチング素子T431のドレイン電流（電流検出抵抗R431の電圧降下）が閾値より大きくなるとスイッチング素子T431をオフする。

[0003] 図6に示されている電源装置400では、スイッチング素子T431がオンすると、全波整流回路410、ローパスフィルタ480、インダクタL431、負荷420とコンデンサC431との並列回路、スイッチング素子T431、電流検出抵抗R431および接地（グラウンド）の経路で電流I1が流れる。この時、インダクタL431（インダクタンスL）に、電磁エネルギーが蓄積される。そして、スイッチング素子T431がオフすると、イ

ンダクタL431に蓄積された電磁エネルギーにより、インダクタL431、負荷420とコンデンサC431との並列回路、ダイオードD431（「還流ダイオード」あるいは「フリーホイールダイオード」と呼ばれる）の経路で還流電流I3が流れる。

[0004] 図6に示されている電源装置400では、電流I1の大きさ（振幅）が直流電圧Vdcの大きさ（振幅）に連動する。これにより、交流入力電力の力率 $\cos\theta$ （ θ ：交流電圧Vacと交流入力電流Iacの位相差）が「1」に近づく。

なお、スイッチング素子T431がオフの間は電流I1が遮断される。すなわち、電流I1は、間欠的に流れる。このため、電流I1に高調波電流が含まれる。この高調波電流が交流電源側に伝搬するのを防止するためにローパスフィルタ480が設けられている。

先行技術文献

特許文献

[0005] 特許文献1：特開平9-47024号公報

発明の概要

発明が解決しようとする課題

[0006] 従来の電源装置400に設けられているローパスフィルタ480は、力率の悪化を防止するために、小さい容量を有するコンデンサと大きいインダクタンスを有するインダクタにより構成されている。大きいインダクタンスを有するインダクタは、導線の巻数が多くなる。ここで、太い導線を用いてインダクタを形成するとインダクタが大型になるため、細い導線を用いて形成する必要がある。一方、細い導線を用いてインダクタを形成すると、インダクタの抵抗値が大きくなり、インダクタの損失が増加する。

このように、従来の電源装置は、高調波電流が流れるのを防止するためのローパスフィルタを構成するインダクタの損失が大きいため、効率を向上させるには限界があった。

また、従来の電源装置400は、スイッチング素子T431のドレイン電流を検出する電流検出抵抗R431を備え、電流検出抵抗R431に発生する電圧降下（スイッチング素子T431のドレイン電流）が閾値を超えた場合にスイッチング素子T431をオフしている。このため、制御回路が複雑となり、コストも増加する。

本発明は、このような点に鑑みて創案されたものであり、簡単な構成で、安価に、効率を向上させることができる電源装置を提供することを目的とする。

課題を解決するための手段

[0007] 第1の発明は、交流電圧を整流した直流電圧を正極端と負極端の間に発生する第1の直流電源、第1の直流電源と負荷の間に設けられている電力供給回路、電力供給回路を制御する制御回路を備えている。

第1の直流電源としては、好適には、交流電圧を整流して直流電圧（脈動直流電圧）に変換する整流回路を有する直流電源が用いられる。整流回路としては、典型的には、全波整流回路が用いられる。「正極端」および「負極端」という用語は、直流電圧が発生する箇所を表す用語として用いられている。

電力供給回路は、第1および第2のコンデンサ、第1および第2のインダクタ、ダイオードおよび第1のスイッチング素子を有している。

制御回路は、固定された制御周期M毎に、固定されたオン期間 M_{on} の間第1のスイッチング素子をオンし、固定されたオフ期間 M_{off} （ $=M - M_{on}$ ）の間第1のスイッチング素子をオフする。例えば、制御周期Mに等しいクロック信号周期M毎に、オン期間 M_{on} に等しい第1の期間 K_a の間Hレベル（あるいはLレベル）となり、オフ期間 M_{off} に等しい第2の期間 K_b の間Lレベル（あるいはHレベル）となるクロック信号に同期して第1のスイッチング素子を制御する。

第1のスイッチング素子がオンすると、第2のコンデンサに蓄積された電荷により、第1のインダクタ、第1のコンデンサと負荷との並列回路および

第1のスイッチング素子を介して放電電流が流れるように構成されている。また、第1のスイッチング素子がオフすると、第1のスイッチング素子のオン時に第1のインダクタに蓄積された電磁エネルギーにより、第1のコンデンサと負荷との並列回路およびダイオードを介して還流電流が流れ、同時に、第1の直流電源から第2のインダクタを介して第2のコンデンサに充電電流が流れるように構成されている。

さらに、第1の発明では、第1のスイッチング素子がオフしている間、第2のコンデンサに充電電流が流れ続けるように構成されている。例えば、第2のインダクタのインダクタンス、第2のコンデンサの容量、第1のスイッチング素子のオフ期間 M_{off} 等が適切に設定される。

第1の発明では、制御周期を通して直流電源から連続して電流が供給されるため、当該電流に含まれる高調波成分を大幅に抑制することができる。これにより、交流入力電力の力率を改善することができるとともに、高調波電流が交流電源側に伝搬するのを防止することができる。したがって、従来の電源装置で用いられているローパスフィルタを削除することができ、電源装置を小型化することができるとともに、効率を向上させることができる。また、第1のスイッチング素子を流れる電流を検出するための部品や処理等が不要である。これにより、構成を簡略化することができる。さらに、ローパスフィルタや電流を検出するための部品等が不要となるため、電源装置を安価に構成することができる。

第2の発明は、第1の発明と同様に、第1の直流電源、電力供給回路および制御回路を備えている。第2の発明では、第1の発明の電力供給回路と異なる構成の電力供給回路が用いられている。すなわち、第1の発明の電力供給回路は、バックコンバータを構成し、第2の発明の電力供給回路は、ブーストバックコンバータを構成している。

第2の発明の電力供給回路は、第1の発明の電力供給回路と同様に、第1および第2のコンデンサ、第1および第2のインダクタ、ダイオードおよび第1のスイッチング素子を有している。

本発明では、第1のスイッチング素子がオンすると、第2のコンデンサに蓄積された電荷により、第1のインダクタおよび第1のスイッチング素子を介して放電電流が流れるように構成されている。また、第1のスイッチング素子がオフすると、第1のスイッチング素子のオン時に第1のインダクタに蓄積された電磁エネルギーにより、ダイオードおよび第1のコンデンサと負荷との並列回路を介して還流電流が流れ、同時に、第1の直流電源から第2のインダクタを介して第2のコンデンサに充電電流が流れるように構成されている。

さらに、第1の発明と同様に、第1のスイッチング素子がオフしている間、第2のコンデンサに充電電流が流れ続けるように構成されている。

第2の発明は、第1の発明と同様の効果を得ることができる。

第1および第2の発明の異なる形態では、第2のインダクタのインダクタンスを L_2 、第2のコンデンサの容量を C_p としたとき、[制御周期 $M < \pi \times (L_2 \times C_p)^{1/2}$]を満足するように構成されている。

本形態では、簡単に、制御周期を通して直流電源から連続して電流が流れるように構成することができる。

第1および第2の発明の他の異なる形態では、スイッチング素子がオフしている期間内に還流電流が消滅するように構成されている。例えば、スイッチング素子のオフ期間 M_{off} が適切に設定されている。

本形態では、還流電流が流れている状態でスイッチング素子がオンすることによる効率の低下や電流波形の乱れ等を防止することができる。

第1および第2の発明の他の異なる形態では、制御回路は、設定された直流電圧を第1の端子と第2の端子の間に発生する第2の直流電源と、スイッチング素子のオン期間 M_{on} を設定するオン期間設定回路を有している。なお、制御周期 M は固定であるから、オン期間 M_{on} が設定されると、オフ期間 M_{off} ($=M - M_{on}$)も設定されることになる。

オン期間設定回路は、第1および第2のP型MOSFET、第1および第2のN型MOSFET、第1～第3の抵抗、第3のコンデンサおよび第2のス

スイッチング素子を有する。

第2の直流電源の第1の端子と第2の端子の間に、第1のP型MOSFET、第1の抵抗、第1のN型MOSFETおよび第2の抵抗が直列に配置されている。第1のP型MOSFETおよび第1のN型MOSFETそれぞれのゲートとドレインが短絡されている。これにより、この直列回路は定電流回路を構成している。

また、第2の直流電源の第1の端子と第2の端子の間に、第2のP型MOSFET、第2のN型MOSFETおよび第3の抵抗が直列に配置されている。第2のP型MOSFETのゲートが第1のP型MOSFETのゲートに接続されているとともに、第2のN型MOSFETのゲートが第1のN型MOSFETのゲートに接続されている。第3のコンデンサおよび第2のスイッチング素子は、第3の抵抗に並列に配置されている。

本形態では、第2のスイッチング素子がオンしているときは、第2のP型MOSFETの端子間電圧（ドレイン・ソース間電圧）が第2のN型MOSFETの端子間電圧より大きくなり、また、第2のスイッチング素子がオフで、かつ、第3のコンデンサが完全に充電されているときは、第2のP型MOSFETの端子間電圧が第2のN型MOSFETの端子間電圧より小さくなるように、第1および第2のP型MOSFETのチャンネル幅の比（チャンネル幅比）、第1および第2のN型MOSFETのチャンネル幅の比（チャンネル幅比）、第2および第3の抵抗の抵抗値の比（抵抗値比）が設定されている。また、制御周期Mの開始時点で、第2のスイッチング素子がオフされるように構成されている。

オン期間設定回路は、制御周期Mの開始時点から、第2のP型MOSFETの端子間電圧が第2のN型MOSFETの端子間電圧より小さくなるまでの期間をオン期間 M_{on} として設定する。

本形態では、スイッチング素子のオン期間 M_{on} の長さを容易に調整することができる。

第1および第2の発明の他の異なる形態では、交流電圧を整流した直流電

圧を正極端と負極端の間に発生する第1の直流電源に換えて、設定された直流電圧を正極端と負極端の間に発生する第3の直流電源を用いている。第3の直流電源としては、好適には、バッテリーが用いられる。

本形態では、高調波成分の発生を抑制することができ、また、第1のスイッチング素子を流れる電流を検出する必要がない降圧型DC-DCコンバータを得ることができる。

発明の効果

[0008] 本発明の電源装置は、簡単な構成で、安価に、効率を向上させることができる。

本発明の他の特徴、作用および効果は、本明細書、特許請求の範囲、添付図面を参照することで直ちに理解することができる。

図面の簡単な説明

[0009] [図1]本発明の電源装置の第1の実施形態の回路図である。

[図2]本発明の電源装置の第2の実施形態の回路図である。

[図3]第1の実施形態のシミュレーション波形である。

[図4]図3のI-Vの部分の拡大図である。

[図5]本発明の電源装置の第3の実施形態の回路図である。

[図6]従来の電源装置の回路図である。

発明を実施するための形態

[0010] 以下の詳細な説明は、本発明の好ましい適用例を実施するための詳細情報を当業者に教示するに留まり、本発明の技術的範囲は、詳細な説明によって制限されず、特許請求の範囲の記載に基づいて定められる。このため、以下の詳細な説明における構成や方法の組み合わせは、広義の意味において、本発明を実施するのに全て必須であるというものではなく、添付図面の参照番号とともに記載された詳細な説明において、本発明の代表的形態を開示するに留まるものである。

[0011] 以下に、本発明の実施形態を、図面を参照しながら説明する。

以下では、交流電圧を直流電圧に変換する全波整流回路を備え、発光ダイ

オード（LED）を有する負荷に直流電力を供給する降圧型AC-DCコンバータとして構成した場合について説明する。勿論、本発明の電源装置は、LED負荷以外の種々の負荷に直流電力を供給する電源装置として用いることができる。

また、「電圧」、「電流」という記載は、特に断りがない限り、それぞれ「電圧の大きさ（振幅）」、「電流の大きさ（振幅）」を意味するものとして用いている。

[0012] [第1の実施形態]

図1に、本発明の電源装置の第1の実施形態100の回路図が示されている。本実施形態の電源装置100は、交流電源10からの交流電圧 V_{ac} を直流電圧 V_{dc} に変換する全波整流回路110、電力供給回路130、制御回路140、電源回路160および駆動信号出力回路170により構成されている。

全波整流回路110は、ブリッジ接続された複数のダイオードD111～D114を有し、交流入力端aおよびb間に印加される交流電圧 V_{ac} を全波整流し、正極端cおよび負極端d間に直流電圧 V_{dc} を発生する。なお、直流電圧 V_{dc} は、交流電圧 V_{ac} の大きさ（振幅）に応じて変化する大きさ（振幅）を有する脈動直流電圧である。

本実施形態では、全波整流回路110の負極端dが接地されている。このため、いずれかの端子を接地することは、当該端子を負極端dに接続することを意味する。

本実施形態では、全波整流回路110により、本発明の「第1の直流電源」が構成されている。

[0013] 電力供給回路130は、全波整流回路110の正極端cおよび負極端dと負荷120の一方端131および他方端132間に配置され、負荷120に直流電力を供給する。

以下に、電力供給回路130の構成を説明する。

負荷120の一方端131と他方端132の間に、容量C1を有するコン

デンサC 1 3 1が配置されている。

負荷1 2 0の一方端1 3 1と正極端cの間には、インダクタンスL 1を有するインダクタL 1 3 1とインダクタンスL 2を有するインダクタL 1 3 2が直列に配置されている。この時、インダクタL 1 3 1が一方端1 3 1に接続され、インダクタL 1 3 2が正極端cに接続される。

負荷1 2 0の他方端1 3 2と接地の間には、スイッチング素子T 1 3 1が配置されている。本実施形態では、スイッチング素子T 1 3 1として、N型MOSFETが用いられている。

インダクタL 1 3 1とインダクタL 1 3 2の接続点rと接地の間に、容量C pを有するコンデンサC 1 3 2が配置されている。

負荷1 2 0の他方端1 3 2と接続点rの間に、ダイオードD 1 3 1（還流ダイオード）が配置されている。この時、ダイオードD 1 3 1のアノードが他方端1 3 2に接続され、カソードが接続点rに接続される。

スイッチング素子T 1 3 1が、本発明の「第1のスイッチング素子」に対応し、コンデンサC 1 3 1が、本発明の「第1のコンデンサ」に対応し、コンデンサC 1 3 2が、本発明の「第2のコンデンサ」に対応し、インダクタL 1 3 1が、本発明の「第1のインダクタ」に対応し、インダクタL 1 3 2が、本発明の「第2のインダクタ」に対応する。

[0014] 電源回路1 6 0は、正極端cと接地の間に配置され、抵抗R 1 6 1、ツェナーダイオードZ D 1 6 1およびコンデンサC 1 6 1により構成されている。電源回路1 6 0は、ツェナーダイオードZ D 1 6 1のツェナー電圧により定まる電圧V z dを制御回路1 4 0および駆動信号出力回路1 7 0に印加する。

駆動信号出力回路1 7 0は、抵抗R 1 6 1とツェナーダイオードZ D 1 6 1との接続点（電圧V z d）と接地の間に配置され、スイッチSW 1 7 1、抵抗R 1 7 1およびR 1 7 2により構成されている。駆動信号出力回路1 7 0は、スイッチSW 1 7 1がオンされると、負荷1 2 0への直流電力の供給の開始を指示するHレベルの駆動信号を、制御回路1 4 0のクロック信号発

生回路 141 に出力する。

[0015] 制御回路 140 は、クロック信号発生回路 141 と駆動回路 142 により構成されている。

クロック信号発生回路 141 は、駆動信号出力回路 170 から H レベルの駆動信号が入力されると、クロック信号を駆動回路 142 の入力端子に出力する。

駆動回路 142 は、電源回路 160 により発生される直流電圧 V_{zd} と接地間に直列に接続されたスイッチング素子 T142a と T142b により構成されている。本実施形態では、スイッチング素子 T142a として P 型 MOSFET が用いられ、スイッチング素子 T142b として N 型 MOSFET が用いられている。スイッチング素子 142a と 142b の接続点（出力端子）は、電力供給回路 130 のスイッチング素子 T131 のゲートに接続されている。駆動回路 142 は、入力端子に入力されるクロック信号に基づいて、スイッチング素子 T131 をオンする駆動電圧およびオフする駆動電圧を出力端子に発生する。

[0016] 本実施形態では、クロック信号発生回路 141 は、固定されたクロック信号周期 M 毎に、固定された第 1 の期間 K_a の間 H レベルとなり、固定された第 2 の期間 K_b ($=M - K_a$) の間 L レベルとなるクロック信号を発生する。

そして、駆動回路 142 の出力端子には、クロック信号が H レベルである第 1 の期間 K_a の間、スイッチング素子 T131 をオンする H レベルの駆動電圧が発生し、クロック信号が L レベルである第 2 の期間 K_b の間、スイッチング素子 T131 をオフする L レベルの駆動電圧が発生する。

本実施形態では、スイッチング素子 T131 は、固定された制御周期 M ($=$ クロック信号周期 M) 毎に、固定されたオン期間 M_{on} ($=$ クロック信号の第 1 の期間 K_a) の間オンし、固定されたオフ期間 M_{off} ($=$ クロック信号の第 2 の期間 K_b) の間オフする。すなわち、本実施形態では、T131 のオン期間 M_{on} およびオフ期間 M_{off} は、クロック信号の第 1 の期間

K a および第2の期間K b と等しい（「略等しい」を含む）。

なお、本実施形態では、スイッチング素子T 1 3 1を流れる電流を検出する部品は設けられてなく、電流検出処理や検出した電流と閾値を比較する処理等を行われない。

[0017] 次に、本実施形態の電源装置1 0 0の動作を説明する。

なお、以下では、各素子を、符号のみで表すこともある。例えば、N型M O S F E Tであるスイッチング素子T 1 3 1を、「T 1 3 1」で表す。

[0018] スイッチS W 1 7 1がオフされている時は、駆動信号出力回路1 7 0からLレベルの駆動信号が出力されている。このため、T 1 3 1はオフ状態を維持する。T 1 3 1がオフしている時は、全波整流回路1 1 0（直流電圧V d c）、インダクタL 1 3 2、コンデンサC 1 3 2および接地の経路で電流I 1（コンデンサC 1 3 2の充電電流）が流れる。

この状態でスイッチS W 1 7 1がオンされると、駆動信号出力回路1 7 0からHレベルの駆動信号が出力される。これにより、クロック信号発生回路1 4 1は、クロック信号の発生を開始する。

[0019] 駆動回路1 4 2は、クロック信号がHレベルである第1の期間K aの間、T 1 3 1をオンするHレベルの駆動電圧を出力端子に発生する。

T 1 3 1がオンすると、コンデンサC 1 3 2に蓄積された電荷により、コンデンサC 1 3 2、インダクタL 1 3 1、負荷1 2 0とコンデンサC 1 3 1との並列回路、T 1 3 1および接地の経路で電流I 2（コンデンサC 1 3 2の放電電流）が流れる。この時、インダクタL 1 3 1に電磁エネルギー $[L 1 \times (I 2)^2 / 2]$ が蓄積される。

T 1 3 1がオンしているときは、コンデンサC 1 3 2の放電によりr点の電圧がV d cより低くなる。このため、T 1 3 1がオンしている間も、全波整流回路1 1 0、インダクタL 1 3 2、コンデンサC 1 3 2および接地の経路で電流I 1が流れる。

[0020] また、駆動回路1 4 2は、クロック信号がLレベルである第2の期間K bの間、T 1 3 1をオフするLレベルの駆動電圧を出力端子に発生する。

T131がオフすると、インダクタL131に蓄積された電磁エネルギーにより、インダクタL131、負荷120とコンデンサC131との並列回路およびダイオードD131の経路で電流I3（還流電流）が流れる。

同時に、全波整流回路110、インダクタL132、コンデンサC132および接地の経路で電流I1が流れる。これにより、T131のオン期間中に放電したコンデンサC132の電荷が補充される。

本実施形態では、T131がオフしている間、電流I1が流れ続けるように、クロック信号周期M、インダクタL132のインダクタンスL2およびコンデンサC132の容量Cpが設定されている。詳しくは後述する。

[0021] 前述したように、T131がオンしている時も電流I1が流れる。また、T131がオフしている間、電流I1が流れ続けるように設定されている。

これにより、1クロック信号周期M(=Ka+Kb)、すなわち、1制御周期M(=オン期間Ma+オフ期間Mb)の間、電流I1が流れ続けることになる。その結果、電流I1は、直流電圧(脈動直流電圧)Vdcに同期した大きさの電流成分と、制御周期Mで変動する電流成分を加算した電流となる。

ここで、電流I1と電源回路160を流れる電流を加算した電流は、交流入力電流Iacの絶対値に等しい。従って、T131のオフ期間中も電流I1を流し続けることにより、T131の1制御周期M(=1クロック信号周期M)の間、交流入力電流Iacが流れ続けることになり、交流電流Iacに含まれる高調波電流の発生が抑制される。

これにより、図6に示されている従来の電源装置400で用いているローパスフィルタ480を除去することができる。したがって、電源装置の効率を向上させることができるとともに、大幅に製品形状を小型化することが可能になる。

[0022] 次に、本実施形態の電源装置100の各動作について説明する。なお、各波形は、図3および図4に示されている。図3および図4に示されている各波形については、後述する。

先ず、コンデンサC132の充放電動作を説明する。

T131がオンすると、前述したように、コンデンサC132が放電して電流I2が流れる。電流I2が流れる経路の抵抗値は非常に小さいので、到達電流値（飽和電流値）が非常に大きくなり、立ち上がり直後の電流I2は、直線的に増大する。

[0023] 負荷I20の電圧（負荷電圧）をVLEDとし、コンデンサC132のプラス端子電圧（r点の電圧）をVCpすると、T131がオンした時のインダクタL131の端子間電圧VL1は、（1）式で表される。

[数1]

$$VL1 = L1 \times \frac{dI2}{dt} = VCp - VLED \quad (1)$$

VCpは、T131のオン期間中、コンデンサC132の放電により減少する。

VCpは、T131がオンした時点ではVdcより大きく [VCp > Vdc]、T131のオン期間中に急激に低下し、低下過程においてVdcと等しくなり [VCp = Vdc]、T131がオフからオンに移行する時点ではVdcより小さくなる [VCp < Vdc]。

[0024] [VCp = Vdc] となる位置は、後述するように、VCpの変化範囲の中間点またはその近傍となるので、T131のオン期間におけるVCpの平均値は、Vdcで近似することができる。この近似を用いると、（1）式は、（2）式に書き替えることができる。

[数2]

$$\frac{dI2}{dt} \doteq \frac{Vdc - VLED}{L1} \quad (2)$$

すなわち、I2の増加率（増加勾配）は、（Vdc - VLED）に比例し、L1に反比例する。

制御周期Mの期間内におけるVdcは、一定と見なすことができる。また、T131が、時点 [t = t0 (= 0)] でオンするものとする、時点 [

$t = t_0$] では、 $[I_2 = 0]$ である。したがって、 I_2 は、(3) 式で表される。

[数3]

$$I_2 \doteq \frac{V_{dc} - V_{LED}}{L_1} \times t \quad (3)$$

(3) 式から、 I_2 は、 $(V_{dc} - V_{LED})$ に比例し、 L_1 に反比例する勾配で、直線的に増加することが分かる。

[0025] T_{131} が、時点 $[t = t_1]$ でオンからオフに移行するものとする、 T_{131} のオン期間 M_{on} 中にコンデンサ C_{132} から放電される放電電荷量 Q_1 は、(4) 式で表される。この場合、 T_{131} は時点 $[t = 0]$ から時点 $[t = t_1]$ の間オンするため、 $[M_{on} = t_1]$ である。なお、放電電荷量 Q_1 の初期値は、ゼロである。

[数4]

$$Q_1 = \int_0^{t_1} I_2 dt = \frac{V_{dc} - V_{LED}}{2 \times L_1} \times t_1^2 \quad (4)$$

T_{131} はクロック信号が H レベルである第 1 の期間 K_a の間オンするため、 T_{131} のオン期間 M_{on} は固定である。このため、 T_{131} のオン期間 $M_{on} (= t_1)$ におけるコンデンサ C_{132} の放電電荷量 Q_1 は、 $(V_{dc} - V_{LED})$ に比例する。

なお、(4) 式から、放電電荷量 Q_1 は、 T_{131} のオン期間 $M_{on} (= t_1)$ の 2 乗に比例する。このため、 T_{131} のオン期間 M_{on} がばらつくと、放電電荷量 Q_1 が大きく変化する。従って、 T_{131} のオン期間 M_{on} を固定することは、放電電荷量 Q_1 のばらつきを防ぐ効果がある。

[0026] T_{131} のオフ期間 M_{off} におけるコンデンサ C_{132} の充電電荷量は、制御周期 M の期間内における V_{dc} は一定であると仮定すれば、 T_{131} のオン期間 $M_{on} (= t_1)$ におけるコンデンサ C_{132} の放電電荷量 Q_1 と等しくなる。

しかしながら、実際には、 V_{dc} は、制御周期 M より長い期間では脈動す

るので、制御周期Mの期間内でもわずかながら変動する。T131の1制御周期MにおけるVdcの変動量（電圧差）を ΔV_{dc} とすると、Vdcの増加過程では $[\Delta V_{dc} > 0]$ となり、Vdcがピークの時に $[\Delta V_{dc} = 0]$ となり、Vdcの減少過程では $[\Delta V_{dc} < 0]$ となる。

[0027] コンデンサC132は、Vdcの増加過程では $(\Delta V_{dc} \times C_p)$ の電荷が充電され、Vdcの減少過程では $(\Delta V_{dc} \times C_p)$ の電荷が放電される。従って、T131の1制御周期MにおけるコンデンサC132の充電電荷量（以下、「 C_p 充電電荷量」という）は、(5)式で表される。

$$C_p \text{ 充電電荷量} = Q_1 + \Delta V_{dc} \times C_p \quad (5)$$

$[\Delta V_{dc} \times C_p \ll Q_1]$ となるようにコンデンサC132の容量 C_p を設定すると、 C_p 充電電荷量は、放電電荷量 Q_1 に等しいと見なすことができる。

C_p 充電電荷量は、交流入力電流 I_{ac} により供給される。したがって、 C_p 充電電荷量が放電電荷量 Q_1 に等しいと見なすことができれば、制御期間Mにおける交流入力電流 I_{ac} は、放電電荷量 Q_1 によって決まる。

ここで、放電電荷量 Q_1 が、 $(V_{dc} - V_{LED})$ に比例すれば、交流入力電流 I_{ac} は、 $(V_{ac} - V_{LED})$ に比例する。すなわち、 V_{LED} 一定と見なすことができれば、交流電圧 V_{ac} の変化に同期して、交流入力電流 I_{ac} が変化することになる。

[0028] 次に、T131がオフした時に流れる還流電流 I_3 について説明する。

T131がオフすると、インダクタL131に発生する逆起電力により、T131のドレイン電圧が持ち上げられる。このため、ダイオードD131が順方向にバイアスされ、インダクタL131、負荷120とコンデンサC131との並列回路およびダイオードD131の経路で還流電流 I_3 が流れる。ダイオードD131の順方向電圧降下を V_{D1} とすると、 I_3 は、(6)式で表される。

[数5]

$$L1 \times \frac{dI3}{dt} + VLED + VD1 = 0 \quad (6)$$

[0029] T131は、時点t0(=0)でオンし、時点t1でオフする。時点t1におけるI3をI3(t1)とすると、I3は、(7)式で表すことができる。

[数6]

$$I3 = -\frac{VLED + VD1}{L1} \times (t - t1) + I3(t1) \quad (7)$$

ここで、(8)式が成立する。

[数7]

$$\begin{aligned} I3(t1) &= I2(t1) \\ I2(t1) &\doteq \frac{Vdc - VLED}{L1} \times t1 \end{aligned} \quad (8)$$

したがって、(7)式は、(9)式に書き替えられる。

[数8]

$$I3 = -\frac{VLED + VD1}{L1} \times (t - t1) + \frac{Vdc - VLED}{L1} \times t1 \quad (9)$$

[0030] [I3=0]となるときの時点をとt2とすると、(10)式が成立する。

[数9]

$$\begin{aligned} 0 &= -\frac{VLED + VD1}{L1} \times (t2 - t1) + \frac{Vdc - VLED}{L1} \times t1 \\ (t2 - t1) &= \frac{Vdc - VLED}{VLED + VD1} \times t1 \end{aligned} \quad (10)$$

[0031] T131のオフ期間Moffが(t2-t1)より短いと、ダイオードD131に還流電流I3が流れている状態でT131がオンすることになる。この場合、ダイオードD131のターンオフ電流が大きくなるため、コンデンサC132、ダイオードD131、T131および接地の経路で瞬間的に

大電流が流れ、コンデンサC132が放電する。この電流は、負荷120を流れないので、効率低下の要因となる。

また、還流電流I3が流れている状態でT131がオンすると、還流電流I3により、I2がばらつき、コンデンサC132の放電電荷量Q1にばらつきが発生する。放電電荷量Q1にばらつきが発生すると、I1、すなわち交流入力電流Iacが変動し、交流入力電流Iacの波形が乱れる。

したがって、T131のオフ期間Moffを、T131のオフ期間Moff内に還流電流I3が消滅するように設定する必要がある。

例えば、[Vac=100V]、[VLED=15V]、[VD1=0.6V]である場合には、Vdcの最大値が約141Vであり、[(t2-t1)=8.08×t1(ms)]となる。すなわち、この例では、T131のオフ期間Moff内にI3を消滅させるためには、T131のオフ期間Moffをオン期間Monの8.08倍以上に設定する必要がある。

[0032] 次に、T131がオフしたときのI1について説明する。

T131が、時点t1でオンからオフに移行するものとする。時点t1におけるI1およびVCpをそれぞれI1(t1)およびVCp(t1)とすると、I1は、(11)式で表される。

[数10]

$$V_{dc} - V_{Cp}(t_1) = L_2 \times \frac{dI_1}{dt} + \frac{1}{C_p} \times \int_{t_1}^t I_1 dt \quad (11)$$

[0033] Vdcを一定として(11)式を解くと、(12)式が得られる。

[数11]

$$I_1 = \sqrt{[V_{dc} - V_{Cp}(t_1)]^2 \times \frac{C_p}{L_2} + I_1(t_1)^2} \times \sin\left(\frac{t-t_1}{\sqrt{L_2 \times C_p}} + \phi\right)$$

$$\text{但し } \phi = \sin^{-1} \left[\frac{I_1(t_1)}{\sqrt{[V_{dc} - V_{Cp}(t_1)]^2 \times \frac{C_p}{L_2} + I_1(t_1)^2}} \right] \quad (12)$$

[0034] T131がオンの時にコンデンサC132が放電するので、T131がオンからオフに移行する時点t1では、 $[V_{dc} - V_{Cp}(t_1) > 0]$ となる。このため、 V_{dc} からインダクタL132を介してコンデンサC132にI1が流れる（C132が充電される）。I1が流れると、 V_{Cp} が上昇する。I1は、(12)式で表されるように、時点t1において、位相進み ϕ から始まる正弦波の一部となる。

正弦波の周期は、

[数12]

$$2\pi\sqrt{L_2 \times C_p}$$

である。

また、I1は、

[数13]

$$\frac{t-t_1}{\sqrt{L_2 \times C_p}} + \phi = \frac{\pi}{2}$$

で、すなわち、

[数14]

$$(t-t_1) = \left(\frac{\pi}{2} - \phi\right) \times \sqrt{L_2 \times C_p}$$

でピークとなる。この時、 $[V_{dc} - V_{Cp} = 0]$ となる。

その後、 V_{Cp} は、 V_{dc} を超えて上昇するが、I1は、減少する。

次のT131のオン期間で V_{Cp} が急減し、オン期間中にI1が減少から増加に反転する。そして、次のT131のオフ期間の開始時点で一周期が終了する。

すなわち、T131がオンからオフに移行する時点t1から始まるI1波形の1周期（=制御周期M）は、正弦波の半周期の一部からなる、上に凸状の波形となる。I1は、上に凸状の波形が連なる波形となる。

[0035] I_1 の波形を説明する（図3および図4参照）。

時点 t_1 で T_{131} がオフすると、 I_1 が増加する。これにより、コンデンサ C_{132} のプラス端子電圧（ r 点の電圧） V_{Cp} が上昇する。 V_{Cp} の上昇により $[V_{dc} - V_{Cp}]$ が変化すると、 I_1 も変化する。このとき、インダクタ L_{132} は、 I_1 の変化が最少になるように作用する。ここで、 I_1 は、 $[V_{dc} = V_{Cp}]$ となる時点 t_3 でピークとなる。この時点で I_1 の勾配がゼロとなり、その前後の領域で勾配が最も小さくなる。すなわち、時点 t_1 を始点とする制御周期 M （＝オフ期間 M_{off} + オン期間 M_{on} ）の中間（ $[V_{dc} = V_{Cp}]$ ）となる時点 t_3 でピークとなる波形の場合に、波形の変化が最小になる。この場合、 I_1 は、時点 t_1 を始点とする制御周期 M の中点 t_3 で極大となり、 I_1 の制御周期 M の両端で極小となる波形（上に凸状の正弦波の一部）となる。

何らかの外乱により I_1 の波形がこの波形からずれても、インダクタ L_{132} の作用により、 I_1 の波形はこの波形に復帰する。

[0036] I_1 に対応する V_{Cp} の波形を説明する（図3および図4参照）。

V_{Cp} は、 T_{131} のオン期間 M_{on} [時点 t_0 ~ 時点 t_1] におけるコンデンサ C_{132} の放電により $[V_{dc} > V_{Cp}]$ となり、 T_{131} のオフ期間 M_{off} [時点 t_1 ~ 時点 t_0] におけるコンデンサ C_{132} の充電により $[V_{dc} < V_{Cp}]$ となる。すなわち、 V_{Cp} の波形は、 T_{131} がオフする時点 t_1 で極小になり、わずかに下に凸状の曲線で中点（ $[V_{dc} = V_{Cp}]$ ）となる時点 t_3 まで上昇し、その後、わずかに上に凸状の曲線で上昇し、 T_{131} がオフからオンに移行する時点 t_0 で極大になり、次の T_{131} のオン期間 M_{on} [時点 t_0 ~ 時点 t_1] で減少し、次に T_{131} がオンからオフに移行する時点 t_1 で極小になる波形となる。

[0037] (4) 式に示されているように、 T_{131} のオン期間 M_{on} [時点 t_0 ~ 時点 t_1] が一定であれば、放電電荷量 Q_1 は、 $(V_{dc} - V_{LED})$ に比例する。

また、(5) 式に示されている電荷量 $(\Delta V_{dc} \times C_p)$ により、交流電

圧 V_{ac} に対する交流入力電流 I_{ac} の位相が進められる。前述したように、制御周期 M において $[Q_1 \gg \Delta V_{dc} \times C_p]$ となるように C_p を選定すれば、制御周期 M における I_1 積分値（= C_p 充電電荷量）が放電電荷量 Q_1 にほぼ等しくなり、交流電圧 V_{ac} に対する交流入力電流 I_{ac} の位相進みを無視することができる。

[0038] I_1 の凸状波形の変動幅（極大値と極小値の差）は、制御周期 M と、 I_1 の凸状波形を表す正弦波の半周期 $[\pi (L_2 \times C_p)^{1/2}]$ の比に依存する。正弦波の半周期が制御周期 M より長くなると、 I_1 は、 T_{131} の制御周期 M を通して、コンデンサ C_{132} の充電電流として流れ続ける。正弦波の半周期が制御周期 M より長くなるにしたがって、 I_1 の凸状波形の変動幅が小さくなり、交流入力電流 I_{ac} の高調波分が小さくなる。

前述したように、 I_1 の制御周期 M における平均値は、 $(V_{dc} - V_{LED})$ に比例するので、制御周期 M を通して I_1 が連続して流れ続けると、交流入力電流 I_{ac} は、 $(V_{dc} - V_{LED})$ に比例する。これにより、 I_1 は、交流電圧 V_{ac} に同期した、高調波成分の少ない電流になり、高調波電流の規格（EN 61000-3-2）を満足する。

[0039] 以上をまとめると次のようになる。

1) 固定された制御周期 M で T_{131} をオン・オフする場合、 T_{131} のオン期間 M_{on} を固定すると、コンデンサ C_{132} （容量 C_p ）から放電される放電電荷量 Q_1 は、 $(V_{dc} - V_{LED})$ に比例する。

放電電荷量 Q_1 は、 T_{131} のオン期間 M_{on} の間に電流 I_2 として負荷 120 に供給され、同時に、インダクタ L_{131} （インダクタンス L_1 ）に電磁エネルギーを蓄積させる。インダクタ L_{131} に蓄積された電磁エネルギーは、 T_{131} のオフ期間 M_{off} の間に、還流電流 I_3 として負荷 120 に供給される。

2) 制御周期 M における V_{dc} の変化量を ΔV_{dc} としたとき、 $(\Delta V_{dc} \times C_p)$ が放電電荷量 Q_1 に対して無視できるように C_p を選定すると、制御周期 M において V_{dc} からインダクタ L_{132} （インダクタンス L_2 ）を

經由して流れる電流 I_1 によりコンデンサ C_{132} (容量 C_p) に充電される充電電荷量は、当該制御周期 M においてコンデンサ C_{132} から放電される放電電荷量 Q_1 に等しくなる。

これは、固定された制御周期 M 内における T_{131} のオン期間 M_{on} を固定することにより、コンデンサ C_{132} が、 $(V_{dc} - V_{LED})$ に比例する電荷量を計る計量カップとして動作することに例えることができる。

これにより、制御周期 M 毎に、 $(V_{dc} - V_{LED})$ に比例した交流入力電流 I_{ac} が流れることとなる。

すなわち、 T_{131} のオン期間 M_{on} を固定することにより、コンデンサ C_{132} による電荷量の計量精度を高めることができる。

3) T_{131} のオフ期間 M_{off} に、インダクタ L_{132} を經由してコンデンサ C_{132} を充電する電流 I_1 は、正弦波の半波長またはその一部として表される。 I_1 の正弦波の半周期 $[\pi (L_2 \times C_p)^{1/2}]$ が制御周期 M より長くなるように、 L_2 と C_p を設定すると、インダクタ L_{132} を流れる電流 I_1 、すなわち、交流入力電流 I_{ac} は、制御周期 M を通して流れ続けるようになる。

これにより、制御周期 M 毎の交流入力電流 I_{ac} の変動を抑制することができ、交流入力電流 I_{ac} に含まれる高調波成分を抑制することができる。

4) 制御周期 M 毎の I_1 の平均値は、 V_{dc} に比例することが理想である。しかしながら、 $[V_{dc} < V_{LED}]$ となると、 I_1 は流れない。また、その後、 $[V_{dc} > V_{LED}]$ となって I_1 が流れ始めるとき、 I_1 が V_{dc} に比例する場合には、 I_1 がゼロから段階的に増加するため、交流入力電流 I_{ac} の基本波の周波数に近接した高調波成分が増大する。

一方、 I_1 が $(V_{ds} - V_{LED})$ に比例する場合には、 $[V_{dc} > V_{LED}]$ となって I_1 が流れ始めるとき、 I_1 がゼロから滑らかに増加するため、高調波成分の発生を抑制することができる。

[0040] [第2の実施形態]

前述したように、スイッチング素子の制御周期 M および制御周期 M 内にお

けるオン期間 M_{on} とオフ期間 M_{off} を固定することにより、交流入力電流 I_{ac} に含まれる高調波成分を抑制することができる。

一方、制御周期 M 内におけるオン期間 M_{on} およびオフ期間 M_{off} が常に固定されたままであると、交流電圧 V_{ac} が定格値を超えて大きくなった場合に、出力が増大する。また、負荷であるLEDの光量を調整することができない。交流電圧 V_{ac} が定格値を超えて大きくなった場合における出力の増大を防止し、また、負荷であるLEDの光量を調整することができるようにするためには、制御周期 M 内におけるオン期間 M_{on} の長さを調整可能とする必要がある。

第2の実施形態は、スイッチング素子の、制御周期 M 内におけるオン期間 M_{on} を任意に設定可能なオン期間設定回路を備えている。なお、制御周期 $M (=M_{on}+M_{off})$ は固定であるから、オン期間 M_{on} が設定されると、オフ期間 $M_{off} (=M-M_{on})$ も設定される。

[0041] 図2に、第2の実施形態の電源装置200の回路図が示されている。本実施形態の電源装置200は、第1の実施形態100と同様に、全波整流回路210、電力供給回路230、制御回路240、電源回路260および駆動信号出力回路270により構成されている。

第2の実施形態の電源装置200は、制御回路240が第1の実施形態の制御回路140と相違している。したがって、以下では、制御回路240の構成についてのみ説明する。なお、図2において、図1に示されている各構成要素に付されている符号と3桁目を除いて同じである符号が付されている構成要素は、同じ構成要素である。

[0042] 制御回路240は、クロック信号発生回路241、駆動回路242、オン期間設定回路250を有している。クロック信号発生回路241、駆動回路242は、第1の実施形態の制御回路140のクロック信号発生回路141、駆動回路142と同じ構成である。

なお、本実施形態では、クロック信号発生回路241から発生されるクロック信号のクロック信号周期 M は、スイッチング素子T231の制御周期 M

と等しいが、クロック信号がHレベルである第1の期間K aおよびLレベルである第2の期間K bは、スイッチング素子T 2 3 1のオン期間M aおよびオフ期間M bと異なる。

[0043] オン期間設定回路2 5 0は、クロック信号発生回路2 4 1から固定のクロック信号周期Mで発生されるクロック信号に基づいて、スイッチング素子T 2 3 1のオン期間M o nを設定する。

オン期間設定回路2 5 0は、スイッチング素子T 2 5 1~T 2 5 7、抵抗R 2 5 1~R 2 5 3、可変抵抗（ボリューム）R 2 5 4、コンデンサC 2 5 1、シュミットトリガーS T 2 5 1、DフリップフロップD F F 2 5 1、アンドゲートA N D 2 5 1、インバータI N V 2 5 1を有している。本実施形態では、スイッチング素子T 2 5 1、T 2 5 3としてP型M O S F E Tが用いられ、スイッチング素子T 2 5 2、T 2 5 4~T 2 5 7としてN型M O S F E Tが用いられている。

[0044] 電源回路2 6 0により発生される電圧V z dと接地間に、T 2 5 1、R 2 5 1、T 2 5 2およびR 2 5 2の直列回路が配置されている。T 2 5 1およびT 2 5 2は、ゲート・ドレイン間が短絡されている。また、V z dと接地間に、T 2 5 3、T 2 5 4およびR 2 5 3の直列回路が配置されている。T 2 5 3のゲートがT 2 5 1のゲートに接続され、T 2 5 1とT 2 5 3によりカレントミラー回路が構成されている。T 2 5 4のゲートがT 2 5 2のゲートに接続され、T 2 5 2とT 2 5 4によりカレントミラー回路が構成されている。

また、C 2 5 1とT 2 5 5が、R 2 5 3に並列に配置されている。

A N D 2 5 1の出力端子は、I N V 2 5 1を介してT 2 5 5のゲートに接続されているとともに、駆動回路2 4 2の入力端子に接続されている。

A N D 2 5 1の入力端子は、駆動信号出力回路2 7 0の出力端子、D F F 2 5 1の反転出力端子（-Q）およびクロック信号発生回路2 4 1の出力端子に接続されている。

T 2 5 3のドレインとT 2 5 4のドレインとの結合点sの電圧は、S T 2

51を介してDF F 251のクロック端子（CLK）に入力される。DF F 251は、クロック端子（CLK）にHレベルの信号が入力されると、反転出力端子（-Q）がLレベルとなる。また、DF F 251は、Lレベルのクロック信号がリセット端子（Rバー）に入力されるとリセット（反転出力端子（-Q）がHレベル）される。

また、 V_{zd} と接地間に、R 254とT 257の直列回路が配置されている。T 257は、ゲート・ドレイン間が短絡されている。

T 256は、ゲートがT 257のゲートに接続され、ドレインがR 251とT 252との結合点に接続され、ソースが接地されている。T 256とT 257によりカレントミラー回路が構成されている。

設定された電圧 V_{zd} を発生する電源回路260が、本発明の「第2の直流電源」に対応する。また、抵抗R 261とツェナーダイオードZD 261との接続点および接地の一方が、本発明の「第2の直流電源の第1の端子」に対応し、他方が、本発明の「第2の直流電源の第2の端子」に対応する。

T 251およびT 253が、本発明の「第1および第2のP型MOS F E T」に対応し、T 252およびT 254が、本発明の「第1および第2のN型MOS F E T」に対応し、T 255が、本発明の「第2のスイッチング素子」に対応し、R 251～R 253が、本発明の「第1～第3の抵抗」に対応し、C 251が、本発明の「第3のコンデンサ」に対応する。

[0045] 次に、制御回路240の動作を説明する。なお、R 251を流れる電流を I_4 、R 252を流れる電流を I_5 、T 253およびT 254を流れる電流を I_6 、T 256のドレイン電流を I_7 とする。

[0046] 先ず、オン期間調整機能がない場合について説明する。これは、図2において、 $[I_7 = 0]$ 、 $[I_4 = I_5]$ に設定されている場合に相当する。

[0047] T 251とカレントミラー回路を構成するT 253のチャンネル幅は、T 251のチャンネル幅より大きく設定されている。T 252とカレントミラー回路を構成するT 254のチャンネル幅は、T 252のチャンネル幅より小さく設定されている。また、R 253の抵抗値は、R 252の抵抗値に対

して、T252とT254のチャンネル幅比に反比例した大きさに設定されている。

このように設定されていると、T255がオフで、かつ、C251が完全に充電されている場合に、T254のソース電圧がT252のソース電圧と等しくなり、 $[I_4 = I_5 > I_6]$ となる。

T253は、 I_4 より大きい電流を流すことができるようにチャンネル幅が設定されている。このため、T253およびT254を流れる I_6 は、T254の飽和電流と等しくなる。一方、このときの I_6 は、T253に対しては不飽和電流となる。従って、s点の電位が上昇し、ST251の出力信号がHレベルとなる。

[0048] この状態で、T255がオンすると、コンデンサC251が放電し、T254のソースが接地される。これにより、T254のゲート・ソース間電圧が、T252のゲート・ソース間電圧より($R252$ の抵抗値 $\times I_5$)だけ大きくなるため、T254が流すことができる電流が増大する。

T253のチャンネル幅は、T251のチャンネル幅より大きく設定されているが、T254のソースが接地したときに流れる I_6 が、その状態のT254が流すことができる最大電流を超えないように設定されている。このため、このときの I_6 は、T253の飽和電流となるが、T254に対しては不飽和電流となる。従って、s点の電位が低下し、ST251の出力信号がLレベルとなる。

[0049] クロック信号とs点の電位との関係を説明する。

駆動信号出力回路270からLレベルの駆動信号が出力されているときには、AND251の出力信号はLレベルである。この場合、T231はオフであるが、T255はオンする。これにより、T254のソースが接地され、T253の飽和電流が I_6 として流れる。従って、s点の電位がLレベルとなり、ST251の出力信号がLレベルとなる。

駆動信号出力回路270からHレベルの駆動信号が出力され、かつ、クロック信号がLレベルになると、DF251がリセットされ、反転出力端子

(\bar{Q}) がHレベルとなる。この状態でクロック信号がHレベルとなると、AND 251から駆動回路242にHレベルの駆動信号が出力され、T231がオンする。同時に、INV 251によりT255のゲートが接地されるため、T255がオフする。

[0050] T255がオフすると、I6は、R253とC251との並列回路に流れる。これにより、C251が充電されるとともに、R253に電圧降下が発生する。このときのI6は、T253の飽和電流であるため、定電流となる。これにより、T254のソース電圧が直線的に増加する。

T254のソース電圧がT252のソース電圧に接近すると、T254のドレイン電流が、不飽和電流から飽和電流に移行し、I6が減少する。これにより、T253のドレイン電流が飽和電流から不飽和電流に移行する。従って、s点の電位が急上昇し、ST251の出力信号がHレベルとなる。

ST251からDF251クロック端子(CLK)にHレベルの信号が入力されると、DF251の反転出力端子(\bar{Q})がLレベルとなる。これにより、AND251の出力信号がLレベルとなってT231がオフする。同時に、T255がオンする。これにより、s点の電位が低下し、ST251の出力信号がLレベルとなる。

[0051] 本実施形態では、T231のオン期間Monは、クロック信号がHレベルに立ち上がった時点から、コンデンサC251が充電され、s点の電位が設定電位となってST251の出力信号がLレベルからHレベルに反転するまでの期間となる。

なお、本実施形態では、クロック信号がHレベルである第1の期間Kaは、クロック信号がHレベルに立ち上がった時点(第1の期間Kaの開始時点)から、s点の電位が設定電位となってST251の出力信号がLレベルからHレベルに反転するまでの期間を超えるように設定される。

クロック信号がLレベルになると、DF251がリセットされ、反転出力端子(\bar{Q})がHレベルとなる。

T231のオフ期間Moffは、ST251がLレベルからHレベルに反

転した時点から、次にクロック信号がHレベルに立ち上がる（次の第1の期間K aの開始時点）までの期間となる。

すなわち、オン期間設定回路250は、クロック信号の第1の期間K aの開始時点から、設定時間が経過するまでの期間をT231のオン期間M o nとして設定する。なお、T231のオフ期間M o f fは、設定時間が経過してから、次の第1の期間K aの開始時点までの期間とされる。

[0052] 次に、I7がゼロではない任意の値のときの動作を説明する。

T231のオン期間M o nは、T254のソース電圧の増加勾配により変化する。このため、例えば、コンデンサC251の容量を大きくすると、T254のソース電圧の増加勾配が緩やかになり、T231のオン期間M o nが長くなる。

また、T231のオン期間M o nは、（抵抗R252の抵抗値×I5）に比例する。このため、例えば、I5を小さくすると、T231のオン期間M o nが短くなる。

本実施形態では、可変抵抗R254によって設定された調整量に対応する電流I7を流すことによって、電流I5（=I4-I7）を調整し、T231のオン期間M o nを調整している。

[0053] T256のドレイン電流I7は、T256とカレントミラー回路を構成しているT257のドレインとVz dの間に配置されている可変抵抗R254の抵抗値に反比例する。

I7が流れると、I5（=I4-I7）が減少する。I5の減少により、T252のソース電圧（=抵抗R252の抵抗値×I5）も低下する。

これにより、T255がオンからオフに移行してから、s点の電位が設定電位に増加してST251の出力信号がLレベルからHレベルに反転するまでの期間が短縮される（短くなる）。

すなわち、I7が流れていない（調整量が設定されていない）場合におけるT231のオン期間M o nに対して、R254により設定されたI7に対応する期間だけ短縮されたオン期間M o nが設定される。

クロック信号周期 M (=制御周期 M) は固定である。このため、 $T231$ のオフ期間 M_{off} は、 $I7$ がゼロの場合におけるオフ期間 M_{off} に対して、オン期間 M_{on} の短縮された期間だけ延長される (長くなる)。

なお、 $I7$ が流れて $T252$ のソース電圧が低下すると、 $R251$ に印加される電圧が増大し、 $I4$ が増加する。 $I4$ の増加により、 $T253$ の飽和電流が増大し、 $T253$ のソース電圧の増加勾配が増加する。このため、 $T231$ のオン期間 M_{on} の減少割合は、 $I5$ の減少割合より若干大きくなるが、 $T231$ のオン期間 M_{on} を短縮するという目的は達成される。

固定された制御周期 M 内における $T231$ のオン期間 M_{on} を短縮する (短くする) ことにより、交流電圧 V_{ac} の上昇による出力の増大を防止することができる。また、負荷である LED の光量を減少させることができる。

本実施形態では、オン期間設定回路 250 は、クロック信号の第1の期間 Ka の開始時点から、調整量設定回路 (可変抵抗 $R254$) で設定された調整量により調整された設定時間が経過するまでの期間を $T231$ のオン期間 M_{on} として設定する。

[0054] 第1の実施形態の電源装置 100 についてシミュレーションを行った結果を図3および図4に示す。なお、図4は、図3の I_V の部分 ($31ms \sim 31.12ms$) の拡大図である。

シミュレーションに用いた回路定数は以下のとおりである。

V_{ac} : AC100V (実効電圧) , 60Hz、 $L1$: $30\mu H$ 、 $L2$: $600\mu H$ 、 C_p : $0.5\mu F$ 、 $C1$: $200\mu F$ 、制御周期 (クロック信号周期) : $30\mu s$ (オン期間 (Hレベル期間) : $4.509\mu s$)、 V_{LED} 平均値 : $26.3V$ 、負荷電流平均値 : $2.92A$ 。

なお、制御周期 M および制御周期 M 内のオン期間 M_{on} の調整は、アナログ回路を用いて行っているが、マイクロコンピュータ等を用いてソフトウェアで行うことも可能である。

[0055] 図3において、横軸は時間 (単位 : ms) を表し、縦軸の第1軸 (単位 : V) はグラフ (A) の電圧を表し、縦軸の第2軸 (単位 : A) はグラフ (C

)の電流を表している。

また、グラフ(A)は、直流電圧 V_{dc} を表し、グラフ(C)は、 V_{dc} からコンデンサ C_{132} に供給される電流(充電電流) I_1 を表している。

図4は、図3における $I-V$ の部分の拡大図である。但し、図3には表示されていないグラフ(B)(コンデンサ C_{132} のプラス端子電圧 V_{Cp})とグラフ(D)(インダクタ L_{131} を流れる電流($I_2 + I_3$))が追加されている。グラフ(B)の電圧値は、図4の第1軸(単位:V)で表され、グラフ(D)の電流値は、図4の第3軸(単位:A)で表されている。

[0056] V_{dc} は、図4に示されている拡大範囲では一定値と見なすことができる。

V_{Cp} は、 T_{131} のオフ期間 $Mo\ f\ f$ (時点 $t_1 \sim$ 時点 t_0)の後半で V_{dc} より大きくなり [$V_{Cp} > V_{dc}$]、オフ期間 $Mo\ f\ f$ の終了時点で極大となる。

T_{131} がオフからオンに移行すると(時点 t_0)、 V_{Cp} は、上に凸状の放物線に沿って急速に低下する。これは、(4)式に示されているように、コンデンサ C_{132} の放電電荷量 Q_1 がオン期間 $Mo\ n$ (時点 $t_0 \sim$ 時点 t_1)の2乗に比例するため、 V_{Cp} の極大値からの低下量を ΔV_{Cp} とすると、 [$\Delta V_{Cp} = Q_1 / C_p$] となるからである。

V_{Cp} は、 T_{131} がオンからオフに移行する時点 t_1 で極小になる。このとき、 [$V_{Cp} < V_{dc}$] である。

その後、($V_{dc} - V_{Cp}$)の電圧差とインダクタ L_{132} の作用により I_1 が増加し、コンデンサ C_{132} が充電されて V_{Cp} が上昇する。 [$V_{Cp} = V_{dc}$]の時点 t_3 で、 I_1 はピーク(極大)となる。その後、インダクタ L_{132} の逆起電力により V_{Cp} は上昇を続けるが、 I_1 は減少に転じる。

I_1 は、(12)式で示される正弦波の一部であり、 T_{131} のオフ期間 $Mo\ f\ f$ (時点 $t_1 \sim$ 時点 t_0)の midpoint(時点 t_3)でピーク(極大)となり、 T_{131} がオンからオフに移行する時点 t_1 で極小となる、上に凸状の

波形となる。I₁の波形がこのような波形になるのは、前述したように、勾配変化が最小となるようにインダクタL₁₃₂が作用するからである。

V_{Cp}は、T₁₃₁のオフ期間(t₁～t₀)においてほぼ直線的に増加するが、[V_{Cp}=V_{dc}]となる箇所が、I₁がピークとなる箇所より若干遅れている。このため、V_{Cp}の波形全体が、V_{dc}より相対的に低下している。これは、インダクタL₁₃₂の内部抵抗(0.8Ω)にI₁が流れることによる電圧降下分だけ、V_{Cp}が、V_{dc}に対して押し下げられることによる。

インダクタL₁₃₁を流れる電流(I₂+I₃)は、T₁₃₁のオン期間M_{on}(時点t₀～時点t₁)において直線的に増加し、T₁₃₁がオンからオフに移行すると、直線的に減少し、オフ期間M_{off}(時点t₁～時点t₀)内で消滅している。T₁₃₁のオン期間M_{on}において直線的に増加している部分は、I₂を表している。また、T₁₃₁のオフ期間M_{off}において直線的に減少している部分は、I₃を表している。

シミュレーションを行った結果、力率が99.7%、効率が95.2%となり、高調波電流は、規格(EN61000-3-2)のクラスCを満足していることが分かった。

[0057] [第3の実施形態]

図5に、本発明の電源装置の第3の実施形態300の回路図が示されている。

本実施形態では、電力供給回路330の構成が、第1の実施形態の電力供給回路130と異なっている。したがって、以下では、電力供給回路330の構成についてのみ説明する。

なお、図5において、各構成要素に付されている符号が3桁目を除いて図1の符号と一致する構成要素は、図1で用いられている構成要素と同じである。

[0058] 電力供給回路330は、第1の実施の形態の電力供給回路130と同様に、第1および第2のコンデンサC₃₃₁およびC₃₃₂、第1および第2の

インダクタL 3 3 1およびL 3 3 2、ダイオード（還流ダイオード）D 3 3 1および第1のスイッチング素子T 3 3 1を有している。

本実施形態では、正極端cと接地の間には、インダクタンスL 2を有するインダクタL 3 3 2と容量C pを有するコンデンサC 3 3 2が直列に配置されている。

コンデンサC 3 3 2には、インダクタンスL 1を有するインダクタL 3 3 1とスイッチング素子T 3 3 1が直列に配置されている。

インダクタL 3 3 1には、容量C 1を有するコンデンサC 3 3 1と負荷3 2 0との並列回路およびダイオードD 3 3 1の直列回路が並列に配置されている。このとき、ダイオードD 3 3 1のアノードがインダクタL 3 3 1とスイッチング素子T 3 3 1との結合点に接続される。このため、負荷3 2 0のLED 3 2 1の極性が反転している。

[0059] T 3 3 1がオンすると、コンデンサC 3 3 2に蓄積された電荷により、インダクタL 3 3 1、T 3 3 1および接地の経路で放電電流I 2が流れる。この時、ダイオードD 3 3 1の存在により、コンデンサC 3 3 1と負荷3 2 0との並列回路には電流が流れない。

T 3 3 1がオフすると、T 3 3 1のオン時にインダクタL 3 3 1に蓄積された電磁エネルギーにより、ダイオードD 3 3 1およびコンデンサC 3 3 1と負荷3 2 0との並列回路の経路で還流電流I 3が流れる。同時に、V d cからインダクタL 3 3 2を介してコンデンサC 3 3 2に充電電流I 1が流れる。

[0060] T 3 3 1のオン期間におけるコンデンサC 3 3 2の放電電荷量Q 1は、前述した（4）式の（V d c - V L E D）をV d cに置き換えることにより、（1 3）式で表される。

[数15]

$$Q1 = \int_0^{t1} I2 dt = \frac{Vdc}{2 \times L1} \times t1^2 \quad (13)$$

（4）式と同様に、（1 3）式において、t 1はT 3 3 1のオン期間M o

n 、 V_{dc} は脈動直流電圧、 L_1 はインダクタンス L_{331} のインダクタンスを表している。

図5における I_2 および I_3 の計算方法は、前述した(1)式の V_{LED} をゼロとし $[V_{LED}=0]$ 、(2)~(4)式、(8)~(10)の $(V_{dc}-V_{LED})$ を V_{dc} に置き換えると、図1における I_2 および I_3 と同様の計算方法を適用することができる。また、 I_1 の計算方法は、図1における I_1 の計算方法と同じである。

従って、本実施形態においても、 I_3 が T_{331} のオフ期間 M_{off} 内に消滅するように設定することにより、例えば、 I_1 の正弦波の半周期 $[\pi(L_2 \times C_p)^{1/2}]$ が制御周期 M より長くなるように、インダクタ L_{332} のインダクタンス L_2 とコンデンサ C_{332} の容量 C_p を設定することにより、安定したPFC制御を実現することができる。

[0061] 第1の実施形態の電力供給回路130は、バックコンバータとして動作し、第3の実施形態の電力供給回路330は、バックブーストコンバータとして動作する。第3の実施形態の電力供給回路330は、第1の実施形態の電力供給回路130に対して以下のような特徴を有する。

1) 第1の実施形態における放電電荷量 Q_1 は、(4)式で表されるように、 $(V_{dc}-V_{LED})$ に依存する。このため、 V_{LED} が変動すると、それに応じて放電電荷量 Q_1 も変動する。

これに対して、第3の実施形態における放電電荷量 Q_1 は、(13)式で表されるように、 V_{LED} を含んでいない。このため、 V_{LED} の変動による影響を受けず、安定したPFC制御を実現することができる。

2) 第1の実施形態では、 $[V_{dc} < V_{LED}]$ の範囲では I_1 が流れない。

これに対して、第3の実施形態では、その制約がない。このため、 V_{dc} が低下した場合でも I_1 が流れる(I_1 が流れる範囲が拡大する)。これは、 I_1 の高調波成分の抑制に寄与する。

[0062] 第1の実施形態100(第2の実施形態200)では、インダクタ L_{13}

1 (L 2 3 1) と、負荷 1 2 0 (2 2 0) とコンデンサ C 1 3 1 (C 2 3 1) との並列回路は、直列に接続されている。このため、インダクタ L 1 3 1 (L 2 3 1) と、負荷 1 2 0 (2 2 0) とコンデンサ C 1 3 1 (C 2 3 1) との並列回路の位置を入れ替えても、得られる効果は変わらない。

また、第 1 の実施形態 1 0 0 および第 2 の実施形態 2 0 0 では、交流電圧を全波整流した脈動直流電圧に変換する全波整流回路を有する直流電源を用いたが、バッテリー等を直流電源として用いることもできる。その理由は、バッテリー等の直流電源は、周期無限大の脈動直流電圧を発生する直流電源と見なすことができるからである。バッテリー等を直流電源として用いる場合には、全波整流器を有する直流電源を用いた場合のように、交流電圧に対する交流入力電流の位相ずれ（力率）を考慮する必要はなくなるが、直流電源から供給される電流に含まれる高調波成分を抑制する効果は有している。したがって、高調波成分を抑制するためのローパスフィルタを除去あるいは小型化することができるという効果や、スイッチング素子を流れる電流を検出する部品や電流検出処理等を不要とすることができるという効果を有する。

本実施形態では、バッテリー等の直流電源が、本発明の「第 3 の直流電源」に対応する。

[0063] 本発明は、詳細な説明に記載した構成に限定されず、本発明の要旨を逸脱しない範囲内で、種々の変更、追加、削除が可能である。

発光ダイオードを有する負荷に直流電力を供給する場合について説明したが、本発明の電源装置は、発光ダイオード以外の種々の負荷に直流電力を供給することができる。

各回路を構成する素子の値（例えば、インダクタンス、容量、抵抗値）は、負荷の種類等に応じて適宜設定することができる。

負荷に電力を供給するスイッチング素子としては、好適には F E T が用いられるが、F E T 以外の素子を用いることもできる。

実施形態では、クロック信号が H レベルのときにスイッチング素子がオン

し、Lレベルのときにオフするように構成したが、クロック信号がLレベルのときにスイッチング素子がオンし、Hレベルのときにオフするように構成することもできる。

符号の説明

[0064] 10…交流電源、100、200、300、400…電源装置、110、210、310、410…全波整流回路、120、220、320、420…負荷、121、221、321、421…発光ダイオード(LED)、130、230、330、430…電力供給回路、140、240、340、440…制御回路、141、241、341…クロック信号発生回路、142、242、342…駆動回路、160、260、360…電源回路、170、270、370…駆動信号出力回路、250…オン期間設定回路、480…ローパスフィルタ、L131、L132、L231、L232、L331、L332、L431、L481、L482…インダクタ、C131、C132、C231、C232、C251、C331、C332、C431、C481、C482…コンデンサ、D131、D231、D331、D431…還流ダイオード、T131、T231、T255、T331、T431…スイッチング素子、R254…可変抵抗(調整量設定回路)。

請求の範囲

[請求項1]

交流電圧を整流した直流電圧を正極端と負極端の間に発生する第1の直流電源と、前記第1の直流電源と負荷の間に設けられる電力供給回路と、前記電力供給回路を制御する制御回路を備える電源装置であって、

前記電力供給回路は、第1のコンデンサ、第2のコンデンサ、第1のインダクタ、第2のインダクタ、ダイオードおよび第1のスイッチング素子を有し、

前記第1のコンデンサは、前記負荷に並列に配置され、

前記第2のインダクタと前記第2のコンデンサの直列回路が、前記第1の直流電源の前記正極端と前記負極端の間に配置され、

前記第1のインダクタ、前記第1のコンデンサと前記負荷との並列回路および前記第1のスイッチング素子の直列回路が、前記第2のコンデンサに並列に配置され、

前記第1のコンデンサと前記負荷との並列回路と前記第1のインダクタの直列回路が、前記ダイオードに並列に配置され、

前記制御回路は、固定された制御周期M毎に、固定されたオン期間 M_{on} の間前記第1のスイッチング素子をオンするとともに、固定されたオフ期間 M_{off} ($=M - M_{on}$)の間前記第1のスイッチング素子をオフするように構成され、

前記第1のスイッチング素子がオンすると、前記第2のコンデンサに蓄積された電荷により、前記第2のコンデンサ、前記第1のインダクタ、前記第1のコンデンサと前記負荷との並列回路および前記第1のスイッチング素子の経路で放電電流が流れ、また、前記第1のスイッチング素子がオフすると、前記第1のインダクタに蓄積された電磁エネルギーにより、前記第1のインダクタ、前記第1のコンデンサと前記負荷との並列回路および前記ダイオードの経路で還流電流が流れ、同時に、前記第1の直流電源から前記第2のインダクタおよび前記

第2のコンデンサの経路で前記第2のコンデンサに充電電流が流れるように構成され、

前記第1のスイッチング素子のオフ期間 M_{off} の間、前記第2のコンデンサに充電電流が流れ続けるように構成されていることを特徴とする電源装置。

[請求項2]

交流電圧を整流した直流電圧を正極端と負極端の間に発生する第1の直流電源と、前記第1の直流電源と負荷の間に設けられる電力供給回路と、前記電力供給回路を制御する制御回路を備える電源装置であって、

前記電力供給回路は、第1のコンデンサ、第2のコンデンサ、第1のインダクタ、第2のインダクタ、ダイオードおよび第1のスイッチング素子を有し、

前記第1のコンデンサは、前記負荷に並列に配置され、

前記第2のインダクタと前記第2のコンデンサの直列回路が、前記第1の直流電源の前記正極端と前記負極端の間に配置され、

前記第1のインダクタと前記第1のスイッチング素子との直列回路が、前記第2のコンデンサに並列に配置され、

前記第1のコンデンサと前記負荷との並列回路および前記ダイオードの直列回路が前記第1のインダクタに並列に配置され、

前記制御回路は、固定された制御周期 M 毎に、固定されたオン期間 M_{on} の間前記第1のスイッチング素子をオンするとともに、固定されたオフ期間 M_{off} ($=M - M_{on}$)の間前記第1のスイッチング素子をオフするように構成され、

前記第1のスイッチング素子がオンすると、前記第2のコンデンサに蓄積された電荷により、前記第2のコンデンサ、前記第1のインダクタおよび前記第1のスイッチング素子の経路で放電電流が流れ、また、前記第1のスイッチング素子がオフすると、前記第1のインダクタに蓄積された電磁エネルギーにより、前記第1のインダクタ、前記

ダイオードおよび前記第1のコンデンサと前記負荷との並列回路の経路で還流電流が流れ、同時に、前記第1の直流電源から前記第2のインダクタおよび前記第2のコンデンサの経路で前記第2のコンデンサに充電電流が流れるように構成され、

前記第1のスイッチング素子のオフ期間 $M \text{ of } f$ の間、前記第2のコンデンサに充電電流が流れ続けるように構成されていることを特徴とする電源装置。

[請求項3]

請求項1または2に記載の電源装置であって、

前記第2のインダクタのインダクタンスを L_2 、前記第2のコンデンサの容量を C_p としたとき、 $[制御周期 M < \pi \times (L_2 \times C_p)^{1/2}]$ を満足するように構成されていることを特徴とする電源装置。

[請求項4]

請求項1～3のうちのいずれか一項に記載の電源装置であって、

前記第1のスイッチング素子がオフしている前記オフ期間 $M \text{ of } f$ 内に前記還流電流が消滅するように構成されていることを特徴とする電源装置。

[請求項5]

請求項1～4のうちのいずれか一項に記載の電源装置であって、

前記制御回路は、設定された直流電圧を第1の端子と第2の端子の間に発生する第2の直流電源と、オン期間設定回路を有し、

前記オン期間設定回路は、第1および第2のP型MOSFET、第1および第2のN型MOSFET、第1～第3の抵抗、第3のコンデンサおよび第2のスイッチング素子を有し、

前記第2の直流電源の前記第1の端子と前記第2の端子の間に、前記第1のP型MOSFET、前記第1の抵抗、前記第1のN型MOSFETおよび前記第2の抵抗が直列に配置され、

前記第2の直流電源の前記第1の端子と前記第2の端子の間に、前記第2のP型MOSFET、前記第2のN型MOSFETおよび前記第3の抵抗が直列に配置され、

前記第3のコンデンサおよび前記第2のスイッチング素子が、前

記第3の抵抗に並列に配置され、

前記第1のP型MOSFETのゲートとドレインが短絡されるとともに、前記第1のN型MOSFETのゲートとドレインが短絡され、

前記第2のP型MOSFETのゲートが前記第1のP型MOSFETのゲートに接続されているとともに、前記第2のN型MOSFETのゲートが前記第1のN型MOSFETのゲートに接続され、

前記第2のスイッチング素子がオンしているときは、前記第2のP型MOSFETのドレイン・ソース間電圧が前記第2のN型MOSFETのドレイン・ソース間電圧より大きくなり、また、前記第2のスイッチング素子がオフで、かつ、前記第3のコンデンサが完全に充電されているときは、前記第2のP型MOSFETのドレイン・ソース間電圧が前記第2のN型MOSFETのドレイン・ソース間電圧より小さくなるように、前記第1のP型MOSFETのチャンネル幅と前記第2のP型MOSFETのチャンネル幅とのチャンネル幅比、前記第1のN型MOSFETのチャンネル幅と前記第2のN型MOSFETのチャンネル幅とのチャンネル幅比および前記第2の抵抗の抵抗値と前記第3の抵抗の抵抗値との抵抗値比が設定され、

前記制御周期Mの開始時点で、前記第2のスイッチング素子がオフされるように構成されており、

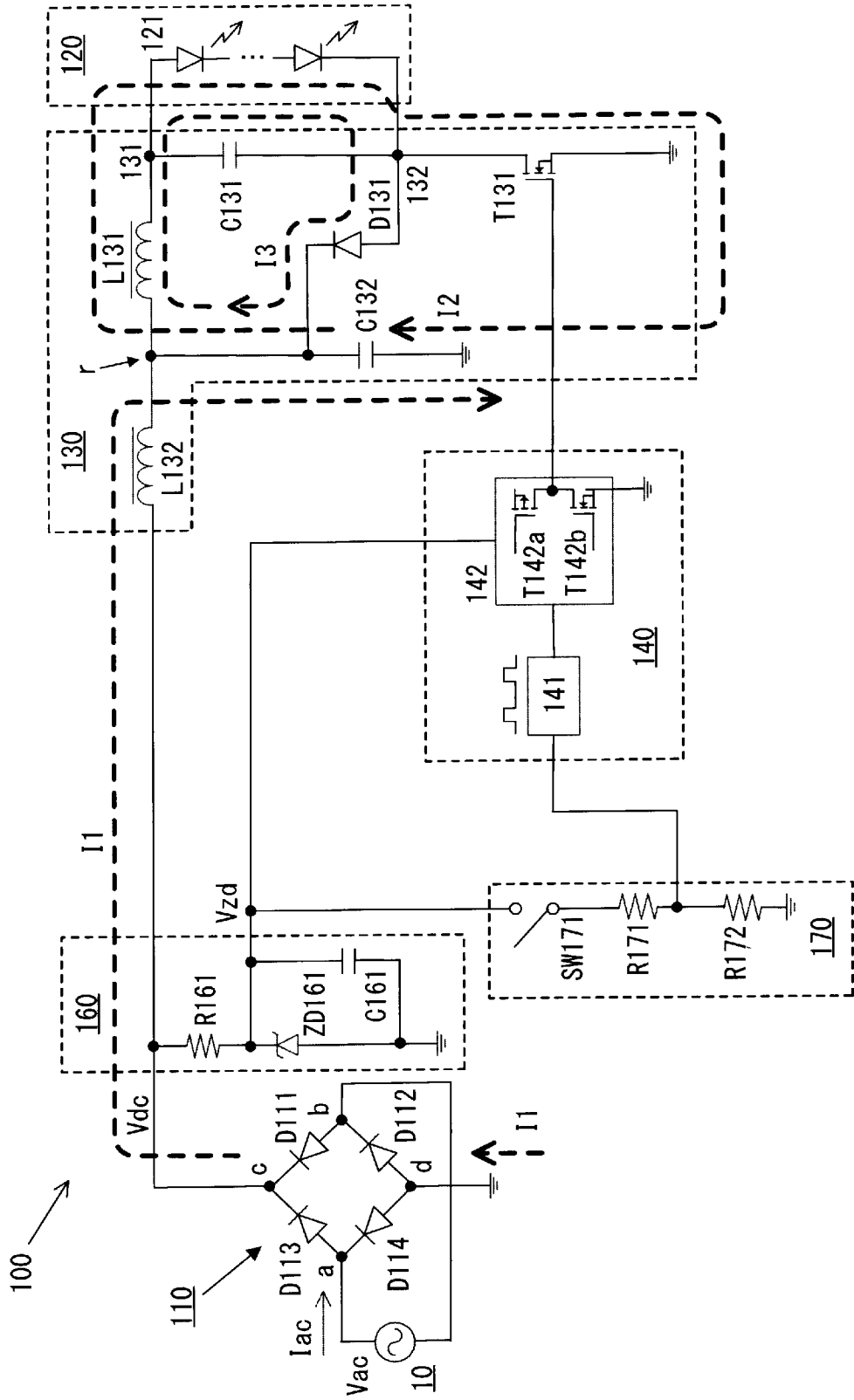
前記オン期間設定回路は、前記制御周期Mの開始時点から、前記第2のP型MOSFETのドレイン・ソース間電圧が前記第2のN型MOSFETのドレイン・ソース間電圧より小さくなるまでの期間を前記オン期間 M_{on} として設定することを特徴とする電源装置。

[請求項6]

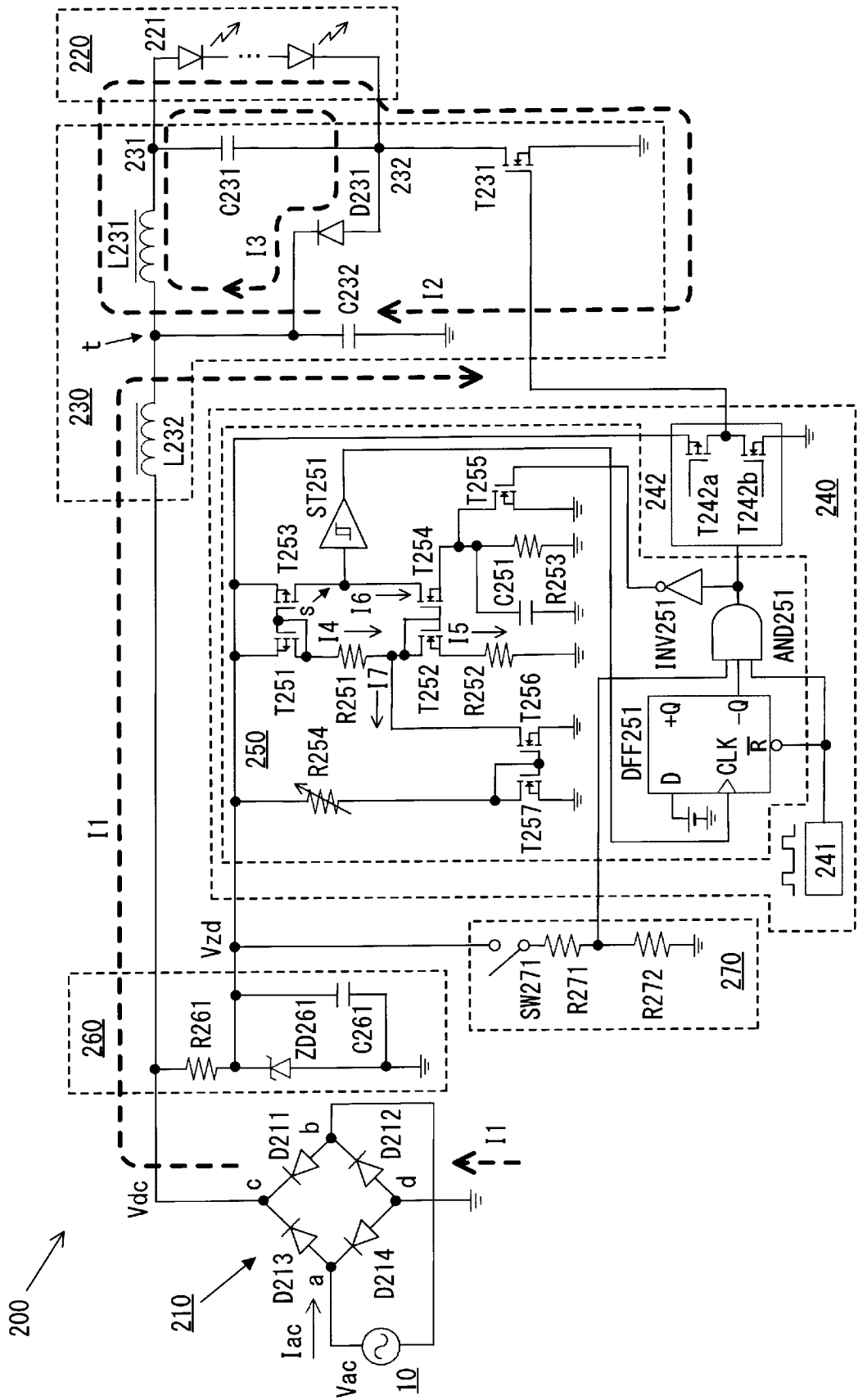
請求項1～5のうちのいずれか一項に記載の電源装置であって、

交流電圧を整流した直流電圧を正極端と負極端の間に発生する前記第1の直流電源に換えて、設定された直流電圧を正極端と負極端の間に発生する第3の直流電源を用いていることを特徴とする電源装置。

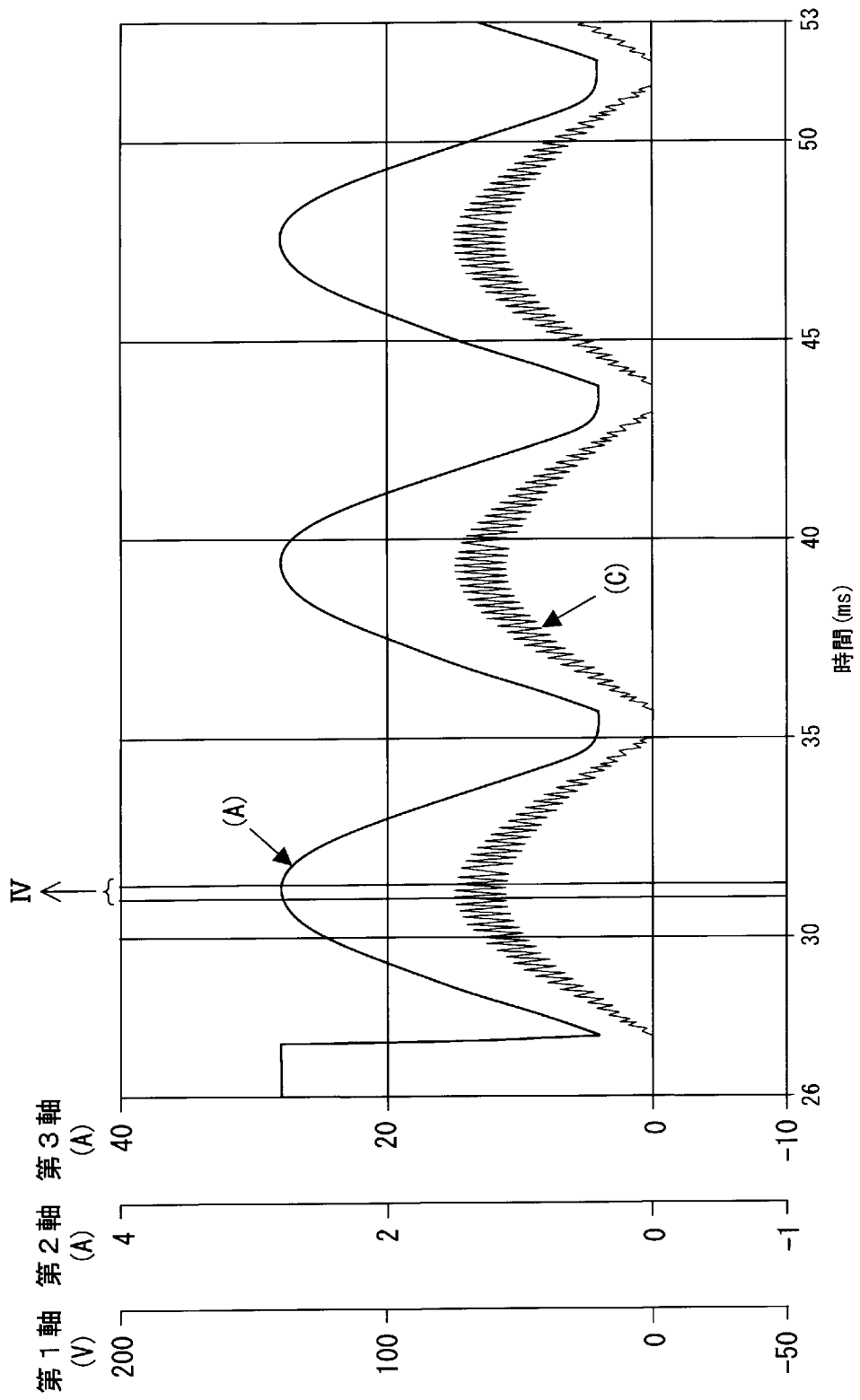
[図1]



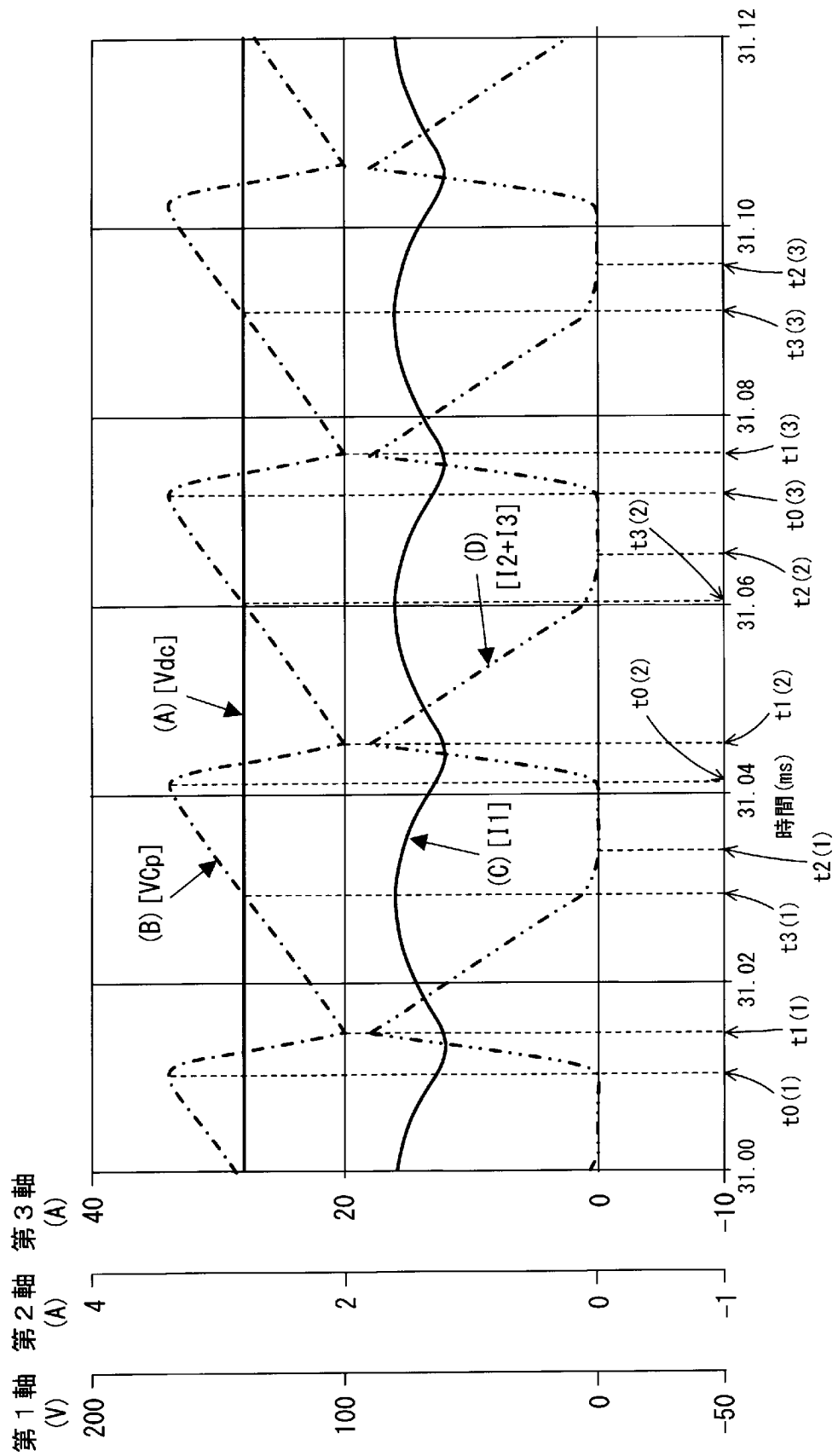
[圖2]



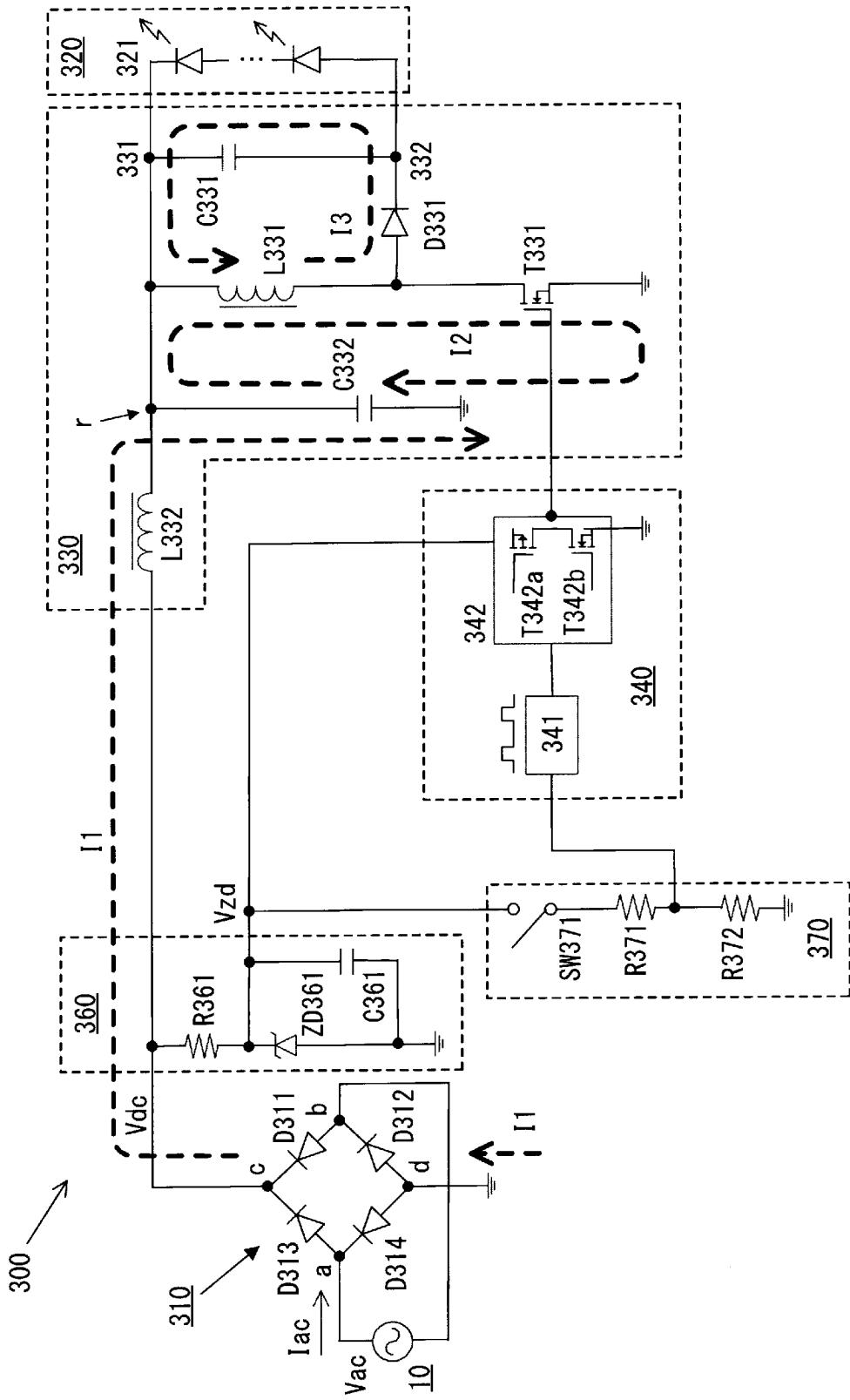
[圖3]



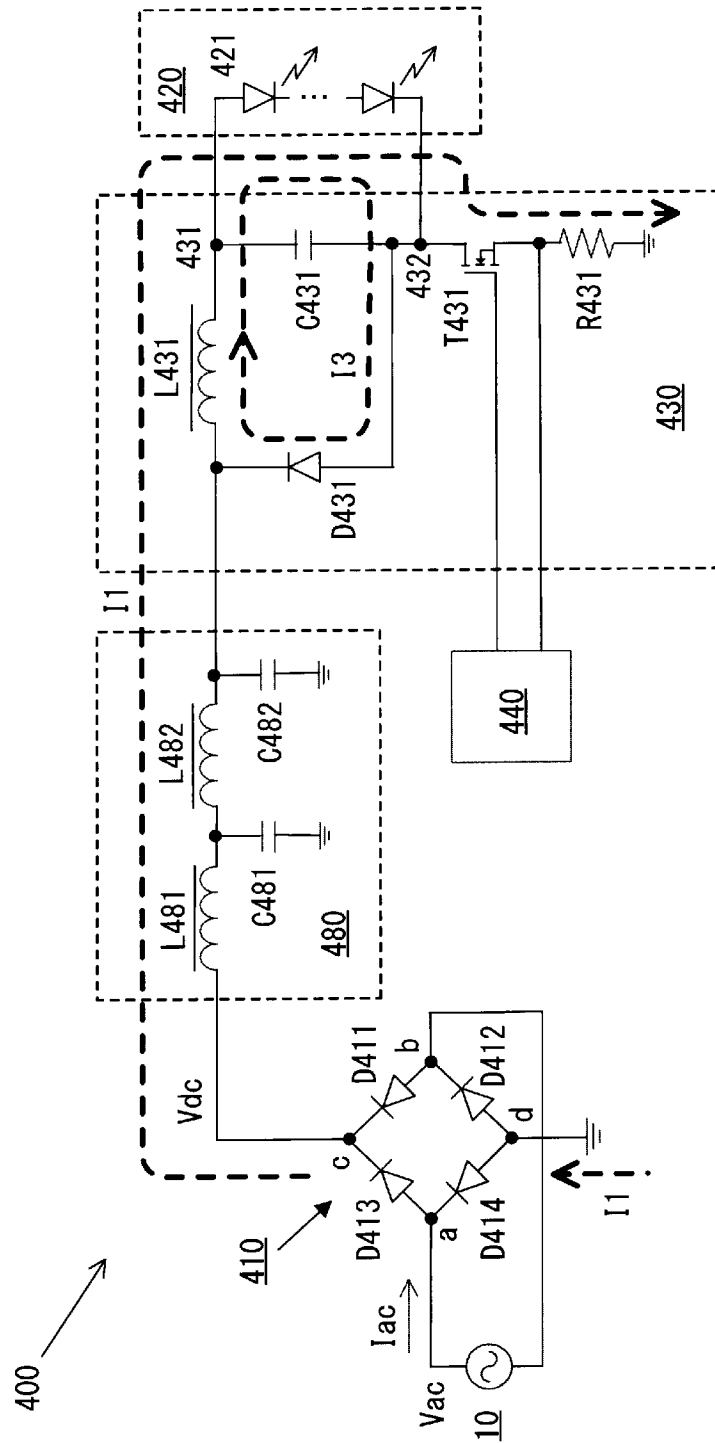
[図4]



[圖5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/053542

A. CLASSIFICATION OF SUBJECT MATTER

H02M7/12(2006.01) i, H02M3/155(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M7/12, H02M3/155

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	US 2013/0314961 A1 (FAIRCHILD KOREA SEMICONDUCTOR LTD.), 28 November 2013 (28.11.2013), paragraphs [0049] to [0076], [0141] to [0142]; fig. 2, 7 & US 2014/0313798 A1 & KR 10-2013-0132169 A	1-4, 6 5
Y A	JP 2012-226924 A (Panasonic Corp.), 15 November 2012 (15.11.2012), paragraphs [0024] to [0025], [0045] to [0046]; fig. 1 to 2 & US 2012/0262082 A1 paragraphs [0035] to [0036], [0056] to [0057]; fig. 1 to 2 & EP 2515614 A2 & CN 102752908 A	1-4, 6 5

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier application or patent but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search
13 April 2016 (13.04.16)

Date of mailing of the international search report
26 April 2016 (26.04.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/053542

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 9-201043 A (Canon Inc.), 31 July 1997 (31.07.1997), paragraphs [0013] to [0023], [0035] to [0042]; fig. 1 to 3, 9 & EP 785611 A2 column 3, line 56 to column 6, line 45; column 8, line 22 to column 9, line 48; fig. 1 to 3, 6	1-4, 6 5
Y	JP 2011-091974 A (Cosel Co., Ltd.), 06 May 2011 (06.05.2011), paragraphs [0085] to [0088], [0093] to [0096]; fig. 14, 16 & US 2011/0096571 A1 paragraphs [0115] to [0118], [0123] to [0126]; fig. 14, 16	2
Y	JP 2011-078261 A (Panasonic Corp.), 14 April 2011 (14.04.2011), paragraph [0063]; fig. 6 & US 2011/0254524 A1 paragraph [0081]; fig. 6 & US 2013/0193942 A1 & US 2015/0015226 A1 & WO 2011/039899 A1	2

Subject to be covered by this search:

Claims 1-2 describe that "a power supply device is configured so that charging current continues to flow through the second capacitor during the off-period M_{off} of the first switching element."

It is unclear, however, whether this description means: (A) that the power supply device is configured so that the charging current continues to flow through the second capacitor during the off-period M_{off} of the first switching element "at all times (for example, even in a period when V_{dc} is small)"; or (B) that the power supply device is configured so that the charging current continues to flow through the second capacitor during the off-period M_{off} of the first switching element "in at least a partial period of time".

The above description is usually construed as the above (A).

Referring to Fig. 3, however, when V_{dc} (shown by graph (A)) is small, there are periods in which I_1 (shown by graph (C)) becomes zero. Therefore, this is not consistent with the fact that the above description has been construed as the above (A).

With respect to also claims 3-6 referring to claims 1-2, the inventions of said claims are unclear on account of similar reason.

Consequently, the inventions of claims 1-6 are unclear.

As described above, the invention as in claims 1-6 is unclear. Therefore, regarding the above description, this international search covers devices configured so that the charging current continues to flow through the second capacitor during the off-period M_{off} of the first switching element "in at least a partial period of time".

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H02M7/12(2006.01)i, H02M3/155(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H02M7/12, H02M3/155											
最小限資料以外の資料で調査を行った分野に含まれるもの <table style="width:100%; border-collapse: collapse;"> <tr> <td style="width:30%;">日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2016年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2016年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2016年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2016年	日本国実用新案登録公報	1996-2016年	日本国登録実用新案公報	1994-2016年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2016年										
日本国実用新案登録公報	1996-2016年										
日本国登録実用新案公報	1994-2016年										
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
Y A	US 2013/0314961 A1 (FAIRCHILD KOREA SEMICONDUCTOR LTD.,) 2013.11.28, 段落 [0049] - [0076], [0141] - [0142], 図2, 7 & US 2014/0313798 A1 & KR 10-2013-0132169 A	1-4, 6 5									
Y A	JP 2012-226924 A (パナソニック株式会社) 2012.11.15, 段落 [0024] - [0025], [0045] - [0046], 図1-2 & US 2012/0262082 A1, 段落 [0035] - [0036], [0056] - [0057], 図1-2 & EP 2515614 A2 & CN 102752908 A	1-4, 6 5									
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。											
* 引用文献のカテゴリー		の日の後に公表された文献									
「A」特に関連のある文献ではなく、一般的技術水準を示すもの		「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの									
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの		「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの									
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)		「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの									
「O」口頭による開示、使用、展示等に言及する文献		「&」同一パテントファミリー文献									
「P」国際出願日前で、かつ優先権の主張の基礎となる出願											
国際調査を完了した日 13.04.2016		国際調査報告の発送日 26.04.2016									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 宮本 秀一	5G 3357								
		電話番号 03-3581-1101 内線	3526								

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 9-201043 A (キヤノン株式会社) 1997.07.31, 段落 [0013] - [0023], [0035] - [0042], 図1-3, 9 & EP 785611 A2, 第3欄第56行-第6欄第45行, 第8欄第22行-第9欄第48行, 図1-3, 6	1-4, 6 5
Y	JP 2011-091974 A (コーセル株式会社) 2011.05.06, 段落 [0085] - [0088], [0093] - [0096], 図14, 16 & US 2011/0096571 A1, 段落 [0115] - [0118], [0123] - [0126], 図14, 16	2
Y	JP 2011-078261 A (パナソニック株式会社) 2011.04.14, 段落 [0063], 図6 & US 2011/0254524 A1, 段落 [0081], 図6 & US 2013/0193942 A1 & US 2015/0015226 A1 & WO 2011/039899 A1	2

調査の対象について

請求項1-2には、「前記第1のスイッチング素子のオフ期間Moffの間、前記第2のコンデンサに充電電流が流れ続けるように構成されている」との記載がある。

しかしながら、この記載が、(A)「常に（例えばVdcが小さい期間でも）」第1のスイッチング素子のオフ期間Moffの間は第2のコンデンサに充電電流が流れ続けるように構成されていることを意味するのか、あるいは(B)「少なくとも一部の期間において」第1のスイッチング素子のオフ期間Moffの間は第2のコンデンサに充電電流が流れ続けるように構成されていることを意味するのかが不明確である。

上記記載は、通常は上記(A)を意味するものと解される。しかしながら、図3を参照すると、Vdc(グラフ(A))が小さい場合は、I1(グラフ(C))が0になる期間が存在しているから、上記(A)の解釈と整合しない。

請求項1-2を引用する請求項3-6についても、同様の理由により、発明が不明確である。

よって、請求項1-6に係る発明は明確でない。

そして、上記のとおり請求項1-6に係る発明は明確でないため、上記記載に関しては、「少なくとも一部の期間において」第1のスイッチング素子のオフ期間Moffの間は第2のコンデンサに充電電流が流れ続けるように構成されているものを調査対象とした。