



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I588870 B

(45)公告日：中華民國 106 (2017) 年 06 月 21 日

(21)申請案號：105113605

(22)申請日：中華民國 100 (2011) 年 07 月 28 日

(51)Int. Cl. : H01L21/02 (2006.01) H01L21/336 (2006.01)

(30)優先權：2010/07/30 日本 2010-171597

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)

(74)代理人：林志剛

(56)參考文獻：

JP 2008-211144A

US 2005/0275038A1

US 2010/0012946A1

審查人員：邱青松

申請專利範圍項數：11 項 圖式數：10 共 74 頁

(54)名稱

半導體裝置及其製造方法

SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

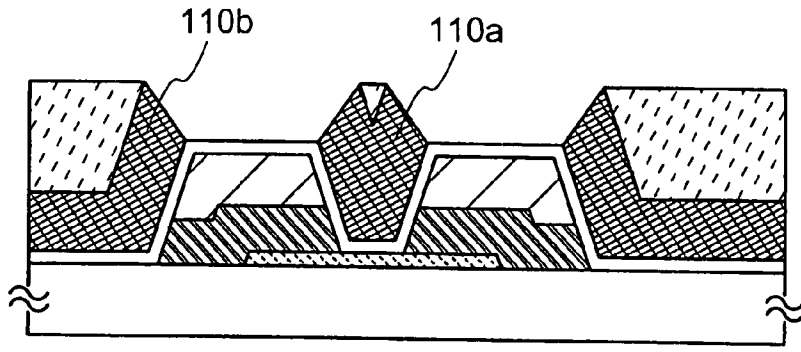
(57)摘要

提供一種半導體裝置之製造方法，其使能小型化並減少缺點。其包括於絕緣表面之上形成氧化物半導體層，及接觸該氧化物半導體層之源極電極及汲極電極；於該源極電極及該汲極電極之上形成絕緣層；於該氧化物半導體層、該源極電極、該汲極電極、及該絕緣層之上形成閘極絕緣層；於該閘極絕緣層之上形成導電層；形成絕緣膜以覆蓋該導電層；處理該絕緣膜，使得與該源極電極或該汲極電極重疊之該導電層之區域之至少一部分暴露；以及蝕刻該導電層之該暴露之區域，而以自動校準方式形成與夾於該源極電極與該汲極電極之間之區域之至少一部分重疊之閘極電極。

A method for manufacturing a semiconductor device, which enables miniaturization and reduction of defect, is provided. It includes forming an oxide semiconductor layer, and source and drain electrodes in contact with the oxide semiconductor layer, over an insulating surface; forming insulating layers over the source electrode and the drain electrode; forming a gate insulating layer over the oxide semiconductor layer, the source and drain electrodes, and the insulating layer; forming a conductive layer over the gate insulating layer; forming an insulating film covering the conductive layer; processing the insulating film so that at least part of a region of the conductive layer, which overlaps with the source electrode or the drain electrode, is exposed; and etching the exposed region of the conductive layer to form a gate electrode overlapping with at least part of the region sandwiched between the source electrode and the drain electrode, in a self-aligned manner.

指定代表圖：

圖 1D



符號簡單說明：

110a . . . 閘極電極

110b . . . 導電層

發明摘要

※申請案號：105113605 (由 100126776 分割)

※申請日：100 年 07 月 28 日

※IPC 分類：H01L 21/02 (2006.01)

H01L 21/336 (2006.01)

【發明名稱】(中文/英文)

半導體裝置及其製造方法

Semiconductor device and manufacturing method thereof

【中文】

提供一種半導體裝置之製造方法，其使能小型化並減少缺點。其包括於絕緣表面之上形成氧化物半導體層，及接觸該氧化物半導體層之源極電極及汲極電極；於該源極電極及該汲極電極之上形成絕緣層；於該氧化物半導體層、該源極電極、該汲極電極、及該絕緣層之上形成閘極絕緣層；於該閘極絕緣層之上形成導電層；形成絕緣膜以覆蓋該導電層；處理該絕緣膜，使得與該源極電極或該汲極電極重疊之該導電層之區域之至少一部分暴露；以及蝕刻該導電層之該暴露之區域，而以自動校準方式形成與夾於該源極電極與該汲極電極之間之區域之至少一部分重疊之閘極電極。

【 英文 】

A method for manufacturing a semiconductor device, which enables miniaturization and reduction of defect, is provided. It includes forming an oxide semiconductor layer, and source and drain electrodes in contact with the oxide semiconductor layer, over an insulating surface; forming insulating layers over the source electrode and the drain electrode; forming a gate insulating layer over the oxide semiconductor layer, the source and drain electrodes, and the insulating layer; forming a conductive layer over the gate insulating layer; forming an insulating film covering the conductive layer; processing the insulating film so that at least part of a region of the conductive layer, which overlaps with the source electrode or the drain electrode, is exposed; and etching the exposed region of the conductive layer to form a gate electrode overlapping with at least part of the region sandwiched between the source electrode and the drain electrode, in a self-aligned manner.

【代表圖】

【本案指定代表圖】：第(1D)圖。

【本代表圖之符號簡單說明】：

110a：閘極電極

110b：導電層

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置及其製造方法

Semiconductor device and manufacturing method thereof

【技術領域】

本發明關於半導體裝置。此處，半導體裝置係指利用半導體特性而作用之一般元件及裝置。

【先前技術】

存在廣泛的金屬氧化物，且該等金屬氧化物用於各種應用。氧化銦為廣為人知之材料，已用於液晶顯示裝置等所需之透明電極。

一些金屬氧化物具有半導體特性。該等具有半導體特性之金屬氧化物之範例為例如氧化鎢、氧化錫、氧化銦、及氧化鋅。已知使用該等金屬氧化物形成通道形成區域之薄膜電晶體（例如，詳專利文獻 1 至 4、非專利文獻 1 等）。

有關金屬氧化物，已知不僅單成分氧化物，以及多成分氧化物。例如，具有同源相位之 $\text{InGaO}_3(\text{ZnO})_m$ （ m ：自然數）已知為包含 In、Ga 及 Zn 之多成分氧化物半導體（例如，詳非專利文獻 2 至 4 等）。

此外，確認包含 In-Ga-Zn 基氧化物之氧化物半導體

亦可應用於薄膜電晶體之通道形成區域（例如，詳專利文獻 5、非專利文獻 5 及 6 等）。

[參考文獻]

[專利文獻 1]日本公開專利申請案 No. S60-198861

[專利文獻 2]日本公開專利申請案 No. H8-264794

[專利文獻 3] PCT 國際申請案日文翻譯版 No. H11-505377

[專利文獻 4]日本公開專利申請案 No. 2000-150900

[專利文獻 5]日本公開專利申請案 No. 2004-103957

[非專利文獻 1] M. W. Prins, K. O. Grosse-Holz, G. Muller, J. F. M. Cillessen, J. B. Giesbers, R. P. Weening 及 R. M. Wolf, 「鐵電透明薄膜電晶體」 (A ferroelectric transparent thin-film transistor) 1996 年 6 月 17 日 Appl. Phys. Lett., Vol.68, pp.3650-3652

[非專利文獻 2] M. Nakamura, N. Kimizuka 及 T. Mohri, 「1350 °C 之 In_2O_3 - Ga_2ZnO_4 - ZnO 系統中相位關係」 (The Phase Relations in the In_2O_3 - Ga_2ZnO_4 - ZnO System at 1350 °C) 1991 年 J. Solid State Chem., Vol.93, pp.298-315

[非專利文獻 3] N. Kimizuka, M. Isobe 及 M. Nakamura, 「 $\text{In}_2\text{O}_3(\text{ZnO})_m$ ($m = 3$ 、 4 、及 5)、 $\text{InGaO}_3(\text{ZnO})_3$ 、及 In_2O_3 - ZnGa_2O_4 - ZnO 系統中 $\text{Ga}_2\text{O}_3(\text{ZnO})_m$ ($m = 7$ 、 8 、 9 、及 16) 之同系合成物之合成

及單晶資料」 (Syntheses and Single-Crystal Data of Homologous Compounds, $\text{In}_2\text{O}_3(\text{ZnO})_m$ ($m = 3, 4$, and 5), $\text{InGaO}_3(\text{ZnO})_3$, and $\text{Ga}_2\text{O}_3(\text{ZnO})_m$ ($m = 7, 8, 9$, and 16) in the $\text{In}_2\text{O}_3\text{-ZnGa}_2\text{O}_4\text{-ZnO}$ System) 1995 年 J. Solid State Chem. , Vol.116 , pp. 170-178

[非專利文獻 4] M. Nakamura , N. Kimizuka , T. Mohri , 及 M. Isobe , 「新同系化物、銦鐵鋅氧化物 ($\text{InFeO}_3(\text{ZnO})_m$) (m : 自然數) 及相關化合物之合成及結晶結構」 (Syntheses and crystal structures of new homologous compounds, indium iron zinc oxides ($\text{InFeO}_3(\text{ZnO})_m$) (m : natural number) and related compounds) 1993 年 KOTAIBUTSURI (SOLID STATE PHYSICS) , Vol. 28 , No. 5 , pp. 317-327

[非專利文獻 5] K. Nomura , H. Ohta , K. Ueda , T. Kamiya , M. Hirano , 及 H. Hosono , 「單晶透明氧化物半導體中製造之薄膜電晶體」 (Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor) 2003 年 SCIENCE , Vol. 300 , pp. 1269-1272

[非專利文獻 6] K. Nomura , H. Ohta , A. Takagi , T. Kamiya , M. Hirano , 及 H. Hosono , 「使用非結晶氧化物半導體之透明撓性薄膜電晶體之室溫製造」 (Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors) 2004

年 NATURE, Vol.432, pp.488-492

【發明內容】

亦在包括氧化物半導體之電晶體的狀況下，重要的是微型化電晶體以達成電晶體之高速作業、低電力消耗、成本減少等。

同時，然而當電晶體微型化時造成之缺點為主要問題。例如，因電晶體小型化之該等問題為用於將導電層處理為佈線或電極之遮罩失準，使得電晶體無法根據設計之尺寸製造。尤其當於製造頂閘電晶體中形成閘極電極時，較佳地於氧化物半導體層之上並夾於源極電極與汲極電極之間之區域中形成閘極電極；然而，因為區域被電晶體之小型化顯著窄化，難以於區域中精確形成閘極電極。

當形成寬閘極電極以便與氧化物半導體層之上並夾於源極電極與汲極電極之間之區域充分重疊時，閘極電極與電晶體之源極電極或汲極電極重疊之區域過大。因而，寄生電容可增加。

已知包括氧化物半導體之電晶體於室溫下具有較包括矽之電晶體低之關閉狀態電流。然而，當閘極電極失準或電晶體之寄生電容增加時，如以上說明，不可能利用以低關閉狀態電流為代表之包括氧化物半導體之電晶體特性。相反地，使用電晶體之半導體裝置之性能及產量可減少。

鑒於上述，所揭露本發明之一實施例之目標為提供一種半導體裝置之製造方法，使得可小型化並減少缺點。

所揭露本發明之一實施例，為一種半導體裝置之製造方法，其包括以下步驟。與氧化物半導體層、源極電極上之絕緣層、及汲極電極上之絕緣層接觸之氧化物半導體層、源極電極、及汲極電極係形成於絕緣表面之上。閘極絕緣層係形成於氧化物半導體層、源極電極、汲極電極、及絕緣層之上。導電層經形成於閘極絕緣層之上，以便與至少部分夾於源極電極與汲極電極之間之區域重疊。絕緣膜經形成以便覆蓋導電層。絕緣膜經處理使得與源極電極或汲極電極重疊之導電層之至少部分區域暴露。導電層之暴露之區域經蝕刻以自動校準方式形成閘極電極，而與至少部分夾於源極電極與汲極電極之間之區域重疊。

在上述中，較佳的是在閘極絕緣層之最上表面上之閘極電極之一部分未與源極電極及汲極電極重疊。

所揭露本發明之另一實施例，為一種半導體裝置之製造方法，其包括以下步驟。與氧化物半導體層、源極電極上之絕緣層、及汲極電極上之絕緣層接觸之氧化物半導體層、源極電極、及汲極電極係形成於絕緣表面之上。閘極絕緣層係形成於氧化物半導體層、源極電極、汲極電極、及絕緣層之上。導電層經形成於閘極絕緣層之上，以便與至少部分夾於源極電極與汲極電極之間之區域重疊。導電層經處理使得與源極電極或汲極電極重疊之閘極絕緣層之至少部分區域暴露，以便以自動校準方式形成閘極電極，而與至少部分夾於源極電極與汲極電極之間之區域重疊。

在上述中，閘極電極之頂面較佳地處於低於閘極絕緣

層之最上表面之高度。

源極電極及汲極電極可接觸氧化物半導體層之至少部分頂面，或氧化物半導體層可接觸源極電極及汲極電極之至少部分頂面。此外，於形成閘極電極中留下之部分導電層可經處理以形成佈線。源極電極與汲極電極之邊緣之間之距離較佳地大於或等於 10 nm 及小於或等於 200 nm。

請注意，文中半導體裝置係指藉由利用半導體特性而作用之一般裝置。例如，以半導體裝置之種類包括顯示裝置、儲存裝置、積體電路等。

在上述半導體裝置中，半導體不侷限於氧化物半導體。例如，可使用以矽、銻、矽銻、碳化矽、砷化鎵等製成之非結晶半導體、微晶半導體、多晶半導體、單晶半導體等。

在本說明書等中，組件之間之位置關係的說明中，用詞「之上」及「以下」不一定分別表示「直接上方」及「直接以下」。例如，「閘極絕緣層上之閘極電極」之表達可表示閘極絕緣層與閘極電極之間存在其餘組件之狀況。

此外，在本說明書等中，諸如「電極」或「佈線」之用詞不侷限組件之功能。例如，有時「電極」用作部分「佈線」，反之亦然。此外，「電極」或「佈線」之用詞可包括以整合方式形成複數「電極」或「佈線」之狀況。

例如當使用相反極性之電晶體時，或當電流流動方向於電路作業中改變，有時「源極」及「汲極」之功能有時

彼此替代。因此，在本說明書中，「源極」及「汲極」之用詞可分別用於標示汲極及源極。

請注意，在本說明書等中，「電連接」之表達包括經由「具有任何電功能之目標」而連接組件之狀況。對於「具有任何電功能之目標」並無特別侷限，只要電信號可於經由目標連接之組件之間傳輸及接收即可。「具有任何電功能之目標」之範例為切換元件，諸如電晶體、電阻器、電感器、電容器、及具各種功能之元件，以及電極及佈線。

根據所揭露本發明之一實施例，在微型化電晶體中，閘極電極可精確地及輕易地於氧化物半導體層之上並夾於源極電極與汲極電極之間之區域中形成，且閘極電極可避免與源極電極及汲極電極重疊，使得可抑制寄生電容增加。

基於該等效果，可解決伴隨小型化之問題。結果，可充分減少電晶體之尺寸。當充分減少電晶體之尺寸時，藉由半導體裝置佔據之面積亦減少，此導致從一基板製造之半導體裝置數量增加。因此，半導體裝置之製造成本可減少。此外，由於半導體裝置縮小尺寸，可體現實質上與習知半導體裝置尺寸相同並具有進一步改進功能之半導體裝置。此外，根據通道長度減少，可獲得電晶體之高速作業、低電力消耗等效果。因而，根據所揭露本發明之一實施例可達成包括氧化物半導體之電晶體的小型化，並可獲得伴隨小型化之各種效果。

如以上說明，根據所揭露本發明之一實施例，可提供可小型化且缺點減少之半導體裝置的製造方法。

【圖式簡單說明】

在附圖中：

圖 1A 至 1D 為關於半導體裝置之製造步驟之截面圖；

圖 2A 及 2B 為關於半導體裝置之製造步驟之截面圖；

圖 3A 及 3B 為關於半導體裝置之製造步驟之截面圖；

圖 4A 及 4B 為半導體裝置之截面圖；

圖 5A 及 5B 為半導體裝置之截面圖；

圖 6A 至 6C 為關於半導體裝置之製造步驟之截面圖；

圖 7A 至 7D 為關於半導體裝置之製造步驟之截面圖；

圖 8A、8B、及 8C 分別為半導體裝置之截面圖、俯視圖、及電路圖；

圖 9A 及 9B 為半導體裝置之電路圖；以及

圖 10A 至 10F 為電子裝置之範例。

【實施方式】

以下，將參照圖式說明本發明之實施例。請注意，本

發明不侷限於下列說明，且熟悉本技藝之人士將輕易理解，在不偏離本發明之精神及範圍下可以各種方式修改模式及細節。因此，本發明不應解譯為侷限於下列實施例之說明。

請注意，有時為求簡化，圖式等中所描繪之每一結構之位置、尺寸、範圍等未正確表示。因此，所揭露本發明不一定侷限於圖式等中所揭露之位置、尺寸、範圍等。

在本說明書等中，使用諸如「第一」、「第二」、及「第三」之序數以避免組件之中混淆，且用詞並非表示侷限組件數量。

（實施例 1）

在本實施例中，將參照圖 1A 至 6C 說明半導體裝置之實施例及半導體裝置之製造方法。

圖 1A 至 1D、圖 2A 及 2B、及圖 3A 及 3B 為截面圖，描繪根據本發明所揭露之一實施例之電晶體 200 之製造步驟，作為半導體裝置之製造方法範例。此處，圖 2B 中電晶體 200 於基板 100 之上包括氧化物半導體層 102、源極電極 104a、汲極電極 104b、絕緣層 106a、絕緣層 106b、閘極絕緣層 108、及閘極電極 110a。此外，包括與閘極電極 110a 相同材料之佈線 110c 係形成於閘極絕緣層 108 之上。

此處，電晶體 200 之通道長度 L 較佳地為大於或等於 10 nm 及小於或等於 200 nm，更佳地為大於或等於 20 nm

及小於或等於 100 nm。因而，使通道長度 L 小以便微型化電晶體，使得可達成電晶體之作業速度增加及電力消耗減少。請注意，在本說明書中，通道長度 L 取決於源極電極 104a 與汲極電極 104b 之邊緣之間之距離。

配置於閘極絕緣層 108 上之閘極電極 110a 與至少部分氧化物半導體層 102 之上並夾於源極電極 104a 與汲極電極 104b 之間之區域重疊。此外，較佳的是閘極電極 110a 之一部分在閘極絕緣層 108 之最上表面之上，未與源極電極 104a 及汲極電極 104b 重疊。基於該結構，閘極電極 110a 可精確地形成於氧化物半導體層 102 之上且夾於源極電極 104a 與汲極電極 104b 之間之區域中，並可抑制寄生電容增加。因此，電晶體 200 可具有設計之所欲電晶體特性。請注意，在本說明書中，閘極絕緣層之最上表面係指閘極絕緣層之部分表面，其與源極電極或汲極電極重疊，並平行於基板。若源極電極 104a、汲極電極 104b 之每一者為錐形，且閘極絕緣層 108 之最上表面以下之部分閘極電極 110a 為反向錐形，閘極絕緣層 108 之最上表面以下之閘極電極 110a 之反向錐形部可與源極電極 104a 及汲極電極 104b 重疊。在此狀況下，閘極絕緣層 108 之最上表面上之部分閘極電極 110a 可與源極電極 104a 及汲極電極 104b 重疊。

將參照圖 1A 至 1D、圖 2A 及 2B、及圖 3A 及 3B 說明圖 2B 中電晶體 200 之製造程序範例。

首先，與氧化物半導體層 102 接觸之氧化物半導體層

102 及源極電極 104a 及汲極電極 104b 係形成於具有絕緣表面之基板 100 之上（詳圖 1A）。在圖 1A 中所描繪之結構中，在氧化物半導體層 102 形成於基板 100 上之後，形成導電層並經蝕刻以形成源極電極 104a 及汲極電極 104b，使得其與氧化物半導體層 102 之部分頂部表面局部接觸。

儘管對於基板 100 之材料等無特別限制，必要的是基板針對之後執行之熱處理具有至少耐熱性。例如，玻璃基板、陶瓷基板、石英基板、或藍寶石基板可用作基板 100。另一方面，以矽、碳化矽等製成之單晶半導體基板或多晶半導體基板、以矽鍺等製成之化合物半導體基板、SOI 基板等可用作基板 100。仍另一方面，進一步配置半導體元件之任一該些基板可用作基板 100。

撓性基板可替代地用作基板 100。若例如電晶體配置於撓性基板之上，電晶體可直接形成於撓性基板之上。

此處，於氧化物半導體層 102 形成之前，基底絕緣層較佳地形成於基板 100 之上。基底絕緣層可使用類似於之後將說明之閘極絕緣層 108 之材料及方法予以形成。

有關用於氧化物半導體層 102 之材料，可使用任一下列材料：四成分金屬氧化物，諸如 In-Sn-Ga-Zn-O 基材料；三成分金屬氧化物，諸如 In-Ga-Zn-O 基材料、In-Sn-Zn-O 基材料、In-Al-Zn-O 基材料、Sn-Ga-Zn-O 基材料、Al-Ga-Zn-O 基材料、及 Sn-Al-Zn-O 基材料；二成分金屬氧化物，諸如 In-Zn-O 基材料、Sn-Zn-O 基材料、Al-Zn-O

基材料、Zn-Mg-O 基材料、Sn-Mg-O 基材料、In-Mg-O 基材料、及 In-Ga-O 基材料；以及單成分金屬氧化物，諸如 In-O 基材料、Sn-O 基材料、及 Zn-O 基材料。此外，以上材料可包含 SiO_2 。此處，例如 In-Ga-Zn-O 基材料係指包含銦（In）、鎵（Ga）、及鋅（Zn）之氧化物膜，且對於組成比並無特別限制。此外，In-Ga-Zn-O 基材料可包含非 In、Ga、及 Zn 之元素。

氧化物半導體層 102 可為包括藉由化學式 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) 表示之材料的薄膜。此處，M 代表選自 Ga、Al、Mn、及 Co 之一或更多金屬元素。例如，M 可為 Ga、Ga 及 Al、Ga 及 Mn、Ga 及 Co 等。

氧化物半導體層 102 之厚度所欲為大於或等於 3 nm 及小於或等於 30 nm。這是因為當氧化物半導體層 102 過厚時（例如，厚度為 50 nm 或更多），電晶體可為正常開。

氧化物半導體層較佳地係藉由諸如氫、水、羥基、及氫化物之雜質較不可能進入氧化物半導體層之方法予以形成。例如，可使用濺鍍法。

在本實施例中，氧化物半導體層係藉由濺鍍法並使用 In-Ga-Zn-O 基氧化物半導體沉積靶材而予形成。

有關 In-Ga-Zn-O 基氧化物半導體沉積靶材，例如可使用具下列組成比之氧化物半導體沉積靶材： In_2O_3 ： Ga_2O_3 ： ZnO 為 1：1：1 [摩爾比]之組成比。請注意，不一定將氧化物半導體沉積靶材之材料及組成侷限於上述。

例如，可替代地使用具下列組成比之氧化物半導體沉積靶材： In_2O_3 ： Ga_2O_3 ： ZnO 為 1：1：2 [摩爾比]之組成比。

若 In-Zn-O 基材料用於氧化物半導體，使用具下列組成比之靶材： In ： Zn 之組成比為 50：1 至 1：2 原子比（ In_2O_3 ： ZnO = 25：1 至 1：4 摩爾比），較佳地為 20：1 至 1：1 原子比（ In_2O_3 ： ZnO = 10：1 至 1：2 摩爾比），更佳地為 15：1 至 1.5：1 原子比（ In_2O_3 ： ZnO = 15：2 至 3：4 摩爾比）。例如，用於 In-Zn-O 基氧化物半導體之形成的靶材具有下列原子比： In ： Zn ： O 之原子比為 X ： Y ： Z ，其中 $Z > 1.5X + Y$ 。

氧化物半導體沉積靶材之填充率為高於或等於 90 % 及低於或等於 100 %，較佳地為高於或等於 95 % 及低於或等於 99.9 %。這是因為使用具高填充率之氧化物半導體沉積靶材，可形成密集氧化物半導體層。

沉積氣體可為稀有氣體（典型為氬）、氧氣、或包含稀有氣體及氧之混合氣體。此外，為避免諸如氬及水之雜質進入氧化物半導體層，較佳地使用諸如氬及水之雜質充分移除之高純度氣體。

例如，氧化物半導體層可形成如下。

首先，基板 100 設置於減壓之沉積室中，並執行加熱使得基板溫度為高於 200 °C 及低於或等於 500 °C，較佳地為高於 300 °C 及低於或等於 500 °C，更佳地為高於或等於 350 °C 及低於或等於 450 °C。

接著，諸如氬及水之雜質充分移除之高純度氣體被導

入剩餘濕氣移除之沉積室，且使用氧化物半導體沉積靶材而於基板 100 之上形成氧化物半導體層。為移除沉積室中剩餘濕氣，所欲地使用諸如低溫泵、離子泵、或鈦昇華泵之截留真空泵。此外，排空裝置可為配置冷阱之渦輪泵。在以低溫泵排空之沉積室中，移除諸如氫及水（更佳地，連同包含碳原子之化合物）等雜質，藉此可減少沉積室中所形成之氧化物半導體層中諸如氫及水之雜質的濃度。

當沉積期間基板溫度低時（例如，低於或等於 100 °C），諸如氫及水之雜質可進入氧化物半導體層；因此，基板 100 較佳地以上述溫度加熱。當形成氧化物半導體層且以上述溫度加熱基板 100 時，基板溫度增加；因而，氫鍵因熱而切斷，且較不可能被移入氧化物半導體層中。因此，以上述溫度加熱以基板 100 形成之氧化物半導體層，藉此可充分減少氧化物半導體層中諸如氫及水之雜質的濃度。再者，可減少因濺鍍之損害。

請注意，有關氧化物半導體層中水量之測量方法，提供熱脫附譜（TDS）。例如，當溫度從室溫增加至約 400 °C 時，可於約 200 °C 至 300 °C 之範圍內觀察到氧化物半導體層中水、氫、羥基等之排除。

沉積狀況之範例如下：基板與靶材之間之距離為 60 mm，壓力為 0.4 Pa，直流（DC）電力為 0.5 kW，基板溫度為 400 °C，及沉積氣體為氧氣（氧之流率為 100 %）。請注意，較佳地使用脈衝直流電源，因為可減少沉積中所產生之粉狀物質（亦稱為粒子或灰塵），且膜厚度可平

坦。

請注意，在藉由濺鍍法形成氧化物半導體層之前，較佳地藉由其中導入氬氣並產生電漿之反向濺鍍而移除附著至基板 100 表面上之粉狀物質（亦稱為粒子或灰塵）。反向濺鍍係指一種方法，其中電壓施加於基板側而於基板附近產生電漿以修改表面。請注意，可使用諸如氮、氬、或氧之氣體取代氬。

氧化物半導體層可於具有所欲形狀之遮罩形成於氧化物半導體層上之後藉由蝕刻予以處理。遮罩可藉由諸如光刻或噴墨法之方法予以形成。對於氧化物半導體層之蝕刻而言，可採用濕式蝕刻或乾式蝕刻。不用說，可採用二者組合。

以該等方式形成之氧化物半導體層 102 可歷經熱處理。經由熱處理可進一步減少氧化物半導體層 102 中諸如氬及水之雜質，使得氧化物半導體層 102 之結構修改，並可減少能隙中缺點程度。

熱處理係於惰性氣體中以高於或等於 250 °C 及低於或等於 700 °C 執行，較佳地為高於或等於 450 °C 及低於或等於 600 °C 或低於基板之應變點。有關惰性氣體，所欲地使用包含氮或稀有氣體（例如，氮、氬、或氬）作為其主要成分且不包含諸如氬及水之雜質的氣體。例如，導入熱處理設備之氮或諸如氮、氬、或氬之稀有氣體的純度為 6N（99.9999 %）或更高，較佳地為 7N（99.99999 %）或更高（即，雜質濃度為 1 ppm 或更低，較佳地為 0.1

ppm 或更低) 。

熱處理可以該等方式執行，例如將加熱之目標被導入電熔爐，其中使用耐熱元件等，並於氮氣中以 450 °C 加熱達一小時。氧化物半導體層 102 於熱處理期間並未暴露於空氣，使得可避免諸如氫及水之雜質進入。

因為移除諸如氫及水之雜質的有利效果，以上熱處理可稱為脫水處理、脫氫處理等。熱處理可於例如氧化物半導體層形成之後之時序執行。該等脫水處理或脫氫處理可實施一次或複數次。

其次，所欲地於氧化物半導體層 102 上執行供應氧之處理（亦稱為氧摻雜處理等）。有關供應氧之處理，提供於氧氣中之熱處理、以氧電漿處理等。另一方面，藉由執行暴露於藉由電場加速之氧離子，而可添加氧。

請注意，電偏壓可施加於基板以便更有利地添加氧。

藉由於氧化物半導體層 102 上執行氧摻雜處理，氧可包含於氧化物半導體層 102 中或/及氧化物半導體層 102 之介面附近。在此狀況下，氧含量所欲地約高於氧化物半導體層之化學計量比。

請注意，熱處理可於業歷經氧摻雜處理之氧化物半導體層 102 上執行。熱處理係以高於或等於 250 °C 及低於或等於 700 °C 之溫度執行，較佳地為高於或等於 400 °C 及低於或等於 600 °C 或低於基板之應變點。

經由熱處理，藉由氧化物半導體層中所包含之氧與氫之間反應產生之水、氫氧化物（OH）等可從氧化物半導

體層移除。此外，經由此熱處理，可移除於以上氧摻雜處理期間進入氧化物半導體層 102 等之氫等。熱處理可於氮、氧、極乾燥空氣（當使用腔環降光譜（CRDS）系統之露點儀執行測量時，空氣之濕氣含量為 20 ppm（-55 °C 轉變為露點）或更低，較佳地為 1 ppm 或更低，更佳地為 10 ppb 或更低）之氣體、其中水、氫等充分減少之稀有氣體（例如，氬或氦）等中執行。尤其，較佳地於包含氧之氣體中執行熱處理。導入熱處理設備之氮、氧、或稀有氣體之純度較佳地設定為 6N（99.9999 %）或更高（即，雜質濃度為 1 ppm 或更低），更佳地為 7N（99.99999 %）或更高（即，雜質濃度為 0.1 ppm 或更低）。

請注意，氧摻雜處理之時序不侷限於以上所說明之時序。然而，所欲地於脫水等熱處理之後執行氧摻雜處理。

源極電極 104a 及汲極電極 104b 係以該等方式形成，即藉由濺鍍法、真空蒸發法等而將導電層形成於氧化物半導體層 102 之上並處理。因而形成源極電極 104a 及汲極電極 104b，藉此接觸氧化物半導體層 102 之部分頂面。當源極電極 104a 及汲極電極 104b 之厚度增加時，因為如之後所說明閘極電極 110a 之厚度亦可增加，不僅存在其電極及佈線之電阻減少的效果，亦存在閘極電極 110a 之電阻減少的效果。同時，閘極電極 110a 與源極及汲極電極 104a 及 104b 之間之寄生電容增加。因而，此處例如源極電極 104a 及汲極電極 104b 之厚度各大於或等於 50 nm 及小於或等於 500 nm。

請注意，電晶體之通道長度 L 取決於此處形成之源極電極 104a 及汲極電極 104b 之邊緣之間之距離。電晶體之通道長度 L 較佳地為大於或等於 10 nm 及小於或等於 200 nm，更佳地為大於或等於 20nm 及小於或等於 100 nm。

有關用於源極電極 104a 及汲極電極 104b 之導電層，可使用例如包含選自鋁、鉻、銅、鈹、鈦、鉬、及鎢之元素之金屬膜，或包含任一以上元素作為其成分之金屬氮化物膜（例如，氮化鈦膜、氮化鉬膜、或氮化鎢膜）。可形成源極電極 104a 及汲極電極 104b 以具有單層結構或層級結構。另一方面，可採用一結構其中鈦、鉬、鎢等高熔點金屬膜或任一該些元素之金屬氮化物膜（氮化鈦膜、氮化鉬膜、或氮化鎢膜）可配置於鋁、銅等金屬膜之上及/或以下。

另一方面，用於源極電極 104a 及汲極電極 104b 之導電層可使用導電金屬氧化物予以形成。有關導電金屬氧化物，可使用氧化銦（ In_2O_3 ）、氧化錫（ SnO_2 ）、氧化鋅（ ZnO ）、氧化銦-氧化錫合金（ $\text{In}_2\text{O}_3\text{-SnO}_2$ ，縮寫為 ITO）、氧化銦-氧化鋅合金（ $\text{In}_2\text{O}_3\text{-ZnO}$ ）、或包含氧化矽之任一該些金屬氧化物材料。

藉由於具有所欲形狀之遮罩形成於導電層上之後蝕刻，而可處理導電層。有關以上遮罩，可使用抗蝕罩等。紫外光、KrF 雷射光、ArF 雷射光等較佳地用於抗蝕罩形成中之曝光。

若通道長度 L 小於 25 nm，較佳地使用例如具有數奈

米至數十奈米之極短波長之遠紫外光執行抗蝕罩形成時之曝光。在以遠紫外光之曝光中，解析度高且聚焦深度大。因而，可減少電晶體之通道長度 L ，並可增加電路之作業速度。

可使用以所謂多色調遮罩形成之抗蝕罩執行蝕刻步驟。使用多色調遮罩形成之抗蝕罩具有複數厚度，並可藉由灰化進一步改變形狀；因而，該等抗蝕罩可用於不同型樣之複數蝕刻步驟。因此，可使用多色調遮罩形成至少二種型樣之抗蝕罩，導致程序簡化。

濕式蝕刻或乾式蝕刻可用於將為源極電極 104a 及汲極電極 104b 之導電層的蝕刻；在微加工方面較佳地採用乾式蝕刻。依據材料而適當設定蝕刻狀況（例如，蝕刻氣體或蝕刻溶液、蝕刻時間、及溫度），使得導電層可經蝕刻而具有所欲形狀。若藉由乾式蝕刻而蝕刻將成為源極電極 104a 及汲極電極 104b 之導電層，氯（ Cl_2 ）、氯化硼（ BCl_3 ）、四氯化矽（ SiCl_4 ）、四氟化碳（ CF_4 ）、氟化硫（ SF_6 ）、三氟化氮（ NF_3 ）等可用作蝕刻氣體。此外，可使用包含部分以上氣體之混合氣體。此外，稀有氣體（氦（ He ）或氬（ Ar ））、氧等可添加至以上氣體。

如圖 1A 中所描繪，源極電極 104a 及汲極電極 104b 可為錐形。錐角為大於或等於 45° 及小於 90° ，並可較佳地為大於或等於 60° 及小於或等於 80° 。當源極電極 104a 及汲極電極 104b 為以上說明之錐形時，可改進之後形成之閘極絕緣層 108 對於源極電極 104a 及汲極電極 104b 之

覆蓋，並可避免閘極絕緣層 108 之脫離。請注意，錐角係指若從垂直於其截面之方向觀察一層，藉由具有錐形之該層（例如，源極電極 104a 或汲極電極 104b）之側面及底面形成之傾角。

請注意，在導電層之蝕刻中，蝕刻部分氧化物半導體層 102，使得有時形成具有槽（凹部）之氧化物半導體層 102。

之後，藉由使用諸如 N_2O 、 N_2 、或 Ar 之氣體的電漿處理，可移除附著至暴露之部分氧化物半導體層 102 表面之諸如氫及水之雜質。

其次，形成絕緣層以便覆蓋氧化物半導體層 102、源極電極 104a、及汲極電極 104b，並使用光罩處理，使得分別於源極電極 104a 及汲極電極 104b 之上形成絕緣層 106a 及絕緣層 106b（詳圖 1A）。

此處，藉由 CVD 法、濺鍍法等並使用諸如氧化矽、氮化矽、氧氮化矽、或氮氧化矽之材料，可形成絕緣層 106a 及絕緣層 106b。絕緣層 106a 及絕緣層 106b 之厚度較佳地為各大於或等於 10 nm 及小於或等於 500 nm。

絕緣層 106a 及絕緣層 106b 係以該等方式形成，即於絕緣層之上形成抗蝕罩，並使用抗蝕罩執行蝕刻。可藉由與用於形成源極電極 104a 及汲極電極 104b 之相同方法形成抗蝕罩，較佳地使用光罩形成源極電極 104a 及汲極電極 104b。濕式蝕刻或乾式蝕刻可用於蝕刻絕緣層，在微加工方面較佳地採用乾式蝕刻。依據材料而適當設定蝕刻

狀況（例如，蝕刻氣體或蝕刻溶液、蝕刻時間、及溫度），使得絕緣層可經蝕刻而具有所欲形狀。請注意，在減少電晶體之通道長度（ L ）方面較佳地採用乾式蝕刻。有關用於乾式蝕刻之蝕刻氣體，可使用包含氟之氣體，諸如氟化硫（ SF_6 ）、三氟化氮（ NF_3 ）、三氟甲烷（ CHF_3 ）、或八氟環丁烷（ C_4F_8 ）、四氟化碳（ CF_4 ）及氬之混合氣體等。此外，稀有氣體（例如，氦（ He ）、氬（ Ar ）、或氙（ Xe ））、一氧化碳、二氧化碳等可添加至以上氣體。

藉由因而形成絕緣層 106a 及絕緣層 106b，夾於源極電極 104a 與汲極電極 104b 之間之區域中凹部可變深，使得之後形成之閘極電極 110a 可充分厚。因而，可避免之後形成之閘極電極 110a 的減損，或閘極電極 110a 之厚度的顯著減少。因此，可維持閘極電極 110a 之充分導電性。

請注意，不一定形成絕緣層 106a 及絕緣層 106b。例如，若源極電極 104a 及汲極電極 104b 充分厚，因為甚至當未形成絕緣層 106a 及絕緣層 106b 時閘極電極 110a 可充分厚，絕緣層 106a 及絕緣層 106b 不一定形成。

請注意，此處所說明之方法其中形成源極電極 104a 及汲極電極 104b，之後形成絕緣層 106a 及絕緣層 106b；然而，本實施例不侷限於此。例如，若源極電極 104a 及汲極電極 104b 經形成而接觸氧化物半導體層 102 之部分頂面，在導電層形成於氧化物半導體層 102 上及絕緣層形

成於導電層上之後，使用一抗蝕罩處理絕緣層及導電層，使得可形成絕緣層 106a、絕緣層 106b、源極電極 104a、及汲極電極 104b。藉由以該等方式形成絕緣層 106a、絕緣層 106b、源極電極 104a、及汲極電極 104b，絕緣層 106a 及絕緣層 106b 之邊緣可實質上分別與源極電極 104a 及汲極電極 104b 之邊緣對齊。因而，可避免絕緣層 106a 與源極電極 104a 之間及絕緣層 106b 與汲極電極 104b 之間之失準。此外，可減少光罩數量，導致半導體裝置之成本減少。請注意，「實質上對齊」之表示並非總是指確實對齊。例如，「實質上對齊」之表示包括於藉由使用一遮罩蝕刻複數層所獲得之形狀的對齊程度。

其次，閘極絕緣層 108 形成於氧化物半導體層 102、源極電極 104a、汲極電極 104b、絕緣層 106a、及絕緣層 106b 之上（詳圖 1B）。

例如，使用諸如氧化矽、氮化矽、氧氮化矽、或氮氧化矽之材料形成之閘極絕緣層 108。可使用包含氧化鎵之材料形成閘極絕緣層 108。包含氧化鎵之材料可進一步包含氧化鋁；即，可使用包含氧化鋁鎵或氧化鎵鋁等材料。此處，氧化鋁鎵係指鋁含量之原子百分比高於鎵含量之材料，及氧化鎵鋁係指鎵含量之原子百分比高於或等於鋁含量之材料。此外，可使用具有高介電常數之材料，諸如氧化鈣、氧化鋇、氧化釷、矽酸鈣（ HfSi_xO_y （ $x > 0$ ， $y > 0$ ））、添加氮之矽酸鈣（ HfSi_xO_y （ $x > 0$ ， $y > 0$ ））、或添加氮之鋁酸鈣（ HfAl_xO_y （ $x > 0$ ， $y > 0$ ））。閘極絕緣

層 108 可使用任一以上材料形成而具有單層結構或層級結構。

若氧化鎵膜用於閘極絕緣層 108，氧化鎵膜之組成較佳地為 $\text{Ga}_2\text{O}_{3+\alpha}$ ($\alpha > 0$)。較佳的是 α 大於或等於 3.04 及小於或等於 3.09。另一方面，若氧化鋁鎵膜用於閘極絕緣層 108，氧化鋁鎵膜之組成較佳地為 $\text{Al}_x\text{Ga}_{2-x}\text{O}_{3+\alpha}$ ($1 < x < 2$, $\alpha > 0$)。仍另一方面，若氧化鎵鋁膜用於閘極絕緣層 108，氧化鎵鋁膜較佳地為具有摻雜氧之 $\text{Al}_x\text{Ga}_{2-x}\text{O}_{3+\alpha}$ ($0 < x \leq 1$, $\alpha > 0$) 之組成。

在許多狀況下，用於氧化物半導體層之氧化物半導體材料包含鎵。因此，若使用包含氧化鎵之材料形成閘極絕緣層 108 而接觸氧化物半導體層，可於氧化物半導體層與閘極絕緣層 108 之間之介面維持有利狀況。例如，當氧化物半導體層及包含氧化鎵之絕緣層經配置而彼此接觸時，可減少氧化物半導體層與絕緣層之間之介面之氫的累積。這是因為包含氧化鎵之材料與氧化物半導體材料相容。

請注意，若屬於與氧化物半導體之構成元素相同群組之元素用於閘極絕緣層 108，可獲得類似效果。即，額外使用包含氧化鋁等材料形成閘極絕緣層 108 亦有效果。請注意，水不太可能滲透氧化鋁；因此，在避免水進入氧化物半導體層方面，較佳地使用氧化鋁。例如，可將包含鎵及鋁之諸如氧化鋁鎵（或氧化鎵鋁）的以上材料用於閘極絕緣層 108。在此狀況下，較佳的是可獲得包含鎵產生之效果及包含鋁產生之效果。例如，藉由配置包含氧化鋁鎵

之絕緣層接觸氧化物半導體層，可避免水進入氧化物半導體層，並可充分減少氧化物半導體層與絕緣層之間之介面之氫的累積。

較佳地藉由諸如氫及水之雜質不進入閘極絕緣層 108 之方法而形成閘極絕緣層 108。這是因為當閘極絕緣層 108 中包含諸如氫或水之雜質時，諸如氫或水之雜質進入氧化物半導體層，或藉由諸如氫或水之雜質提取氧化物半導體層中之氧，使得氧化物半導體層可具有較低電阻（具有 n 型導電性）。因此，較佳地形成閘極絕緣層 108 以便包含盡可能少之諸如氫及水之雜質。例如，較佳地藉由濺鍍法形成閘極絕緣層 108，且其中移除了諸如氫及水之雜質的高純度氣體較佳地用作用於沉積之濺鍍氣體。

有關濺鍍法，可採用使用直流電源之 DC 濺鍍法、以脈衝方式施加直流偏壓之脈衝 DC 濺鍍法、AC 濺鍍法等。

在閘極絕緣層 108 形成之後，所欲地於惰性氣體或氧氣中執行熱處理。熱處理之溫度設定為高於或等於 200 °C 及低於或等於 450 °C，所欲地高於或等於 250 °C 及低於或等於 350 °C。例如，可於氮氣中以 250 °C 執行熱處理達一小時。藉由執行熱處理，可減少電晶體之電特性變化。若閘極絕緣層 108 包含氧，氧可供應至氧化物半導體層 102，使得填充氧化物半導體層 102 中缺氧。從這個意義上說，熱處理亦可稱為供應氧之熱處理。

請注意，在本實施例中，係於閘極絕緣層 108 形成之

後執行供應氧之熱處理；然而，供應氧之熱處理的時序不侷限於此。例如，可於閘極電極 110a 形成之後執行供應氧之熱處理。供應氧之熱處理可於脫水或脫氫之熱處理之後執行。

如以上說明，執行脫水或脫氫之熱處理，及氧摻雜處理或氧供應之熱處理，以減少雜質及填充氧化物半導體層 102 中缺氧，藉此氧化物半導體層 102 可高度純化以便包含盡可能少之非氧化物半導體層 102 之主要成分的元素（雜質元素）。經高度純化之氧化物半導體層 102 包含源自於供體之極少載子。

其次，於閘極絕緣層 108 之上形成導電層 110，以便與夾於源極電極 104a 與汲極電極 104b 之間之至少部分區域重疊（詳圖 1B）。

導電層 110 於之後步驟形成閘極電極 110a 及佈線 110c。可使用類似於形成源極電極 104a 及汲極電極 104b 之導電層的材料而形成導電層 110。此外，可藉由 PVD 法或 CVD 法形成導電層 110，並經形成而使部分導電層填充夾於絕緣層 106a 與源極電極 104a 之間及絕緣層 106b 與汲極電極 104b 之間之凹部。

接著，形成絕緣膜 112 以便覆蓋導電層 110（詳圖 1B）。絕緣膜 112 充當用於蝕刻導電層 110 之遮罩。之後步驟中處理使得導電層 110 之最上表面暴露，絕緣膜 112 較佳地為具有平行於基板 100 之頂面的平面化絕緣膜。請注意，在本說明書中，導電層 110 之最上表面係指導電層

110 之部分表面，其與源極電極 104a 或汲極電極 104b 重疊，並平行於基板 100。

用作絕緣膜 112 之平面化絕緣膜可使用有機材料予以形成，諸如聚醯亞胺、丙烯酸樹脂、苯並環丁烯樹脂、聚醯胺、或環氧樹脂。除了該等有機材料以外，亦可使用低介電常數材料（低 k 材料）、矽氧烷基樹脂、磷矽酸玻璃（PSG）、硼磷矽酸玻璃（BPSG）等。對於形成絕緣膜 112 之方法並無特別限制，並依據材料而可採用下列方法或裝置：方法諸如濺鍍法、SOG 法、旋塗層、浸漬法、噴塗法、或滴液釋放法（例如噴墨法、網印或膠印），或工具諸如刮刀、滾筒塗層、簾式塗層、或刮刀塗層。請注意，矽氧烷基樹脂為使用矽氧烷基材料作為起動材料形成之包括 Si-O-Si 鍵之樹脂。矽氧烷基樹脂可包括有機群組（例如，烷基群組或芳基群組）或氟群組作為替代。再者，有機群組可包括氟群組。

請注意，充當用於蝕刻導電層 110 之遮罩的絕緣膜不一定為平面化絕緣膜。例如，若絕緣膜係於之後步驟中藉由 CMP 處理等處理，如圖 3A 中所描繪，並非平坦化之絕緣膜 116 可形成於導電層 110 之上。可使用包括諸如氧化矽或氮化矽之無機絕緣材料的材料形成絕緣膜 116。

接著，處理絕緣膜 112 使得與源極電極 104a 或汲極電極 104b 重疊之導電層 110 的至少部分區域暴露。因而，形成絕緣膜 112a（詳圖 1C）。

此處，從絕緣膜 112 之整個頂面，以一致速率局部移

除絕緣膜 112。當導電層 110 之最上表面暴露時（或當導電層 110 之最上表面暴露之後，移除導電層 110 之小部份時），此作業停止。因而，可形成絕緣膜 112a。可藉由灰化處理、蝕刻處理、或拋光處理執行絕緣膜 112 之該等處理；依據絕緣膜 112 之材料可是當選擇處理方法。

對於絕緣膜 112 之灰化處理而言，例如可採用氧電漿灰化。使用氧電漿之灰化處理係以該等方式於氧氣中執行，即氧藉由高頻電力等製成電漿，並藉由製成電漿之氧而分解及移除絕緣膜 112。因而，從絕緣膜 112 之整個頂面，可以一致速率局部移除絕緣膜 112。此外，當以該等方式局部移除絕緣膜 112 時，可避免絕緣膜 112 之殘渣或殘渣之反應結果產生。

可採用濕式蝕刻或乾式蝕刻用於蝕刻絕緣膜 112。依據材料適當設定蝕刻狀況（例如，蝕刻氣體或蝕刻溶液、蝕刻時間、及溫度），使得絕緣膜 112 可經蝕刻而具有所欲形狀。尤其，設定蝕刻狀況使得絕緣膜 112 相對於導電層 110 之蝕刻選擇性充分高。

有關絕緣膜 112 之拋光處理，例如可採用化學機械拋光（CMP）處理。此處，CMP 處理為使用表面作為參考，藉由化學及機械動作之組合而平坦化將處理目標之表面的處理。通常，CMP 處理為一種方法，其中拋光布附著至拋光台，且拋光台及將處理目標各旋轉或擺動同時漿體（研磨料）供應至將處理目標與拋光布之間，藉此將處理目標之表面藉由漿體與將處理目標表面之間之化學反應

及藉由拋光布對將處理目標之機械拋光動作而予拋光。

如圖 3A 中所描繪，若非平坦化之絕緣膜 116 形成於導電層 110 之上，可藉由 CMP 處理處理絕緣膜 116。如圖 3B 中所描繪，當藉由 CMP 處理處理絕緣膜 116 時，可形成絕緣膜 116a 使得導電層 110 之最上表面暴露。請注意，於圖 3B 中步驟之後執行之步驟亦可以類似於形成絕緣膜 112 之方式予以執行。

接著，導電層 110 之暴露區域經蝕刻而以自動校準方式形成與夾於源極電極 104a 與汲極電極 104b 之間之至少部分區域重疊的閘極電極 110a（詳圖 1D）。此處，除閘極電極 110a 以外，導電層 110b 保留在以絕緣膜 112a 覆蓋之部分中。

可以類似於源極電極 104a 及汲極電極 104b 之方式蝕刻導電層 110，並可採用濕式蝕刻或乾式蝕刻；在微加工方面，較佳地採用乾式蝕刻。此外，適當地設定蝕刻狀況使得導電層 110 相對於閘極絕緣層 108 之蝕刻選擇性充分高，並執行蝕刻。以此方式，蝕刻導電層 110 直至閘極絕緣層 108 之最上表面暴露為止。

通常，若以該等方式使用光罩形成電晶體之閘極電極，有時閘極電極失準達約數奈米至數百奈米。當電晶體之通道長度大於或等於 1 μm 時，未發生顯著問題。然而，若如本實施例中減少電晶體之尺寸，該等失準可能為嚴重影響電晶體特性之缺點。然而，藉由如以上說明以自動校準方式形成閘極電極 110a，可精確地及容易地於氧

化物半導體層 102 之上並夾於源極電極 104a 與汲極電極 104b 之間之區域中形成閘極電極 110a。

此外，在未與源極電極 104a 及汲極電極 104b 重疊之閘極絕緣層 108 之最上表面上之部分閘極電極 110a 中，造成抑制閘極電極 110a 與源極及汲極電極 104a 及 104b 之間之寄生電容增加。因而，可製造所設計之具有所欲電晶體特性之電晶體。請注意，若源極電極 104a 及汲極電極 104b 之每一者為錐形，在閘極絕緣層 108 之最上表面以下之部分閘極電極 110a 為反向錐形，閘極絕緣層 108 之最上表面以下之閘極電極 110a 的反向錐形部可與源極電極 104a 及汲極電極 104b 重疊。在此狀況下，在閘極絕緣層 108 之最上表面以上之部分閘極電極 110a 可與源極電極 104a 及汲極電極 104b 重疊。

由於可形成閘極電極 110a 而未使用光罩，可減少用於整個製造程序中之光罩數量。因此，可減少半導體裝置之成本。

其次，形成抗蝕罩 114a 以便覆蓋閘極電極 110a，並於部分導電層 110b 上形成抗蝕罩 114b（詳圖 2A）。之後，使用抗蝕罩 114a 及抗蝕罩 114b 處理導電層 110b 以形成佈線 110c（詳圖 2B）。

抗蝕罩 114a 及抗蝕罩 114b 可以該等方式形成，即藉由旋塗法等沉積諸如光敏樹脂之材料，接著使用光罩執行光刻。

接著，以類似於閘極電極 110a 之方式執行蝕刻，使

得可形成佈線 110c。因而，利用當形成閘極電極 110a 時留下之部分導電層 110b，可形成佈線 110c，導致半導體裝置之成本減少。

經由以上程序，可製造電晶體 200，其中閘極電極 110a 與氧化物半導體層 102 之上並夾於源極電極 104a 與汲極電極 104b 之間之區域重疊，並達成其小型化（詳圖 2B）。

如以上說明，用於電晶體 200 之氧化物半導體層 102 所欲地為藉由充分移除諸如氫及水之雜質並充分供應氧而形成之高度純化氧化物半導體層。具體地，氧化物半導體層 102 中氫之濃度為例如低於或等於 5×10^{19} 原子/cm³，所欲地為低於或等於 5×10^{18} 原子/cm³，更所欲地為低於或等於 5×10^{17} 原子/cm³。請注意，氧化物半導體層 102 中氫之濃度係藉由二次離子質譜（SIMS）測量。氧化物半導體層 102 藉由充分減少氫濃度而高度純化，並藉由充分供應氧而減少因缺氧之能隙中缺點程度，其具有小於 1×10^{12} /cm³ 之載子濃度，所欲地為小於 1×10^{11} /cm³，更所欲地為小於 1.45×10^{10} /cm³。例如，室溫（25 °C）下關閉狀態電流（此處為每微米（μm）通道寬度之電流）為低於或等於 100 zA（1 zA（介安）is 1×10^{-21} A），所欲地為低於或等於 10 zA。以此方式，藉由使用 i 型（本質）或實質上 i 型氧化物半導體，可獲得具有有利電特性之電晶體。

以下，將參照圖 4A 及 4B、圖 5A 及 5B、及圖 6A 至

6C 說明與圖 1A 至 1D、圖 2A 及 2B、及圖 3A 及 3B 中半導體裝置之製造方法不同之半導體裝置之製造方法。請注意，在圖 4A 及 4B、圖 5A 及 5B、及圖 6A 至 6C 中，相應於圖 1A 至 1D、圖 2A 及 2B、及圖 3A 及 3B 中之部分標示相同代號，並將省略其具體說明。

在圖 1A 至 1D、圖 2A 及 2B、及圖 3A 及 3B 中之半導體裝置之製造方法中，源極電極 104a 及汲極電極 104b 係形成於氧化物半導體層 102 之上並與其接觸；然而，所揭露本發明之一實施例不侷限於此。

例如，如圖 4A 中所描繪，可製造電晶體 210，其中 n^+ 層 124a 及 n^+ 層 124b 係形成於氧化物半導體層 102 之頂面上，且源極電極 104a 及汲極電極 104b 分別形成於 n^+ 層 124a 及 n^+ 層 124b 之上。此處， n^+ 層 124a 及 n^+ 層 124b 用以分別減少氧化物半導體層 102 與源極電極 104a 之間之接觸電阻，及氧化物半導體層 102 與汲極電極 104b 之間之接觸電阻。 n^+ 層 124a 及 n^+ 層 124b 可使用 In-Zn-O 基材料、In-Sn-O 基材料、In-O 基材料、或 Sn-O 基材料予以形成。此外，以上材料可包含 SiO_2 。 n^+ 層 124a 及 n^+ 層 124b 之厚度較佳地各大於或等於 1 nm 及小於或等於 10 nm；在本實施例中，使用各具有 5 nm 厚度之 n^+ 層 124a 及 n^+ 層 124b。

在以上所說明之電晶體 210 之狀況下，接連地形成充當氧化物半導體層之膜及充當 n^+ 層之膜，接著於電晶體 200 之製造程序中同時處理以形成氧化物半導體層 102 及

充當島形 n^+ 層之膜。此外，在形成源極電極 104a 及汲極電極 104b 中，處理充當島形 n^+ 層之膜以形成 n^+ 層 124a 及 n^+ 層 124b。請注意，在源極電極 104a 及汲極電極 104b 形成之後，執行與圖 1A 至 1D、圖 2A 及 2B、及圖 3A 及 3B 中相同步驟，使得可製造電晶體 210。

在圖 4A 之電晶體 210 中， n^+ 層 124a 及 n^+ 層 124b 僅形成於氧化物半導體層 102 之頂面之上；然而，所揭露本發明之一實施例不侷限於此。如圖 4B 中所描繪，可製造電晶體 220 其中 n^+ 層 124a 及 n^+ 層 124b 進一步覆蓋氧化物半導體層 102 之側面。在此狀況下，不同於電晶體 210 之製造方法，在島形氧化物半導體層 102 形成之後，接連地形成充當 n^+ 層之膜及充當源極電極 104a 及汲極電極 104b 之導電膜。接著，該些膜同時被處理為島形以形成源極電極 104a、汲極電極 104b、 n^+ 層 124a、及 n^+ 層 124b。請注意，在源極電極 104a 及汲極電極 104b 形成之後，執行與圖 1A 至 1D、圖 2A 及 2B、及圖 3A 及 3B 中相同步驟，使得可製造電晶體 220。

當 n^+ 層 124a 及 n^+ 層 124b 因而形成於氧化物半導體層 102 與源極及汲極電極層 104a 及 104b 之間時，其間接觸電阻可低於氧化物半導體層 102 與源極電極 104a 之間之接觸電阻，及氧化物半導體層 102 與汲極電極 104b 之間之接觸電阻。藉由形成 n^+ 層 124a 及 n^+ 層 124b，可減少寄生電容，此外，當執行偏壓-溫度壓力試驗（BT 試驗）時，可減少負閘極壓力應用之前與之後之間之開啓狀態電

流中改變量（可抑制離子惡化）。

在圖 1A 至 1D、圖 2A 及 2B、及圖 3A 及 3B 之半導體裝置之製造方法中，形成電晶體 200 使得源極電極 104a 及汲極電極 104b 經形成而接觸氧化物半導體層 102 之部分頂面；然而，所揭露本發明之一實施例不侷限於此。

例如，如圖 5A 中所描繪，可製造電晶體 230 其中氧化物半導體層 102 接觸源極電極 104a 及汲極電極 104b 之部分頂面。在此狀況下，不同於電晶體 200 之製造方法，源極電極 104a 及汲極電極 104b 係形成於具有絕緣表面之基板 100 之上，接著形成氧化物半導體層 102 而接觸源極電極 104a 及汲極電極 104b 之部分頂面。之後，絕緣層 106a 及絕緣層 106b 分別形成於源極電極 104a 及汲極電極 104b 之上。此處，可藉由類似於圖 1A 至 1D、圖 2A 及 2B、及圖 3A 及 3B 中所描繪之方法而形成氧化物半導體層 102、源極電極 104a、汲極電極 104b、絕緣層 106a、及絕緣層 106b。請注意，在絕緣層 106a 及絕緣層 106b 形成之後，執行與圖 1A 至 1D、圖 2A 及 2B、及圖 3A 及 3B 中相同步驟，使得可製造電晶體 230。

此外，如圖 5B 中所描繪，可製造電晶體 240，其與電晶體 230 不同，其中 n^+ 層 124a 及 n^+ 層 124b 係分別配置於源極電極 104a 及汲極電極 104b 以下。在電晶體 240 中， n^+ 層 124a 及 n^+ 層 124b 之側面接觸氧化物半導體層 102；因此，其間接觸電阻可低於氧化物半導體層 102 與

源極電極 104a 之間之接觸電阻及氧化物半導體層 102 與汲極電極 104b 之間之接觸電阻。

此外，將參照圖 6A 至 6C 說明氧化物半導體層 102 之結構及製造方法範例，其與圖 1A 至 1D、圖 2A 及 2B、及圖 3A 及 3B 中所描繪者不同。

首先，於具有絕緣表面之基板 100 之上形成第一氧化物半導體層至 1 nm 或更多及 10 nm 或更低之厚度。請注意，在第一氧化物半導體層形成之前，基底絕緣層較佳地形成於基板 100 之上。基底絕緣層可使用類似於閘極絕緣層 108 之材料及方法予以形成。

在圖 6A 至 6C 中所描繪之半導體裝置的製造方法中，第一氧化物半導體層於氧氣、氬氣、或氬及氧之混合氣體中，於下列狀況下形成至 5 nm 厚度：使用氧化物半導體之靶材（包含 1 : 1 : 2 [摩爾比]比例之 In_2O_3 、 Ga_2O_3 、及 ZnO 的 In-Ga-Zn-O 基氧化物半導體靶材）；基板與靶材之間之距離為 170 mm；基板溫度為 400 °C；壓力為 0.4 Pa；及直流（DC）電力為 0.5 kW。

接著，以設置於氮或乾燥空氣之氣體中之基板執行第一熱處理。第一熱處理係以高於或等於 450 °C 及低於基板之應變點的溫度執行，較佳地為高於或等於 400 °C 及低於或等於 650 °C。經由第一熱處理，形成第一結晶氧化物半導體層 102a（詳圖 6A）。

其次，於第一結晶氧化物半導體層 102a 之上形成至大於 10 nm 厚度之第二氧化物半導體層。

在本實施例中，第二氧化物半導體層於氧氣、氬氣、或氬及氧之混合氣體中，於下列狀況下形成至 25 nm 厚度：使用氧化物半導體之靶材（包含 1：1：2 [摩爾比]比例之 In_2O_3 、 Ga_2O_3 、及 ZnO 的 In-Ga-Zn-O 基氧化物半導體靶材）；基板與靶材之間之距離為 170 mm；基板溫度為 400 °C；壓力為 0.4 Pa；及直流（DC）電力為 0.5 kW。

接著，以設置於氮或乾燥空氣之氣體中之基板執行第二熱處理。第二熱處理係以高於或等於 450 °C 及低於基板之應變點的溫度執行，較佳地為高於或等於 400 °C 及低於或等於 650 °C。經由第二熱處理，形成第二結晶氧化物半導體層 102b（詳圖 6B）。

當以高於 650 °C 之溫度執行第一熱處理及第二熱處理時，氧化物半導體層有可能因玻璃基板之收縮而爆裂（沿厚度方向）。因此，藉由將藉由濺鍍之沉積中第一熱處理及第二熱處理之溫度及基板溫度設定為低於或等於 650 °C 之溫度，可於大型玻璃基板上形成高度可靠電晶體。

藉由類似於圖 1A 至 1D、圖 2A 及 2B、及圖 3A 及 3B 之方法，可使用氧化物半導體層製造電晶體 250，其中如以上說明形成第二結晶氧化物半導體層 102b 堆疊於第一結晶氧化物半導體層 102a 之上（詳圖 6C）。

在圖 6C 之電晶體 250 中，第一結晶氧化物半導體層 102a 及第二結晶氧化物半導體層 102b 具有垂直於藉由至

少局部結晶獲得之晶體層表面的 c 軸校準。因而，電晶體 250 可高度可靠。

此外，在圖 6C 之結構中，電晶體 250 之氧化物半導體的堆疊有利地沿與閘極絕緣層之介面方向排列。若載子沿介面流動，氧化物半導體之堆疊處於類似於浮動狀態之狀態，其中偏壓未直接施加於氧化物半導體之堆疊。因而，甚至當執行光輻照或施加 BT 壓力時，可抑制或減少電晶體特性之退化。

以上所說明之結構、方法等可適當組合。

甚至在如以上說明之電晶體微型化的狀況下，藉由以自動校準方式形成閘極電極 110a，可於氧化物半導體層 102 之上並夾於源極電極 104a 與汲極電極 104b 之間之區域中精確地及容易地形成閘極電極 110a。此外，可減少閘極電極 110a 與源極及汲極電極 104a 及 104b 之間之重疊，此導致抑制閘極電極 110a 與源極及汲極電極 104a 及 104b 之間之寄生電容增加。因而，抑制因小型化之缺點，並可製造如設計之具有所欲電晶體特性之電晶體。

如以上說明，根據所揭露本發明之一實施例，可解決因小型化之問題。結果，可充分減少電晶體之尺寸。當電晶體之尺寸充分減少時，藉由半導體裝置佔據之面積亦減少，此導致從一基板製造之半導體裝置的數量增加。因此，半導體裝置之製造成本可減少。此外，由於半導體裝置尺寸縮小，可體現實質上與習知半導體裝置尺寸相同並具有進一步改進功能之半導體裝置。此外，根據通道長度

減少，可獲得電晶體之高速作業、低電力消耗等效果。因而，根據所揭露本發明之一實施例可達成包括氧化物半導體之電晶體的小型化，並可獲得伴隨小型化之各種效果。

在本實施例中所說明之結構、方法等可與其他實施例中所說明之任一結構、方法等適當組合。

（實施例 2）

在本實施例中，將參照圖 7A 至 7D 說明根據所揭露本發明之另一實施例之半導體裝置之製造方法，其與實施例 1 不同。請注意，在圖 7A 至 7D 中，相應於圖 1A 至 1D、圖 2A 及 2B、及圖 3A 及 3B 之部分標示相同代號，並將省略其具體說明。

圖 7A 至 7D 為截面圖，描繪電晶體 300 之製造步驟，作為根據所揭露本發明之一實施例之半導體裝置之製造方法範例。此處，圖 7D 中電晶體 300 於基板 100 之上包括氧化物半導體層 102、源極電極 104a、汲極電極 104b、絕緣層 106a、絕緣層 106b、閘極絕緣層 108、及閘極電極 120a。此外，包括與閘極電極 120a 相同材料之佈線 120c 係形成於閘極絕緣層 108 之上。

此處，電晶體 300 之通道長度 L 較佳地為大於或等於 10 nm 及小於或等於 200 nm，更佳地為大於或等於 20 nm 及小於或等於 100 nm。因而，使通道長度 L 小以便微型化電晶體，使得可達成電晶體之作業速度增加及電力消耗減少。

配置於閘極絕緣層 108 上之閘極電極 120a 與氧化物半導體層 102 之上並夾於源極電極 104a 與汲極電極 104b 之間之至少部分區域重疊。此外，配置閘極電極 120a 使得其頂面低於閘極絕緣層 108 之最上表面高度。基於該結構，閘極電極 120a 可精確地形成於氧化物半導體層 102 之上並夾於源極電極 104a 與汲極電極 104b 之間之區域中，並可抑制寄生電容增加。因此，電晶體 300 可具有如設計之所欲電晶體特性。

以下將參照圖 7A 至 7D 說明圖 7D 中電晶體 300 之製造程序範例。

首先，藉由類似於圖 1A 中所描繪之半導體裝置之製造方法的方法，而形成氧化物半導體層 102、源極電極 104a、汲極電極 104b、絕緣層 106a、及絕緣層 106b。有關氧化物半導體層 102、源極電極 104a、汲極電極 104b、絕緣層 106a、及絕緣層 106b 之細節可參照以上實施例之說明。

接著，藉由類似於圖 1B 中所描繪之半導體裝置之製造方法的方法，形成閘極絕緣層 108 及於閘極絕緣層 108 之上形成導電層 120（詳圖 7A）。有關閘極絕緣層 108 及導電層 120 之細節可參照以上實施例中閘極絕緣層 108 及導電層 110 之說明。

其次，處理導電層 120 使得與源極電極 104a 或汲極電極 104b 重疊之至少部分閘極絕緣層 108 之區域暴露。因此，以自動校準方式形成與至少夾於源極電極 104a 與

汲極電極 104b 之間之區域重疊之閘極電極 120a (詳圖 7B)。此處，導電層 120b 係於閘極電極 120a 之形成中留下。

藉由諸如 CMP 處理之拋光處理處理導電層 120，藉此可以一致速率從其表面移除與源極電極 104a 或汲極電極 104b 重疊之導電層 120 之區域。當執行移除使得閘極絕緣層 108 之最上表面暴露時（或當閘極絕緣層 108 之最上表面暴露之後，移除小部分閘極絕緣層 108 時），此作業停止。因而，可形成閘極電極 120a 及導電層 120b，使得閘極絕緣層 108 之最上表面暴露。可依據導電層 120 之材料而適當設定 CMP 處理之狀況。

當夾於源極電極 104a 與汲極電極 104b 之間之導電層 120 之區域充分厚時，可以該等方式形成閘極電極 120a，即蝕刻導電層 120 直至閘極絕緣層 108 之最上表面暴露為止。在此狀況下，蝕刻閘極電極 120a 之頂面，因而有時具有凹部。此外，在圖 7B 中，同時蝕刻相應於導電層 120b 之部分；因此，有時未形成導電層 120b。請注意，導電層 120 之蝕刻可採用濕式蝕刻或乾式蝕刻。依據材料而適當設定蝕刻狀況（例如，蝕刻氣體或蝕刻溶液、蝕刻時間、及溫度），使得可蝕刻導電層 120 而具有所欲形狀。尤其，設定蝕刻狀況使得導電層 120 相對於閘極絕緣層 108 之蝕刻選擇性充分高。

其次，形成抗蝕罩 114a 以便覆蓋閘極電極 120a，並於部分導電層 120b 之上形成抗蝕罩 114b (詳圖 7C)。之

後，使用抗蝕罩 114a 及抗蝕罩 114b 處理導電層 120b 以形成佈線 120c（詳圖 7D）。

有關抗蝕罩 114a 及抗蝕罩 114b 之細節，參照以上實施例之說明。

可藉由類似於以上實施例中所說明之佈線 110c 之方法執行蝕刻，而形成佈線 120c。因而，可利用當閘極電極 120a 形成時留下之部分導電層 120b 而形成佈線 120c，使得可減少半導體裝置之成本。

經由以上程序，可製造電晶體 300 其中閘極電極 120a 與氧化物半導體層 102 之上並夾於源極電極 104a 與汲極電極 104b 之間之區域重疊，同時達成其小型化（詳圖 7D）。

請注意，本實施例中所說明之半導體裝置之製造方法可與圖 4A 及 4B、圖 5A 及 5B、及圖 6A 至 6C 中所描繪之任一半導體裝置之製造方法適當組合。

甚至在如以上說明之微型化電晶體的狀況下，藉由以自動校準方式形成閘極電極 120a，閘極電極 120a 可精確地及容易地形成於氧化物半導體層 102 之上並夾於源極電極 104a 與汲極電極 104b 之間之區域中。此外，可避免閘極電極 120a 與源極電極 104a 及汲極電極 104b 重疊，此導致抑制閘極電極 120a 與源極及汲極電極 104a 及 104b 之間之寄生電容增加。因而，抑制因小型化之缺點，並可製造具有如設計之所欲電晶體特性的電晶體。

如以上說明，根據所揭露本發明之一實施例，可解決

因小型化之問題。結果，可充分減少電晶體之尺寸。當充分減少電晶體之尺寸時，藉由半導體裝置佔據之面積亦減少，此導致從一基板製造之半導體裝置的數量增加。因此，半導體裝置之製造成本可減少。此外，由於半導體裝置尺寸縮小，可體現實質上尺寸相同並進一步增加功能之半導體裝置。此外，根據通道長度減少，可獲得電晶體之高速作業、低電力消耗等效果。因而，根據所揭露本發明之一實施例，可達成包括氧化物半導體之電晶體的小型化，並可獲得伴隨小型化之各種效果。

在本實施例中所說明之結構、方法等可與其他實施例中所說明之任一結構、方法等適當組合。

（實施例 3）

在本實施例中，有關藉由在上述實施例中所說明之半導體裝置之製造方法而形成之半導體裝置範例，將說明儲存媒體（記憶體元件）。在本實施例中，於一基板之上形成包括藉由在上述實施例中所說明之半導體裝置之製造方法而製造之氧化物半導體的電晶體，及包括非氧化物半導體之材料的電晶體。

圖 8A 至 8C 描繪半導體裝置之結構範例。圖 8A 描繪半導體裝置之截面，及圖 8B 為半導體裝置之平面圖。此處，圖 8A 相應於沿圖 8B 中 C1-C2 及 D1-D2 之截面。此外，圖 8C 描繪使用半導體裝置作為記憶體元件之電路圖範例。在圖 8A 及 8B 中所描繪之半導體裝置中，包括第

一半導體材料之電晶體 500 係配置於下部，上述實施例中所說明之電晶體 200 係配置於上部。請注意，電晶體 200 包括氧化物半導體作為第二半導體材料。在本實施例中，第一半導體材料為非氧化物半導體之半導體材料。有關非氧化物半導體之半導體材料，可使用例如矽、鍺、矽鍺、碳化矽、砷化鎵等，並較佳地使用單晶半導體。另一方面，可使用有機半導體材料等。包括非氧化物半導體之該半導體材料的電晶體可輕易地以高速操作。另一方面，包括氧化物半導體之電晶體因其特性而可長時間保持電荷。

在本實施例中，說明包括電晶體 200 之儲存媒體之範例；不用說可使用電晶體 210、電晶體 220、電晶體 230、電晶體 240、電晶體 250、電晶體 300 等取代電晶體 200。

圖 8A 至 8C 中電晶體 500 包括配置於包括半導體材料（例如矽）之基板 400 中之通道形成區域 416；經配置使得通道形成區域 416 夾於其間之雜質區域 420；與雜質區域 420 接觸之金屬化合物區域 424；配置於通道形成區域 416 上之閘極絕緣層 408；及配置於閘極絕緣層 408 上之閘極電極 410。

有關包括半導體材料之基板 400，可使用矽、碳化矽等之單晶半導體基板或多晶半導體基板；矽鍺等化合物半導體基板；SOI 基板等。請注意，儘管用詞「SOI 基板」通常表示矽半導體膜配置於絕緣表面上之基板，在本說明書等中用詞「SOI 基板」亦包括包括非矽之材料的半導體

膜配置於絕緣表面上之基板。即，「SOI 基板」中所包括之半導體膜不侷限於矽半導體膜。再者，SOI 基板可為一種基板，其中半導體膜係配置於諸如玻璃基板之絕緣基板之上且絕緣層配置於其間。

元件隔離絕緣層 406 配置於基板 400 之上，以便環繞電晶體 500。絕緣層 428 及絕緣層 430 經配置以便覆蓋電晶體 500。請注意，如圖 8A 及 8B 中所描繪，所欲的是電晶體 500 未配置側壁絕緣層以體現更高整合。另一方面，若電晶體 500 之特性具有優先性，側壁絕緣層可配置於閘極電極 410 之側面，並可配置包括不同雜質濃度之區域的雜質區域 420。

可使用矽、鍺、矽鍺、碳化矽、砷化鎵等製造電晶體 500。電晶體 500 可以高速操作。因而，當電晶體用作讀取電晶體時，可以高速讀取資料。

在電晶體 500 形成之後，對於形成電晶體 200 及電容器 520 前之處理，絕緣層 428 及絕緣層 430 歷經 CMP 處理，使得閘極電極 410 之頂面暴露。儘管，可採用非 CMP 處理之蝕刻處理等作為暴露閘極電極 410 之頂面的處理，較佳地盡可能平坦化絕緣層 428 及絕緣層 430 之表面，以改進電晶體 200 之特性。

如上述實施例中所說明，電晶體 200 包括氧化物半導體層 102、源極電極 104a、汲極電極 104b、絕緣層 106a、絕緣層 106b、閘極絕緣層 108、及閘極電極 110a。有關細節，可參照實施例 1 中說明。以電晶體 200 為代表

之上部中電晶體，可藉由實施例 1 或 2 中所說明之方法製造。

此處，源極電極 104a 經配置而接觸閘極電極 410；因而，電晶體 500 之閘極電極 410 及電晶體 200 之源極電極 104a 彼此連接。

此外，上述實施例中所說明之佈線 110c 係配置於源極電極 104a 之上，且閘極絕緣層 108 配置於其間，藉此可形成電容器 520。若不需電容器，可採用無電容器 520 之結構。

接著，絕緣層 151 及絕緣層 152 係形成於閘極絕緣層 108、閘極電極 110a、及佈線 110c 之上。可藉由濺鍍法、CVD 法等形成絕緣層 151 及絕緣層 152。絕緣層 151 及絕緣層 152 可使用包括無機絕緣材料之材料予以形成，諸如氧化矽、氧氮化矽、氮化矽、氧化鉛、氧化鋁、或氧化鎵。

佈線 156 係形成於絕緣層 152 之上。佈線 156 經由絕緣層 106b、閘極絕緣層 108、絕緣層 151、及絕緣層 152 中所形成之開口中所形成之電極 154，而電連接至汲極電極 104b。

電極 154 可以該等方式形成，例如導電膜係藉由 PVD 法、CVD 法等形成於包括開口之區域中，接著藉由蝕刻、CMP 等移除部分導電膜。

佈線 156 可以該等方式形成，例如導電膜係藉由諸如濺鍍法之 PVD 法或諸如電漿 CVD 法之 CVD 法予以形

成，並接著定形。佈線 156 可使用類似於源極電極 104a 及汲極電極 104b 之材料及方法予以形成。

圖 8C 描繪使用半導體裝置作為記憶體元件之電路圖範例。在圖 8C 中，電晶體 200 之源極電極及汲極電極之一、電容器 520 之一電極、及電晶體 500 之閘極電極彼此電連接。第一佈線（第一線，亦稱為源極線）電連接至電晶體 500 之源極電極。第二佈線（第二線，亦稱為位元線）電連接至電晶體 500 之汲極電極。第三佈線（第三線，亦稱為第一信號線）電連接至電晶體 200 之源極電極及汲極電極之另一者。第四佈線（第四線，亦稱為第二信號線）電連接至電晶體 200 之閘極電極。第五佈線（第五線，亦稱為字線）電連接至電容器 520 之另一電極。

包括氧化物半導體之電晶體 200 具有極低關閉狀態電流；因此，當電晶體 200 關閉時，電晶體 200 之源極電極及汲極電極之一、電容器 520 之一電極、及電晶體 500 之閘極電極彼此電連接之節點（以下稱為節點 FG）的電位可極長時間保持。配置電容器 520 有助於保持提供至節點 FG 之電荷，及讀取儲存之資料。

當資料儲存於半導體裝置中時（寫入），首先第四佈線之電位設定為電晶體 200 開啓之電位，藉此電晶體 200 開啓。因而，第三佈線之電位供應至節點 FG，且預定電荷量累積於節點 FG 中。此處，用於供應二不同電位位準之電荷（以下稱為低位準電荷及高位準電荷）提供至節點 FG。之後，第四佈線之電位設定為電晶體 200 關閉之電

位，藉此電晶體 200 關閉。因而，節點 FG 成為浮動狀態，且預定電荷量保持在節點 FG 中。因而累積預定電荷量並保持於節點 FG 中，藉此記憶格可儲存資料。

由於電晶體 200 之關閉狀態電流極小，供應至節點 FG 之電荷長時間保持。因此，因為更新作業變成不需要或更新作業之頻率極低，電力消耗可顯著減少。再者，甚至當電力未供應時，儲存之資料可長時間儲存。

當（讀取資料中）讀出儲存之資料時，雖然預定電位（固定電位）供應至第一佈線，適當電位（讀出電位）供應至第五佈線，藉此依據節點 FG 中保持之電荷量，電晶體 500 改變其狀態。這是因為通常當電晶體 500 為 n 通道電晶體時，在高位準電荷保持於節點 FG 中之狀況下電晶體 500 之明顯臨限電壓 V_{th_H} ，低於在低位準電荷保持於節點 FG 中之狀況下電晶體 500 之明顯臨限電壓 V_{th_L} 。此處，明顯臨限電壓係指第五佈線之電位，其需要開啓電晶體 500。因而，藉由將第五佈線之電位設定為介於 V_{th_H} 與 V_{th_L} 之間之電位 V_0 ，可決定保持於節點 FG 中之電荷。例如，若寫入中施加高位準電荷，當第五佈線之電位設定為 $V_0 (>V_{th_H})$ 時，電晶體 500 開啓。若寫入中提供低位準電荷，甚至當第五佈線之電位設定為 $V_0 (<V_{th_L})$ 時，電晶體 500 保持關閉狀態。以該等方式，藉由控制第五佈線之電位並決定電晶體 500 為開啓或關閉（讀出第二佈線之電位），可讀出儲存之資料。

此外，為重寫儲存之資料，新電位供應至節點 FG，

其保持於上述寫入中提供之預定電荷量，使得新資料之電荷保持於節點 FG 中。具體地，第四佈線之電位設定為電晶體 200 開啓之電位，藉此電晶體 200 開啓。因而，第三佈線之電位（新資料之電位）供應至節點 FG，且預定電荷量累積於節點 FG 中。之後，第四佈線之電位設定為電晶體 200 關閉之電位，藉此電晶體 200 關閉。因而，新資料之電荷保持於節點 FG 中。換言之，當於第一寫入中提供之預定電荷量保持於節點 FG 中時，執行與第一寫入中相同作業（第二寫入），藉此可覆寫儲存之資料。

藉由使用業高度純化為本質之氧化物半導體層 102，本實施例中所說明之電晶體 200 的關閉狀態電流可充分減少。此外，氧化物半導體層 102 包含過度氧，藉此抑制電晶體 200 之電特性變化，使得電晶體可電性穩定。此外，使用該等電晶體，可獲得高度可靠半導體裝置，可保持儲存之資料達極長時間。

再者，藉由以自動校準方式形成閘極電極 110a，閘極電極 110a 可精確地及容易地形成於氧化物半導體層 102 之上並夾於源極電極 104a 與汲極電極 104b 之間之區域中。此外，可避免閘極電極 110a 與源極電極 104a 及汲極電極 104b 重疊，此導致抑制閘極電極 110a 與源極及汲極電極 104a 及 104b 之間之寄生電容增加。因而，抑制因小型化之缺點，並可製造具有如設計之所欲電晶體特性之電晶體。

如以上說明，在本實施例中所說明之半導體裝置的狀

況下，可解決伴隨小型化之問題。因此，電晶體之尺寸可充分減少，因而半導體裝置之整合程度可充分高。

在本實施例中所說明之半導體裝置中，電晶體 500 及電晶體 200 彼此重疊；因此，半導體裝置之整合程度可充分高。

在本實施例中所說明之結構、方法等可與其他實施例中所說明之任一結構、方法等適當組合。

（實施例 4）

在本實施例中，將參照圖 9A 及 9B 說明根據所揭露本發明之一實施例之半導體裝置之應用範例。

圖 9A 及 9B 為各包括圖 8A 至 8C 中所描繪之複數半導體裝置（以下亦稱為記憶格 550）之半導體裝置電路圖。圖 9A 為記憶格 550 串聯連接之所謂 NAND 半導體裝置之電路圖，及圖 9B 為記憶格 550 並聯連接之所謂 NOR 半導體裝置之電路圖。

圖 9A 中半導體裝置包括源極線 SL、位元線 BL、第一信號線 S1、複數第二信號線 S2、複數字線 WL、及複數記憶格 550。在圖 9A 中，一源極線 SL 及一位元線 BL 配置於半導體裝置中；然而，所揭露本發明之實施例不侷限於此。可配置複數源極線 SL 及複數位元線 BL。

在每一記憶格 550 中，電晶體 500 之閘極電極、電晶體 200 之源極電極及汲極電極之一、及電容器 520 之一電極彼此電連接。第一信號線 S1 及電晶體 200 之源極電極

及汲極電極之另一者彼此電連接，且第二信號線 S2 及電晶體 200 之閘極電極彼此電連接。字線 WL 及電容器 520 之另一電極彼此電連接。

此外，記憶格 550 中所包括之電晶體 500 之源極電極電連接至鄰近記憶格 550 中電晶體 500 之汲極電極。記憶格 550 中所包括之電晶體 500 之汲極電極電連接至鄰近記憶格 550 中電晶體 500 之源極電極。請注意，串聯連接之複數記憶格之記憶格 550 中所包括之電晶體 500 之汲極電極係配置於一端，並電連接至位元線 BL。串聯連接之複數記憶格之記憶格 550 中所包括之電晶體 500 之源極電極係配置於另一端，並電連接至源極線 SL。

在圖 9A 之半導體裝置中，於每一列中執行寫入作業及讀取作業。寫入作業執行如下。電晶體 200 開啓之電位供應至執行寫入之列之第二信號線 S2，使得執行寫入之列之電晶體 200 開啓。因此，第一信號線 S1 之電位供應至特定列之電晶體 500 之閘極電極，使得預定電荷提供至閘極電極。因而，資料可寫入至特定列之記憶格。

此外，讀取作業執行如下。首先，無關乎提供至閘極電極之電荷，電晶體 500 開啓之電位供應至非執行讀取之列的列之字線 WL，使得非執行讀取之列的列之電晶體 500 開啓。接著，依據電晶體 500 之閘極電極中電荷供應至執行讀取之列之字線 WL，而決定電晶體 500 開啓狀態或關閉狀態之電位（讀取電位）。之後，恆定電位供應至源極線 SL，使得連接至位元線 BL 之讀取電路（未描繪）

操作。此處，除了執行讀取之列之電晶體 500 外，源極線 SL 與位元線 BL 之間之複數電晶體 500 開啓；因此，藉由執行讀取之列之電晶體 500 的狀態（開啓狀態或關閉狀態），決定源極線 SL 及位元線 BL 之間之電導。執行讀取之電晶體 500 之電導取決於其閘極電極中電荷。因而，位元線 BL 之電位因此改變。藉由以讀取電路讀取位元線 BL 之電位，可從特定列之記憶格讀取資料。

圖 9B 中半導體裝置包括複數源極線 SL、複數位元線 BL、複數第一信號線 S1、複數第二信號線 S2、複數字線 WL、及複數記憶格 550。電晶體 500 之閘極電極、電晶體 200 之源極電極及汲極電極之一、及電容器 520 之一電極彼此電連接。電晶體 500 之源極線 SL 及源極電極彼此電連接。電晶體 500 之位元線 BL 及汲極電極彼此電連接。第一信號線 S1 及電晶體 200 之源極電極及汲極電極之另一者彼此電連接，及第二信號線 S2 及電晶體 200 之閘極電極彼此電連接。字線 WL 及電容器 520 之另一電極彼此電連接。

在圖 9B 之半導體裝置中，於每一列中執行寫入作業及讀取作業。寫入作業係以類似於圖 9A 中半導體裝置之方式執行。讀取作業執行如下。首先，無關乎提供至閘極電極之電荷，電晶體 500 關閉之電位供應至非執行讀取之列的列之字線 WL，使得非執行讀取之列的列之電晶體 500 關閉。接著，依據閘極電極中電荷供應至執行讀取之列之字線 WL，而決定電晶體 500 開啓狀態或關閉狀態之

電位（讀取電位）。之後，恆定電位供應至源極線 SL，使得連接至位元線 BL 之讀取電路（未描繪）操作。此處，藉由執行讀取之列之電晶體 500 的狀態（開啓狀態或關閉狀態），決定源極線 SL 及位元線 BL 之間之電導。即，位元線 BL 之電位取決於執行讀取之列之電晶體 500 之閘極電極中電荷。藉由以讀取電路讀取位元線 BL 之電位，可從特定列之記憶格讀取資料。

儘管在上述說明中可儲存於每一記憶格 550 中之資料量為一位元，本實施例之儲存裝置的結構不侷限於此。藉由準備三或更多電位供應至電晶體 500 之閘極電極，可增加儲存於每一記憶格 550 中之資料量。例如，若供應至電晶體 500 之閘極電極之電位數量為四，二位元資料可儲存於每一記憶格中。

在本實施例中所說明之結構、方法等可與其他實施例中所說明之任一結構、方法等適當組合。

（實施例 5）

在本實施例中，將參照圖 10A 至 10F 說明在上述實施例中所說明之任一半導體裝置應用至電子裝置。在本實施例中，將說明上述實施例中所說明之半導體裝置應用至電子裝置之狀況，諸如電腦、行動電話手機（亦稱為行動電話或行動電話裝置）、可攜式資訊終端機（包括可攜式遊戲機、音頻播放器等）、諸如數位相機或數位錄影機之攝像機、電子紙、或電視裝置（亦稱為電視或電視接收

器)。

圖 10A 描繪膝上型個人電腦，其包括外殼 601、外殼 602、顯示部 603、鍵盤 604 等。以上任一實施例中所說明之微型化半導體裝置係配置於外殼 601 及外殼 602 中。因此，膝上型個人電腦可具有小型、高速作業、及低電力消耗之特性。

圖 10B 描繪個人數位助理 (PDA)，其包括配置顯示部 613 之主體 611、外部介面 615、操作按鈕 614 等。此外，配置用於個人數位助理之作業的觸控筆 612 等。以上任一實施例中所說明之微型化半導體裝置係配置於主體 611。因此，個人數位助理可具有小型、高速作業、及低電力消耗之特性。

圖 10C 描繪電子書閱讀器 620，其包括電子紙。電子書閱讀器 620 包括二外殼，外殼 621 及外殼 623。外殼 621 及外殼 623 分別配置顯示部 625 及顯示部 627。外殼 621 藉由鉸鏈 637 而與外殼 623 組合，使得電子書閱讀器 620 可使用鉸鏈 637 為軸而開啓及關閉。外殼 621 配置電力按鈕 631、操作鍵 633、揚聲器 635 等。外殼 621 及外殼 623 之至少之一配置以上任一實施例中所說明之微型化半導體裝置。因此，電子書閱讀器可具有小型、高速作業、及低電力消耗之特性。

圖 10D 描繪行動電話手機，其包括二外殼，外殼 640 及外殼 641。此外，外殼 640 及 641 如圖 10D 中所描繪之展開可藉由滑動而彼此重疊；因而，行動電話手機之尺寸

可減少，此使行動電話手機適於攜帶。外殼 641 包括顯示面板 642、揚聲器 643、麥克風 644、指向裝置 646、相機鏡頭 647、外部連接端子 648 等。外殼 640 包括太陽能電池 649 以充電行動電話手機、外部記憶體槽 650 等。顯示面板 642 具有觸控螢幕功能。以影像顯示之複數操作鍵 645 係藉由圖 10D 中虛線表示。此外，天線併入外殼 641。外殼 640 及外殼 641 之至少之一配置以上任一實施例中所說明之微型化半導體裝置。因此，行動電話手機可具有小型、高速作業、及低電力消耗之特性。

圖 10E 描繪數位相機，其包括主體 661、顯示部 667、目鏡部 663、作業開關 664、顯示部 665、電池 666 等。以上任一實施例中所說明之微型化半導體裝置係配置於主體 661。因此，數位相機可具有小型、高速作業、及低電力消耗之特性。

圖 10F 描繪電視機 670，其包括外殼 671、顯示部 673、支架 675 等。電視機 670 可以外殼 671 之作業開關或遙控器 680 操作。以上任一實施例中所說明之微型化半導體裝置係配置於外殼 671 及遙控器 680。因此，電視裝置可具有小型、高速作業、及低電力消耗之特性。

因而，根據以上實施例之任一半導體裝置配置於本實施例中所說明之電子裝置中。因此，電子裝置可具有小型、高速作業、及低電力消耗之特性。

本申請案係依據 2010 年 7 月 30 日向日本專利處提出申請之序號 2010-171597 日本專利申請案，其整個內容係

以提及方式併入本文。

【符號說明】

100：基板

102：氧化物半導體層

102a：第一結晶氧化物半導體層

102b：第二結晶氧化物半導體層

104a：源極電極

104b：汲極電極

106a：絕緣層

106b：絕緣層

108：閘極絕緣層

110：導電層

110a：閘極電極

110b：導電層

110c：佈線

112：絕緣膜

112a：絕緣膜

114a：抗蝕罩

114b：抗蝕罩

116：絕緣膜

116a：絕緣膜

120：導電層

120a：閘極電極

120b：導電層
 120c：佈線
 151：絕緣層
 152：絕緣層
 154：電極
 156：佈線
 200：電晶體
 210：電晶體
 220：電晶體
 230：電晶體
 240：電晶體
 250：電晶體
 300：電晶體
 400：基板
 406：元件隔離絕緣層
 408：閘極絕緣層
 410：閘極電極
 416：通道形成區域
 420：雜質區域
 424：金屬化合物區域
 428：絕緣層
 430：絕緣層
 500：電晶體
 510：電晶體

520：電 容 器
550：記 憶 格
601：外 殼
602：外 殼
603：顯 示 部
604：鍵 盤
611：主 體
612：觸 控 筆
613：顯 示 部
614：操 作 按 鈕
615：外 部 介 面
620：電 子 書 閱 讀 器
621：外 殼
623：外 殼
625：顯 示 部
627：顯 示 部
631：電 力 按 鈕
633：操 作 鍵
635：揚 聲 器
637：鉸 鏈
640：外 殼
641：外 殼
642：顯 示 面 板
643：揚 聲 器

- 644 : 麥克風
- 645 : 操作鍵
- 646 : 指向裝置
- 647 : 相機鏡頭
- 648 : 外部連接端子
- 649 : 太陽能電池
- 650 : 外部記憶體槽
- 661 : 主體
- 663 : 目鏡部
- 664 : 作業開關
- 665 : 顯示部
- 666 : 電池
- 667 : 顯示部
- 670 : 電視機
- 671 : 外殼
- 673 : 顯示部
- 675 : 支架
- 680 : 遙控器

申請專利範圍

1.一種半導體裝置之製造方法，包含以下步驟：

於表面上形成氧化物半導體層；

在該氧化物半導體層之上形成源極電極及第一絕緣層；

在該氧化物半導體層之上形成汲極電極及第二絕緣層；

於該氧化物半導體層、該源極電極、該汲極電極、該第一絕緣層、及該第二絕緣層之上形成閘極絕緣層；

於該閘極絕緣層之上形成導電層，使得該導電層與夾於該源極電極與該汲極電極之間之區域之至少一部分重疊；

形成絕緣膜，使得該絕緣膜覆蓋該導電層；

處理該絕緣膜，使得與該源極電極及該汲極電極重疊之該導電層之區域之至少一些部分暴露；以及

蝕刻該導電層之該暴露之區域，藉此形成與夾於該源極電極與該汲極電極之間之區域之至少該部分重疊之閘極電極，

其中，該源極電極接觸該氧化物半導體層，

其中，該汲極電極接觸該氧化物半導體層，

其中，該第一絕緣層形成於該源極電極之上，以及

其中，該第二絕緣層形成於該汲極電極之上。

2.如申請專利範圍第 1 項之半導體裝置之製造方法，

其中，該源極電極及該汲極電極之每一者經形成而具

有錐形部，

其中，該閘極電極經形成而於該閘極絕緣層之最上表面以下具有反向錐形部，以及

其中，僅該閘極絕緣層之最上表面以下之該閘極電極之該反向錐形部之一部分與該源極電極及該汲極電極之一之該錐形部之一部分重疊。

3.如申請專利範圍第 2 項之半導體裝置之製造方法，

其中，該閘極電極經形成而於該閘極絕緣層之該最上表面之上具有錐形部，以及

其中，僅該閘極絕緣層之該最上表面上之該閘極電極之該錐形部之一部分與該源極電極及該汲極電極之一之該錐形部之該部分重疊。

4.一種半導體裝置之製造方法，包含以下步驟：

於表面上形成氧化物半導體層；

在該氧化物半導體層之上形成源極電極及第一絕緣層；

在該氧化物半導體層之上形成汲極電極及第二絕緣層；

於該氧化物半導體層、該源極電極、該汲極電極、該第一絕緣層、及該第二絕緣層之上形成閘極絕緣層；

於該閘極絕緣層之上形成導電層，使得該導電層與夾於該源極電極與該汲極電極之間之區域之至少一部分重疊；

處理該導電層，使得與該源極電極及該汲極電極重疊

之該閘極絕緣層之區域之至少一些部分暴露，藉此形成與夾於該源極電極與該汲極電極之間之區域之至少該部分重疊之閘極電極，

其中，該源極電極接觸該氧化物半導體層，

其中，該汲極電極接觸該氧化物半導體層，

其中，該第一絕緣層形成於該源極電極之上，以及

其中，該第二絕緣層形成於該汲極電極之上。

5.如申請專利範圍第 4 項之半導體裝置之製造方法，

其中，該源極電極及該汲極電極之每一者經形成而具有錐形部，

其中，該閘極電極經形成而於該閘極絕緣層之最上表面以下具有反向錐形部，以及

其中，僅該閘極絕緣層之最上表面以下之該閘極電極之該反向錐形部之一部分與該源極電極及該汲極電極之一之該錐形部之一部分重疊。

6.如申請專利範圍第 1 或 4 項之半導體裝置之製造方法，其中，於該閘極絕緣層之該最上表面之上的該閘極電極之一部分未與該源極電極及該汲極電極重疊。

7.如申請專利範圍第 4 項之半導體裝置之製造方法，其中，該閘極電極之頂面處於低於該閘極絕緣層之最上表面高度之高度。

8.如申請專利範圍第 1 或 4 項之半導體裝置之製造方法，

其中，該源極電極接觸該氧化物半導體層之頂面之至

少一部分，以及

其中，該汲極電極接觸該氧化物半導體層之該頂面之至少一部分。

9.如申請專利範圍第 1 或 4 項之半導體裝置之製造方法，其中，該氧化物半導體層接觸該源極電極之頂面之至少一部分及該汲極電極之頂面之至少一部分。

10.如申請專利範圍第 1 或 4 項之半導體裝置之製造方法，其中，該蝕刻步驟中留下之該導電層之一部分經處理而形成佈線。

11.如申請專利範圍第 1 或 4 項之半導體裝置之製造方法，其中，該源極電極及該汲極電極之邊緣之間之距離為大於或等於 10 nm 及小於或等於 200 nm。

圖式

圖 1A

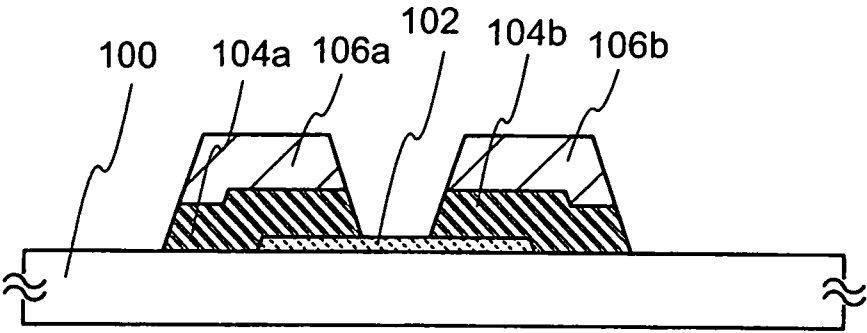


圖 1B

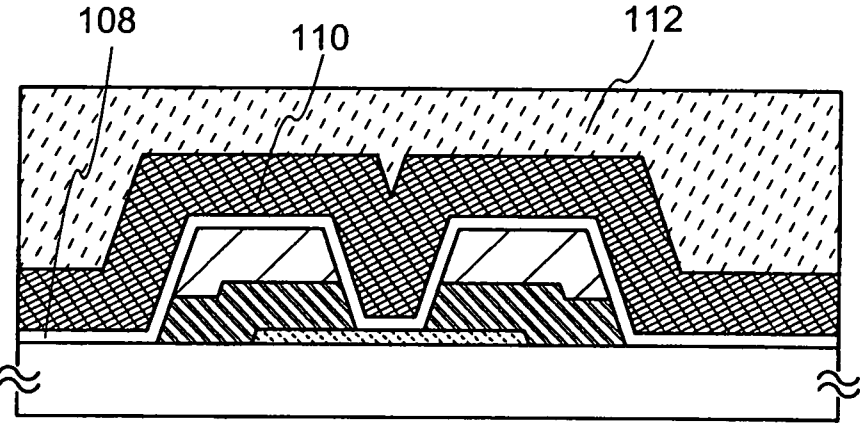


圖 1C

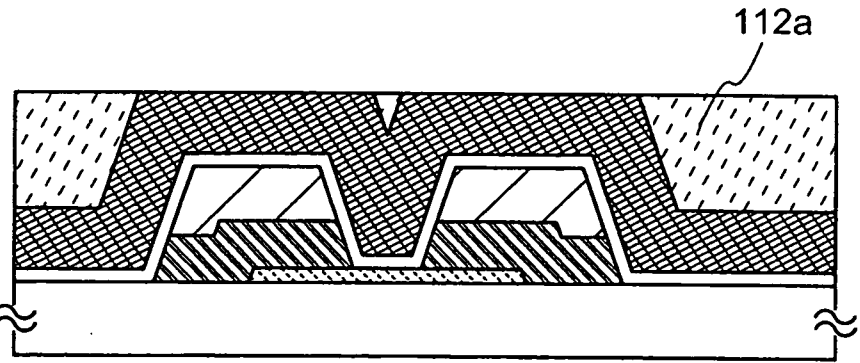


圖 1D

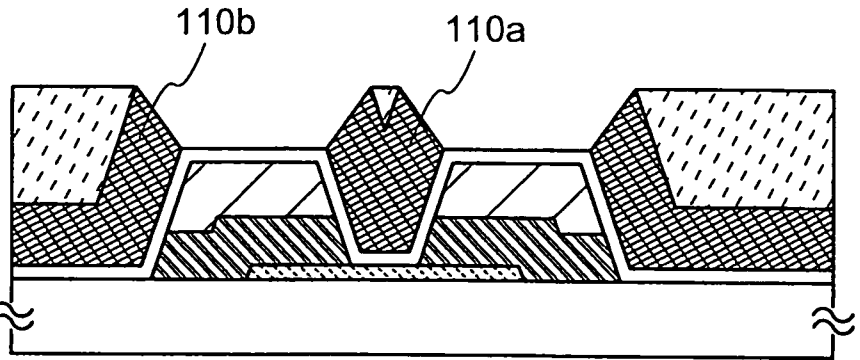


圖 2A

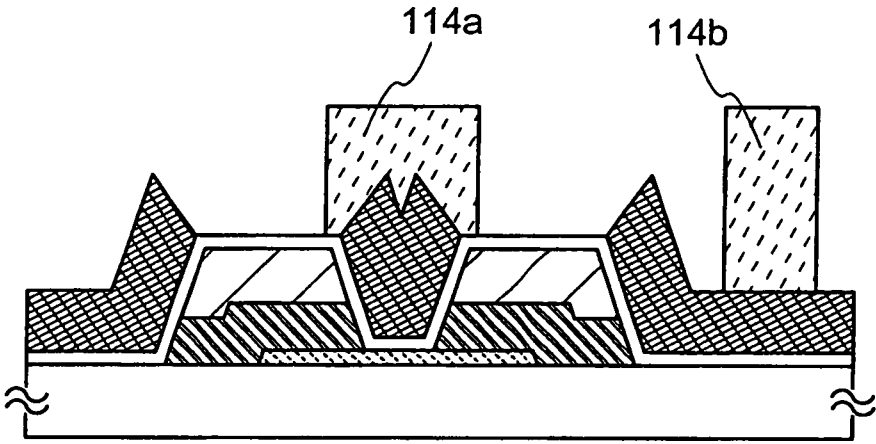


圖 2B

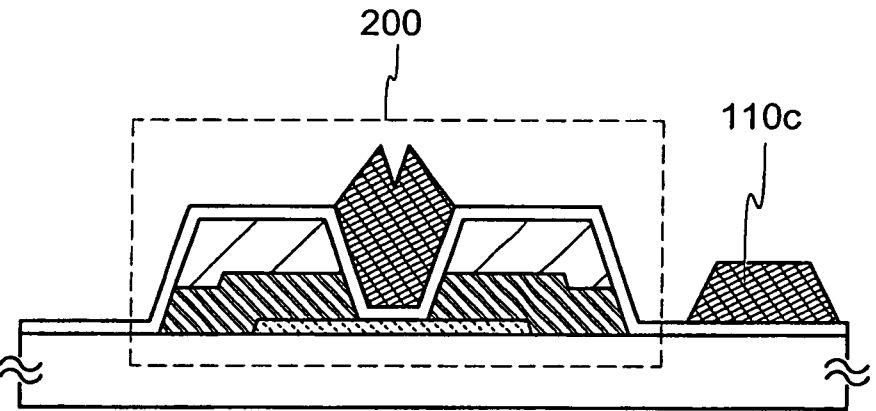


圖 3A

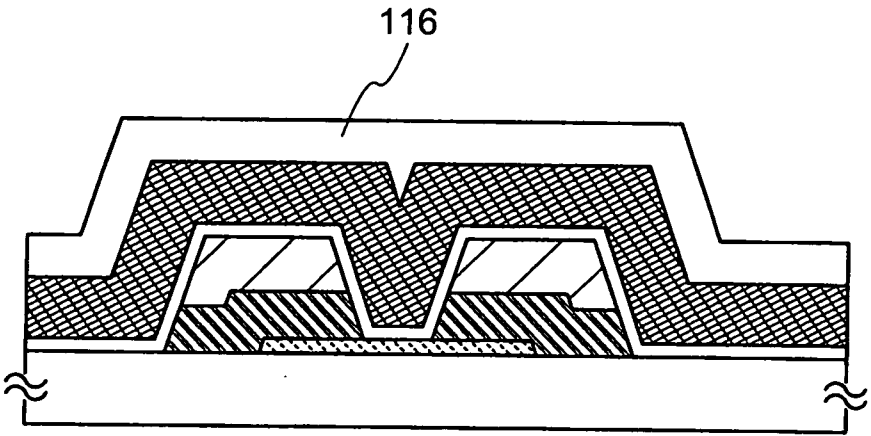


圖 3B

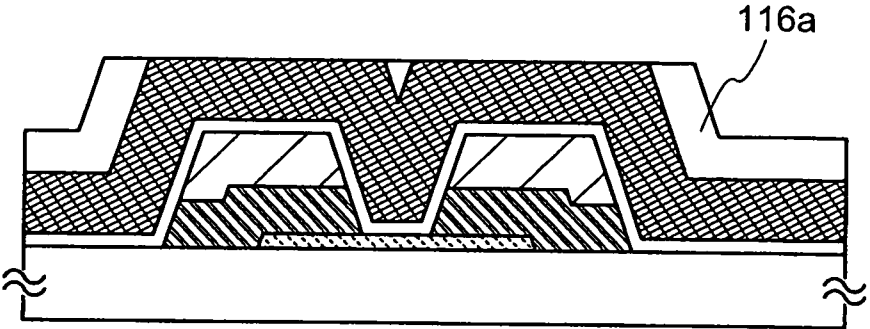


圖 4A

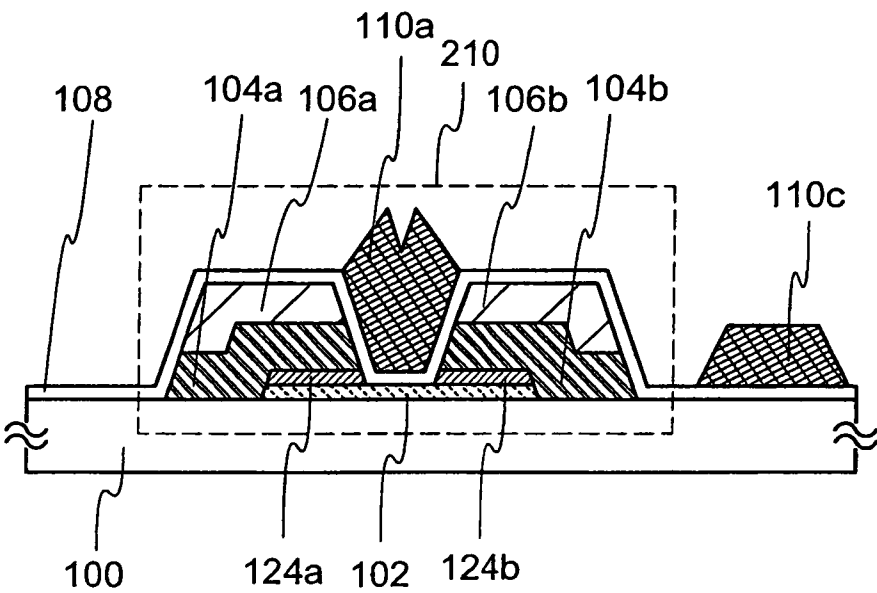


圖 4B

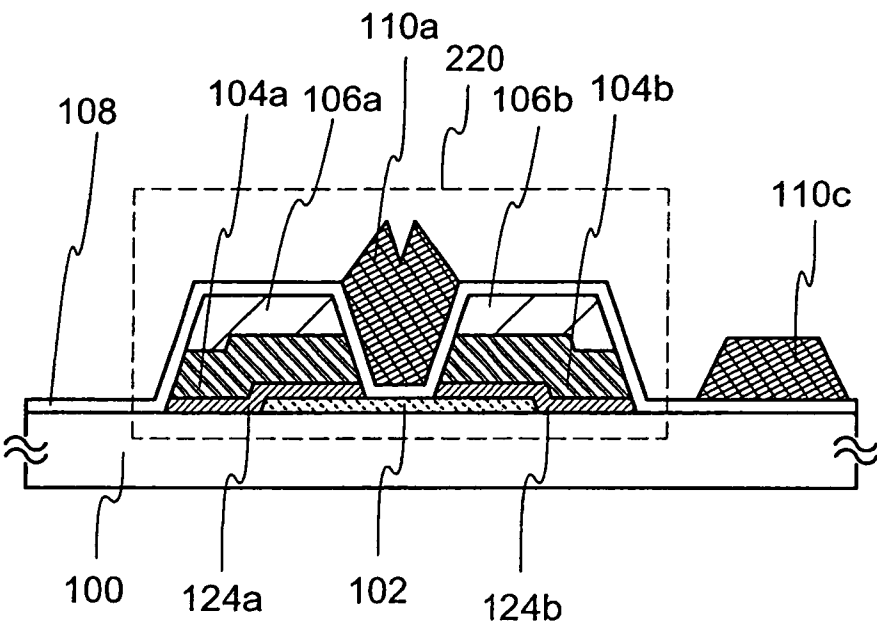


圖 5A

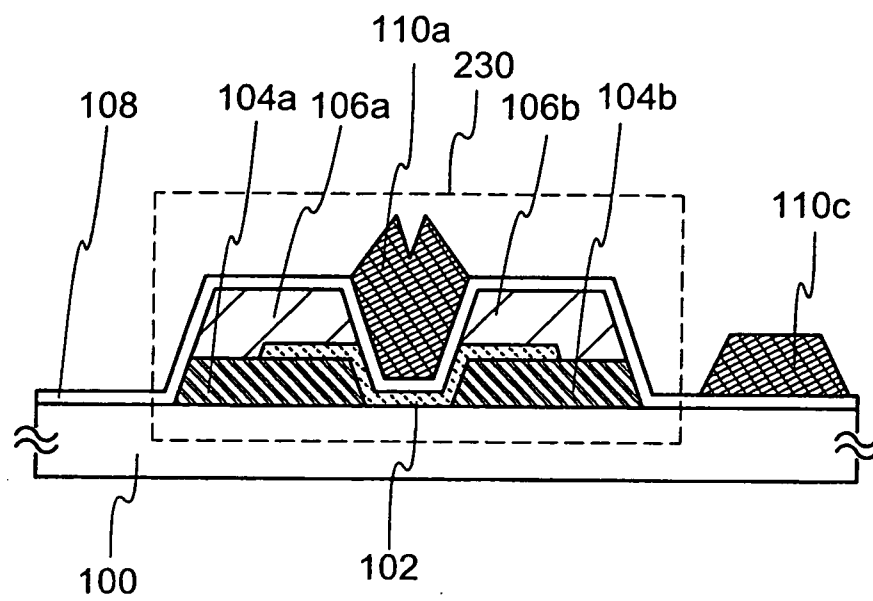


圖 5B

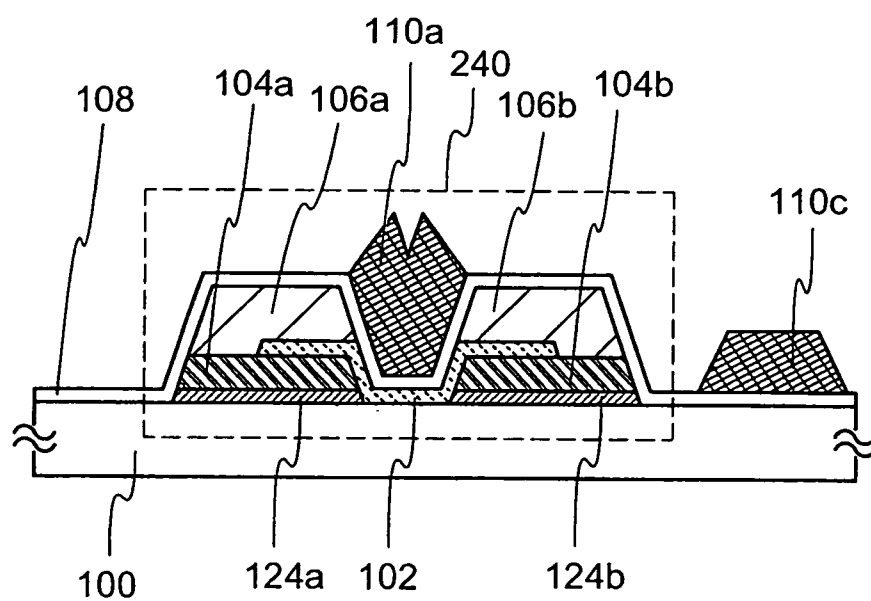


圖 6A

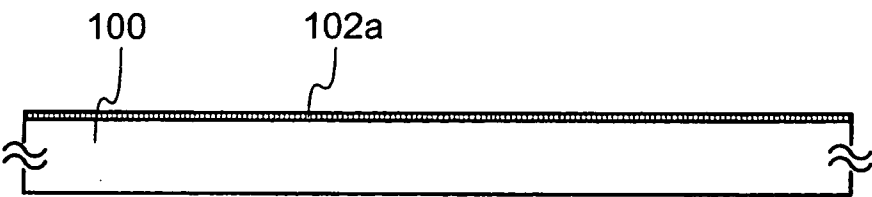


圖 6B

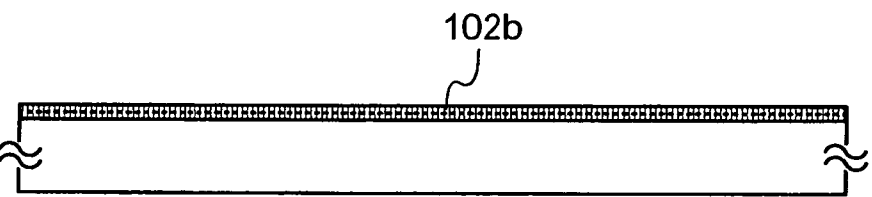


圖 6C

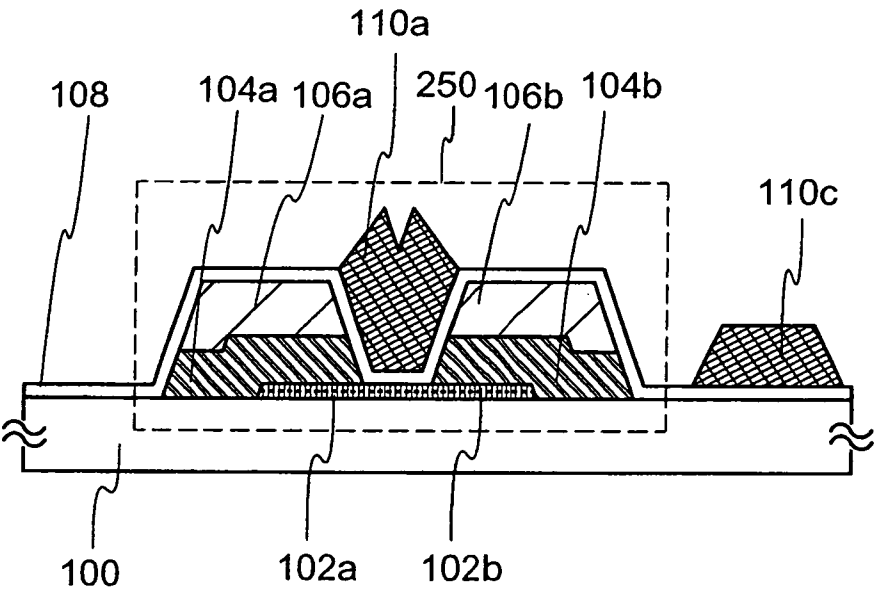


圖 7A

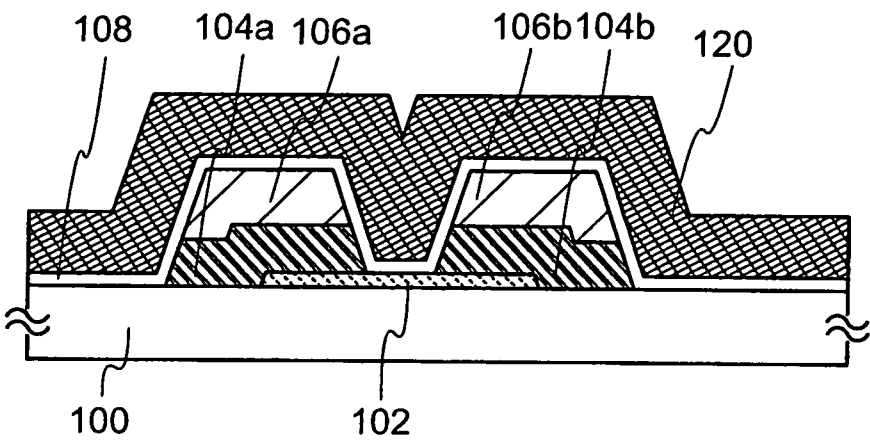


圖 7B

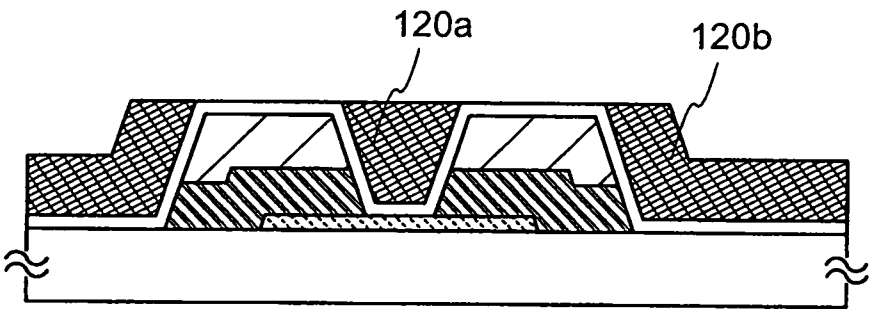


圖 7C

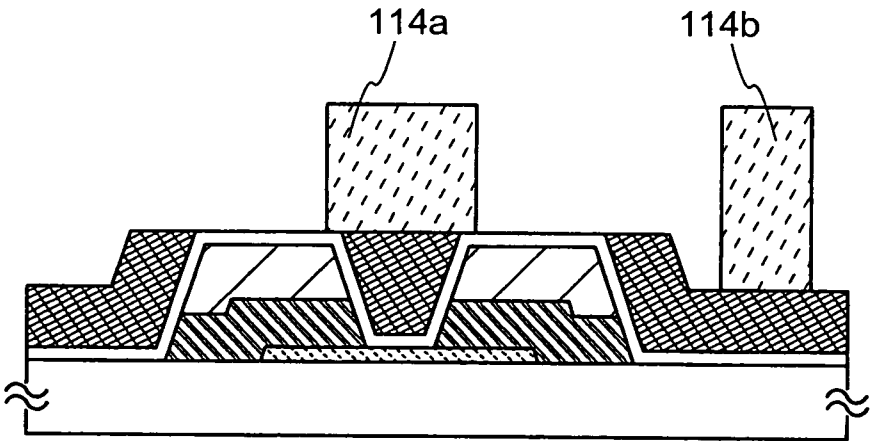


圖 7D

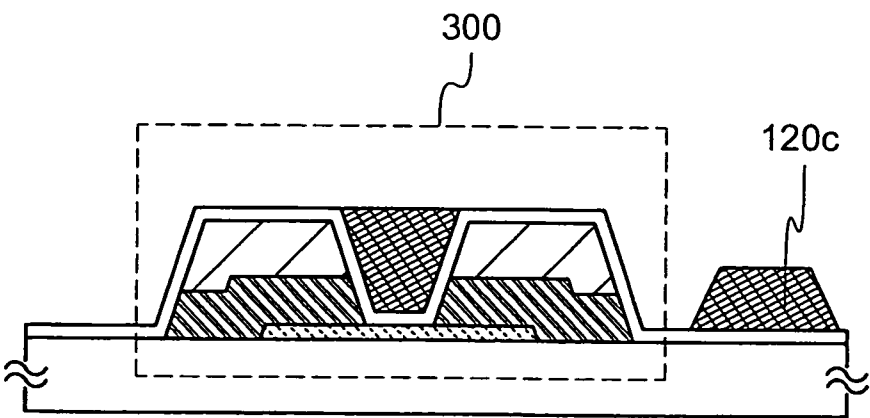


圖 8A

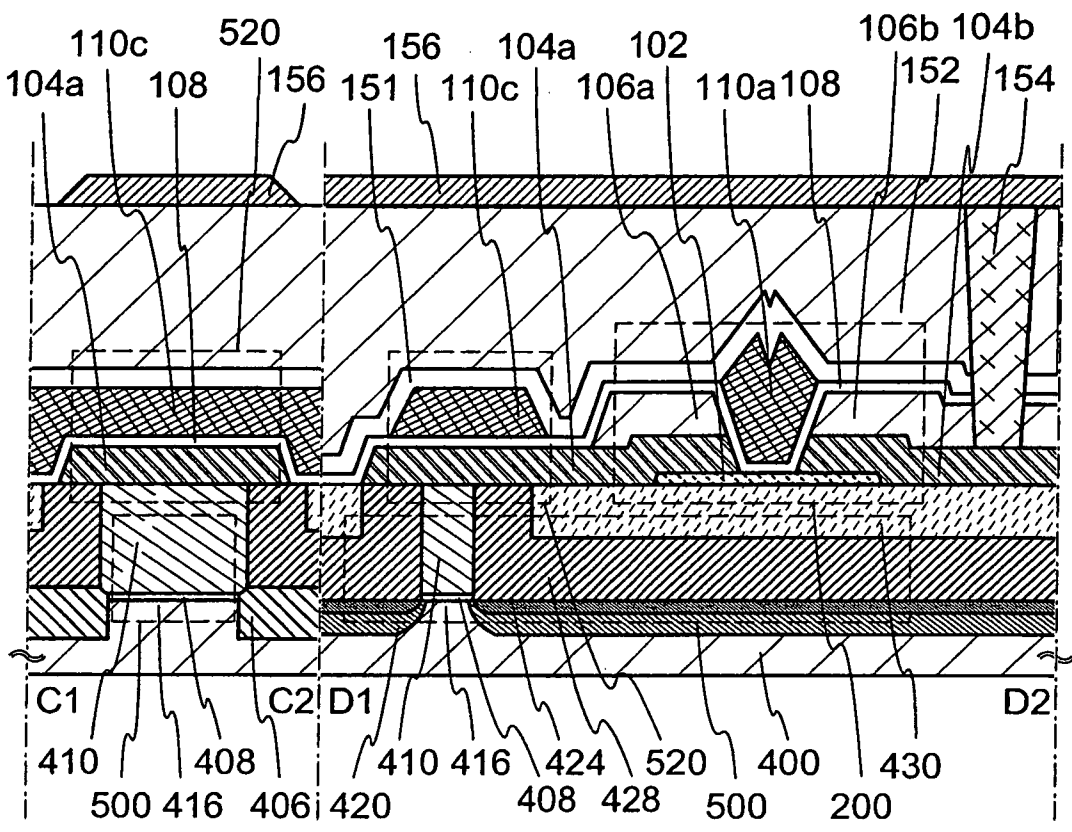


圖 8B

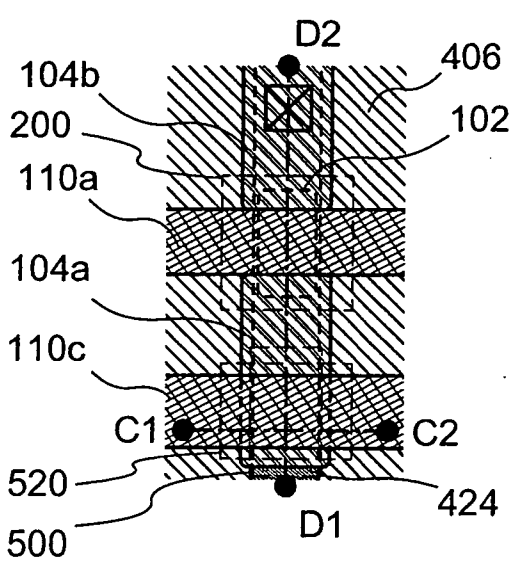


圖 8C

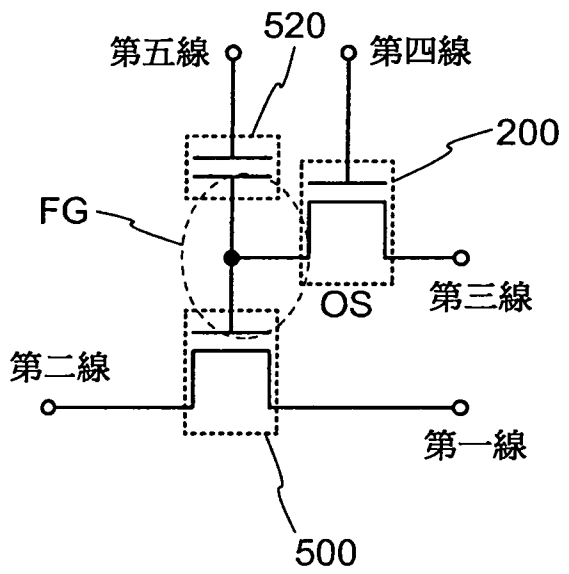


圖 9A

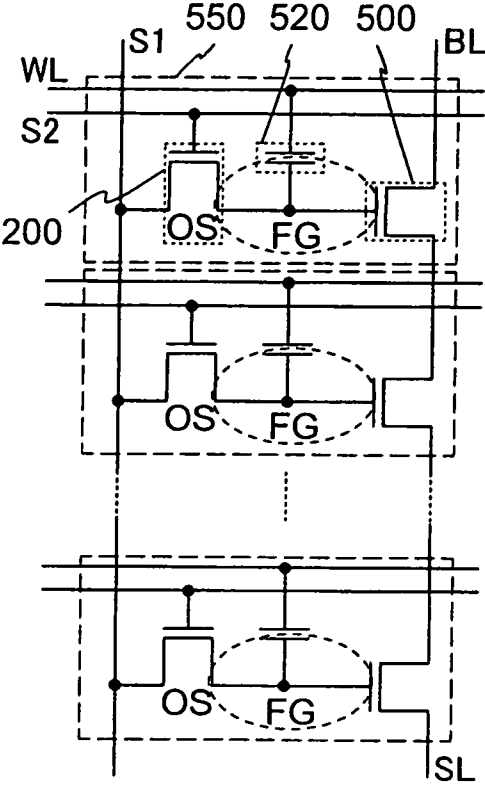


圖 9B

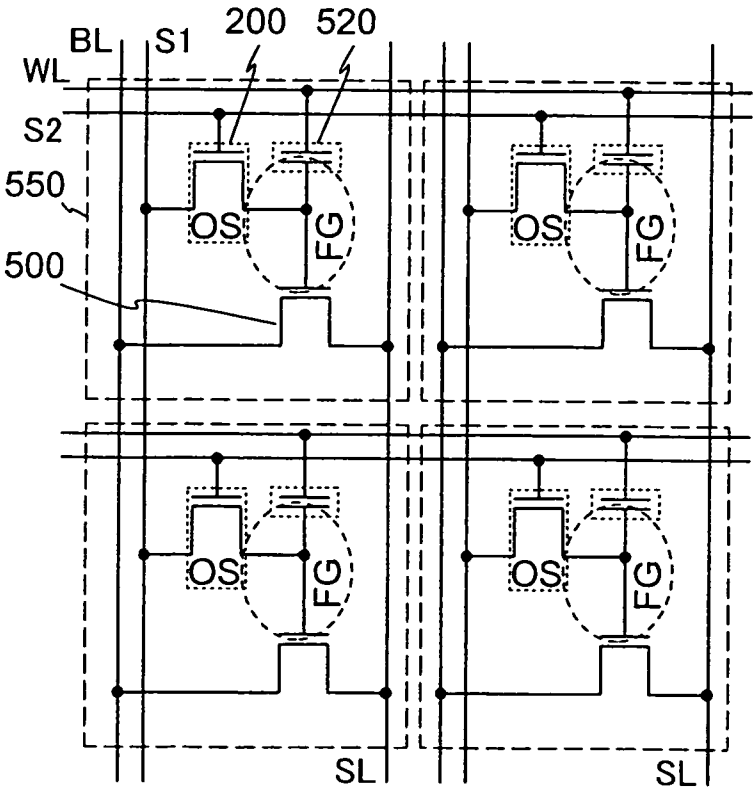


圖 10A

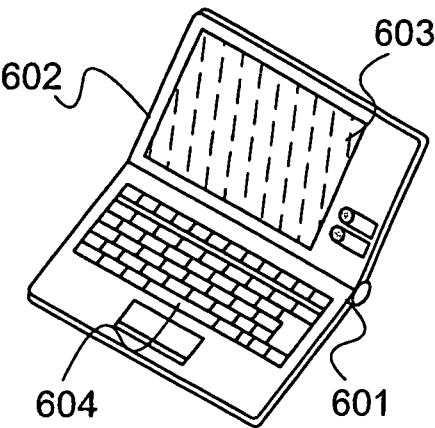


圖 10D

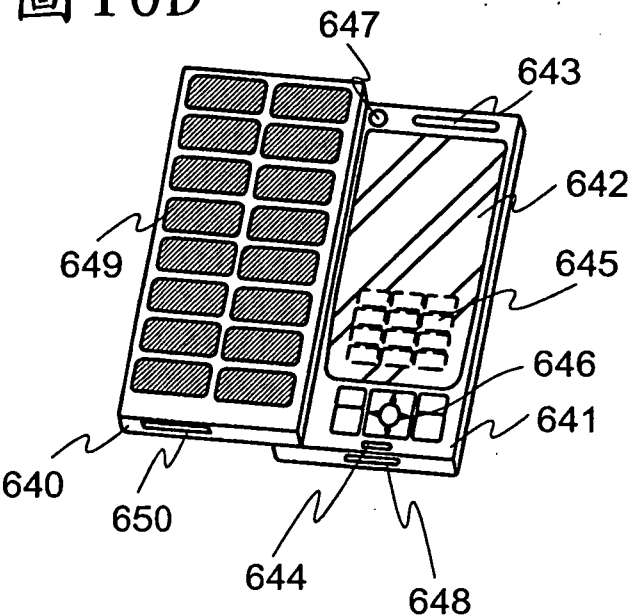


圖 10B

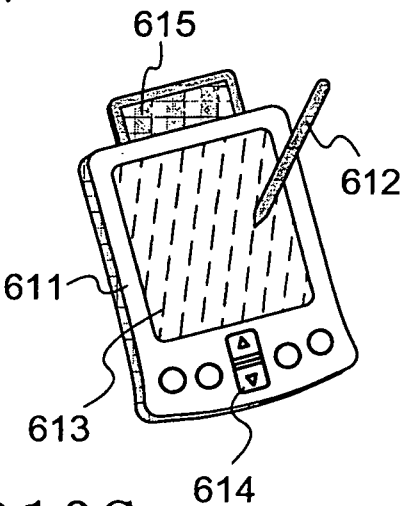


圖 10E

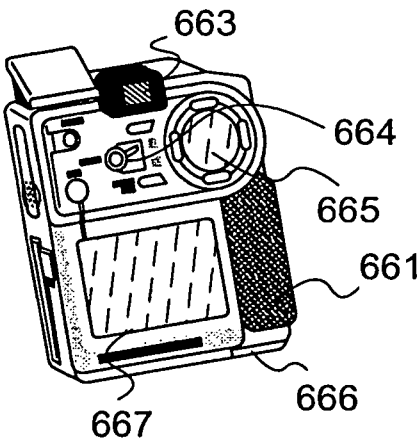


圖 10C

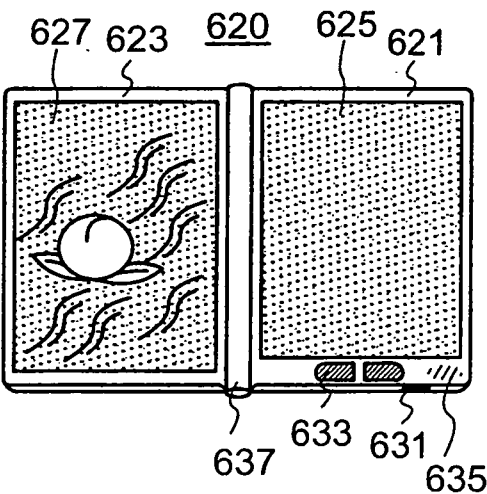


圖 10F

