

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

| | | |
|--|---|----------------------------|
| (51) Int. Cl. ⁶ H01L 27/06 | (11) 공개번호 특 1997-0077625 | (43) 공개일자 1997년 12월 12일 |
| (21) 출원번호 특 1997-0019865 | (22) 출원일자 1997년 05월 21일 | |
| (30) 우선권주장 (71) 출원인 | 8/651,018 1996년 05월 21일 미국(US) 심비오스 로직 인코퍼레이티드 베일리 웨인 피 미합중국 콜로라도 80525 포트 콜린스 덴필드 코트 2001 | |
| (72) 발명자 | 워커 존 디 미합중국 콜로라도 80907 콜로라도 스프링스 노쓰 로버 스트리트 1631 다니엘 데이비드 더블유 미합중국 콜로라도 80814 디바이드 파인 블러프 로드 244 | |
| (74) 대리인 | 원석희, 박해천 | |

심사청구 : 없음

(54) 반도체 장치 제조 방법

요약

본 발명은 기판에 반도체 장치를 제조하는 방법에 관한 것으로서, 얇은 산화막층과 실리콘 질화막층을 이용하여 기판내에 활성영역이 정의되며, 실리콘 질화막층의 일부는 얇은 산화막층을 노출시키도록 에칭된다. 필드 산화막 영역은 정의된 활성영역 이외의 영역 위에 형성된다. 이들 필드 산화막 영역은 활성영역 사이에 위치한다. 다음에, 실리콘 질화막의 잔여 부분과 얇은 산화막층은 제거되고, 활성 영역의 표면상에서 희생 산화막이 성장된다. 다음에, N-형 도펀트를 임플란트하기 위해 제1마스크, 즉 N-웰 마스크가 형성된다. 제1마스크가 제위치에 있는 상태에서 P-형 도펀트를 이용하여 매립층이 임플란트된다. 이후, N-웰 영역이 임플란트된다. 다음에 제1마스크가 제거되고, P-형 도펀트를 이용하여 P-웰 영역을 임플란트하기 위한 영역을 정의하기 위해 제2마스크가 형성되고, P-형 도펀트를 이용하여 P-웰 영역이 임플란트된다.

대표도

도 1

명세서

[발명의 명칭]

반도체 장치 제조 방법

[도면의 간단한 설명]

제1도는 본 발명에 따라 제조된 SCR을 가진 ESD 보호 회로의 개략도.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

기판에 반도체 장치를 제조하기 위한 방법에 있어서, 상기 기판내에 활성 영역을 정의하는 단계; 상기 활성 영역의 표면이 필드 산화막 영역 사이에 위치하도록 상기 정의된 활성 영역 이외의 영역상에 필드 산화막 영역을 형성하는 단계; 상기 활성 영역의 표면상에 희생 산화막을 성장시키는 단계; 제1형태의 도펀트를 이용하여 웰 영역을 임플란트하기 위한 영역을 정의하기 위해 제1마스크를 형성하는 단계; 상기 제1마스크를 이용하여 제2형태의 도펀트로 매립층을 임플란트하는 단계; 상기 제1형태의 도펀트 및 상기 제1마스크를 이용하여 웰 영역을 임플란트 하는 단계; 제2형태의 도펀트를 이용하여 웰 영역을 임플란트하기 위한 영역을 정의하기 위해 제2마스크를 형성하는 단계; 및 상기 제2형태의 도펀트 및 상기 제2마스크를 이용하여 웰 영역을 임플란트 하는 단계를 포함해서 이루어진 반도체 장치 제조 방법.

청구항 2

제1항에 있어서, 상기 기판내에 활성 영역을 정의하는 단계는 : 상기 기판상에 얇은 산화막층을 형성하

는 단계; 상기 산화막층위에 실리콘 질화막을 형성하는 단계; 및 상기 얇은 산화막층의 일부가 노출되고, 상기 산화막층상의 상기 실리콘 질화막층의 잔여 부분이 기판내의 활성 영역을 정의하게 되도록 상기 실리콘 질화막의 일부를 에칭하는 단계를 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 3

제1항에 있어서, 상기 희생 산화막층은 약 50Å 내지 약 500Å의 두께를 갖는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 4

제1항에 있어서, 상기 제1형태의 도펀트는 P-형 도펀트인 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 5

제4항에 있어서, 상기 P-형 도펀트는 보론인 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 6

제1항에 있어서, 상기 제2형태의 도펀트는 N-형 도펀트인 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 7

제6항에 있어서, 상기 N-형 도펀트는 포스포러스인 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 8

제1항에 있어서, 상기 제1형태의 도펀트 및 상기 제1마스크를 이용하여 웰 영역을 임플란트 하는 단계는 복수의 임플란트를 이용하여 N-형 도펀트로 N-웰 영역을 임플란트하는 단계를 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 9

제8항에 있어서, 상기 N-웰 영역을 임플란트하는 단계는 얇은 N-웰 영역 및 N-웰 영역을 임플란트하는 단계를 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 10

제9항에 있어서, 상기 얇은 N-웰 영역은 약 80KeV 내지 약 150KeV의 에너지로 약 $1e12/cm^2$ 내지 약 $4e12/cm^2$ 의 주입량으로 포스포러스를 이용하여 임플란트되는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 11

제10항에 있어서, 상기 역형 N-웰 영역은 약 400KeV 내지 약 800KeV의 에너지로 약 $3e12/cm^2$ 내지 약 $4e13/cm^2$ 의 주입량으로 포스포러스를 이용하여 임플란트되는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 12

제10항에 있어서, 상기 포스포러스는 약 80KeV 내지 약 150KeV의 에너지로 임플란트되는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 13

제1항에 있어서, 상기 제2형태의 도펀트 및 상기 제2마스크를 이용하여 웰 영역을 임플란트하는 단계는 복수의 임플란트를 이용하여 P-웰 영역을 임플란트하는 단계를 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 14

제13항에 있어서, 상기 도펀트는 P-형 도펀트인 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 15

제14항에 있어서, 상기 P-형 도펀트는 보론인 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 16

기판에 반도체 장치를 제조하기 위한 방법에 있어서, 상기 기판상에 얇은 산화막을 형성하는 단계; 상기 산화막층상에 실리콘 질화막층을 형성하는 단계; 상기 얇은 산화막층의 일부가 노출되고, 상기 산화막층상의 상기 실리콘 질화막층의 잔여 부분이 상기 기판내의 활성 영역을 정의하게 되도록 상기 실리콘 질화막의 일부를 에칭하는 단계; 상기 얇은 산화막층의 노출된 부분에 필드 산화막 영역을 형성하는 단계; 상기 기판내의 활성 영역이 노출되도록 상기 실리콘 질화막층의 잔여부분과 상기 얇은 산화막층을 제거하는 단계; 상기 노출된 활성 영역에 희생 산화막을 성장시키는 단계; N-웰 이온주입을 위한 영역을 정의하기 위해 제1마스크를 형성하는 단계; P+형 매립층을 임플란트하는 단계; N-웰 영역을 임플란트하는 단계; 상기 제1마스크를 제거하는 단계; P-웰 이온주입을 위한 영역을 정의하기 위해 제2마스크를 형성하는 단계; 및 P-웰 영역을 임플란트하는 단계를 포함해서 이루어진 반도체 장치 제조 방법.

청구항 17

제16항에 있어서, 상기 N-웰 및 P-웰 영역을 임플란트한 이후에 폴리실리콘 게이트를 정의하는 단계; 두

꺼운 필드 소자(TFD) 및 실리콘 제어 정류소자(SCR)를 위한 소스 및 드레인 영역을 형성하는 단계; 및 상기 실리콘 제어 정류소자(SCR)와 상기 두꺼운 필드 소자(TFD)를 접속하기 위한 상호 접속 배선을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 18

제16항에 있어서, 상기 P+매립층을 임플란트하는 단계는 약 1.3MeV 내지 약 2.5MeV의 에너지레벨을 이용하여 P+매립층을 임플란트하는 단계를 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 19

제16항에 있어서, 상기 제1마스크를 형성하는 단계와 상기 제2마스크를 형성하는 단계는, 포토레지스트 마스크를 이용하여 상기 제1마스크 및 상기 제2마스크를 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 20

제16항에 있어서, 상기 P-웰 영역을 임플란트하는 단계는, 얇은 P-웰 영역과 역형 P-웰 영역을 임플란트하는 단계를 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 21

제16항에 있어서, 상기 N-웰 영역을 임플란트하는 단계는, 얇은 N-웰 영역과 역형 N-웰 영역을 임플란트하는 단계를 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 22

제21항에 있어서, 상기 P-형 도펀트는 보론인 것을 특징으로 하는 반도체 장치 제조 방법.

※ 참고사항 : 최초출원 내용에 의하여 공개되는 것임.

도면

도면1

