

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年1月30日(30.01.2020)



(10) 国際公開番号

WO 2020/021791 A1

(51) 国際特許分類:
G06F 3/06 (2006.01)

神奈川県厚木市旭町四丁目14番
1号 Kanagawa (JP).

(21) 国際出願番号: PCT/JP2019/016105

(22) 国際出願日: 2019年4月15日(15.04.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2018-140104 2018年7月26日(26.07.2018) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

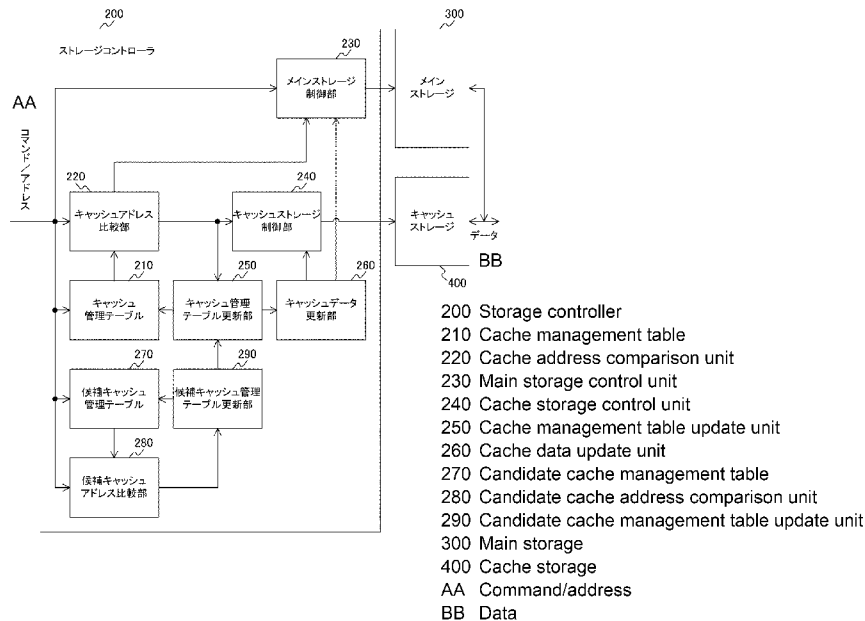
(72) 発明者: 中西 健一 (NAKANISHI, Kenichi);
〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 丸島 敏一 (MARUSHIMA, Toshikazu);
〒1600022 東京都新宿区新宿3-3-2 京王新宿三丁目第二ビル 5F クラフト国際特許事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,

(54) Title: STORAGE CONTROL DEVICE, STORAGE DEVICE, AND INFORMATION PROCESSING SYSTEM

(54) 発明の名称: 記憶制御装置、記憶装置および情報処理システム



(57) Abstract: In the present invention, only data having a high access frequency is registered in a cache storage. The cache storage stores a portion of data that is to be stored in a main storage. A cache management unit retains an access frequency for each cache entry in the cache storage. A candidate cache management unit retains an access frequency for each candidate entry not registered in the cache storage. A cache update unit updates an access frequency in accordance with the address of an issued access command, and updates the cache entry and the candidate entry on the basis of the

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

access frequency.

(57) 要約: アクセス頻度が高いデータのみをキャッシュストレージに登録する。キャッシュストレージは、メインストレージに記憶されるデータの一部を記憶する。キャッシュ管理部は、キャッシュストレージのキャッシュエントリ毎に、アクセス頻度を保持する。候補キャッシュ管理部は、キャッシュストレージに登録されていない候補エントリ毎に、アクセス頻度を保持する。キャッシュ更新部は、発行されたアクセスコマンドのアドレスに応じてアクセス頻度を更新して、アクセス頻度に基づいてキャッシュエントリおよび前記候補エントリを更新する。

明 細 書

発明の名称： 記憶制御装置、記憶装置および情報処理システム

技術分野

[0001] 本技術は、記憶制御装置に関する。詳しくは、キャッシュストレージを制御する記憶制御装置、および、その記憶制御装置を含む記憶装置および情報処理システムに関する。

背景技術

[0002] キャッシュメモリ（キャッシュストレージ）のキャッシュエントリを管理するために、最も長く参照されていないキャッシュエントリをリプレイス対象とするLRU（Least Recently Used）方式が知られている。このLRU方式では、キャッシュメモリの直近の参照順序のみを考慮しているため、アクセス頻度の高いデータであってもリプレイス対象にされるおそれがある。そのため、アクセス頻度を考慮したキャッシュメモリの制御方法が提案されている。例えば、あるウェイに連続してアクセスがあった場合にそのウェイのアクセス頻度ビットをセットして、それ以外のウェイをリプレイスするように制御するキャッシュメモリ制御装置が提案されている（例えば、特許文献1参照。）。

先行技術文献

特許文献

[0003] 特許文献1：特開2000-047942号公報

発明の概要

発明が解決しようとする課題

[0004] 上述の従来技術では、キャッシュメモリに残すべきデータを決定しており、キャッシュメモリに新たに登録されるデータとしては、最も直近にアクセスの発生したデータが選択される。しかしながら、新たに登録されたデータがキャッシュヒットするか否かは不明であり、もしキャッシュヒットが期待できないデータをキャッシュメモリに登録してしまうと、メモリとキャッシ

メモリとの間で煩雑なデータの移動が生じることになる。そして、これにより、ホストコンピュータからのキャッシュメモリへのアクセスを妨げてしまい、アクセス低下の要因となり得る。また、キャッシュメモリとして不揮発性メモリを使用した場合、書込み回数に上限を有するため、煩雑なデータの移動が繰り返されると、書込み回数が増加して、寿命を短くしてしまうおそれがある。

[0005] 本技術はこのような状況に鑑みて生み出されたものであり、キャッシュストレージに登録する前にアクセス頻度を確認し、アクセス頻度が高いデータのみをキャッシュストレージに登録することを目的とする。

課題を解決するための手段

[0006] 本技術は、上述の問題点を解消するためになされたものであり、その第1の側面は、メインストレージに記憶されるデータの一部を記憶するキャッシュストレージのキャッシュエントリ毎にアクセス頻度を保持するキャッシュ管理部と、上記キャッシュストレージに登録されていない候補エントリ毎に上記アクセス頻度を保持する候補キャッシュ管理部と、発行されたアクセスコマンドのアドレスに応じて上記アクセス頻度を更新して、上記アクセス頻度に基づいて上記キャッシュエントリおよび上記候補エントリを更新するキャッシュ更新部とを具備する記憶制御装置、記憶装置および情報処理システムである。これにより、アクセス頻度に基づいてキャッシュストレージのキャッシュエントリおよび候補キャッシュの候補エントリを更新するという作用をもたらす。

[0007] また、この第1の側面において、上記キャッシュ更新部は、上記発行されたアクセスコマンドのアドレスが上記キャッシュエントリおよび上記候補エントリの何れにも登録されていない場合には、そのアドレスを上記候補エントリに登録して、その候補エントリの上記アクセス頻度に初期値を設定するようにしてもよい。これにより、アクセスコマンドのアドレスが未登録の場合には、まず候補エントリに登録するという作用をもたらす。

[0008] また、この第1の側面において、上記キャッシュ更新部は、上記候補エン

トリの上記アクセス頻度が所定のキャッシュイン閾値よりも高くなると、上記候補エントリを上記キャッシュストレージの上記キャッシュエントリとして登録させて、上記メインストレージの対応するデータを上記キャッシュストレージに記憶させるようにしてもよい。これにより、アクセス頻度がキャッシュイン閾値よりも高くなった際に、データをキャッシュストレージに記憶させるという作用をもたらす。

[0009] また、この場合において、上記キャッシュ更新部は、上記アクセス頻度が上記キャッシュイン閾値よりも高くなった上記候補エントリを上記キャッシュストレージの上記キャッシュエントリとして登録させる際に、元の上記候補エントリを削除するようにしてもよい。

[0010] また、この第1の側面において、上記キャッシュ更新部は、上記キャッシュエントリの上記アクセス頻度が所定のキャッシュアウト閾値よりも低くなると、そのキャッシュエントリを上記キャッシュストレージからの削除候補とするようにしてもよい。これにより、アクセス頻度がキャッシュアウト閾値よりも低くなった際に、キャッシュストレージからの削除予定とするという作用をもたらす。

[0011] また、この第1の側面において、上記キャッシュ更新部は、上記キャッシュエントリの上記アクセス頻度が所定のライトバック開始閾値よりも低くなると、そのキャッシュエントリの上記キャッシュストレージにおけるデータが上記メインストレージと不一致であれば、そのデータを上記キャッシュストレージから上記メインストレージに転送するようにしてもよい。これにより、キャッシュストレージから削除される前の段階において、ライトバック開始閾値よりも低くなった際に、キャッシュストレージへのライトバックを行うという作用をもたらす。

[0012] また、この第1の側面において、上記キャッシュ更新部は、上記候補エントリの上記アクセス頻度が所定の候補キャッシュアウト閾値よりも低くなると、その候補エントリを削除候補とするようにしてもよい。これにより、アクセス頻度が所定の候補キャッシュアウト閾値よりも低くなった際に、候補

キャッシュからの削除予定とするという作用をもたらす。

[0013] また、この第1の側面において、上記キャッシュ更新部は、上記発行されたアクセスコマンドのアドレスが上記キャッシュエントリまたは上記候補エントリの何れかに登録されている場合には、そのエントリの上記アクセス頻度の値をより高くして、それ以外のエントリの上記アクセス頻度の値をより低くするようにしてもよい。これにより、キャッシュストレージまたは候補キャッシュにおけるキャッシュヒットの状態に応じてアクセス頻度の値を更新するという作用をもたらす。

[0014] また、この第1の側面において、上記キャッシュストレージは、書込み回数に上限を有する不揮発性メモリであってもよい。この場合、キャッシュストレージにおけるキャッシュヒットが期待されるデータを選んで登録することにより、書込み回数を減らして、寿命を延ばすという作用をもたらす。

発明の効果

[0015] 本技術によれば、アクセス頻度が高いデータのみをキャッシュストレージに登録することができるという優れた効果を奏し得る。なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

図面の簡単な説明

[0016] [図1]本技術の実施の形態における情報処理システムの全体構成の一例を示す図である。

[図2]本技術の実施の形態におけるストレージコントローラ200の構成の一例を示す図である。

[図3]本技術の実施の形態におけるキャッシュ管理テーブル210およびキャッシュアドレス比較部220の構成の一例を示す図である。

[図4]本技術の実施の形態における候補キャッシュ管理テーブル270および候補キャッシュアドレス比較部280の構成の一例を示す図である。

[図5]本技術の実施の形態におけるキャッシュストレージ400および候補キャッシュとアクセス頻度との関係例を示す図である。

[図6]本技術の実施の形態のキャッシュリプレースアルゴリズムにおける設定値の例を示す図である。

[図7]本技術の実施の形態のキャッシュリプレースアルゴリズムにおける閾値の例を示す図である。

[図8]本技術の実施の形態におけるストレージコントローラ200のアクセス動作の処理手順例を示す流れ図である。

[図9]本技術の実施の形態におけるキャッシュ管理テーブル更新部250のキャッシュ更新処理の処理手順例を示す流れ図である。

[図10]本技術の実施の形態におけるキャッシュ管理テーブル更新部250のライトバック判定処理の処理手順例を示す流れ図である。

[図11]本技術の実施の形態における候補キャッシュ管理テーブル更新部290の候補キャッシュ更新処理の処理手順例を示す流れ図である。

[図12]本技術の実施の形態におけるキャッシュ管理テーブル更新部250のキャッシュ登録処理の処理手順例を示す流れ図である。

発明を実施するための形態

[0017] 以下、本技術を実施するための形態（以下、実施の形態と称する）について説明する。説明は以下の順序により行う。

1. ハードウェア構成
2. キャッシュリプレースアルゴリズム
3. 動作

[0018] <1. ハードウェア構成>

[情報処理システム]

図1は、本技術の実施の形態における情報処理システムの全体構成の一例を示す図である。この情報処理システムは、ホストコンピュータ100と、ストレージコントローラ200と、メインストレージ300と、キャッシュストレージ400とから構成される。ストレージコントローラ200、メインストレージ300およびキャッシュストレージ400は、記憶装置500を構成する。

- [0019] ホストコンピュータ１００は、ストレージシステムに対してデータのリード処理やライト処理等を要求するコマンドを発行するものである。このホストコンピュータ１００は、信号線１０２により、ストレージコントローラ２００の動作を指示するコマンドとそのコマンドの操作対象を示すアドレスとをストレージコントローラ２００に送信する機能を有する。また、このホストコンピュータ１００は、図示しない信号線により、ストレージコントローラとの間のデータ送受信を行う機能を有する。
- [0020] ストレージコントローラ２００は、ホストコンピュータ１００と通信してコマンドを受信し、メインストレージ３００またはキャッシュストレージ４００に対してリード処理またはライト処理を要求するものである。このストレージコントローラ２００は、信号線２０３により、メインストレージ３００の動作を指示するリクエストとそのリクエストの操作対象を示すアドレスとをメインストレージ３００に送信する。また、このストレージコントローラ２００は、信号線２０４により、キャッシュストレージ４００の動作を指示するリクエストとそのリクエストの操作対象を示すアドレスとをキャッシュストレージ４００に送信する。また、このストレージコントローラ２００は、図示しない信号線により、メインストレージ３００またはキャッシュストレージ４００とのデータ送受信を行う。
- [0021] メインストレージ３００は、記憶装置５００としての全てのデータを記憶するストレージである。このメインストレージ３００は、キャッシュストレージ４００より大容量かつ応答速度が遅い記憶装置であり、例えば、ハードディスクや、ＮＡＮＤ型フラッシュメモリ等の不揮発性メモリが想定される。このメインストレージ３００は、ストレージコントローラ２００から信号線２０３を介して受けたリクエストに従ってデータの読出しまたは書込みを行う。
- [0022] キャッシュストレージ４００は、アクセス頻度の高いデータを保持するストレージである。このキャッシュストレージ４００は、メインストレージ３００より小容量かつ応答速度が速い記憶装置であり、メインストレージ３００

０のキャッシュとして動作する。すなわち、このキャッシュストレージ４００には、メインストレージ３００のデータの一部が格納される。このキャッシュストレージ４００としては、例えば、抵抗変化型メモリ等の高速な不揮発性メモリが想定される。不揮発性メモリにおいては書込み回数に上限を有することが多いが、この実施の形態によりキャッシュヒットが期待されるデータを選んでキャッシュストレージ４００に登録することにより、キャッシュストレージ４００の書込み回数を減らして、寿命を延ばすことができる。このキャッシュストレージ４００は、ストレージコントローラ２００から信号線２０４を介して受けたリクエストに従ってデータの読出しまたは書込みを行う。

[0023] このようなシステム構成において、キャッシュストレージ４００にデータを登録する前に、アクセス頻度を確認し、アクセス頻度が高いデータのみをキャッシュストレージ４００に登録する。そのために、候補キャッシュを導入し、アクセス頻度を計測する。この候補キャッシュは、データを記憶せずに、アドレス情報やアクセス頻度を記憶する候補エントリを記憶する。

[0024] [ストレージコントローラ]

図２は、本技術の実施の形態におけるストレージコントローラ２００の構成の一例を示す図である。

[0025] このストレージコントローラ２００は、キャッシュ管理テーブル２１０と、キャッシュアドレス比較部２２０と、メインストレージ制御部２３０と、キャッシュストレージ制御部２４０と、キャッシュ管理テーブル更新部２５０と、キャッシュデータ更新部２６０と、候補キャッシュ管理テーブル２７０と、候補キャッシュアドレス比較部２８０と、候補キャッシュ管理テーブル更新部２９０とを備える。

[0026] キャッシュ管理テーブル２１０は、キャッシュストレージ４００を管理するためのキャッシュエントリを保持するテーブルである。なお、キャッシュ管理テーブル２１０は、特許請求の範囲に記載のキャッシュ管理部の一例である。

- [0027] キャッシュアドレス比較部 220 は、ホストコンピュータ 100 から指定されたアドレスと、キャッシュ管理テーブル 210 のキャッシュエントリのアドレスとを比較して、キャッシュヒットまたはミスヒットの判定を行うものである。
- [0028] メインストレージ制御部 230 は、キャッシュアドレス比較部 220 における判定結果がキャッシュミスであった場合に、ホストコンピュータ 100 から指定されたアドレスに基づいてメインストレージ 300 にアクセスを行うものである。
- [0029] キャッシュ管理テーブル更新部 250 は、キャッシュアドレス比較部 220 の判定結果に基づいてキャッシュ管理テーブル 210 上の該当するセットのキャッシュ管理情報を更新するものである。
- [0030] キャッシュストレージ制御部 240 は、キャッシュ管理テーブル更新部 250 が出力するキャッシュアドレスに基づいて、キャッシュストレージ 400 上のデータにアクセスを行うものである。
- [0031] キャッシュデータ更新部 260 は、キャッシュ管理テーブル更新部 250 からの指示に基づいて、メインストレージ 300 とキャッシュストレージ 400 との間でデータ転送を行うものである。
- [0032] 候補キャッシュ管理テーブル 270 は、キャッシュストレージ 400 に登録する前の、候補キャッシュの候補エントリを保持するテーブルである。なお、候補キャッシュ管理テーブル 270 は、特許請求の範囲に記載の候補キャッシュ管理部の一例である。
- [0033] 候補キャッシュアドレス比較部 280 は、ホストコンピュータ 100 から指定されたアドレスと、候補キャッシュ管理テーブル 270 の候補キャッシュ管理情報（候補エントリ）に登録されたアドレスとを比較して、候補キャッシュに登録済か否かの判定を行うものである。
- [0034] 候補キャッシュ管理テーブル更新部 290 は、候補キャッシュアドレス比較部 280 による判定結果に基づいて、候補キャッシュ管理テーブル 270 上の該当するセットの候補キャッシュ管理情報を更新するものである。この

候補キャッシュ管理テーブル更新部290は、候補キャッシュ管理情報に保持されるアクセス頻度を参照して、その候補エントリをキャッシュ管理テーブル210に登録するか否かを判定する。この候補キャッシュ管理テーブル更新部290による判定結果に基づいて、キャッシュ管理テーブル更新部250は、新たなアドレス情報をキャッシュ管理テーブル210に登録する。

[0035] なお、キャッシュ管理テーブル更新部250、候補キャッシュ管理テーブル更新部290、および、キャッシュデータ更新部260は、特許請求の範囲に記載のキャッシュ更新部の一例である。

[0036] 図3は、本技術の実施の形態におけるキャッシュ管理テーブル210およびキャッシュアドレス比較部220の構成の一例を示す図である。

[0037] この例では、キャッシュストレージ400の構成として4ウェイセットアソシアティブメモリを想定する。そして、キャッシュストレージ400の総容量を64MBとし、4KB毎のページにより管理する。このキャッシュストレージ400は、アドレスの一部をセットアドレスとして、アクセスされる。この例では、各セットには最大4つのキャッシュエントリが保持される。すなわち、1セット（set）当たり4ウェイ（way）であるため、キャッシュストレージ400全体で4096セットとなる。

[0038] メインストレージ300の総容量を8GBと想定し、これを4096セットで管理すると、1セット当たり2048ページとなる。すなわち、2048ページのうち最大4つのページがキャッシュストレージ400に保持されることになる。

[0039] キャッシュ管理テーブル210の各ウェイに対応して記憶されるキャッシュエントリのキャッシュ管理情報は、例えば、1ビットの有効フラグ211と、20ビットのアドレス情報212と、8ビットのアクセス頻度情報213と、1ビットのダーティフラグ214とを備える。

[0040] 有効フラグ211は、そのキャッシュエントリが有効（バリッド）か否かを示すフラグである。例えば、有効フラグ211が「1」を示していればキャッシュエントリが「有効」であることを表し、「0」を示していればキャ

ッシュエントリが「無効」であることを表す。

[0041] アドレス情報 212 は、そのキャッシュエントリに対応するアドレス部分（連想アドレス）を保持するものである。このアドレス情報 212 は、キャッシュアドレス比較部 220 によって参照され、ホストコンピュータ 100 から指定されたアドレスのアドレス部分と比較される。

[0042] アクセス頻度情報 213 は、そのキャッシュエントリにおけるアクセス頻度を示す値を保持するものである。キャッシュエントリのリプレースの際には、この値が参照される。例えば、このアクセス頻度情報 213 の値がキャッシュアウト閾値を下回った場合には、そのキャッシュエントリはキャッシュ管理テーブル 210 からの削除候補（削除予定）となる。

[0043] ダーティフラグ 214 は、そのキャッシュエントリにおけるデータがメインストレージ 300 と一致しているか否かを示すフラグである。例えば、ダーティフラグ 214 が「1」を示していれば不一致（ダーティ）であることを表し、「0」を示していれば一致していることを表す。メインストレージ 300 とキャッシュストレージ 400 との一致性（コヒーレンシ）を維持するためには、不一致状態にあるキャッシュエントリのデータをキャッシュストレージ 400 からメインストレージ 300 にライトバックする必要がある。このライトバックのタイミングについては後述する。

[0044] キャッシュアドレス比較部 220 は、4 つの比較器 221 と、ヒット判定部 222 とを備える。比較器 221 は、ホストコンピュータ 100 から指定されたアドレスのセットアドレスに従ってキャッシュ管理テーブル 210 から読み出された 4 つのアドレス情報 212 と、ホストコンピュータ 100 から指定されたアドレスの一部である連想アドレスとを比較する。ヒット判定部 222 は、4 つの比較器 221 の何れかにおいて一致が検出されると、キャッシュヒットである旨の判定結果を出力する。一方、4 つの比較器 221 の何れにおいても一致が検出されない場合にはキャッシュミスである旨の判定結果を出力する。この判定結果は、キャッシュストレージ制御部 240 およびキャッシュ管理テーブル更新部 250 に供給される。なお、キャッシュ

アドレス比較部 220 において比較対象となるのは有効フラグ 211 が「有効」なキャッシュエントリのみであり、有効フラグ 211 が「無効」であることを示しているキャッシュエントリについては、アドレスが一致してもキャッシュヒットとは判定されない。

[0045] 図 4 は、本技術の実施の形態における候補キャッシュ管理テーブル 270 および候補キャッシュアドレス比較部 280 の構成の一例を示す図である。

[0046] この例では、候補キャッシュの構成として 8 ウェイセットアソシアティブメモリを想定する。この候補キャッシュは、アクセス頻度を監視するためのものであるため、データの記憶領域は不要である。候補キャッシュ管理テーブル 270 は、1 セット当たり 8 つの候補キャッシュ管理情報（候補エントリ）を保持する。

[0047] 候補キャッシュ管理テーブル 270 の各ウェイに対応して記憶される候補エントリの候補キャッシュ管理情報は、例えば、1 ビットの有効フラグ 271 と、20 ビットのアドレス情報 272 と、8 ビットのアクセス頻度情報 273 とを備える。これらは、上述のキャッシュ管理テーブル 210 のキャッシュ管理情報と同様であるが、データ記憶領域がないため、ダーティフラグは備えていない。

[0048] 候補キャッシュアドレス比較部 280 は、8 つの比較器 281 と、ヒット判定部 282 とを備える。これらは、上述のキャッシュアドレス比較部 220 と同様である。ヒット判定部 282 は、8 つの比較器 281 の何れかにおいて一致が検出されると、候補キャッシュに登録済である旨の判定結果を出力する。一方、8 つの比較器 281 の何れにおいても一致が検出されない場合には、候補キャッシュに登録されていない旨の判定結果を出力する。

[0049] 候補キャッシュに登録されていないアドレスが発生した場合には、候補キャッシュ管理テーブル 270 の該当するセットにおける候補エントリに新たに登録される。このとき、有効フラグ 271 が「無効」を示している候補エントリ、または、削除予定の候補エントリが使用される。

[0050] また、候補キャッシュに登録されている間に、アクセス頻度情報 273 が

キャッシュイン閾値を超えた場合には、その候補エントリはキャッシュ管理テーブル210のキャッシュエントリに新たに登録される。このとき、有効フラグ211が「無効」を示しているキャッシュエントリ、または、削除予定のキャッシュエントリが使用される。また、キャッシュ管理テーブル210に登録されたキャッシュエントリについては、候補キャッシュから削除される。すなわち、有効フラグ271が「無効」に設定される。

[0051] 一方、候補キャッシュに登録されている間に、アクセス頻度情報273が候補キャッシュアウト閾値を超えた場合には、その候補エントリはキャッシュ管理テーブル210に登録されることなく、候補キャッシュ管理テーブル270からの削除候補（削除予定）となる。

[0052] <2. キャッシュリプレースアルゴリズム>

[アクセス頻度情報]

図5は、本技術の実施の形態におけるキャッシュストレージ400および候補キャッシュとアクセス頻度との関係例を示す図である。図6は、本技術の実施の形態のキャッシュリプレースアルゴリズムにおける設定値の例を示す図である。図7は、本技術の実施の形態のキャッシュリプレースアルゴリズムにおける閾値の例を示す図である。

[0053] この実施の形態においては、ホストコンピュータ100から発行されたコマンドにおいて指定されたアドレスについて、すぐにはキャッシュストレージ400に登録せずに、アクセス頻度を監視する。そのために、最初は候補キャッシュの候補キャッシュ管理テーブル270に登録される。このとき、アクセス頻度情報273の初期値として、例えば候補キャッシュ初期値「32」が設定される。

[0054] 候補キャッシュ管理テーブル270に登録された後、その候補エントリに合致するアクセスがあるたびにアクセス頻度情報273の値は増加する。例えば、キャッシュヒット時加算値「4」が加算されていく。一方、その候補エントリに合致しないアクセスがあるたびにアクセス頻度情報273の値は減少する。例えば、キャッシュミス時減算値「1」が減算されていく。

- [0055] その結果、アクセス頻度情報 273 の値が増加してキャッシュイン閾値を超えると、その候補エントリはキャッシュ管理テーブル 210 のキャッシュエントリとして登録される。その場合、その候補エントリは候補キャッシュ管理テーブル 270 から削除される。アクセス頻度情報 273 の値は、アクセス頻度情報 213 としてそのまま引き継がれる。なお、このキャッシュイン閾値としては、例えば「40」とする。
- [0056] 一方、アクセス頻度情報 273 の値が減少して候補キャッシュアウト閾値を下回ると、その候補エントリは候補キャッシュ管理テーブル 270 からの削除候補（削除予定）となる。候補キャッシュ管理テーブル 270 から速やかに削除するようにしてもよいが、他に登録されるものが発生するまで有効にしておいても問題はない。なお、この候補キャッシュアウト閾値としては、例えば「16」とする。
- [0057] キャッシュ管理テーブル 210 に登録された後も、そのキャッシュエントリに合致するアクセスがあるたびにアクセス頻度情報 213 の値は増加する。例えば、「4」が加算されていく。一方、そのキャッシュエントリに合致しないアクセスがあるたびにアクセス頻度情報 213 の値は減少する。例えば、「1」が減算されていく。
- [0058] その結果、アクセス頻度情報 213 の値が減少してキャッシュアウト閾値を下回ると、その候補エントリはキャッシュ管理テーブル 210 からの削除候補（削除予定）となる。キャッシュ管理テーブル 210 から速やかに削除するようにしてもよいが、他に登録されるものが発生するまで有効にしておいても問題はない。なお、このキャッシュアウト閾値としては、例えば「8」とする。
- [0059] また、キャッシュアウト閾値を下回る前に、ライトバック開始閾値を下回ったタイミングで、不一致状態にあるキャッシュエントリのデータをキャッシュストレージ 400 からメインストレージ 300 にライトバックする。これにより、キャッシュ管理テーブル 210 から削除する準備を予め行うことができる。なお、このライトバック開始閾値としては、例えば「16」とす

る。

[0060] このように、アクセス頻度に応じてキャッシュストレージ400および候補キャッシュにおけるエントリのリプレイスが行われる。

[0061] [設定値]

ここで、上述の設定値について考察する。キャッシュストレージ400のヒット率を80%と想定すると、4ウェイセットアソシアティブメモリにおいては、40回のアクセスのうち、1ウェイ当たりの平均ヒット回数は8回である。すなわち、40回のアクセスのうち、8回キャッシュヒット、32回ミスヒットとなる。この場合、候補キャッシュへの登録時の初期値を「32」として、ミスヒットとなるたびに「1」を減算する一方で、キャッシュヒットの時の加算値Nとして、

$$N = 32 / 8 = 4$$

を設定することにより、想定するバランスが得られる。

[0062] なお、この実施の形態において示した設定値および閾値の数値例は、あくまで一例であり、適宜適切な値を用いてよいことはいうまでもない。また、アクセス頻度が高い場合にアクセス頻度情報の値が大きくなるように数値例を示したが、逆にアクセス頻度が低い場合にアクセス頻度情報の値が大きくなるようにしてもよい。ただし、その場合、閾値との大小関係も逆になる。

[0063] [アクセス頻度情報]

この実施の形態においては、アクセス頻度情報を新たに保持することになる。上述のように8ビット（1バイト）ずつの容量を想定すると、キャッシュ管理テーブル210においてセット毎に4ウェイ、候補キャッシュ管理テーブル270においてセット毎に8ウェイであるため、

$$\text{アクセス頻度情報の総量} = 4096 \times (4 + 8) = 48 \text{ Kバイト}$$

となる。これは、キャッシュ全体のデータ量としては比較的少ないと考えられる。

[0064] <3. 動作>

[アクセス動作]

図8は、本技術の実施の形態におけるストレージコントローラ200のアクセス動作の処理手順例を示す流れ図である。

- [0065] ホストコンピュータ100からメモリアクセスコマンドが発行されると、ストレージコントローラ200においてキャッシュ管理テーブル210が参照されて、キャッシュ管理テーブル更新部250によりキャッシュ更新処理が行われる（ステップS910）。キャッシュヒットした場合には（ステップS921：Yes）、キャッシュアドレスがキャッシュストレージ制御部240に出力される（ステップS922）。これにより、キャッシュストレージ400にアクセスが行われる（ステップS923）。そして、候補キャッシュについても更新処理が行われる（ステップS801）。
- [0066] 一方、キャッシュミスヒットした場合には（ステップS921：No）、入力アドレスがメインストレージ制御部230に出力される（ステップS924）。これにより、メインストレージ300にアクセスが行われる（ステップS925）。そして、候補キャッシュについても更新処理が行われる（ステップS802）。その結果、候補キャッシュからキャッシュストレージ400への登録が発生した場合には（ステップS926：Yes）、以下のようにデータのコピー処理が行われる。すなわち、入力アドレスがメインストレージ制御部230に出力され（ステップS927）、キャッシュアドレスがキャッシュストレージ制御部240に出力される（ステップS928）。そして、メインストレージ300からキャッシュストレージ400にデータがコピーされる（ステップS929）。
- [0067] その後、キャッシュストレージ400においてライトバックを行う必要があるか否かが判定される（ステップS930）。その結果、ライトバックが発生した場合には（ステップS941：Yes）、以下のライトバック処理が行われる。すなわち、キャッシュアドレスがキャッシュストレージ制御部240に出力され（ステップS942）、入力アドレスがメインストレージ制御部230に出力される（ステップS943）。そして、キャッシュストレージ400からメインストレージ300にデータがコピーされる（ステッ

プS 9 4 4)。

[0068] [キャッシュ更新]

図9は、本技術の実施の形態におけるキャッシュ管理テーブル更新部250のキャッシュ更新処理(ステップS 9 1 0)の処理手順例を示す流れ図である。

[0069] まず、ホストコンピュータ100から発行されたアドレスからセットアドレスが算出される(ステップS 9 1 1)。そして、このセットアドレスによりキャッシュ管理テーブル210のキャッシュ管理情報が参照される(ステップS 9 1 2)。この例では、キャッシュストレージ400として4ウェイセットアソシアティブメモリを想定しているため、4つのキャッシュエントリのキャッシュ管理情報が取得される。

[0070] 取得された4つのキャッシュ管理情報のうち、ホストコンピュータ100から発行されたアドレスと一致するウェイがあれば(ステップS 9 1 3: Yes)、一致したウェイのアクセス頻度情報213の値に「4」を加算する(ステップS 9 1 5)。この「4」は、上述のキャッシュヒット時加算値の一例である。そして、この一致したウェイ以外の3つのウェイのアクセス頻度情報213の値から「1」を減算する(ステップS 9 1 6)。この「1」は、上述のキャッシュミス時減算値の一例である。なお、減算の際、アクセス頻度情報213が既に「0」であれば、減算は不要である。また、有効フラグ211が「無効」を示しているキャッシュ管理情報については、アクセス頻度情報213の更新は不要である。

[0071] 一方、ホストコンピュータ100から発行されたアドレスと一致するウェイがなければ(ステップS 9 1 3: No)、4つのキャッシュ管理情報のアクセス頻度情報213の値からキャッシュミス時減算値の「1」を減算する(ステップS 9 1 4)。なお、減算の際、アクセス頻度情報213が既に「0」であれば、減算は不要である。また、有効フラグ211が「無効」を示しているキャッシュ管理情報については、アクセス頻度情報213の更新は不要である。

[0072] なお、ホストコンピュータ100から発行されたアドレスと一致するウェイがあれば（ステップS913：Yes）キャッシュヒットであり、一致するウェイがなければ（ステップS913：No）ミスヒットである。それぞれの結果がキャッシュストレージ制御部240およびキャッシュ管理テーブル更新部250に報告される。

[0073] [ライトバック判定]

図10は、本技術の実施の形態におけるキャッシュ管理テーブル更新部250のライトバック判定処理（ステップS930）の処理手順例を示す流れ図である。

[0074] キャッシュ更新に伴い、キャッシュ管理テーブル210のキャッシュ管理情報が参照される（ステップS931）。そして、4つのキャッシュ管理情報のアクセス頻度情報213のうち、ライトバック開始閾値を下回るウェイがあるか否かが判断される（ステップS932）。

[0075] ライトバック開始閾値を下回るウェイがあり（ステップS932：Yes）、そのウェイのダーティフラグ214が「不一致」（ダーティ）を示している場合には（ステップS933：Yes）、ライトバックが発生したものと判定する。一方、ライトバック開始閾値を下回るウェイがなく（ステップS932：No）、または、ライトバック開始閾値を下回るウェイがあってもそのウェイのダーティフラグ214が「一致」を示している場合には（ステップS933：No）、ライトバックは発生しないものと判定する。

[0076] [候補キャッシュ更新]

図11は、本技術の実施の形態における候補キャッシュ管理テーブル更新部290の候補キャッシュ更新処理（ステップS801、S802）の処理手順例を示す流れ図である。

[0077] まず、ホストコンピュータ100から発行されたアドレスからセットアドレスが算出される（ステップS811）。そして、このセットアドレスにより候補キャッシュ管理テーブル270の候補キャッシュ管理情報が参照される（ステップS812）。この例では、候補キャッシュとして8ウェイセッ

トアソシアティブメモリを想定しているため、8つの候補エントリの候補キャッシュ管理情報が取得される。

[0078] 取得された8つの候補キャッシュ管理情報のうち、ホストコンピュータ100から発行されたアドレスと一致するウェイがあれば（ステップS813：Yes）、一致したウェイのアクセス頻度情報273の値にキャッシュヒット時加算値の「4」を加算する（ステップS814）。その結果、アクセス頻度情報273の値がキャッシュイン閾値を超えると（ステップS815：Yes）、その候補エントリをキャッシュ管理テーブル210に登録する（ステップS950）。キャッシュ管理テーブル210への登録が完了すると（ステップS816：Yes）、元の候補エントリを候補キャッシュ管理テーブル270から削除する（ステップS817）。すなわち、有効フラグ271を「無効」にクリアする。また、一致したウェイ以外の7つのウェイのアクセス頻度情報273の値からキャッシュミス時減算値の「1」を減算する（ステップS818）。なお、減算の際、アクセス頻度情報273が既に「0」であれば、減算は不要である。また、有効フラグ271が「無効」を示しているキャッシュ管理情報については、アクセス頻度情報273の更新は不要である。

[0079] 一方、ホストコンピュータ100から発行されたアドレスと一致するウェイがなければ（ステップS813：No）、候補キャッシュへの登録を試みる。このとき、8つの候補キャッシュ管理情報の中に有効フラグ271が「無効」を示すウェイがあれば（ステップS821：Yes）、そのウェイに新たに登録を行う（ステップS822）。その際、その候補キャッシュ管理情報において、アドレス情報272には入力アドレスが設定され、アクセス頻度情報273には例えば候補キャッシュ初期値「32」が設定され、有効フラグ271が「有効」に設定される。

[0080] 8つの候補キャッシュ管理情報の中に有効フラグ271が「無効」を示すウェイがない場合には（ステップS821：No）、アクセス頻度情報273が「0」を示すウェイがあれば（ステップS823：Yes）、そのウェ

イに新たに登録を行う（ステップS 8 2 4）。その際、その候補キャッシュ管理情報において、アドレス情報 2 7 2 には入力アドレスが設定され、アクセス頻度情報 2 7 3 には例えば候補キャッシュ初期値「3 2」が設定される。

[0081] 8つの候補キャッシュ管理情報の中に有効フラグ 2 7 1 が「無効」を示すウェイがなく（ステップS 8 2 1 : N o）、アクセス頻度情報 2 7 3 が「0」を示すウェイもなければ（ステップS 8 2 3 : N o）、候補キャッシュへの登録は行わない。

[0082] 以上において、ホストコンピュータ 1 0 0 から発行されたアドレスと一致するウェイがない場合（ステップS 8 1 3 : N o）、アクセス頻度情報 2 7 3 の値がキャッシュイン閾値を超えない場合（ステップS 8 1 5 : N o）、キャッシュ登録が完了しない場合（ステップS 8 1 6 : N o）には、各ウェイのアクセス頻度情報 2 7 3 の値からキャッシュミス時減算値の「1」を減算する（ステップS 8 2 8）。なお、減算の際、アクセス頻度情報 2 7 3 が既に「0」であれば、減算は不要である。また、有効フラグ 2 7 1 が「無効」を示しているキャッシュ管理情報については、アクセス頻度情報 2 7 3 の更新は不要である。

[0083] [キャッシュ登録]

図 1 2 は、本技術の実施の形態におけるキャッシュ管理テーブル更新部 2 5 0 のキャッシュ登録処理（ステップS 9 5 0）の処理手順例を示す流れ図である。

[0084] まず、ホストコンピュータ 1 0 0 から発行されたアドレスからセットアドレスが算出される（ステップS 9 5 1）。そして、このセットアドレスによりキャッシュ管理テーブル 2 1 0 のキャッシュ管理情報が参照される（ステップS 9 5 2）。この例では、キャッシュストレージ 4 0 0 として 4 ウェイセットアソシアティブメモリを想定しているため、4つのキャッシュエントリのキャッシュ管理情報が取得される。

[0085] 取得された4つのキャッシュ管理情報のうち、有効フラグ 2 1 1 が「無効

」を示すウェイがあれば（ステップS 9 5 3 : Y e s）、そのウェイに登録が行われる（ステップS 9 5 5）。その際、アドレス情報 2 1 2 には入力アドレスが設定され、アクセス頻度情報 2 1 3 には候補キャッシュのアクセス頻度情報 2 7 3 の値がコピーされる。

[0086] 有効フラグ 2 1 1 が「無効」を示すウェイがない場合（ステップS 9 5 3 : N o）、アクセス頻度情報 2 1 3 が「0」を示すウェイがあれば（ステップS 9 5 4 : Y e s）、そのウェイに登録が行われる（ステップS 9 5 5）。アクセス頻度情報 2 1 3 が「0」を示すウェイもなければ（ステップS 9 5 4 : N o）、キャッシュ管理テーブル 2 1 0 への登録は行われない。

[0087] このように、本技術の実施の形態では、データをキャッシュストレージ 4 0 0 に登録する前に、候補キャッシュ管理テーブル 2 7 0 を用いてアクセス頻度を監視して、キャッシュイン閾値を超えた際にキャッシュストレージ 4 0 0 に登録する。これにより、キャッシュヒットが期待できるデータのみをキャッシュストレージ 4 0 0 に登録することができる。

[0088] なお、上述の実施の形態は本技術を具現化するための一例を示したものであり、実施の形態における事項と、特許請求の範囲における発明特定事項とはそれぞれ対応関係を有する。同様に、特許請求の範囲における発明特定事項と、これと同一名称を付した本技術の実施の形態における事項とはそれぞれ対応関係を有する。ただし、本技術は実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において実施の形態に種々の変形を施すことにより具現化することができる。

[0089] また、上述の実施の形態において説明した処理手順は、これら一連の手順を有する方法として捉えてもよく、また、これら一連の手順をコンピュータに実行させるためのプログラム乃至そのプログラムを記憶する記録媒体として捉えてもよい。この記録媒体として、例えば、C D（Compact Disc）、M D（MiniDisc）、D V D（Digital Versatile Disc）、メモ리카ード、ブルーレイディスク（Blu-ray（登録商標）Disc）等を用いることができる。

[0090] なお、本明細書に記載された効果はあくまで例示であって、限定されるも

のではなく、また、他の効果があってもよい。

[0091] なお、本技術は以下のような構成もとることができる。

(1) メインストレージに記憶されるデータの一部を記憶するキャッシュストレージのキャッシュエントリ毎にアクセス頻度を保持するキャッシュ管理部と、

前記キャッシュストレージに登録されていない候補エントリ毎に前記アクセス頻度を保持する候補キャッシュ管理部と、

発行されたアクセスコマンドのアドレスに応じて前記アクセス頻度を更新して、前記アクセス頻度に基づいて前記キャッシュエントリおよび前記候補エントリを更新するキャッシュ更新部と
を具備する記憶制御装置。

(2) 前記キャッシュ更新部は、前記発行されたアクセスコマンドのアドレスが前記キャッシュエントリおよび前記候補エントリの何れにも登録されていない場合には、そのアドレスを前記候補エントリに登録して、その候補エントリの前記アクセス頻度に初期値を設定する

前記(1)に記載の記憶制御装置。

(3) 前記キャッシュ更新部は、前記候補エントリの前記アクセス頻度が所定のキャッシュイン閾値よりも高くなると、前記候補エントリを前記キャッシュストレージの前記キャッシュエントリとして登録させて、前記メインストレージの対応するデータを前記キャッシュストレージに記憶させる

前記(1)または(2)に記載の記憶制御装置。

(4) 前記キャッシュ更新部は、前記アクセス頻度が前記キャッシュイン閾値よりも高くなった前記候補エントリを前記キャッシュストレージの前記キャッシュエントリとして登録させる際に、元の前記候補エントリを削除する
前記(3)に記載の記憶制御装置。

(5) 前記キャッシュ更新部は、前記キャッシュエントリの前記アクセス頻度が所定のキャッシュアウト閾値よりも低くなると、そのキャッシュエントリを前記キャッシュストレージからの削除候補とする

前記（１）から（４）のいずれかに記載の記憶制御装置。

（６）前記キャッシュ更新部は、前記キャッシュエントリの前記アクセス頻度が所定のライトバック開始閾値よりも低くなると、そのキャッシュエントリの前記キャッシュストレージにおけるデータが前記メインストレージと不一致であれば、そのデータを前記キャッシュストレージから前記メインストレージに転送する

前記（１）から（５）のいずれかに記載の記憶制御装置。

（７）前記キャッシュ更新部は、前記候補エントリの前記アクセス頻度が所定の候補キャッシュアウト閾値よりも低くなると、その候補エントリを削除候補とする

前記（１）から（６）のいずれかに記載の記憶制御装置。

（８）前記キャッシュ更新部は、前記発行されたアクセスコマンドのアドレスが前記キャッシュエントリまたは前記候補エントリの何れかに登録されている場合には、そのエントリの前記アクセス頻度の値をより高くして、それ以外のエントリの前記アクセス頻度の値をより低くする

前記（１）から（７）のいずれかに記載の記憶制御装置。

（９）メインストレージと、

前記メインストレージに記憶されるデータの一部を記憶するキャッシュストレージと、

前記キャッシュストレージのキャッシュエントリ毎にアクセス頻度を保持するキャッシュ管理部と、

前記キャッシュストレージに登録されていない候補エントリ毎に前記アクセス頻度を保持する候補キャッシュ管理部と、

発行されたアクセスコマンドのアドレスに応じて前記アクセス頻度を更新して、前記アクセス頻度に基づいて前記キャッシュエントリおよび前記候補エントリを更新するキャッシュ更新部と
を具備する記憶装置。

（１０）前記キャッシュストレージは、書込み回数に上限を有する不揮発性

メモリである

前記（９）に記載の記憶装置。

（１１）ホストコンピュータと、

メインストレージと、

前記メインストレージに記憶されるデータの一部を記憶するキャッシュストレージと、

前記キャッシュストレージのキャッシュエントリ毎にアクセス頻度を保持するキャッシュ管理部と、

前記キャッシュストレージに登録されていない候補エントリ毎に前記アクセス頻度を保持する候補キャッシュ管理部と、

前記ホストコンピュータによって発行されたアクセスコマンドのアドレスに応じて前記アクセス頻度を更新して、前記アクセス頻度に基づいて前記キャッシュエントリおよび前記候補エントリを更新するキャッシュ更新部とを具備する情報処理システム。

符号の説明

- [0092]
- | | |
|-----|----------------|
| １００ | ホストコンピュータ |
| ２００ | ストレージコントローラ |
| ２１０ | キャッシュ管理テーブル |
| ２１１ | 有効フラグ |
| ２１２ | アドレス情報 |
| ２１３ | アクセス頻度情報 |
| ２１４ | ダーティフラグ |
| ２２０ | キャッシュアドレス比較部 |
| ２２１ | 比較器 |
| ２２２ | ヒット判定部 |
| ２３０ | メインストレージ制御部 |
| ２４０ | キャッシュストレージ制御部 |
| ２５０ | キャッシュ管理テーブル更新部 |

- 2 6 0 キャッシュデータ更新部
- 2 7 0 候補キャッシュ管理テーブル
- 2 7 1 有効フラグ
- 2 7 2 アドレス情報
- 2 7 3 アクセス頻度情報
- 2 8 0 候補キャッシュアドレス比較部
- 2 8 1 比較器
- 2 8 2 ヒット判定部
- 2 9 0 候補キャッシュ管理テーブル更新部
- 3 0 0 メインストレージ
- 4 0 0 キャッシュストレージ
- 5 0 0 記憶装置

請求の範囲

- [請求項1] メインストレージに記憶されるデータの一部を記憶するキャッシュストレージのキャッシュエントリ毎にアクセス頻度を保持するキャッシュ管理部と、
- 前記キャッシュストレージに登録されていない候補エントリ毎に前記アクセス頻度を保持する候補キャッシュ管理部と、
- 発行されたアクセスコマンドのアドレスに応じて前記アクセス頻度を更新して、前記アクセス頻度に基づいて前記キャッシュエントリおよび前記候補エントリを更新するキャッシュ更新部と
- を具備する記憶制御装置。
- [請求項2] 前記キャッシュ更新部は、前記発行されたアクセスコマンドのアドレスが前記キャッシュエントリおよび前記候補エントリの何れにも登録されていない場合には、そのアドレスを前記候補エントリに登録して、その候補エントリの前記アクセス頻度に初期値を設定する
- 請求項1記載の記憶制御装置。
- [請求項3] 前記キャッシュ更新部は、前記候補エントリの前記アクセス頻度が所定のキャッシュイン閾値よりも高くなると、前記候補エントリを前記キャッシュストレージの前記キャッシュエントリとして登録させて、前記メインストレージの対応するデータを前記キャッシュストレージに記憶させる
- 請求項1記載の記憶制御装置。
- [請求項4] 前記キャッシュ更新部は、前記アクセス頻度が前記キャッシュイン閾値よりも高くなった前記候補エントリを前記キャッシュストレージの前記キャッシュエントリとして登録させる際に、元の前記候補エントリを削除する
- 請求項3記載の記憶制御装置。
- [請求項5] 前記キャッシュ更新部は、前記キャッシュエントリの前記アクセス頻度が所定のキャッシュアウト閾値よりも低くなると、そのキャッシュ

ュエントリを前記キャッシュストレージからの削除候補とする
請求項 1 記載の記憶制御装置。

[請求項6] 前記キャッシュ更新部は、前記キャッシュエントリの前記アクセス頻度が所定のライトバック開始閾値よりも低くなると、そのキャッシュエントリの前記キャッシュストレージにおけるデータが前記メインストレージと不一致であれば、そのデータを前記キャッシュストレージから前記メインストレージに転送する
請求項 1 記載の記憶制御装置。

[請求項7] 前記キャッシュ更新部は、前記候補エントリの前記アクセス頻度が所定の候補キャッシュアウト閾値よりも低くなると、その候補エントリを削除候補とする
請求項 1 記載の記憶制御装置。

[請求項8] 前記キャッシュ更新部は、前記発行されたアクセスコマンドのアドレスが前記キャッシュエントリまたは前記候補エントリの何れかに登録されている場合には、そのエントリの前記アクセス頻度の値をより高くして、それ以外のエントリの前記アクセス頻度の値をより低くする
請求項 1 記載の記憶制御装置。

[請求項9] メインストレージと、
前記メインストレージに記憶されるデータの一部を記憶するキャッシュストレージと、
前記キャッシュストレージのキャッシュエントリ毎にアクセス頻度を保持するキャッシュ管理部と、
前記キャッシュストレージに登録されていない候補エントリ毎に前記アクセス頻度を保持する候補キャッシュ管理部と、
発行されたアクセスコマンドのアドレスに応じて前記アクセス頻度を更新して、前記アクセス頻度に基づいて前記キャッシュエントリおよび前記候補エントリを更新するキャッシュ更新部と

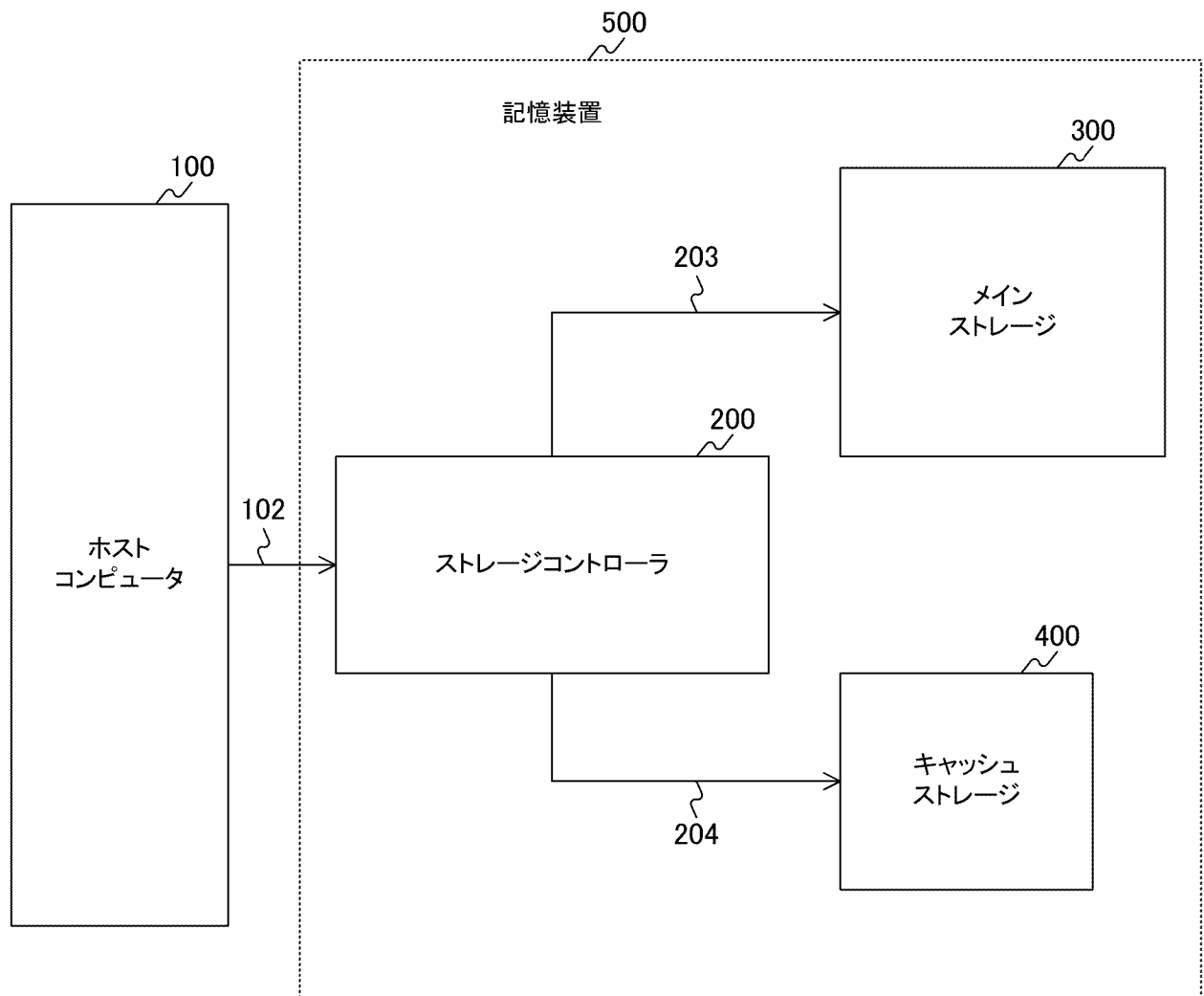
を具備する記憶装置。

[請求項10] 前記キャッシュストレージは、書込み回数に上限を有する不揮発性メモリである

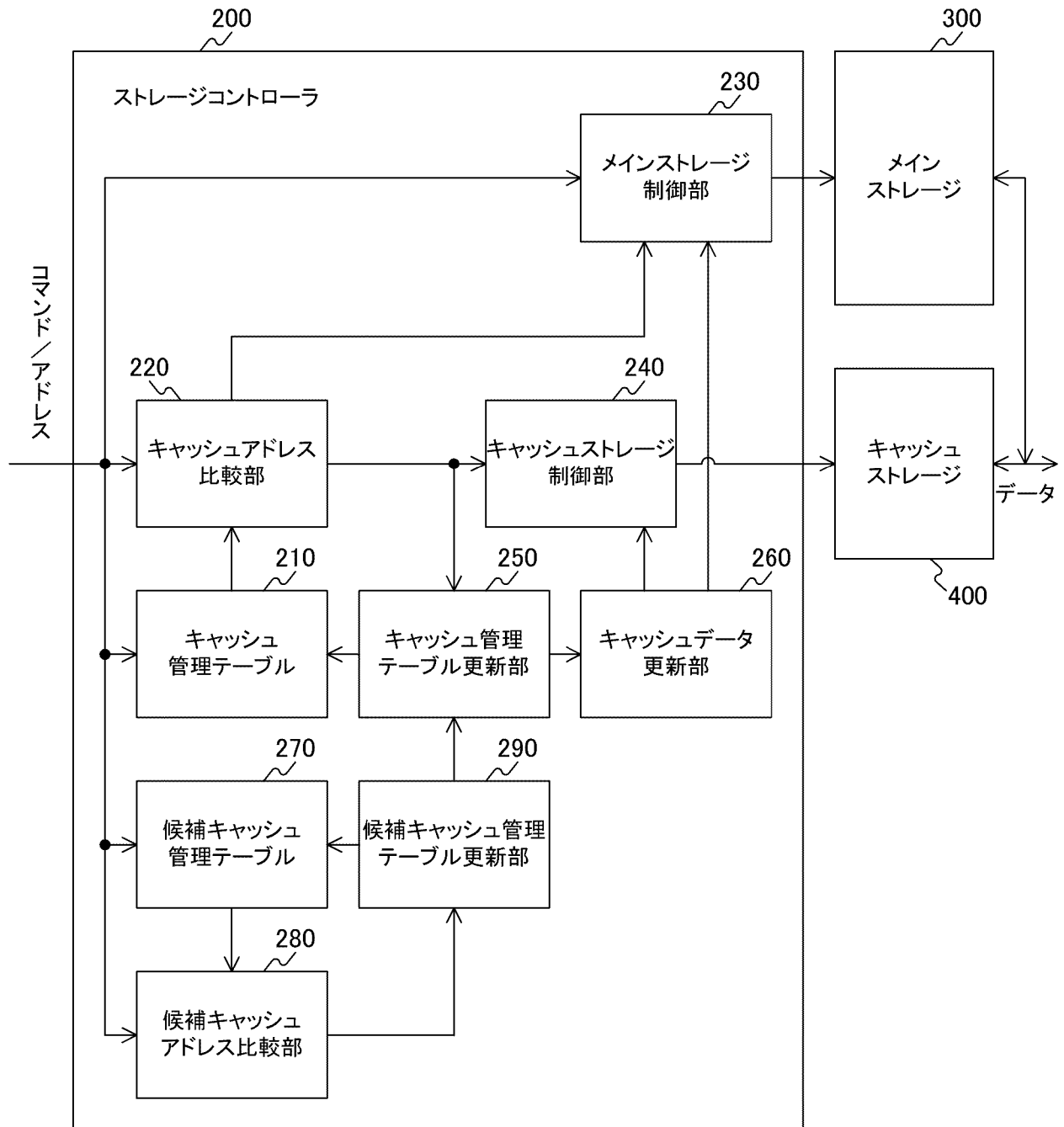
請求項9記載の記憶装置。

[請求項11] ホストコンピュータと、
メインストレージと、
前記メインストレージに記憶されるデータの一部を記憶するキャッシュストレージと、
前記キャッシュストレージのキャッシュエントリ毎にアクセス頻度を保持するキャッシュ管理部と、
前記キャッシュストレージに登録されていない候補エントリ毎に前記アクセス頻度を保持する候補キャッシュ管理部と、
前記ホストコンピュータによって発行されたアクセスコマンドのアドレスに応じて前記アクセス頻度を更新して、前記アクセス頻度に基づいて前記キャッシュエントリおよび前記候補エントリを更新するキャッシュ更新部と
を具備する情報処理システム。

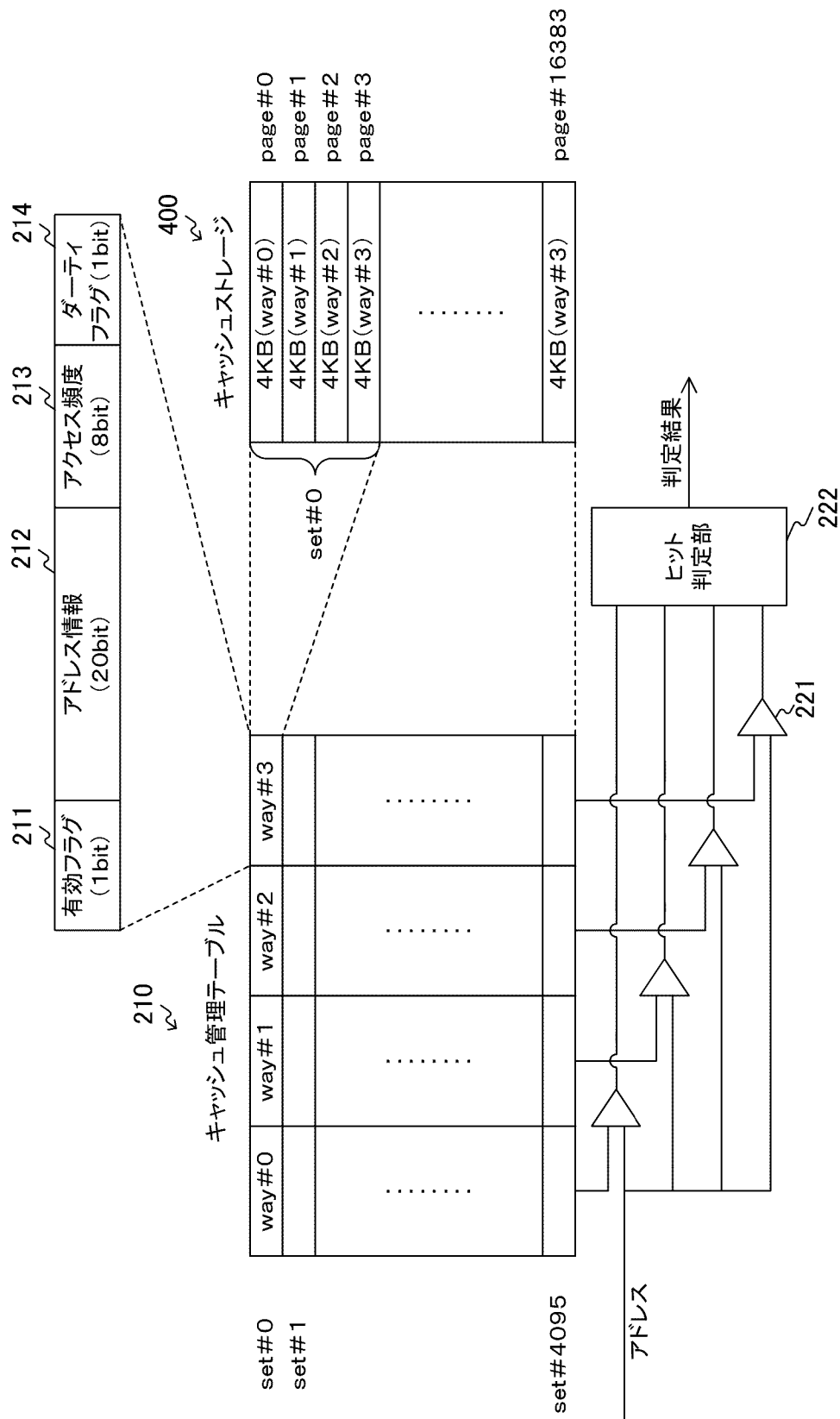
[図1]



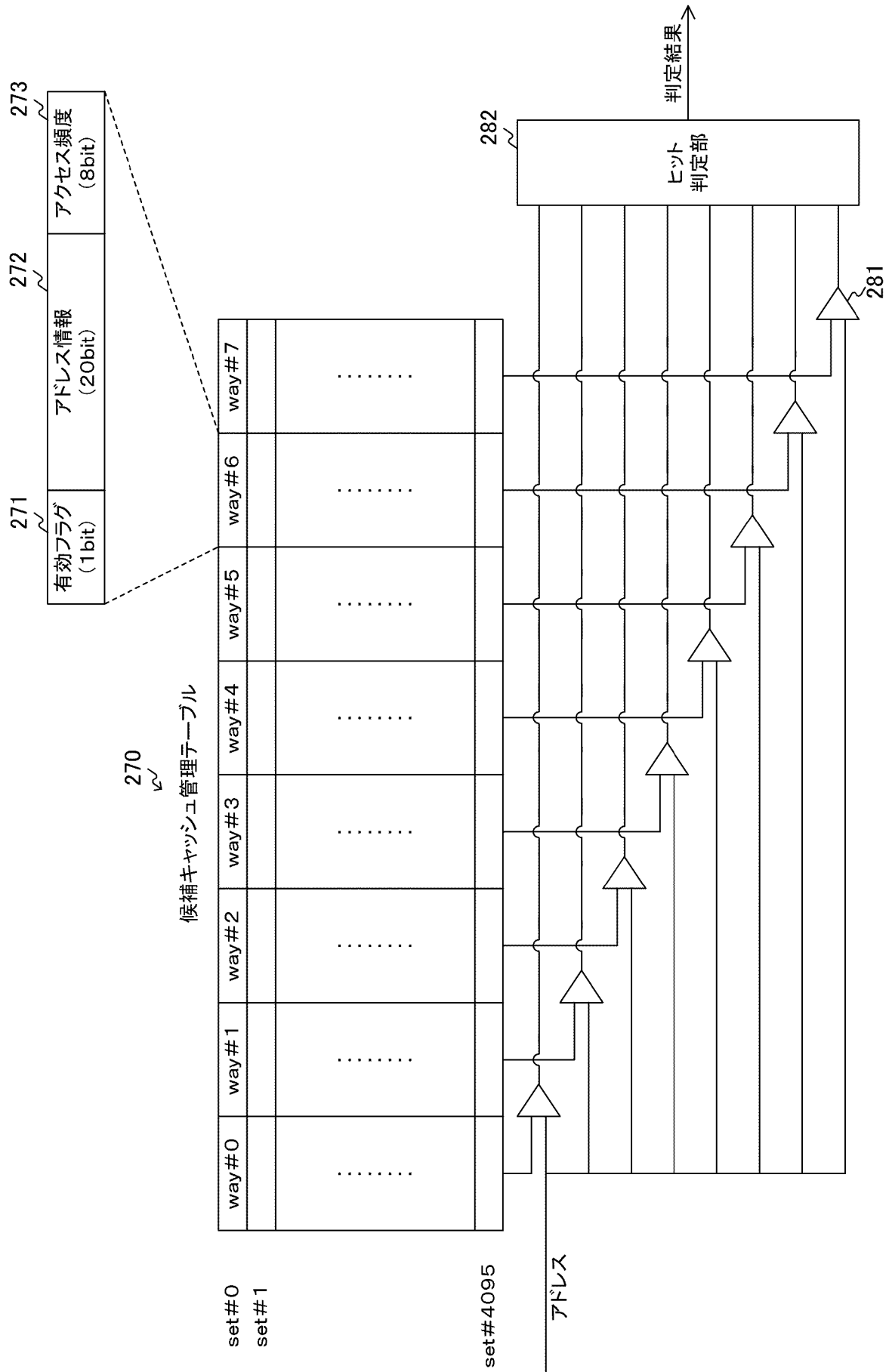
[図2]



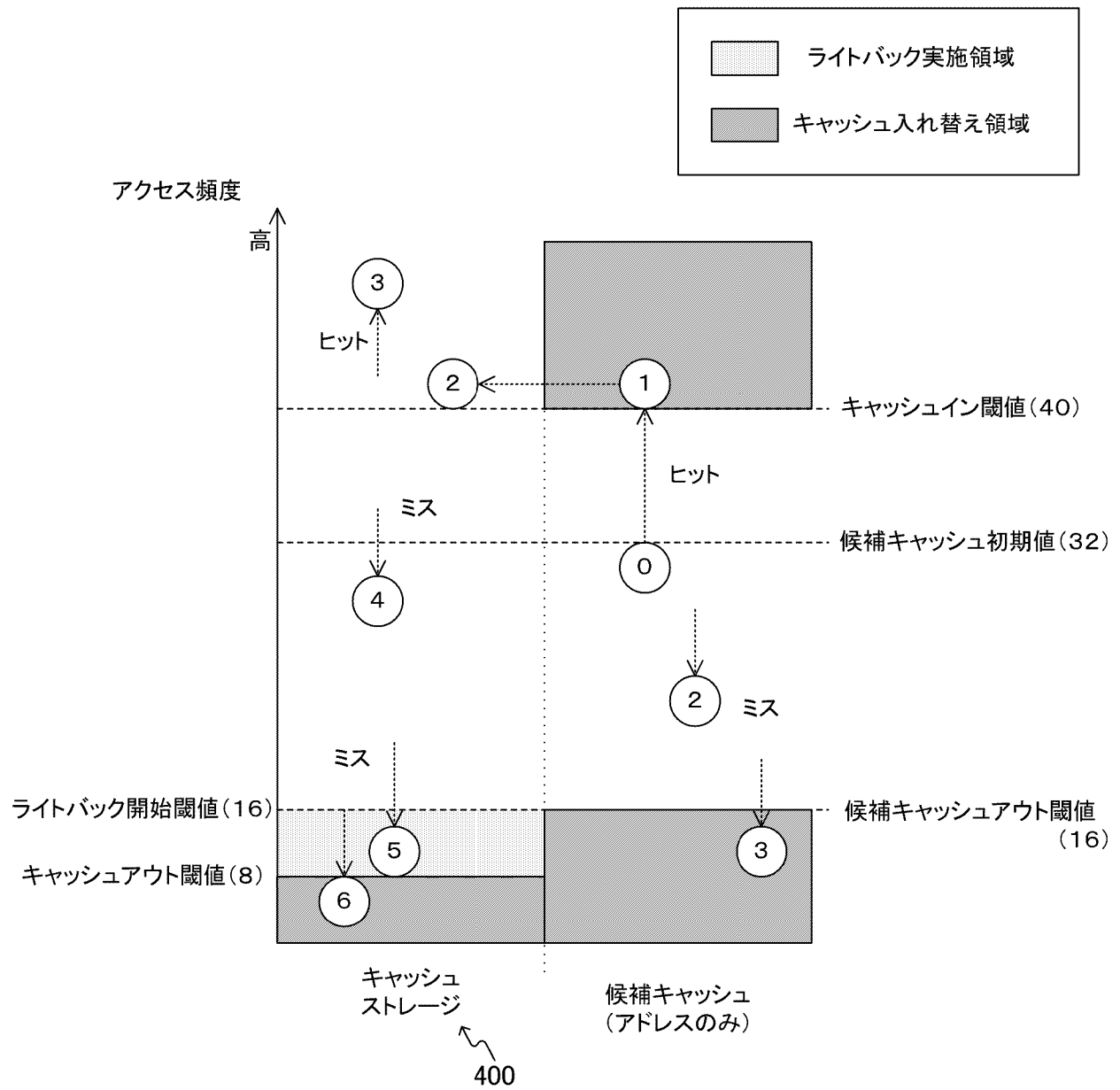
[図3]



[図4]



[図5]



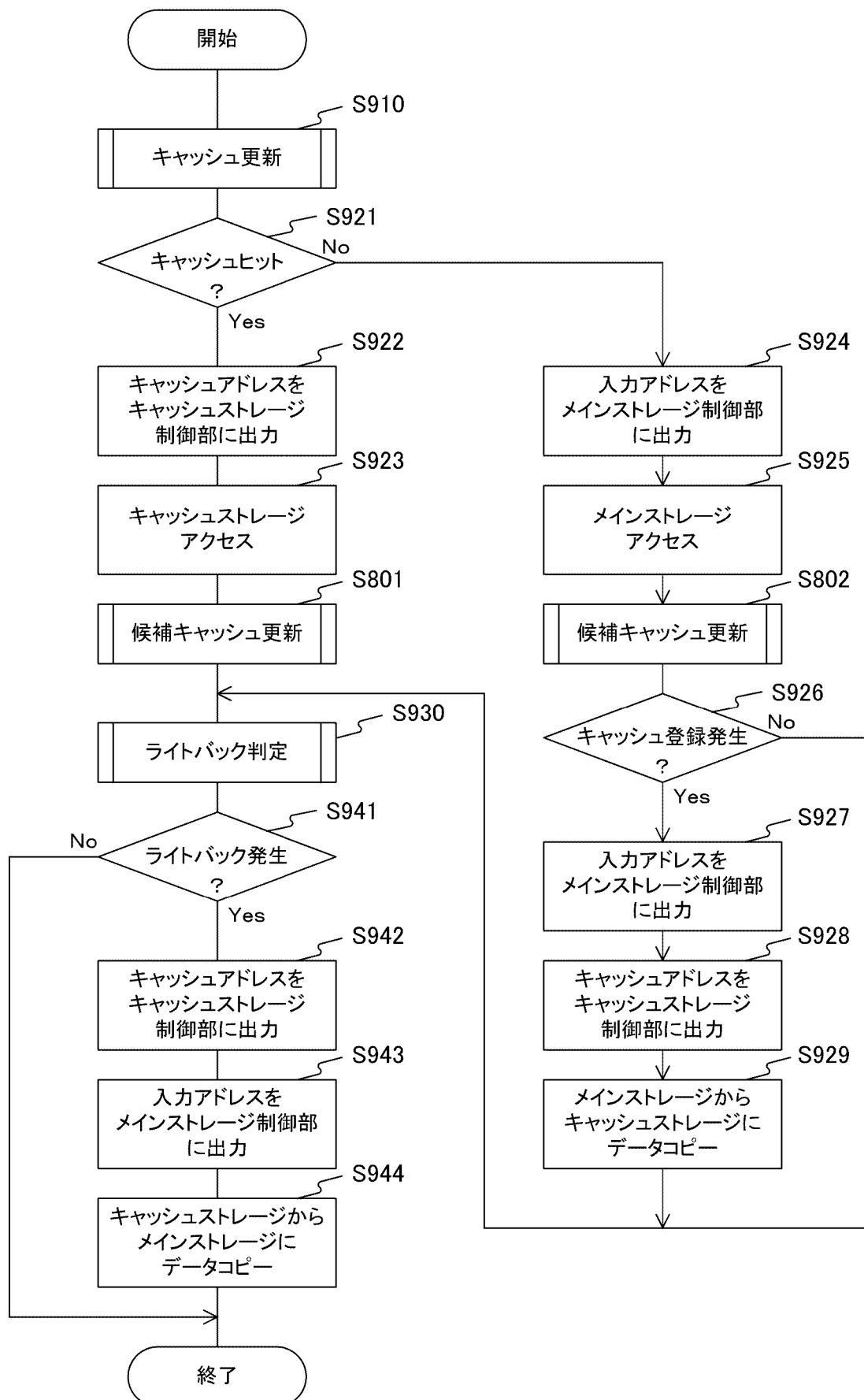
[図6]

	設定値	動作内容
キャッシュヒット時加算値	4	キャッシュストレージ、候補キャッシュにおけるヒット時にアクセス頻度に加算する値
キャッシュミス時減算値	1	キャッシュストレージ、候補キャッシュにおけるミスヒット時にアクセス頻度から減算する値
候補キャッシュ初期値	32	空または削除予定の候補キャッシュへの登録時にアクセス頻度に設定する初期値

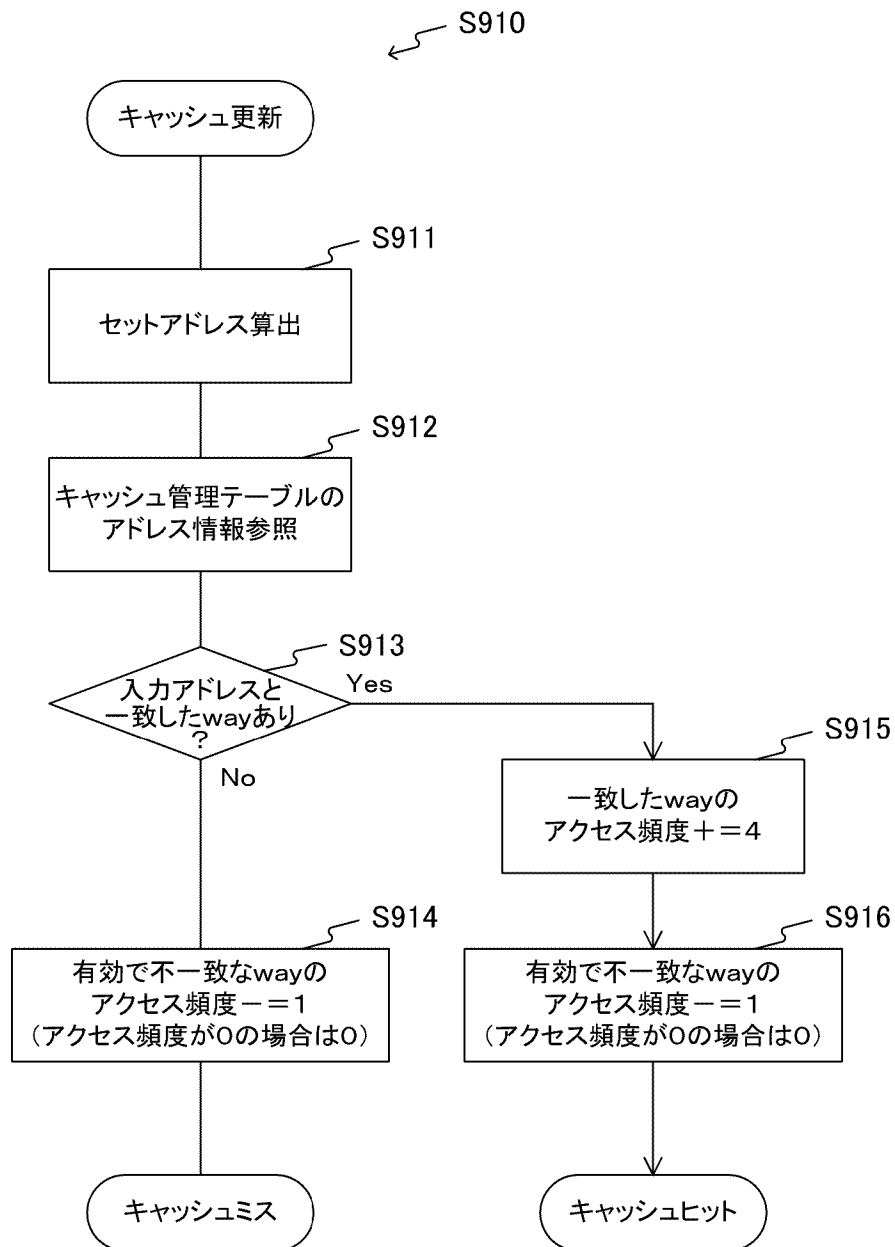
[図7]

	閾値	変化	動作内容
キャッシュイン閾値	40	↑	空または削除予定のキャッシュエントリに候補キャッシュを登録 (キャッシュストレージにデータロード発生)
候補キャッシュアウト閾値	16	↓	候補キャッシュから削除 (アドレスのみ)
ライトバック開始閾値	16	↓	ダーティなキャッシュエントリのライトバック実行 (メインストレージにデータコピー発生)
キャッシュアウト閾値	8	↓	キャッシュストレージから削除 (アドレスとデータを削除)

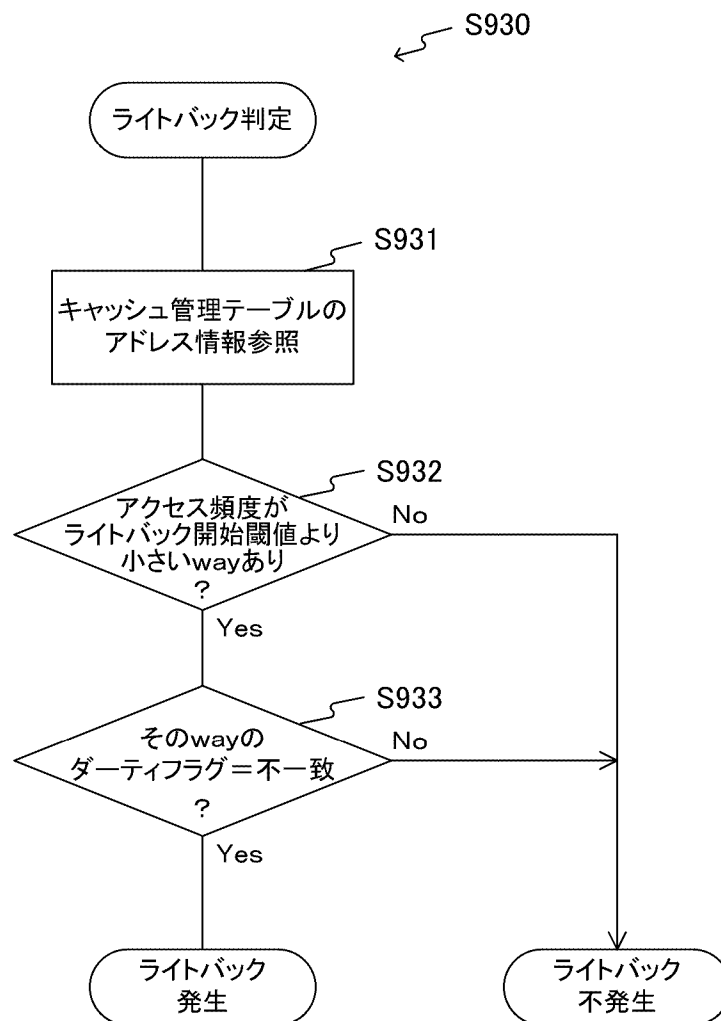
[図8]



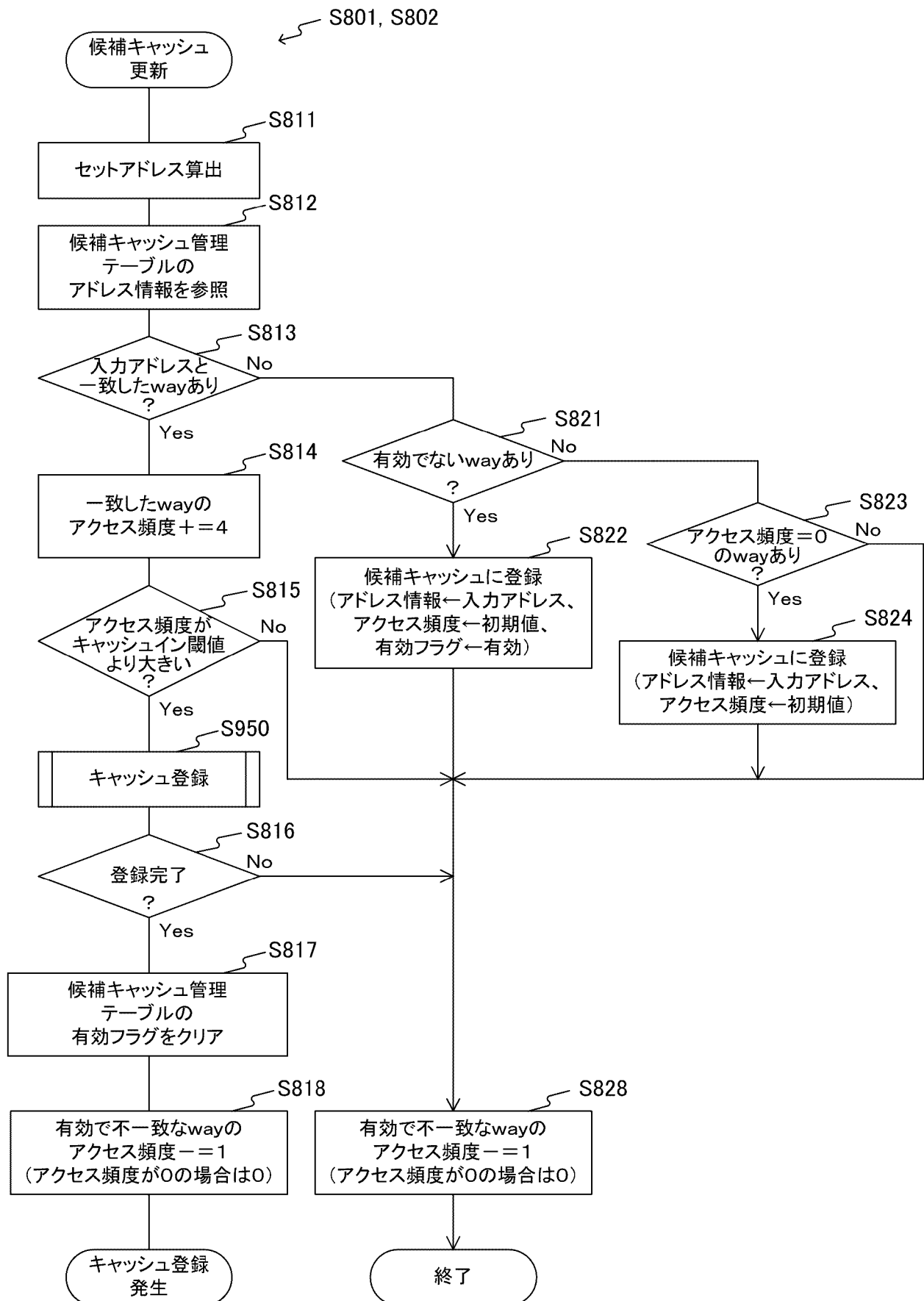
[図9]



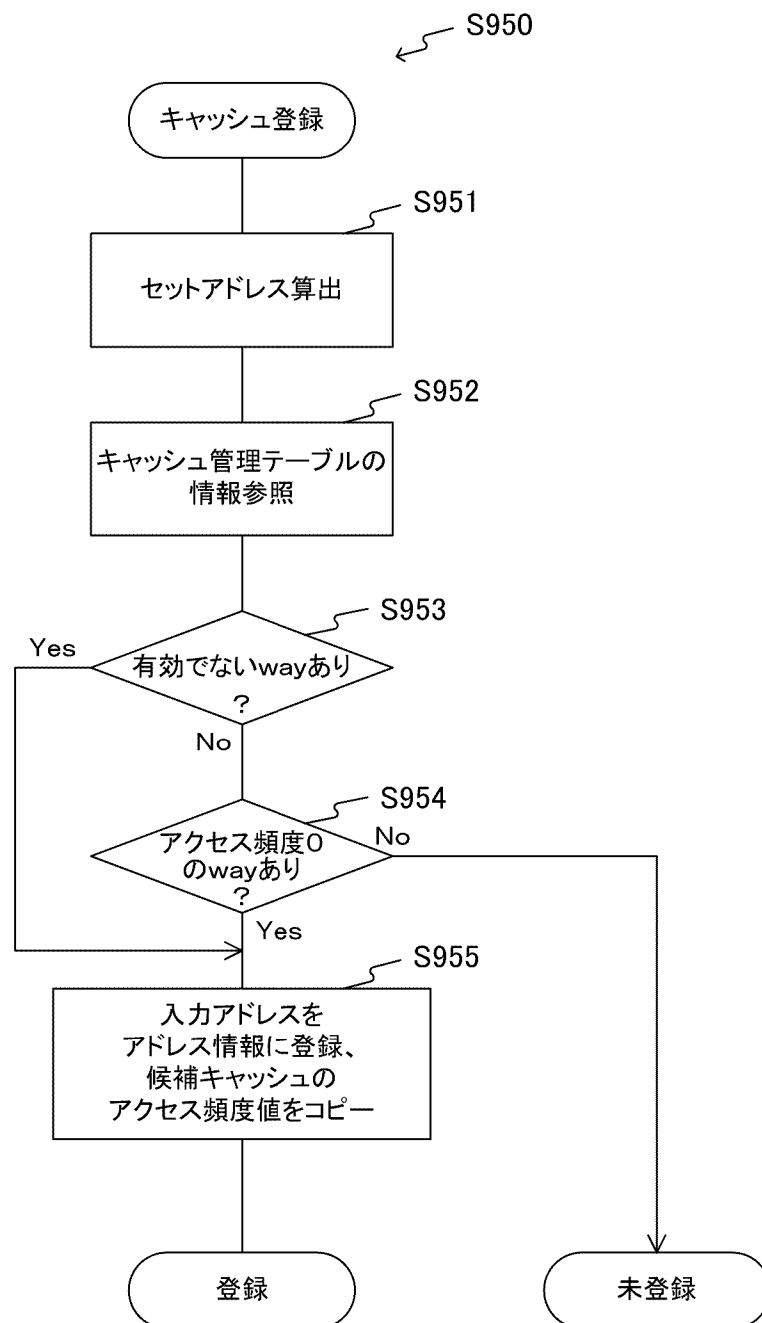
[図10]



[図11]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/016105

A. CLASSIFICATION OF SUBJECT MATTER Int.Cl. G06F3/06 (2006.01) i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int.Cl. G06F3/06 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2019 Registered utility model specifications of Japan 1996-2019 Published registered utility model applications of Japan 1994-2019 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2016-062315 A (FUJITSU LTD.) 25 April 2016, paragraphs [0027]-[0058], [0076]-[0085] & US 2016/0085446 A1, paragraphs [0037]-[0069], [0087]-[0098]	1, 3-7, 9-11 2, 8
A	JP 2012-048361 A (HITACHI, LTD.) 08 March 2012 & US 2012/0054421 A1 & US 2015/0113212 A1 & KR 10-2012-0024429 A	1-11
A	JP 2013-174997 A (MITSUBISHI ELECTRIC CORP.) 05 September 2013 (Family: none)	1-11
A	JP 2011-141754 A (TOYOTA MOTOR CORP.) 21 July 2011 (Family: none)	1-11
☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 17 May 2019 (17.05.2019)		Date of mailing of the international search report 28 May 2019 (28.05.2019)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan		Authorized officer Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G06F3/06(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G06F3/06

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2016-062315 A（富士通株式会社）2016.04.25, 段落27-58, 76-85 & US 2016/0085446 A1, 段落37-69, 87-98	1,3-7,9-11 2,8
A	JP 2012-048361 A（株式会社日立製作所）2012.03.08, & US 2012/0054421 A1 & US 2015/0113212 A1 & KR 10-2012-0024429 A	1-11
A	JP 2013-174997 A（三菱電機株式会社）2013.09.05,（ファミリーなし）	1-11

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

17.05.2019

国際調査報告の発送日

28.05.2019

国際調査機関の名称及びあて先

日本国特許庁（I S A/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

和平 悠希

電話番号 03-3581-1101 内線 3546

5 S

5380

C (続き) . 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2011-141754 A (トヨタ自動車株式会社) 2011.07.21, (ファミリーなし)	1-11