



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201725689 A

(43) 公開日：中華民國 106 (2017) 年 07 月 16 日

(21) 申請案號：105134171

(22) 申請日：中華民國 105 (2016) 年 10 月 21 日

(51) Int. Cl. : H01L23/528 (2006.01)

H01L23/535 (2006.01)

H01L21/60 (2006.01)

(30) 優先權：2015/10/26 美國

62/246,366

2016/07/19 美國

15/213,506

(71) 申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR
MANUFACTURING COMPANY LTD. (TW)

新竹市新竹科學工業園區力行六路 8 號

(72) 發明人：蕭錦濤 SIO, KAM-TOU (TW)；賴志明 LAI, CHIH-MING (TW)；陳俊光 CHEN,
CHUN-KUANG (TW)；陳志良 CHEN, CHIH-LIANG (TW)；楊 超源 YOUNG,
CHEW-YUEN (US)；余基業 YU, CHI-YEH (TW)；曾健庭 TZENG, JIANN-TYNG
(TW)；劉如淦 LIU, RU-GUN (TW)；陳文豪 CHEN, WEN-HAO (TW)

(74) 代理人：陳長文；馮博生

申請實體審查：有 申請專利範圍項數：10 項 圖式數：19 共 43 頁

(54) 名稱

針對高功率電子遷移的通路軌方案

VIA RAIL SOLUTION FOR HIGH POWER ELECTROMIGRATION

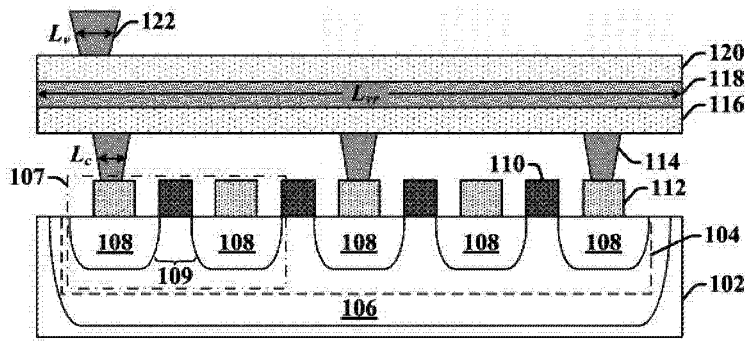
(57) 摘要

本揭露係關於一種具有一通路軌之積體電路，該通路軌防止諸如電子遷移等可靠性擔憂。在某些實施例中，該積體電路具有經配置於一半導體基板上方之第一複數個導電接點。一第一金屬互連導線經配置於該第一複數個導電接點上方，且一第二金屬互連導線經配置於該第一金屬互連導線上方。一通路軌經配置於該第一金屬互連導線上方且電耦合該第一金屬互連導線與該第二金屬互連導線。該通路軌具有在該複數個導電接點中之兩者或兩者以上上方連續延伸之一長度。通路軌之該長度提供該第一金屬互連導線與該第二金屬互連導線之間以及沿著該通路軌之一長度之一經增加的剖面面積，藉此減輕該積體電路內的電子遷移。

The present disclosure relates to an integrated circuit having a via rail that prevents reliability concerns such as electro-migration. In some embodiments, the integrated circuit has a first plurality of conductive contacts arranged over a semiconductor substrate. A first metal interconnect wire is arranged over the first plurality of conductive contacts, and a second metal interconnect wire is arranged over the first metal interconnect wire. A via rail is arranged over the first metal interconnect wire and electrically couples the first metal interconnect wire and the second metal interconnect wire. The via rail has a length that continuously extends over two or more of the plurality of conductive contacts. The length of via rail provides for an increased cross-sectional area both between the first metal interconnect wire and the second metal interconnect wire and along a length of the via rail, thereby mitigating electro-migration within the integrated circuit.

指定代表圖：

100



【圖1】

符號簡單說明：

- 100 . . . 積體電路
- 102 . . . 半導體基板
- 104 . . . 主動區域
- 106 . . . 井區
- 107 . . . 電晶體裝置
- 108 . . . 源極/汲極區
- 109 . . . 通道區
- 110 . . . 閘極結構
- 112 . . . 中段製程結構
- 114 . . . 導電接點/下伏導電接點
- 116 . . . 第一金屬互連導線
- 118 . . . 通路軌
- 120 . . . 第二金屬互連導線/上覆第二金屬互連導線
- 122 . . . 第二通路/通路
- L_c . . . 長度
- L_v . . . 長度
- L_{vr} . . . 長度

【發明說明書】

【中文發明名稱】

針對高功率電子遷移的通路軌方案

【英文發明名稱】

VIA RAIL SOLUTION FOR HIGH POWER ELECTROMIGRATION

【技術領域】

本發明實施例係關於一種針對高功率電子遷移的通路軌方案。

【先前技術】

近四十年來，半導體製作工業已受對較大效能(例如，經增加處理速度、記憶體容量等)、一縮小之外觀尺寸、經延長電池壽命及較低成本之一持續需求驅動。回應於此需求，工業已持續減小半導體裝置組件之一大小，使得現代積體晶片可包括經配置於一單個半導體晶粒上之數百萬或數十億半導體裝置。

【發明內容】

根據本發明的一實施例，一種積體電路包括：複數個導電接點，其經配置於一半導體基板上方；一第一金屬互連導線，其經配置於該複數個導電接點上方；一第二金屬互連導線，其經配置於該第一金屬互連導線上方；及一通路軌，其經配置於該第一金屬互連導線上方且經組態以電耦合該第一金屬互連導線與該第二金屬互連導線，其中該通路軌具有在該複數個導電接點中之兩者或兩者以上上方連續延伸之一長度。

根據本發明的另一實施例，一種積體電路包括：一主動區域，其包括經配置於被放置在一基板中之一井區內之複數個源極/汲極區；複數個閘極結構，其在該複數個源極/汲極區中的毗鄰者之間以一接點閘極間距

被配置於該基板上方；複數個中段製程(MEOL)結構，其經配置於該複數個源極/汲極區上；複數個導電接點，其經配置於該複數個MEOL結構上方；一第一金屬互連導線，其經配置於該複數個導電接點上方；一第二金屬互連導線，其經配置於該第一金屬互連導線上方；及一通路軌，其經組態以電耦合該第一金屬互連導線與該第二金屬互連導線，其中該通路軌具有大於該接點間極間距之一長度。

根據本發明的再一實施例，一種形成一積體晶片之方法包括：在一半導體基板上方形形成複數個導電接點；在該複數個導電接點上方形成一第一金屬互連導線；在該第一金屬互連導線上方形成一通路軌，其中該通路軌具有在該複數個導電接點中之兩者或兩者以上上方連續延伸之一長度；及將一第二金屬互連導線形成至該通路軌上。

【圖式簡單說明】

依據與附圖一起閱讀之以下詳細說明來最佳地理解本發明之態樣。應注意，根據工業中之標準實踐，各種構件未按比例繪製。實際上，為論述清晰起見，可任意地增加或減小各種構件之尺寸。

圖1圖解說明一積體電路之某些實施例之一剖面圖，該積體電路具有包括經組態以減輕電子遷移之一通路軌之一後段(BEOL)金屬堆疊。

圖2圖解說明一積體電路之某些額外實施例之一剖面圖，該積體電路具有包括一通路軌之一BEOL金屬堆疊。

圖3圖解說明一積體電路之某些額外實施例之一俯視圖，該積體電路具有包括一通路軌之一BEOL金屬堆疊。

圖4圖解說明具有一通路軌之一積體電路之某些額外實施例之一剖面圖。

圖5圖解說明一積體電路之一剖面圖之某些額外實施例，該積體電路具有包括一通路軌之一BEOL金屬堆疊。

圖6A至圖6B圖解說明一積體電路之某些實施例，該積體電路具有一後段(BEOL)金屬堆疊，其中一通路軌配置於複數個FinFET裝置上方。

圖7至圖17圖解說明形成一積體電路之一方法之某些實施例之剖面圖，該積體電路具有包括一通路軌之一BEOL金屬堆疊。

圖18圖解說明形成一積體電路之一方法之某些實施例之一流程圖，該積體電路具有包括一通路軌之一BEOL金屬堆疊。

圖19圖解說明基於電子遷移規範而判定一經最佳化單元高度以用於比例調整之一方法之某些實施例之一流程圖。

【實施方式】

相關申請案交叉參考

本申請案主張2015年10月26日提出申請之美國臨時申請案第62/246,366號之優先權。該美國臨時申請案之內容據此係以全文引用之方式併入。

以下揭露提供用於實施所提供標的物之不同構件之諸多不同實施例或實例。下文闡述組件及配置之特定實例以簡化本發明。當然，此等僅為實例且並非意欲為限制性的。舉例而言，在以下說明中一第一構件在一第二構件上方或該第二構件上形成可包含其中第一構件與第二構件直接接觸地形成之實施例且亦可包含其中額外構件可形成於第一構件與第二構件之間使得第一構件與第二構件可不直接接觸之實施例。另外，本發明可在各種實例中重複參考編號及/或字母。此重複係出於簡單及清晰目的且並非本質上指示所論述之各種實施例及/或組態之間的一關係。

此外，可在本文中為易於說明而使用空間相對術語(諸如「下方」、「下面」、「下部」、「上面」、「上部」及諸如此類)來闡述一個元件或構件與另一元件或構件之關係，如各圖中所圖解說明。該等空間相對術語意欲囊括在使用或操作中之裝置之除圖中所繪示定向之外的不同定向。設備可以其他方式定向(旋轉90度或以其他定向)且可因此同樣地理解本文中所使用之空間相對描述語。

積體晶片(IC)包括經組態以將功率及接地電壓分配至IC內之多個裝置(例如，電晶體)之功率分配網路。功率分配網路通常包括功率軌，該等功率軌係配置於一後段(BEOL)金屬堆疊內之金屬互連導線。功率軌保持處於一選定電壓電位且電耦合至複數個裝置，以便將電壓電位提供至該等裝置。舉例而言，積體晶片通常包括保持處於一源極電壓電位(V_{SS})之一第一功率軌及保持處於一接地電壓電位(V_{DD})之一第二功率軌。

通常，功率軌配置於一下部金屬互連導線(例如，一「M1」層)上。然而，隨著積體晶片之大小降低，功率軌之大小亦已降低，從而導致功率軌內之一高電流密度。已瞭解，在新興技術節點(例如，14 nm、10 nm、7 nm、5nm等)中，高電流密度可導致可靠性擔憂，諸如電子遷移及/或IR問題(由於較小金屬互連導線之一較高電阻)。為改良電子遷移，可使用較大功率軌(例如，具有一較大寬度及/或高度)，然而此一方法妨礙對單元大小之適當比例調整。另一選擇係，多個經堆疊金屬互連導線層可共同地操作以充當一功率軌結構。然而，此一方法無法防止電子遷移「熱點」(亦即，多個金屬互連導線層中之一或多者內之經歷高電子遷移之區域)。

本發明實施例係關於一種具有一功率軌結構(包括兩個金屬導線層及一介入通路軌)之積體電路，該功率軌結構達成適當單元比例調整同時防

止可靠性擔憂(諸如電子遷移及/或IR問題)。在某些實施例中，積體電路包括配置於一半導體基板上方之第一複數個導電接點。一第一金屬互連導線配置於第一複數個導電接點上方，且一第二金屬互連導線配置於第一金屬互連導線上方。一通路軌配置於第一金屬互連導線上方且經組態以電耦合第一金屬互連導線與第二金屬互連導線。通路軌具有在複數個導電接點中之兩者或兩者以上上方連續延伸之一長度。通路軌之長度提供第一金屬互連導線與第二金屬互連導線之間以及沿著通路軌之一長度之一經增加剖面面積，藉此減輕積體電路內之電子遷移及電子遷移熱點。

圖1圖解說明一積體電路100之某些實施例之一剖面圖，該積體電路具有包括經組態以減輕電子遷移之一通路軌之一後段(BEOL)金屬堆疊。

積體電路100包括配置於一半導體基板102內之一井區106。井區106包括一主動區域104，該主動區域包括配置於井區106內之複數個源極/汲極區108。井區106具有與半導體基板102之一第二摻雜類型相反之一第一摻雜類型。複數個源極/汲極區108包括具有第二摻雜類型之高度摻雜區(例如，具有大於周圍半導體基板102及/或井區106之摻雜濃度之一摻雜濃度)。舉例而言，形成於一p型基板內之一PMOS主動區域可包括配置於一n井內之p型源極/汲極區。

複數個閘極結構110(為簡化圖解說明，在圖中標記一單個閘極結構110)在複數個源極/汲極區108之間配置於半導體基板102上方。複數個閘極結構110經組態以在一電晶體裝置107之操作期間控制延伸於毗鄰源極/汲極區108之間的一通道區109內之一電荷載子(例如，電洞或電子)流動。複數個中段製程(MEOL)結構112(為簡化圖解說明，在圖中標記一單個MEOL結構112)在交錯於複數個閘極結構110之間的位置處配置於源極/汲

極區108上方。複數個MEOL結構112包括配置成與源極/汲極區108接觸之導電材料。複數個MEOL結構112經組態以提供橫向訊號路由(例如，在平行於半導體基板102之一頂部表面之一方向上之訊號路由)。

複數個導電接點114 (為簡化圖解說明，在圖中標記一單個導電接點114)耦合至半導體基板102內之電晶體裝置107。在某些實施例中，複數個導電接點114配置至複數個MEOL結構112上。在其他實施例中，複數個導電接點114可配置至複數個閘極結構110上。複數個導電接點114將電晶體裝置107電耦合至一第一金屬互連導線116。一通路軌118配置於第一金屬互連導線116上方，且一第二金屬互連導線120配置於通路軌118上。一第二通路122配置於第二金屬互連導線120上。

通路軌118具有一伸長形狀(例如，一矩形形狀)，其具有沿著一較長軸線延伸之一長度 L_{vr} 及沿著一較短軸線延伸(亦即，至圖式之平面中)之一寬度。通路軌118之長度 L_{vr} 大於複數個導電接點114中之各別者之一長度 L_c 及/或第二通路122之一長度 L_v 。在某些實施例中，通路軌118延伸超過一下伏導電接點114之相對側(例如，自超出一導電接點114之一第一側壁至超出導電接點114之一相對第二側壁)。在某些實施例中，通路軌118在導電接點114中之兩者或兩者以上上方連續延伸。

通路軌118之長度 L_{vr} 提供第一金屬互連導線116與第二金屬互連導線120之間以及沿著通路軌118之一長度之一經增加剖面面積。經增加剖面面積減小電子遷移應力及電阻(例如，通路軌118可減小電子遷移應力達傳統通路結構所能減小之2倍以上)。通路軌118之長度 L_{vr} 亦達成對積體電路佈局之經改良比例調整，此乃因經增加剖面面積允許減小一單元高度而不顯著增加電子遷移(例如，通路軌118允許增加一功率軌之一電流路徑之一

剖面面積同時減小功率軌之一寬度)。

圖2圖解說明一積體電路200之某些額外實施例之一剖面圖，該積體電路具有包括一通路軌之一BEOL金屬堆疊。

積體電路200包括放置於一井區106內之複數個源極/汲極區108，該井區配置於一半導體基板102內。包括一ILD層206及複數個金屬間介電質(IMD)層208a至208d之一介電質結構208配置於半導體基板102上方。在某些實施例中，ILD層206可包括一種氧化物(例如， SiO_2)或一經摻雜矽酸鹽玻璃。在各種實施例中，複數個IMD層208a至208d可包括以下各項中之一或多者：一低介電係數層(亦即，具有小於約3.9之一介電常數之一介電質)、一超低介電係數層或一種氧化物(例如，氧化矽)。

複數個閘極結構110經配置於ILD層206內在毗鄰源極/汲極區108之間。複數個閘極結構110分別包括一閘極介電質層202及一上覆閘極電極204。在各種實施例中，閘極介電質層202可包括一種氧化物或一高介電係數層。在某些實施例中，閘極電極204可包括多晶矽或一金屬(例如，鋁)。在某些實施例中，側壁間隔件(未展示)可係配置於閘極結構110之相對側上。在某些實施例中，複數個閘極結構110以一接點閘極間距 P_{CGP} (亦即，閘極結構110之左邊緣之間或閘極結構110之右邊緣之間的一間隔)配置，該接點閘極間距具有由於未對準誤差而變化達小於或等於大約5%之值。

複數個中段製程(MEOL)結構112亦配置於ILD層206內在複數個源極/汲極區108上方。在某些實施例中，複數個MEOL結構112可具有實質上等於複數個閘極結構110之高度之高度(亦即，複數個MEOL結構112之上部表面與閘極結構110之上部表面實質上共面)。舉例而言，複數個MEOL

結構112可包括一導電材料(諸如鋁、銅及/或鎢)。

複數個導電接點114放置於介電質結構208之一第一金屬間介電質(IMD)層208a內。在某些實施例中，導電接點114可包括一導電金屬(諸如鎢)。複數個導電接點114電耦合至經配置在上覆於第一IMD層208a之一第二IMD層208b內之一第一金屬互連導線116。在某些實施例中，第一金屬互連導線116可包括銅、鋁或一銅合金。

一通路軌118被配置至第一金屬互連導線116上且經組態以將第一金屬互連導線116電耦合至一上覆第二金屬互連導線120。在某些實施例中，通路軌118可具有大於接點閘極間距 P_{CGP} 之一長度 L_{vr} 。在某些實施例中，通路軌118及第二金屬互連導線120可被配置在上覆於第二IMD層208b之一第三IMD層208c內。在某些實施例中，通路軌118及第二金屬互連導線120可包括銅、鋁或一銅合金。

在某些實施例中，第一金屬互連導線116具有一第一高度 h_1 及帶有一第一角度 θ_1 之側壁。通路軌118具有不同於第一高度 h_1 之一第二高度 h_2 。在某些實施例中，舉例而言，第二高度 h_2 可大於第一高度 h_1 。在某些實施例中，第一金屬互連導線116可具有帶有一第一角度 θ_1 之側壁，且通路軌118可具有帶有一第二角度 θ_2 之側壁。在某些實施例中，第一角度 θ_1 實質上等於第二角度 θ_2 。在其他實施例中，第一角度 θ_1 不同於第二角度 θ_2 。

圖3圖解說明一積體電路300之某些額外實施例之一俯視圖，該積體電路具有包括一通路軌之一BEOL金屬堆疊。

積體電路300包括經配置於一半導體基板102內之一第一主動區域104a及一第二主動區域104b。第一主動區域104a及第二主動區域104b包括沿著一第一方向302延伸之源極/汲極區。在某些實施例中，第一主動區

域104a內之源極/汲極區具有與第二主動區域104b內之源極/汲極區不同的摻雜類型。

複數個閘極結構110沿著垂直於第一方向302之一第二方向304延伸於主動區域104a及104b上方。複數個MEOL結構112在複數個閘極結構110之間的位置處沿著第二方向304延伸於主動區域104a及104b上方。複數個MEOL結構112藉助於導電接點114耦合至第一金屬互連導線116a及116b。第一金屬互連導線116a及116b藉由主動區域104a及104b而分離，且沿著第一方向302平行延伸於複數個閘極結構110上方。在某些實施例中，一輸出接腳308係位於與第一金屬互連導線相同之一金屬導線層上，且藉助於導電接點114耦合至複數個MEOL結構112。

第二金屬互連導線120a及120b在第一方向302上延伸於第一金屬互連導線116a及116b上方。第一金屬互連導線116a及116b分別藉助於通路軌118a及118b耦合至第二金屬互連導線120a及120b。通路軌118a及118b分別包括具有在第一方向302上延伸之一較長尺寸之一伸長形狀。在某些實施例中，通路軌118a及118b具有一實質上矩形之佔用面積。在某些實施例中，第一金屬互連導線116a及116b以及第二金屬互連導線120a及120b在第一方向302及第二方向304上延伸超過通路軌118a及118b之相對側壁。

第一金屬互連導線116a及116b、通路軌118a及118b以及第二金屬互連導線120a及120b共同地包括功率軌結構306a及306b，該等功率軌結構經組態以將一電壓電位分配至積體電路300中之多個裝置。在某些實施例中，一第一功率軌結構306a可保持處於一供應電壓(例如， V_{DD})，而一第二功率軌結構306b可保持處於一接地電壓(例如， V_{SS})。在各種實施例

中，功率軌結構306a及306b可係配置於主動區域104a及104b上方或毗鄰於該等主動區域。

藉由將通路軌118a及118b分別安放於第一金屬互連導線116a與第二金屬互連導線120a之間以及第一金屬互連導線116b與第二金屬互連導線120b之間，功率軌結構306a及306b之一剖面面積增加。增加功率軌結構306a及306b的剖面面積降低電子遷移，且因此亦允許對一單元高度310比例調整而不使積體電路300的電子遷移降級。

圖4圖解說明具有一通路軌之一積體電路400之某些額外實施例之一剖面圖。

積體電路400包括經配置在上覆於一半導體基板102之一介電質結構208內之複數個金屬互連層。複數個金屬互連層包括一局部功率軌結構401，該局部功率軌結構包括一第一金屬互連導線116、一通路軌118及一第二金屬互連導線120。在某些實施例中，複數個金屬互連層進一步包括經配置於第二金屬互連導線120上方之一上部金屬互連導線406上之一第二功率軌。在此等實施例中，上部金屬互連導線406可保持處於一選定電壓(例如， V_{SS} 或 V_{DD})。上部金屬互連導線406藉助於複數個經堆疊中間金屬互連導線404a至404b及一或多個中間通路402a至402c而耦合至第二金屬互連導線120。通路軌118在經堆疊中間金屬互連導線404a至404b及一或多個中間通路402a至402c之第一行與第二行之間連續延伸，以便提供具有一相對大剖面面積的電流路徑408。

舉例而言，在操作期間，電流自上部金屬互連導線406穿過電流路徑408行進至第二金屬互連導線120。由於上部金屬互連導線406之大小相對大，因此上部金屬互連導線406之電流密度相對小。然而，第一金屬互連

導線116及第二金屬互連導線120之較小大小致使電流密度增加(例如，由於較小剖面面積)。通路軌118藉由在平行於半導體基板102之一表面之一第一方向410及垂直於半導體基板102之表面之一第二方向412上增加一剖面面積而減小第一金屬互連導線116及第二金屬互連導線120內之電流密度。

在某些實施例中，一通路414在自通路軌118偏移之一位置處配置於第一金屬互連導線116上方。通路414及通路軌118具有一相同寬度(至圖式之平面中)及不同長度(在方向410上)。舉例而言，在某些實施例中，通路軌118具有係通路414之一長度之五倍以上之長度(在方向410上)。在其他實施例中，通路軌118具有係通路414之一長度之十倍以上之長度。

雖然功率軌結構401展示為位於一第一金屬互連導線(例如，一「M1」層)及一第二金屬互連導線(例如，一「M2」層)上，但將瞭解，功率軌結構(例如，保持處於 V_{DD} 或 V_{SS} 之金屬互連導線)可配置於藉由一通路軌而分離之額外及/或不同金屬導線層上。舉例而言，功率軌結構可包括一第三金屬互連導線(例如，一「M3」層)、一第四金屬互連導線(例如，一「M4」層)且一通路軌定位於該第三金屬互連導線與該第四金屬互連導線之間。舉例而言，另一選擇係，功率軌結構可包括第一金屬互連導線116、第二金屬互連導線120、通路軌118、位於第二金屬互連導線120上方之一第三金屬互連導線以及介於第二金屬互連導線120與第三金屬互連導線之間之一第二通路軌。

圖5圖解說明一積體電路500之某些額外實施例之一剖面圖，該積體電路具有包括一通路軌之一BEOL金屬堆疊。

積體電路500包括放置於一半導體基板102上方之一介電質結構501。

介電質結構501包括複數個經堆疊介電質層(例如，一低介電係數材料、一種氧化物材料、無摻雜SiO₂、氟矽酸鹽玻璃等)，包含一ILD層206及複數個IMD層208a至208d。在某些實施例中，複數個經堆疊介電質層藉由複數個蝕刻停止層502a至502d而分離。舉例而言，ILD層206藉由一第一蝕刻停止層(ESL) 502a而與第一IMD層208a分離，第一IMD層208a藉由一第二ESL 502b而與一第二IMD層208b分離等。在各種實施例中，複數個蝕刻停止層502a至502d可包括氮化鈦(TiN)及/或氮化鉭(TaN)。

複數個導電接點114配置於ILD層206內。一第一擴散阻障襯層504a將複數個導電接點114與ILD層206分離。第一擴散阻障襯層504a經組態以防止金屬原子自複數個導電接點114擴散至ILD層206。在某些實施例中，第一擴散阻障襯層504a可包括鉭(Ta)或氮化鈦(TaN)。在某些實施例中，第一擴散阻障襯層504a經定位而與第一ESL 502a直接接觸。

一第一金屬互連導線116配置於第一IMD層208a內。一第二擴散阻障襯層504b將第一金屬互連導線116與第一IMD層208a分離。第二擴散阻障襯層504b亦將第一金屬互連導線116與複數個導電接點114分離。一第二金屬互連導線120配置於第一金屬互連導線116上方。在各種實施例中，第一金屬互連導線116及第二金屬互連導線120可包括一導電材料，諸如銅、鋁、鈦、鎢等。

第一金屬互連導線116藉由一通路軌118而電耦合至第二金屬互連導線120。通路軌118之一上部表面與第二金屬互連導線120直接接觸。一第三擴散阻障襯層504c將通路軌118及第二金屬互連導線120與第二IMD層208b分離。第三擴散阻障襯層504c亦將通路軌118之一下部表面與第一金屬互連導線116分離。一第二通路122配置於一第三IMD層208c內且一第

三金屬互連導線506配置於第二通路122上。第二通路122藉由一第四擴散阻障襯層504d而與第三IMD層208c分離。

雖然圖1至圖5圖解說明具有配置於平坦電晶體上方之一後段(BEOL)金屬堆疊之積體電路，但將瞭解，本文中所揭露之BEOL金屬堆疊亦可結合FinFET裝置來使用。圖6A至圖6B圖解說明一積體電路之某些實施例，該積體電路具有一後段(BEOL)金屬堆疊，其中一通路軌配置於複數個FinFET裝置上方。

圖6A圖解說明一積體電路600之一剖面圖，該積體電路具有一BEOL金屬堆疊，其中一通路軌118配置於複數個FinFET裝置601上方。圖6B圖解說明積體晶片600之一個三維視圖612 (沿著線A-A'展示圖6A之剖面圖)。

積體晶片600包括自一下伏半導體基板602突出之一半導體材料鰭片(fin) 604。在某些實施例中，半導體材料鰭片604包括與半導體基板602相同之材料。磊晶源極/汲極區606配置於半導體材料鰭片604內。

複數個閘極結構608 (為簡化圖解說明，在圖中標記一單個閘極結構608)放置於半導體基板602上方。複數個閘極結構608跨越半導體材料鰭片604。複數個閘極結構608經組態以控制電荷載子在半導體材料鰭片604內之流動。在某些實施例中，複數個閘極結構608可包括一閘極電極及一閘極介電質層202，該閘極介電質層將閘極電極與半導體材料鰭片604分離。

一介電質層610配置於半導體基板602上方。介電質層610沿著半導體基板602之一平坦表面且沿著半導體材料鰭片604之側壁及一上部表面延伸。在某些實施例中，介電質層610可包括一個二氧化矽(SiO₂)層。

複數個中段製程(MEOL)結構112 (為簡化圖解說明，在圖中標記一單個MEOL結構112)在交錯於複數個閘極結構608之間的位置處配置於磊晶源極/汲極區606上方。複數個導電接點114 (為簡化圖解說明，在圖中標記一單個導電接點114)耦合至半導體基板602內之FinFET裝置601。在某些實施例中，複數個導電接點114配置至複數個MEOL結構112上。在其他實施例中，複數個導電接點114可配置至複數個閘極結構608上。複數個導電接點114將電晶體裝置107電耦合至一第一金屬互連導線116。一通路軌118配置於第一金屬互連導線116上方，且一第二金屬互連導線120配置於通路軌118上。一第二通路122配置於第二金屬互連導線120上。在某些實施例中，通路軌118在導電接點114中之兩者或兩者以上上方連續延伸。

圖7至圖17圖解說明在一後段(BEOL)金屬堆疊內形成一通路軌之一方法之某些實施例之剖面圖700至剖面圖1700。

如剖面圖700中所展示，在一半導體基板102內形成一井區106。在各種實施例中，半導體基板102可為任何類型之半導體主體(例如，矽、SiGe、SOI)，諸如一半導體晶圓及/或一晶圓上之一或多個晶粒，以及與其相關聯之任何其他類型之金屬層、裝置、半導體及/或磊晶層等。半導體基板102可包括具有一第一摻雜類型(例如，一n型摻雜或一p型摻雜)之一經本質摻雜半導體基板。

可藉由將一摻雜物種類702選擇性地佈植至半導體基板102中而形成井區106 (例如，可藉由在形成閘極結構之前將一p型摻雜物佈植至基板中而在一p型基板內形成一n井以形成一PMOS主動區域)。在某些實施例中，可根據配置於半導體基板102上方之一第一遮蔽層704來將摻雜物種

類702選擇性地佈植至半導體基板102中。在某些實施例中，第一遮蔽層704可包括一光阻劑層。在此等實施例中，可藉由將一光阻劑層選擇性地曝光於輻射且隨後使光阻劑層顯影而圖案化第一遮蔽層704。

如剖面圖800中所展示，在井區106上方形成複數個閘極結構110。複數個閘極結構110包括藉由一閘極介電質層202而與半導體基板102分離之一閘極電極204。在某些實施例中，可藉由在半導體基板102上方形成一閘極介電質層且隨後在閘極介電質層上方形成一閘極電極層而形成複數個閘極結構110。隨後根據一光微影製程來圖案化閘極介電質層及閘極電極層以形成複數個閘極結構110。

如剖面圖900中所展示，在井區106內形成複數個源極/汲極區108。在某些實施例中，可藉由根據閘極結構110及一第二遮蔽層904將一摻雜物種類902選擇性地佈植至半導體基板102中而形成複數個源極/汲極區108。在各種實施例中，摻雜物種類902可包括一p型摻雜物(例如，硼、鎵等)或一n型摻雜物(例如，磷、砷等)。在某些實施例中，可藉由執行一後續高溫退火而將摻雜物種類902驅動至半導體基板102中。在某些替代實施例中，可在半導體基板102內或上覆於該半導體基板之一位置處藉由蝕刻及磊晶生長製程而形成源極/汲極區108。

如剖面圖1000中所展示，在橫向交錯於複數個閘極結構110之間的位置處、在複數個源極/汲極區108上方形成複數個中段製程(MEOL)結構112。在某些實施例中，藉由在半導體基板102上方沈積一層間介電質(ILD)層206而形成複數個MEOL結構112。隨後蝕刻ILD層206以形成填充有一導電材料之開口以形成複數個MEOL結構112。在其他實施例中，可在形成ILD層206之前形成複數個MEOL結構112。

如剖面圖1100中所展示，在ILD層206上方形成一第一金屬間介電質(IMD)層208a。在某些實施例中，在形成第一IMD層208a之前在ILD層206上方形成一第一蝕刻停止層(ESL) 502a，使得第一ESL 502a將ILD層206與第一IMD層208a分離。在某些實施例中，第一ESL 502a可包括藉由一物理氣相沈積製程(例如，PVD、CVD、PE-CVD、ALD等)而沈積之一個氮化鈦層或鈹層。在某些實施例中，第一IMD層208a可包括藉由一物理氣相沈積製程而形成之一低介電係數層。隨後根據一第三遮蔽層1104 (例如，一光阻劑層)而將第一IMD層208a曝光於一蝕刻劑1102以形成複數個導電接點孔1106。

如剖面圖1200中所展示，在導電接點孔1106中沈積一第一擴散阻障襯層504a。第一擴散阻障襯層504a沿著導電接點孔1106之側壁及一下部表面配置。在某些實施例中，可使用一物理氣相沈積製程(例如，PVD、CVD等)來沈積第一擴散阻障襯層504a。在導電接點孔1106內形成一導電材料(例如，銅、鎢及/或鋁)以形成複數個導電接點114。在某些實施例中，可藉由首先在導電接點孔1106內沈積一品種層1202、後續接著一後續鍍覆製程(例如，一電鍍製程、一無電式電鍍製程等)以填充導電接點孔1106 (用一導電填充物1204)而形成導電材料。在某些實施例中，可隨後執行一化學機械拋光(CMP)製程。

如剖面圖1300中所展示，在第一IMD層208a上方形成一第二IMD層208b。在某些實施例中，在第一IMD層208a上方形成一第二ESL 502b，使得第二ESL 502b將第一IMD層208a與第二IMD層208b分離。在第二IMD層208b內形成一第一金屬互連導線116。在某些實施例中，可藉由在第一IMD層208a上方形成第二IMD層208b且隨後蝕刻第二IMD層208b以

形成一第一金屬導線溝槽1302來形成第一金屬互連導線116。在第一金屬導線溝槽1302中沈積一第二擴散阻障襯層504b。然後用一導電材料(例如，鎢、銅、或鋁銅)來填充第一金屬導線溝槽1302以形成第一金屬互連導線116。

如剖面圖1400中所展示，在第二IMD層208b上方形成一第三IMD層208c。在某些實施例中，於第二IMD層208b與第三IMD層208c之間形成一第三ESL 502c。根據一第四遮蔽層1404，將第三IMD層208c曝光於一第一蝕刻劑1402以形成延伸至第三IMD層208c之一上部表面中之一通路軌孔1406。在某些實施例中，通路軌孔1406在複數個導電接點114中之兩者或兩者以上上方沿著第三IMD層208c之上部表面延伸。

如剖面圖1500中所展示，根據一第五遮蔽層1504，將第三IMD層208c曝光於一第二蝕刻劑1502以形成延伸至第三IMD層208c之上部表面中之一第二金屬導線溝槽1506。通路軌孔1406及第二金屬導線溝槽1506自第三IMD層208c之上部表面共同延伸至第三ESL 502c。在某些實施例中，可以一反向次序執行剖面圖1400及1500中所展示之蝕刻操作(例如，使得在形成通路軌孔1406之前，形成第二金屬導線溝槽1506)。

如剖面圖1600中所展示，沿著通路軌孔1406及第二金屬導線溝槽1506之側壁及下部表面來沈積一第三擴散阻障襯層504c。隨後在通路軌孔1406及第二金屬導線溝槽1506內形成一導電材料(例如，銅、鎢及/或鋁)。在某些實施例中，可藉由首先在通路軌孔1406及第二金屬導線溝槽1506內沈積一品種層、後續接著一後續鍍覆製程(例如，一電鍍製程、一無電式電鍍製程)以填充通路軌孔1406及第二金屬導線溝槽1506來形成導電材料。在某些實施例中，可隨後執行一化學機械拋光(CMP)製程。

如剖面圖1700中所展示，在第三IMD層208c上方形成一第四IMD層208d。在某些實施例中，於第三IMD層208c與第四IMD層208d之間形成一第四ESL 502d。蝕刻第四IMD層208d以形成一第二通路孔1702及一上覆第三金屬導線溝槽1704。沿著第二通路孔1702及第三金屬導線溝槽1704之側壁及下部表面來沈積一第四擴散阻障襯層504d。隨後在第二通路孔1702及第三金屬導線溝槽1704內形成一導電材料(例如，銅、鎢及/或鋁)，以形成一通路122及一第三金屬互連導線520。

圖18圖解說明形成一積體電路之一方法1800之某些實施例之一流程圖，該積體電路具有包括一通路軌之一BEOL金屬堆疊。雖然就圖7至圖17來闡述方法1800，但將瞭解，方法1800不限於此等結構，而是可單獨作為獨立於結構之一方法。

此外，儘管在本文中將所揭露之方法(例如，方法1700及1800)圖解說明及闡述為一系列動作或事件，但將瞭解，不應在一限制意義上解釋此等動作或事件之所圖解說明排序。舉例而言，某些動作可以不同次序發生，及/或與除本文中所圖解說明及/或闡述之動作或事件之外的其他動作或事件同時發生。另外，並非所有所圖解說明動作可係需要用以實施本文中之說明之一或多個態樣或實施例。此外，可在一或多個單獨動作及/或階段中執行本文中所繪示之動作中的一或多者。

在1802處，於某些實施例中，可判定一單元之一經最佳化高度。在某些實施例中，可基於運行於一單元佈局上之模擬之電子遷移規範來判定經最佳化單元高度。此乃因單元高度影響功率軌之一寬度(例如，一較小單元高度將具有比一較大單元高度小之一功率軌寬度)，使得功率軌之電子遷移規範可為對經最佳化單元高度之一限制因素。圖19圖解說明對應於

動作1802之某些實施例之一方法1900。

在1804處，在一半導體基板內形成一井區。井區可具有基於經最佳化單元高度而判定之一寬度。圖7圖解說明對應於動作1804之某些實施例之一剖面圖700。

在1806處，在井區上方形成複數個閘極結構。圖8圖解說明對應於動作1806之某些實施例之一剖面圖800。

在1808處，於井區內、在複數個閘極結構之相對側上形成複數個源極/汲極區。圖9圖解說明對應於動作1808之某些實施例之一剖面圖900。

在1810處，於交錯於複數個閘極結構之間的井區上方形成複數個中段製程(MEOL)結構。圖10圖解說明對應於動作1810之某些實施例之一剖面圖1000。

在1812處，在閘極結構及/或MEOL結構上方形成複數個導電接點。圖11至圖12圖解說明對應於動作1812之某些實施例之剖面圖1100至剖面圖1200。

在1814處，在複數個導電接點上方形成一第一金屬互連導線。圖13圖解說明對應於動作1814之某些實施例之一剖面圖1300。

在1816處，在第一金屬互連導線上方形成一通路軌。通路軌具有在導電接點中之兩者或兩者以上上方延伸之一長度。圖15至圖16圖解說明對應於動作1816之某些實施例之剖面圖1400至剖面圖1600。

在1818處，在通路軌上方形成一第二金屬互連導線。圖17圖解說明對應於動作1818之某些實施例之一剖面圖1700。

圖19圖解說明基於電子遷移規範而判定一單元高度之一方法1900之某些實施例之一流程圖。

在1902處，提供一積體電路佈局。積體電路佈局具有一初始單元高度(例如，介於保持處於 V_{DD} 之一第一功率軌與保持處於 V_{SS} 之一第二功率軌之間)及MEOL結構間距。

在1904處，判定一單元高度及MEOL結構間距。單元高度及MEOL結構間距對應於介於一功率軌與一單元之一主動區域內之一電晶體裝置之間的一剖面面積。

在1906處，針對在具有所判定單元高度及MEOL結構間距之一單元內具有一單個功率軌結構(例如，係一第一金屬互連導線之一功率軌)之一積體電路佈局而判定一第一電子遷移規範。在某些實施例中，可使用一模擬(例如，SPICE)來判定第一電子遷移規範。

在1908處，比較第一電子遷移規範與一第一預定電子遷移準則。若第一電子遷移規範違反第一預定電子遷移準則，則方法1900繼續進行至1910。若第一電子遷移規範不違反第一預定電子遷移準則，則方法1900繼續進行至1920。

在1910處，針對在具有初始單元高度及MEOL結構間距之一單元內具有一雙功率軌結構(例如，係一第一金屬互連導線及一上覆第二金屬互連導線之一功率軌)之一積體電路佈局而判定一第二電子遷移規範。

在1912處，可比較第二電子遷移規範與第一預定電子遷移準則。若第二電子遷移規範違反第一預定電子遷移準則，則方法1900繼續進行至1914。若第二電子遷移規範不違反第一預定電子遷移準則，則方法1900繼續進行至1920。

在1914處，針對在具有所判定單元高度及MEOL結構間距之一單元內具有一雙功率軌結構及一通路軌(例如，係由一通路軌耦合之一第一金

屬導線層及一第二金屬導線層之一功率軌)之一積體電路佈局而判定一第三電子遷移規範。

在1916處，可比較第三電子遷移規範與第一預定電子遷移準則。若第三電子遷移規範違反第一預定電子遷移準則，則方法1900繼續進行至1918。若第三電子遷移規範不違反第一預定電子遷移準則，則方法1900繼續進行至1920。

在1918處，增加單元高度。增加單元高度允許增加功率軌之寬度，藉此減小電子遷移規範。方法1900然後使用新單元高度來重複動作1904至動作1916。

在1920處，比較第一、第二或第三電子遷移規範與一第二預定電子遷移準則。若第一、第二或第三電子遷移規範不違反第二預定電子遷移準則，則第一、第二或第三電子遷移規範超過第二預定電子遷移準則達一相對大量，且可在1922處進一步減小單元高度。方法1900然後使用新單元高度來重複動作1904至動作1916。

然而，若第一、第二或第三電子遷移規範違反第二預定電子遷移準則，則第一、第二或第三電子遷移規範稍微超過第二預定電子遷移準則且將所判定單元高度設定為一經最佳化單元高度(在1924處)。

因此，本發明實施例係關於一種具有後段(BEOL)金屬堆疊之積體電路，該BEOL金屬堆疊具有包括兩個金屬導線層及一介入通路軌之一功率軌結構，該功率軌結構達成適當單元比例調整同時防止可靠性擔憂(諸如電子遷移及/或IR問題)。

本發明在某些實施例中係關於一種積體電路。該積體電路包括配置於一半導體基板上方之複數個導電接點。一第一金屬互連導線配置於複數

個導電接點上方，且一第二金屬互連導線配置於第一金屬互連導線上方。一通路軌配置於第一金屬互連導線上方且經組態以電耦合第一金屬互連導線與第二金屬互連導線。通路軌具有在複數個導電接點中之兩者或兩者以上上方連續延伸之一長度。

本發明在其他實施例中係關於一種積體電路。該積體電路包括一主動區域，該主動區域包括配置於放置在一基板中之一井區內之複數個源極/汲極區。複數個閘極結構在複數個源極/汲極區中之毗鄰者之間以一接點閘極間距配置於基板上方，且複數個中段製程(MEOL)結構配置於複數個源極/汲極區上。複數個導電接點配置於複數個MEOL結構上方。一第一金屬互連導線配置於複數個導電接點上方，且一第二金屬互連導線配置於第一金屬互連導線上方。一通路軌經組態以電耦合第一金屬互連導線與第二金屬互連導線。通路軌具有大於接點閘極間距之一長度。

本發明在又其他實施例中係關於一種形成一積體電路之方法。該方法包括在一半導體基板上方形形成複數個導電接點。該方法進一步包括在複數個導電接點上方形成一第一金屬互連導線。該方法進一步包括在第一金屬互連導線上方形成一通路軌，其中通路軌具有在複數個導電接點中之兩者或兩者以上上方連續延伸之一長度。該方法進一步包括將一第二金屬互連導線形成到通路軌上。

前述內容概述數個實施例之構件，使得熟習此項技術者可較好地理解本發明之態樣。熟習此項技術者應瞭解，其可容易地使用本發明作為設計或修改用於實施與本文中介紹之實施例相同之目的及/或達成與該等實施例相同之優點之其他製程及結構之一基礎。熟習此項技術者還應認識到，此等等效構造並不背離本發明之精神及範疇，且其可在不背離本發明

之精神及範疇之情況下在本文中做出各種改變、替換及更改。

【符號說明】

100	積體電路
102	半導體基板
104	主動區域
104a	第一主動區域/主動區域
104b	第二主動區域/主動區域
106	井區
107	電晶體裝置
108	源極/汲極區
109	通道區
110	閘極結構
112	中段製程結構
114	導電接點/下伏導電接點
116	第一金屬互連導線
116a	第一金屬互連導線
116b	第一金屬互連導線
118	通路軌
118a	通路軌
118b	通路軌
120	第二金屬互連導線/上覆第二金屬互連導線
120a	第二金屬互連導線
120b	第二金屬互連導線

122	第二通路/通路
200	積體電路
202	閘極介電質層
204	上覆閘極電極/閘極電極
206	層間介電質層
208	介電質結構
208a	金屬間介電質層/第一金屬間介電質層
208b	金屬間介電質層/第二金屬間介電質層
208c	金屬間介電質層/第三金屬間介電質層
208d	金屬間介電質層/第四金屬間介電質層
300	積體電路
302	第一方向
304	第二方向
306a	功率軌結構/第一功率軌結構
306b	功率軌結構/第二功率軌結構
308	輸出接腳
310	單元高度
400	積體電路
401	局部功率軌結構/功率軌結構
402a	中間通路
402c	中間通路
404a	經堆疊中間金屬互連導線
404b	經堆疊中間金屬互連導線

406	上部金屬互連導線
408	電流路徑
410	第一方向/方向
412	第二方向
414	通路
500	積體電路
501	介電質結構
502a	蝕刻停止層/第一蝕刻停止層
502b	蝕刻停止層/第二蝕刻停止層
502c	蝕刻停止層/第三蝕刻停止層
502d	蝕刻停止層/第四蝕刻停止層
504a	第一擴散阻障襯層
504b	第二擴散阻障襯層
504c	第三擴散阻障襯層
504d	第四擴散阻障襯層
506	第三金屬互連導線
520	第三金屬互連導線
600	積體電路/積體晶片
601	FinFET裝置
602	下伏半導體基板/半導體基板
604	半導體材料鱗片
606	磊晶源極/汲極區
608	閘極結構

610	介電質層
612	三維視圖
700	剖面圖
702	摻雜物種類
704	第一遮蔽層
800	剖面圖
900	剖面圖
902	摻雜物種類
904	第二遮蔽層
1000	剖面圖
1100	剖面圖
1102	蝕刻劑
1104	第三遮蔽層
1106	導電接點孔
1200	剖面圖
1202	晶種層
1204	導電填充物
1300	剖面圖
1302	第一金屬導線溝槽
1400	剖面圖
1402	第一蝕刻劑
1404	第四遮蔽層
1406	通路軌孔

1500	剖面圖
1502	第二蝕刻劑
1504	第五遮蔽層
1506	第二金屬導線溝槽
1600	剖面圖
1700	剖面圖/方法
1704	上覆第三金屬導線溝槽/第三金屬導線溝槽
A-A'	線
h_1	第一高度
h_2	第二高度
L_c	長度
L_v	長度
L_{vr}	長度
P_{CGP}	接點間極間距
θ_1	第一角度
θ_2	第二角度



201725689

申請日: 105/10/21

【發明摘要】

IPC分類: *H01H 23/528* (2006.01)
H01H 23/535 (2006.01)
H01H 21/60 (2006.01)

【中文發明名稱】

針對高功率電子遷移的通路軌方案

【英文發明名稱】

VIA RAIL SOLUTION FOR HIGH POWER ELECTROMIGRATION

【中文】

本揭露係關於一種具有一通路軌之積體電路，該通路軌防止諸如電子遷移等可靠性擔憂。在某些實施例中，該積體電路具有經配置於一半導體基板上方之第一複數個導電接點。一第一金屬互連導線經配置於該第一複數個導電接點上方，且一第二金屬互連導線經配置於該第一金屬互連導線上方。一通路軌經配置於該第一金屬互連導線上方且電耦合該第一金屬互連導線與該第二金屬互連導線。該通路軌具有在該複數個導電接點中之兩者或兩者以上上方連續延伸之一長度。通路軌之該長度提供該第一金屬互連導線與該第二金屬互連導線之間以及沿著該通路軌之一長度之一經增加的剖面面積，藉此減輕該積體電路內的電子遷移。

【英文】

The present disclosure relates to an integrated circuit having a via rail that prevents reliability concerns such as electro-migration. In some embodiments, the integrated circuit has a first plurality of conductive contacts arranged over a semiconductor substrate. A first metal interconnect wire is arranged over the first plurality of conductive contacts, and a second metal interconnect wire is arranged over the first metal interconnect wire. A via rail is arranged over the first metal

interconnect wire and electrically couples the first metal interconnect wire and the second metal interconnect wire. The via rail has a length that continuously extends over two or more of the plurality of conductive contacts. The length of via rail provides for an increased cross-sectional area both between the first metal interconnect wire and the second metal interconnect wire and along a length of the via rail, thereby mitigating electro-migration within the integrated circuit.

【指定代表圖】

圖1

【代表圖之符號簡單說明】

100	積體電路
102	半導體基板
104	主動區域
106	井區
107	電晶體裝置
108	源極/汲極區
109	通道區
110	閘極結構
112	中段製程結構
114	導電接點/下伏導電接點
116	第一金屬互連導線
118	通路軌
120	第二金屬互連導線/上覆第二金屬互連導線

122	第二通路/通路
L_c	長度
L_v	長度
L_{vr}	長度

【發明申請專利範圍】

【第1項】

一種積體電路，其包括：

複數個導電接點，其經配置於一半導體基板上方；

一第一金屬互連導線，其經配置於該複數個導電接點上方；

一第二金屬互連導線，其經配置於該第一金屬互連導線上方；及

一通路軌，其經配置於該第一金屬互連導線上方且經組態以電耦合該第一金屬互連導線與該第二金屬互連導線，其中該通路軌具有在該複數個導電接點中之兩者或兩者以上上方連續延伸之一長度。

【第2項】

如請求項1之積體電路，進一步包括：

一通路，其在自該通路軌偏移之一位置處經配置於該第一金屬互連導線上方，其中該通路及該通路軌具有一相同寬度及不同長度。

【第3項】

如請求項1之積體電路，進一步包括：

一主動區域，其包括經配置於被放置在該半導體基板內之一井區內的複數個源極/汲極區；

複數個閘極結構，其在該複數個源極/汲極區中的毗鄰者之間經配置於該半導體基板上方；及

複數個中段製程(MEOL)結構，其在該複數個閘極結構之間經配置於該複數個源極/汲極區上。

【第4項】

如請求項3之積體電路，其中該第一金屬互連導線及該第二金屬互連

導線沿著該主動區域之一整個長度在一相同方向上延伸。

【第5項】

如請求項3之積體電路，其中該複數個MEOL結構在該主動區域上方於一第一方向上延伸，且該通路軌之該長度在垂直於該第一方向之一第二方向上延伸。

【第6項】

如請求項3之積體電路，其中該複數個導電接點將該複數個MEOL結構電耦合至該第一金屬互連導線。

【第7項】

如請求項1之積體電路，其中該通路軌之一下部表面藉助於一擴散阻障襯層而與該第一金屬互連導線分離，且該通路軌之一上部表面直接接觸該第二金屬互連導線。

【第8項】

如請求項1之積體電路，其中該第一金屬互連導線及該第二金屬互連導線在一第一方向及在垂直於該第一方向之一第二方向上延伸超過該通路軌之相對側壁。

【第9項】

一種積體電路，其包括：

一主動區域，其包括經配置於被放置在一基板中之一井區內之複數個源極/汲極區；

複數個閘極結構，其在該複數個源極/汲極區中的毗鄰者之間以一接點閘極間距被配置於該基板上方；

複數個中段製程(MEOL)結構，其經配置於該複數個源極/汲極區

上；

複數個導電接點，其經配置於該複數個MEOL結構上方；

一第一金屬互連導線，其經配置於該複數個導電接點上方；

一第二金屬互連導線，其經配置於該第一金屬互連導線上方；及

一通路軌，其經組態以電耦合該第一金屬互連導線與該第二金屬互連導線，其中該通路軌具有大於該接點閘極間距之一長度。

【第10項】

一種形成一積體晶片之方法，其包括：

在一半導體基板上方形形成複數個導電接點；

在該複數個導電接點上方形成一第一金屬互連導線；

在該第一金屬互連導線上方形成一通路軌，其中該通路軌具有在該複數個導電接點中之兩者或兩者以上上方連續延伸之一長度；及

將一第二金屬互連導線形成至該通路軌上。

