

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-4005
(P2009-4005A)

(43) 公開日 平成21年1月8日(2009.1.8)

(5) Int.Cl.		F I	テーマコード (参考)
G 1 1 C	29/06	(2006.01)	G 1 1 C 29/00 6 7 3 F 2 G 1 3 2
G 1 1 C	29/34	(2006.01)	G 1 1 C 29/00 6 7 3 P 5 B 1 2 5
G 1 1 C	16/02	(2006.01)	G 1 1 C 17/00 6 0 1 Z 5 L 1 0 6
G 1 1 C	16/06	(2006.01)	G 1 1 C 17/00 6 3 4 F
G O 1 R	31/28	(2006.01)	G O 1 R 31/28 B

審査請求 未請求 請求項の数 7 O L (全 26 頁) 最終頁に続く

(21) 出願番号 特願2007-162204 (P2007-162204)
(22) 出願日 平成19年6月20日 (2007. 6. 20)

(71) 出願人 00005049
シャープ株式会社
大阪府大阪市阿倍野区長池町2番2号
(74) 代理人 100114476
弁理士 政木 良文
(72) 発明者 友廣 一郎
大阪府大阪市阿倍野区長池町2番2号
シャープ株式会社内
Fターム(参考) 2G132 AA09 AB01 AK07 AL09
5B125 BA02 CA11 CA19 CA27 DE06
DE07 EA01 EB01 EB02 EB04
EB05 EB09 EB10 ED09 ED10
EG02 EG14 EG18 FA01
5L106 AA10 DD01 DD11 DD36 EE02
GG05

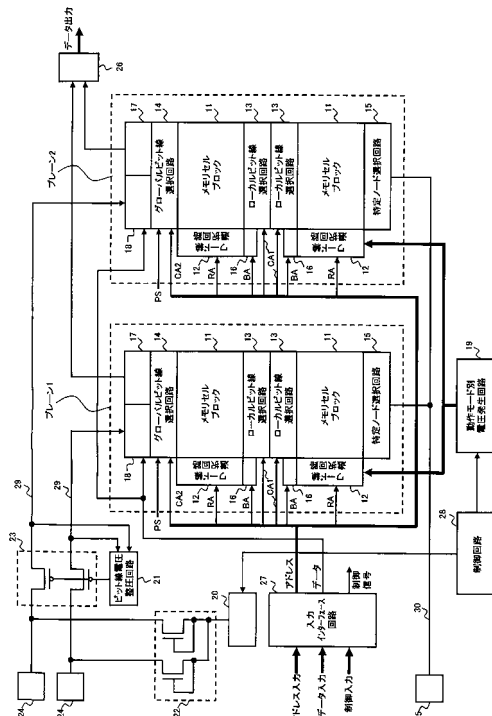
(54) 【発明の名称】 不揮発性半導体記憶装置及びそのテスト方法

(57) 【要約】

【課題】 高信頼性に向けたテスト時間の短縮化が可能な不揮発性半導体記憶装置を提供する。

【解決手段】 書き込み用の列電圧発生回路20から列選択回路13, 14に書き込み動作時の選択列電圧を供給する複数の電圧供給路29、各電圧供給路に外部から電圧印加可能な外部電圧印加端子24、列電圧発生回路と外部電圧印加端子を分離してその一方から供給される電圧を選択して各電圧供給路に供給する第1スイッチ回路22、及び、列電圧発生回路または外部電圧印加端子と各電圧供給路を個別に接続する第2スイッチ回路23を備え、列選択回路が、テストモード時に1または複数のメモリセルブロック11に対して、通常書き込み動作時に同時に選択される列数より多いテスト用選択列を電圧供給路毎に区分して選択し、各テスト用選択列に接続するメモリセル端子に対応する電圧供給路を経由して電圧降下したテスト用の選択列電圧を印加可能に構成される。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 端子、第 2 端子、及び、前記第 1 端子と前記第 2 端子間の導通を制御する制御端子を備え、前記各端子への動作モード別の電圧印加によって電氣的にデータの読み出し動作、書き込み動作及び消去動作が可能な不揮発性のメモリセルを行及び列方向に複数配列してなるメモリセルブロックを複数配置してなるブロック群と、

前記メモリセルブロックの 1 つにおいて、列単位で 1 または複数列の前記メモリセルを選択して、選択された選択列の前記メモリセルの前記第 1 端子に対して前記動作モードに応じた選択列電圧を印加し、選択されていない非選択列の前記メモリセルの前記第 1 端子に対して前記動作モードに応じた非選択列電圧を印加するか、或いは、電圧非印加状態とする列選択回路と、

前記メモリセルブロックの 1 つにおいて、行単位で 1 または複数行の前記メモリセルを選択して、選択された選択行の前記メモリセルの前記制御端子に対して前記動作モードに応じた選択行電圧を印加し、選択されていない非選択行の前記メモリセルの前記制御端子に対して前記動作モードに応じた非選択行電圧を印加し、テスト用に全ての行の前記メモリセルの前記制御端子に対して前記非選択列電圧またはテスト用の非選択行電圧を印加する行選択回路と、

前記書き込み動作時の前記選択列電圧を発生して前記列選択回路に供給する書き込み列電圧発生回路と、

前記動作モードに応じた前記選択行電圧を発生して前記行選択回路に供給する選択行電圧発生回路と、を備えてなる不揮発性半導体記憶装置であって、

前記書き込み列電圧発生回路から前記列選択回路に前記書き込み動作時の前記選択列電圧を供給する複数の電圧供給路と、

前記複数の電圧供給路にテスト用の外部電圧を印加可能な外部電圧印加端子と、

前記書き込み列電圧発生回路と前記外部電圧印加端子を分離して、前記書き込み列電圧発生回路と前記外部電圧印加端子の何れか一方から供給される電圧を選択して前記複数の電圧供給路に供給する第 1 スイッチ回路と、

前記書き込み列電圧発生回路と前記外部電圧印加端子の前記第 1 スイッチ回路によって選択された方と前記複数の電圧供給路を個別に接続する第 2 スイッチ回路と、を備え、

前記列選択回路が、所定のテストモードにおいて、1 または複数の前記メモリセルブロックに対して、通常の前記書き込み動作時に同時に選択される選択列の数より多いテスト用の選択列を選択し、選択した前記テスト用の選択列を前記電圧供給路毎に区分して、区分した個々の前記テスト用の選択列の前記メモリセルの前記第 1 端子に、前記外部電圧印加端子から印加された前記テスト用の外部電圧から対応する前記電圧供給路を経由して電圧降下したテスト用の前記選択列電圧を印加可能に構成されていることを特徴とする不揮発性半導体記憶装置。

【請求項 2】

前記外部電圧印加端子が複数設けられ、

前記第 1 スイッチ回路によって、前記書き込み列電圧発生回路と前記複数の外部電圧印加端子の夫々が各別に分離され、

前記第 2 スイッチ回路によって、前記電圧供給路の夫々が対応する前記複数の外部電圧印加端子の何れか 1 つと接続可能に構成されていることを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 3】

前記所定のテストモードにおいて、前記列選択回路によって選択された前記選択列に印加される電圧降下したテスト用の前記選択列電圧を測定するためのテスト用電圧測定端子と、

前記テスト用電圧測定端子を、前記電圧供給路毎に各別に、前記電圧供給路の前記列選択回路側の端部と前記所定のテストモードにおいて選択した前記選択列の何れか 1 つの間の特定ノードに接続する第 3 スイッチ回路と、を備えていることを特徴とする請求項 1 ま

10

20

30

40

50

たは 2 に記載の不揮発性半導体記憶装置。

【請求項 4】

前記第 1 スイッチ回路がダイオード回路で構成され、

前記書き込み列電圧発生回路が前記ダイオード回路のアノード側に接続し、前記外部電圧印加端子と前記第 2 スイッチ回路の一方端が前記ダイオード回路のカソード側に接続していることを特徴とする請求項 1 ~ 3 の何れか 1 項に記載の不揮発性半導体記憶装置。

【請求項 5】

前記選択行電圧発生回路が、前記所定のテストモードにおいて、前記テスト用の非選択行電圧として、消去動作時に選択行電圧として印加する負電圧より絶対値で低電圧の負電圧を発生し、

前記行選択回路が、前記選択行電圧発生回路から供給される前記テスト用の負電圧の非選択行電圧を、選択された前記メモリセルブロックの全ての行の前記メモリセルの前記制御端子に印加することを特徴とする請求項 1 ~ 4 の何れか 1 項に記載の不揮発性半導体記憶装置。

【請求項 6】

請求項 3 に記載の不揮発性半導体記憶装置に対する書き込み動作に伴うメモリセルのデータ劣化を評価するためのテスト方法であって、

前記不揮発性半導体記憶装置を前記所定のテストモードに設定し、

前記行選択回路が、テスト対象の 1 または複数の前記メモリセルブロックに対して、全ての行の前記メモリセルの前記制御端子に所定の非選択行電圧を印加するように、

前記列選択回路が、テスト対象の 1 または複数の前記メモリセルブロックに対して、通常の前記書き込み動作時に同時に選択される選択列の数より多いテスト用の選択列を選択するように、

前記第 1 スイッチ回路と前記第 2 スイッチ回路が、前記外部電圧印加端子から供給される電圧を選択して前記複数の電圧供給路に供給するように、且つ、

前記第 3 スイッチ回路が、前記テスト用電圧測定端子と前記電圧供給路の 1 つの前記特定ノードが接続するように、夫々制御し、

前記外部電圧印加端子に電圧を印加して、前記テスト用電圧測定端子に出力される前記特定ノードの電圧を測定し、前記特定ノードの電圧から得られるテスト用の前記選択列電圧が所定値となるように、前記外部電圧印加端子に印加する電圧値を、規定の電圧範囲内において制御することを特徴とする不揮発性半導体記憶装置のテスト方法。

【請求項 7】

前記外部電圧印加端子に電圧を印加する前に、前記テスト用の前記選択列電圧の前記所定値を測定する工程を備え、

前記所定値を測定する工程において、

前記不揮発性半導体記憶装置を前記所定のテストモードに設定し、

前記行選択回路が、テスト対象の前記メモリセルブロックの 1 つに対して、全ての行の前記メモリセルに所定の非選択行電圧を印加するように、

前記列選択回路が、テスト対象の前記メモリセルブロックの 1 つに対して、テスト用の 1 つの選択列を選択するように、

前記第 1 スイッチ回路と前記第 2 スイッチ回路が、前記書き込み列電圧発生回路から供給される電圧を選択して前記 1 つの選択列と接続する前記電圧供給路に供給するように、且つ、

前記第 3 スイッチ回路が、前記 1 つの選択列と接続する前記電圧供給路の前記特定ノードと前記テスト用電圧測定端子が接続するように、夫々制御し、

前記テスト用電圧測定端子に出力される前記特定ノードの電圧を測定し、前記所定値とすることを特徴とする請求項 6 に記載の不揮発性半導体記憶装置のテスト方法。

【発明の詳細な説明】

【技術分野】

【0001】

10

20

30

40

50

本発明は、不揮発性半導体記憶装置及びそのテスト方法に関し、より詳細には、フラッシュメモリ等の動作モード別の電圧印加によって電氣的にデータの読み出し、書き込み及び消去動作が可能な不揮発性メモリセルを備えた不揮発性半導体記憶装置のテスト容易化技術に関する。

【背景技術】

【0002】

動作モード別の電圧印加によって電氣的にデータの読み出し、書き込み及び消去動作が可能な不揮発性メモリセルを備えた不揮発性半導体記憶装置の代表的なものとしてフラッシュメモリがある。

【0003】

ここで、一般的なフラッシュメモリにおける書き込み、消去、読み出しの各メモリ動作について、図10～図12を参照して簡単に説明しておく。図10～図12は、単体のフラッシュメモリセルへの書き込み、消去、読み出しの各メモリ動作時における各端子（制御ゲート1、ドレイン2、ソース3）に対する電圧印加条件と、フローティングゲート5と各端子1～3間での電子（負電荷）の流れを、模式的に示している。尚、以下の説明では、フラッシュメモリセルは、基板4上に形成されたドレイン2とソース3間のチャンネル領域上に、トンネル酸化膜6を介してフローティングゲート5が形成され、フローティングゲート5上に、絶縁膜7を介して制御ゲート1が形成された、所謂スタックゲート型のフラッシュメモリセルを想定している。

【0004】

当業者に良く知られているように、フラッシュメモリは書き込み動作によりフローティングゲート5中に蓄積される負電荷量（電子の蓄積量）を増大させることで閾値電圧を所定値より高くしてデータの書き込みを行い、消去動作によりフローティングゲート5中に蓄積される負の電荷量を減少させることで閾値電圧を所定値より低くしてデータの消去を行うことによって、データの記憶を実現している。

【0005】

書き込み動作では、図10に示すように、ソース3に0V、ドレイン2に例えば5Vの正電圧、制御ゲート1に例えば12Vの正電圧を印加する。これにより、ソース・ドレイン間に電流を流すことで発生するホットエレクトロンがフローティングゲート5に注入される。この結果、メモリセルの閾値電圧が高くなる。

【0006】

また、消去動作では、図11に示すように、ソース3とフローティングゲート5間のトンネル酸化膜6に流れるトンネル電流を利用する。消去動作では、ソース3に約6V、コントロールゲートに約-8Vの電圧を印加する。ドレイン2は、オープン状態（電圧非印加の高インピーダンス状態）にする。この時、フローティングゲート5・ソース3間の非常に高い電界により、トンネル酸化膜6にFN（Fowler Nordheim）電流が流れる。これにより、フローティングゲート6に蓄積されている電子はソース3へ引き抜かれる。消去動作により、書き込み状態のフラッシュメモリセルの閾値電圧が低くなる。

【0007】

また、読み出し動作では、図12に示すように、センスアンプ等の比較回路（図示せず）を用いて、メモリセルの閾値電圧に応じてドレイン・ソース間を流れる電流 I_{ds} と、消去状態の閾値電圧と書き込み状態の閾値電圧の中間的な閾値電圧に対応する基準電流（図示せず）とを、大小比較することで実現している。図12（a）では、フローティングゲート5に電子が注入されていないため、閾値電圧が低い消去状態でのメモリセル電流 I_{ds} を示しており、データ“1”を表しているものとする。図12（b）では、フローティングゲート5に電子が注入されているため、閾値電圧が高い書き込み状態でのメモリセル電流 I_{ds} を示しており、データ“0”を表しているものとする。

【0008】

以上、図10～図12を参照して説明したように、書き込み、消去、読み出しの各メモ

10

20

30

40

50

り動作で、各端子への電圧印加条件が異なる。図13に、各メモリ動作における各端子への電圧印加条件を一覧にして示す。

【0009】

NOR型フラッシュメモリにおけるメモリセルブロックの構成例を図14に示す。図14に示すように、メモリセルブロック11は、フラッシュメモリセルを行及び列方向にマトリクス状に複数配列し、同一行に配列された複数のメモリセルの各制御ゲートを行方向に延伸する共通のワードWL線に接続し、同一列に配列された複数のメモリセルの各ドレインを列方向に延伸する共通のビット線BLに接続し、複数のメモリセルの各ソースを共通のソース線SLに接続して構成される。ここで、メモリセルの各端子への電圧印加を、夫々ワード線WL、ビット線BL、ソース線SLを介して行うように構成されている。尚、図13では、各ワードWL線、各ビット線BL、及び、ソース線に印加している電圧値は、書き込み動作時の一例を示しており、後述する書き込みドレインディスタート現象の説明で使用する。

10

【0010】

また、図14に示すメモリセルブロック11の構成例では、1つのブロック内の全メモリセルのソースが共通のソース線SLに接続されているが、これは、メモリセルブロック11の面積の増加を抑制することを1つの目的としており、従って、上記消去動作はメモリセルブロック単位で一括して行われる。また、上記FN電流による消去動作は消去動作に要する時間が長いため、消去動作をメモリセルブロック単位で一括して行うことで、メモリセル当たりの消去時間を短くできる。

20

【0011】

更に、複数のメモリセルブロック11をプレーンと呼ばれる単位で纏めることで、メモリセルブロック11の配置の自由度を増加させたり、1つのプレーン内で書き込み若しくは消去動作を実行しながら別のプレーン内のデータを同時に読み出すことができる機能を持たせたりすることも一般的となっている。

【0012】

フラッシュメモリのデータ書き換えは消去単位となるメモリセルブロック毎に一括して消去を行った後で、必要なメモリセルに新たなデータを書き込むという一連の動作である。この書き込み動作時には、図14に示すように、書き込み対象のメモリセル8以外にも同じビット線上の非選択メモリセル9のドレインにも高電圧ストレスが印加される。この高電圧ストレスによりドレインディスタートと呼ばれるメモリセルの閾値電圧を低下させる現象が発生することがある。ドレインディスタートによって閾値電圧が低下するメモリセルは不良セルとして出荷前に冗長メモリセルと置き換える必要がある。従って、ドレインディスタートに対する耐久テストがウェハテストにおいて行われる。具体的にはドレインディスタートに相当する高電圧ストレスを各メモリセルのドレインに対して与え、ストレス前後でのメモリセルの閾値電圧変動を確認することで行われる。ドレインディスタートのストレスを正確にテストする手法として、下記の特許文献1に開示されているテスト方法等が知られている。

30

【0013】

またドレインディスタートテストは、メモリ容量の大容量化に伴い、複数のビット線に対して一括して高電圧ストレスを印加するテスト方法も一般に行われており、例えば、下記の特許文献2に開示されているテスト方法等が知られている。一括して高電圧ストレスを印加する場合、通常は外部電圧印加端子(VPP端子)から電圧を与える。この場合、外部電圧印加端子からメモリセルに至るまでの電圧印加経路に電流が流れることによる当該電圧印加経路上での電圧降下によるドレイン電圧の低下が問題となるため、実際はこの電圧降下を加味した電圧を外部より印加する必要がある。ここで上記電流経路を流れる電流は、ドレイン電圧を印加されているメモリセルのオフリークが主である。フラッシュメモリ等のフローティングゲートを有するメモリセルでは、制御ゲートを0Vに固定していてもドレイン領域とフローティングゲート間のカップリング容量によりドレイン電圧を印加するとフローティングゲート電極の電位が持ち上げられるため、ドレイン・ソース間

40

50

の電流は通常のトランジスタより大きなものとなるため、上述のような外部印加電圧を高くする等の配慮が必要となる。

【0014】

【特許文献1】特開平2000-174146号公報

【特許文献2】特開平2004-22013号公報

【発明の開示】

【発明が解決しようとする課題】

【0015】

ところで、不揮発性半導体記憶装置の大容量化を背景にメモリセルの微細化が進むにつれ、メモリセルのオフリーク電流が増加している。メモリセルのオフリーク電流は、現行世代の製造プロセスにおいても問題となりつつあり、上述のように外部から印加するストレス電圧はリーク電流を考慮する必要があるが、今後微細化が進むと確実に問題となり適切な対応が望まれる。

10

【0016】

また、微細化によりメタル配線のシート抵抗も増加傾向にあり上述の電圧印加経路全体の抵抗値も前世代に比べ大きくなっている。これらからメモリセルに所望の高電圧ストレスを与えるには外部から従来の製造プロセスのものより、より高電圧を供給する必要がある。しかし、一方で微細化によりトランジスタやメモリセルの耐圧も下がることから、外部から印加するストレス電圧を高電圧化することが困難となる。

【0017】

以下、上述した制限から今後のプロセス世代では一括して高電圧ストレスを印加できるビット線本数を減らす必要が生じてテスト時間が増加する傾向にあることを、図15を参照して説明する。図15は、外部電圧印加端子(VPP端子)に印加する外部ストレス電圧と、選択ビット線電圧(ドレインディスクの対となるメモリセルのドレイン電圧)の関係を、高電圧ストレスを印加するビット線本数の3通りについて、模式的に示している。図15では、VPP端子からの外部入力電圧がトランジスタの耐圧を超えて印加されても、電圧印加経路のVPP端子側端部での実効的な電圧が当該トランジスタの耐圧で制限されるため、外部入力電圧が当該耐圧以下で、外部入力電圧と選択ビット線電圧が比例関係で表され、外部入力電圧が当該耐圧を超過しても、選択ビット線電圧は外部入力電圧が当該耐圧時の電圧値のまま固定される。図15では、4つのメモリセルブロックの全ビット線を選択して一括で高電圧ストレスを印加した場合、外部入力電圧が当該耐圧を超え、所望の高電圧ストレス(例えば、5V)をメモリセルに印加できないため、高電圧ストレスを同時に印加するビット線本数を最大2つのメモリセルブロックずつまでに制限しなければならず、テスト時間が4ブロック一括の場合と比べ2倍のテスト時間が掛かることになる。このテスト時間増大の問題は大容量化するほど顕著になる。尚、図15では、高電圧ストレスを印加するビット線本数が通常書き込み動作時の最大数(例えば、8または16)場合には、外部入力電圧が当該耐圧未満で、所望の高電圧ストレスがメモリセルのドレインに印加できることを参考に示している。

20

30

【0018】

更に、電圧印加経路の電圧降下の要因となるメモリセルのオフリーク電流は微細化が進むにつれて増加するだけでなく、そのばらつきも大きくなっている。リーク電流が想定以上に大きい場合に複数のメモリセルに一括してストレスを与えると、メモリセルに掛かるストレスが不十分なものとなり不良セルの検出ができなくなる危険性も発生する。

40

【0019】

本発明は、上記問題点を鑑みてなされたものであり、その目的は、高信頼性に向けたテスト回路を備え、そのテスト時間の短縮化が可能な不揮発性半導体記憶装置及びそのテスト方法を提供することにある。

【課題を解決するための手段】

【0020】

上記目的を達成するための本発明に係る不揮発性半導体記憶装置は、第1端子、第2端

50

子、及び、前記第1端子と前記第2端子間の導通を制御する制御端子を備え、前記各端子への動作モード別の電圧印加によって電氣的にデータの読み出し動作、書き込み動作及び消去動作が可能な不揮発性のメモリセルを行及び列方向に複数配列してなるメモリセルブロックを複数配置してなるブロック群と、前記メモリセルブロックの1つにおいて、列単位で1または複数列の前記メモリセルを選択して、選択された選択列の前記メモリセルの前記第1端子に対して前記動作モードに応じた選択列電圧を印加し、選択されていない非選択列の前記メモリセルの前記第1端子に対して前記動作モードに応じた非選択列電圧を印加するか、或いは、電圧非印加状態とする列選択回路と、前記メモリセルブロックの1つにおいて、行単位で1または複数行の前記メモリセルを選択して、選択された選択行の前記メモリセルの前記制御端子に対して前記動作モードに応じた選択行電圧を印加し、選択されていない非選択行の前記メモリセルの前記制御端子に対して前記動作モードに応じた非選択行電圧を印加し、テスト用に全ての行の前記メモリセルの前記制御端子に対して前記非選択列電圧またはテスト用の非選択行電圧を印加する行選択回路と、前記書き込み動作時の前記選択列電圧を発生して前記列選択回路に供給する書き込み列電圧発生回路と、前記動作モードに応じた前記選択行電圧を発生して前記行選択回路に供給する選択行電圧発生回路と、を備えてなる不揮発性半導体記憶装置であって、

前記書き込み列電圧発生回路から前記列選択回路に前記書き込み動作時の前記選択列電圧を供給する複数の電圧供給路と、前記複数の電圧供給路にテスト用の外部電圧を印加可能な外部電圧印加端子と、前記書き込み列電圧発生回路と前記外部電圧印加端子を分離して、前記書き込み列電圧発生回路と前記外部電圧印加端子の何れか一方から供給される電圧を選択して前記複数の電圧供給路に供給する第1スイッチ回路と、前記書き込み列電圧発生回路と前記外部電圧印加端子の前記第1スイッチ回路によって選択された方と前記複数の電圧供給路を個別に接続する第2スイッチ回路と、を備え、

前記列選択回路が、所定のテストモードにおいて、1または複数の前記メモリセルブロックに対して、通常の前記書き込み動作時に同時に選択される選択列の数より多いテスト用の選択列を選択し、選択した前記テスト用の選択列を前記電圧供給路毎に区分して、区分した個々の前記テスト用の選択列の前記メモリセルの前記第1端子に、前記外部電圧印加端子から印加された前記テスト用の外部電圧から対応する前記電圧供給路を経由して電圧降下したテスト用の前記選択列電圧を印加可能に構成されていることを第1の特徴とする。

【0021】

上記第1の特徴の不揮発性半導体記憶装置によれば、テスト用の選択列を電圧供給路毎に区分して割り当て、区分した個々のテスト用の選択列のメモリセルの第1端子（フラッシュメモリセルではドレインに相当）に対して、外部電圧印加端子に印加されたテスト用の外部電圧から対応する個々の電圧供給路を経由して電圧降下したテスト用の選択列電圧を印加できるため、1つの電圧供給路当たりの選択列のメモリセル（第1及び第2端子間）に流れるオフリーク電流の合計値は、全ての選択列のメモリセルに流れるオフリーク電流の合計値より少なくとも半減するので、1つの電圧供給路当たりの電圧降下量が少なくとも半減するため、外部電圧印加端子から印加するテスト用の外部電圧の低電圧化が図れる。この結果、同時にテスト用の選択列電圧を印加できる選択列数を増加することができ、テスト用の選択列電圧を印加して書き込み動作時の非選択メモリセルに生じるデータ劣化（ドレインディスターブ）のテストに要する時間の短縮が可能となる。

【0022】

本発明に係る不揮発性半導体記憶装置は、上記第1の特徴に加えて、更に、前記外部電圧印加端子が複数設けられ、前記第1スイッチ回路によって、前記書き込み列電圧発生回路と前記複数の外部電圧印加端子の夫々が各別に分離され、前記第2スイッチ回路によって、前記電圧供給路の夫々が対応する前記複数の外部電圧印加端子の何れか1つと接続可能に構成されていることを第2の特徴とする。

【0023】

上記第2の特徴の不揮発性半導体記憶装置によれば、外部電圧印加端子が複数設けてあ

10

20

30

40

50

るので、外部電圧印加端子毎の選択列のメモリセルのオフリーク電流の合計値にばらつきがあっても、外部電圧印加端子毎に、テスト用の選択列電圧が所望の電圧値になるように個別に調整でき、より高精度な書き込み動作時の非選択メモリセルのデータ劣化（ドレインディスタート）のテストが可能となる。

【 0 0 2 4 】

本発明に係る不揮発性半導体記憶装置は、上記第 1 または第 2 の特徴に加えて、更に、前記所定のテストモードにおいて、前記列選択回路によって選択された前記選択列に印加される電圧降下したテスト用の前記選択列電圧を測定するためのテスト用電圧測定端子と、前記テスト用電圧測定端子を、前記電圧供給路毎に各別に、前記電圧供給路の前記列選択回路側の端部と前記所定のテストモードにおいて選択した前記選択列の何れか 1 つの間の特定ノードに接続する第 3 スイッチ回路と、を備えていることを第 3 の特徴とする。

10

【 0 0 2 5 】

上記第 3 の特徴の不揮発性半導体記憶装置によれば、第 3 スイッチ回路によって選択された特定ノードの電圧を外部から測定可能となるため、電圧供給路毎に、外部電圧印加端子に印加するテスト用の外部電圧から特定ノードまでの電圧供給路の電圧降下量が測定できるため、所望の選択列電圧を得るために必要なテスト用の外部電圧を、実際に選択列電圧を印加するメモリセルブロックにおいて実際に検証することが可能となり、より高精度な書き込み動作時の非選択メモリセルのデータ劣化（ドレインディスタート）のテストが可能となる。

【 0 0 2 6 】

本発明に係る不揮発性半導体記憶装置は、上記何れかの特徴に加えて、更に、前記第 1 スイッチ回路がダイオード回路で構成され、前記書き込み列電圧発生回路が前記ダイオード回路のアノード側に接続し、前記外部電圧印加端子と前記第 2 スイッチ回路の一方端が前記ダイオード回路のカソード側に接続していることを第 4 の特徴とする。

20

【 0 0 2 7 】

上記第 4 の特徴の不揮発性半導体記憶装置によれば、外部電圧印加端子にテスト用の外部電圧が印加されない場合には、自動的に書き込み列電圧発生回路から供給される電圧を選択し、外部電圧印加端子に書き込み列電圧発生回路の出力電圧以上のテスト用の外部電圧が印加された場合には、自動的に外部電圧印加端子から供給される電圧を選択する第 1 スイッチ回路が簡単な回路構成で実現できる。

30

【 0 0 2 8 】

本発明に係る不揮発性半導体記憶装置は、上記何れかの特徴に加えて、更に、前記選択行電圧発生回路が、前記所定のテストモードにおいて、前記テスト用の非選択行電圧として、消去動作時に選択行電圧として印加する負電圧より絶対値で低電圧の負電圧を発生し、前記行選択回路が、前記選択行電圧発生回路から供給される前記テスト用の負電圧の非選択行電圧を、選択された前記メモリセルブロックの全ての行の前記メモリセルの前記制御端子に印加することを第 5 の特徴とする。

【 0 0 2 9 】

上記第 5 の特徴の不揮発性半導体記憶装置によれば、外部電圧印加端子から印加するテスト用の外部電圧の電圧値を上昇させることなく、同じ選択列電圧に対してドレインディスタートの原因となるテスト対象のメモリセルの制御端子（フラッシュメモリセルでは制御ゲートに相当）と第 1 端子（フラッシュメモリセルではドレインに相当）間の電圧差を大きくでき、これにより書き込み動作時の非選択メモリセルのデータ劣化現象（ドレインディスタート現象）が加速されるため、当該データ劣化現象に弱いメモリセルを効率的に発見可能となる。更に、メモリセルの制御端子の電圧が低下してメモリセルの第 1 及び第 2 端子間のオフリーク電流を低下させることができるため、外部電圧印加端子から印加するテスト用の外部電圧の電圧値を上昇させることなく、1 つの電圧供給路に接続可能な選択列の数を増加でき、これにより同時にテスト可能な選択列の数が増加するので、テスト用の選択列電圧を印加して書き込み動作時の非選択メモリセルに生じるデータ劣化のテストに要する時間の更なる短縮が可能となる。

40

50

【0030】

上記目的を達成するための本発明に係る不揮発性半導体記憶装置のテスト方法は、上記第3の特徴の不揮発性半導体記憶装置に対する書き込み動作に伴うメモリセルのデータ劣化を評価するためのテスト方法であって、

前記不揮発性半導体記憶装置を前記所定のテストモードに設定し、前記行選択回路が、テスト対象の1または複数の前記メモリセルブロックに対して、全ての行の前記メモリセルの前記制御端子に所定の非選択行電圧を印加するように、前記列選択回路が、テスト対象の1または複数の前記メモリセルブロックに対して、通常の前記書き込み動作時に同時に選択される選択列の数より多いテスト用の選択列を選択するように、前記第1スイッチ回路と前記第2スイッチ回路が、前記外部電圧印加端子から供給される電圧を選択して前記複数の電圧供給路に供給するように、且つ、前記第3スイッチ回路が、前記テスト用電圧測定端子と前記電圧供給路の1つの前記特定ノードが接続するように、夫々制御し、前記外部電圧印加端子に電圧を印加して、前記テスト用電圧測定端子に出力される前記特定ノードの電圧を測定し、前記特定ノードの電圧から得られるテスト用の前記選択列電圧が所定値となるように、前記外部電圧印加端子に印加する電圧値を、規定の電圧範囲内において制御することを第1の特徴とする。

10

【0031】

上記第1の特徴の不揮発性半導体記憶装置のテスト方法によれば、不揮発性半導体記憶装置を書き込み動作時の非選択メモリセルのデータ劣化(ドレインディスターブ)をテストするための所定のテストモードに設定し、行選択回路、列選択回路、第1乃至第3スイッチ回路を夫々制御すると、外部電圧印加端子から第3スイッチ回路によって選択的に接続された特定ノードまでの電圧供給路が確立され、外部電圧印加端子に印加された外部電圧に基づく特定ノードの電圧がテスト用電圧測定端子に出力されるため、その出力電圧を測定することで、テスト用の前記選択列電圧が所定値となるように、外部電圧印加端子に印加する電圧値を、規定の電圧範囲内(例えば、不揮発性半導体記憶装置のトランジスタの耐圧以下)において制御することが可能となる。この結果、複数の電圧供給路を用いることで、同時にテスト用の選択列電圧を印加できる選択列数を増加して、外部電圧の調整により所定値となる所望のテスト用の選択列電圧を各選択列のメモリセルの第1端子に印加でき、書き込み動作時の非選択メモリセルに生じるデータ劣化のテストを、短縮されたテスト所要時間で実行可能となる。

20

30

【0032】

本発明に係る不揮発性半導体記憶装置のテスト方法は、上記第1の特徴に加えて、更に、前記外部電圧印加端子に電圧を印加する前に、前記テスト用の前記選択列電圧の前記所定値を測定する工程を備え、前記所定値を測定する工程において、前記不揮発性半導体記憶装置を前記所定のテストモードに設定し、前記行選択回路が、テスト対象の前記メモリセルブロックの1つに対して、全ての行の前記メモリセルに所定の非選択行電圧を印加するように、前記列選択回路が、テスト対象の前記メモリセルブロックの1つに対して、テスト用の1つの選択列を選択するように、前記第1スイッチ回路と前記第2スイッチ回路が、前記書き込み列電圧発生回路から供給される電圧を選択して前記1つの選択列と接続する前記電圧供給路に供給するように、且つ、前記第3スイッチ回路が、前記1つの選択列と接続する前記電圧供給路の前記特定ノードと前記テスト用電圧測定端子が接続するように、夫々制御し、前記テスト用電圧測定端子に出力される前記特定ノードの電圧を測定し、前記所定値とすることを第2の特徴とする。

40

【0033】

上記第2の特徴の不揮発性半導体記憶装置のテスト方法によれば、上記第1の特徴の不揮発性半導体記憶装置のテスト方法において使用するテスト用の選択列電圧の所定値を、実際のテスト対象のメモリセルブロックを用いて取得できるので、実際の書き込み動作において非選択メモリセルの第1端子に印加される選択列電圧が、所定のテストモードにおいても印加されることになるため、より高精度な書き込み動作時の非選択メモリセルに生じるデータ劣化のテストの実行が可能となる。

50

【発明を実施するための最良の形態】

【0034】

以下、本発明に係る不揮発性半導体記憶装置及びそのテスト方法（以下、適宜「本発明装置」及び「本発明方法」と称す）の一実施形態につき、図面に基づいて具体的に説明する。

【0035】

〔第1実施形態〕

図1に、本発明装置10の第1実施形態における概略のブロック構成を模式的に示す。本発明装置10は、メモリセルブロック11を複数配置してなるブロック群、ワード線選択回路12（行選択回路に相当）、ローカルビット線選択回路13（列選択回路に相当）、グローバルビット線選択回路14（列選択回路に相当）、特定ノード選択回路15（第3スイッチ回路に相当）、ブロック選択回路16、読み出し回路17、書き込み電圧スイッチ回路18、動作モード別電圧発生回路19（選択行電圧発生回路に相当）、書き込み動作ビット線電圧発生回路20（書き込み列電圧発生回路に相当）、ビット線電圧整圧回路21、第1スイッチ回路22、第2スイッチ回路23、テスト用の外部電圧を印加可能な外部電圧印加端子24、テスト用電圧測定端子25、出力インタフェース回路26、入力インタフェース回路27、及び、制御回路28等を備えて構成される。

【0036】

メモリセルブロック11は、不揮発性のメモリセルを行方向及び列方向に複数配列し、同一行に配列された複数のメモリセルの各制御端子を行方向に延伸する共通のワード線に接続し、同一列に配列された複数のメモリセルの各第1端子を列方向に延伸する共通のビット線（ローカルビット線）に接続し、複数のメモリセルの各第2端子を行方向または列方向に延伸する共通のソース線に接続して構成される。

【0037】

本実施形態では、メモリセルとして、図10～図12で例示した素子構造のスタックゲート型のフラッシュメモリセルを想定する。メモリセルは、図10～図12に示すように、制御ゲート1（制御端子に相当）、フローティングゲート5、ドレイン2（第1端子に相当）、及び、ソース3（第2端子に相当）、基板4を備え、各端子への動作モード別の電圧印加によって電氣的にデータの読み出し、書き込み、及び、消去の各メモリ動作が可能である。各メモリ動作（読み出し、書き込み、消去）の各端子への電圧印加条件は、背景技術の欄で、図10～図12を参照して説明した通りであるので、重複する説明は割愛する。以上より、本実施形態では、各メモリセルブロック11は、所謂NOR型のフラッシュメモリセルアレイとして構成されている。

【0038】

尚、本発明装置10は、動作モードとして、上記3つのメモリ動作等の通常の動作モード以外に、書き込み動作時における書き込み対象の選択メモリセルと同一列の非選択メモリセルに掛かる高電圧ストレスに起因するデータ劣化（ドレインディスタープ）を効率的に評価するためのテストモードを備える。一般に、フラッシュメモリ等の不揮発性半導体記憶装置は、テスト容易化のために種々のテストモードを備えているが、本実施形態では、上記ドレインディスタープ評価用のテストモードを単にテストモードと称し、当該テストモードにおけるテストを適宜、単にテストと称す。

【0039】

ワード線選択回路12は、メモリセルブロック11毎に設けられ、入力する行アドレス信号RAに応じてメモリセルブロック11に配置された複数のワード線の中から1または複数を選択して、選択された選択ワード線に対して動作モードに応じた選択ワード線電圧（選択行電圧に相当）を印加し、選択されない非選択ワード線に対して動作モードに応じた非選択ワード線電圧（非選択行電圧に相当）を印加するように構成されている。消去動作モードでは、ブロック単位で消去動作が実行されるので、ワード線選択回路12は、ワード線単位での選択・非選択動作は実行しない。更に、ワード線選択回路12は、テストモード選択時に、消去動作時と同様に、ワード線単位での選択・非選択動作は実行せずに

10

20

30

40

50

、全てのワード線を非選択として、後述するテスト用の非選択ワード線電圧（非選択行電圧に相当）を印加するように構成されている。尚、ワード線選択回路12は、ブロック選択回路16で選択されたメモリセルブロック11において活性化するようにブロック選択回路16でのデコード出力（ブロック選択信号）によって制御される。

【0040】

ローカルビット線選択回路13は、メモリセルブロック11毎に設けられ、入力する下位の列アドレス信号CA1に応じてメモリセルブロック11に配置された複数のローカルビット線の1または複数を選択して、選択された選択ビット線に対して動作モードに応じた選択ビット線電圧（選択列電圧に相当）を印加し、選択されない非選択ビット線に対して動作モードに応じた非選択ビット線電圧（非選択列電圧に相当）を印加するか、または、オープン状態とするように構成されている。本実施形態では、非選択ビット線に対してはオープン状態とするが、メモリセルブロック11のレイ構成によっては（例えば、仮想接地線型のメモリセルアレイ等の場合）、一部または全ての非選択ビット線に対して非選択ビット線電圧を印加するようにしてもよい。また、ローカルビット線選択回路13は、ブロック選択回路16のデコード出力（ブロック選択信号）の入力を受け付けて、メモリセルブロック11が非選択時には、全てのビット線をオープン状態とする。尚、消去動作モードでは、ブロック単位で消去動作が実行されるので、ローカルビット線選択回路13は、ビット線単位での選択・非選択動作は実行しない。

10

【0041】

本実施形態では、メモリセルブロック11が、行及び列方向にマトリクス状に複数配置されており、列方向に配置された複数のメモリセルブロック11によって1つのプレーンが構成されている。具体的には、各メモリセルブロック11のローカルビット線選択回路13は、MOSFETからなる転送ゲートの集合体として構成され、各転送ゲートの一端がローカルビット線に接続し、各転送ゲートの他端がグローバルビット線に接続する。グローバルビット線は、1または数本（例えば、2または4本）のローカルビット線に対して1本割り当てられ、同一プレーン内の全てのメモリセルブロック11を縦断して共通に使用される。尚、1本ローカルビット線に対して1本のグローバルビット線が存在する場合は、ローカルビット線選択回路13では、実質的な列選択は行わずに、グローバルビット線選択回路14で実質的な列選択が行われる。図1に示すプレーン構成例では、メモリセルブロック11が2行×2列で構成され、各プレーンは2つのメモリセルブロック11

20

30

【0042】

グローバルビット線選択回路14は、プレーン毎に設けられ、入力する上位の列アドレス信号CA2に応じて同一列の複数のメモリセルブロック11に共通に配置された複数のグローバルビット線の1または複数を選択して、選択された選択グローバルビット線に対して動作モードに応じた選択ビット線電圧を印加し、選択されない非選択グローバルビット線に対して動作モードに応じた非選択ビット線電圧を印加するか、または、オープン状態とするように構成されている。本実施形態では、非選択グローバルビット線に対してはオープン状態とするが、メモリセルブロック11のレイ構成によっては（例えば、仮想接地線型のメモリセルアレイ等の場合）、一部または全ての非選択グローバルビット線に対して非選択ビット線電圧を印加するようにしてもよい。

40

【0043】

また、各プレーンのグローバルビット線選択回路14は、MOSFETからなる転送ゲートの集合体として構成され、各転送ゲートの一端がグローバルビット線に接続し、各転送ゲートの他端が、読み出し回路17と書き込み電圧スイッチ回路18に接続する。また、グローバルビット線選択回路14は、プレーン選択信号PSの入力を受け付けて、プレーンが非選択時には、転送ゲートをオフにして全てのグローバルビット線をオープン状態とする。尚、消去動作モードでは、ブロック単位で消去動作が実行されるので、グローバルビット線選択回路14は、グローバルビット線単位での選択・非選択動作は実行しない。

50

【 0 0 4 4 】

特定ノード選択回路 1 5 は、プレーン毎に設けられ、1つのプレーンの列方向の一方端にグローバルビット線選択回路 1 4 が配置され、他方端に特定ノード選択回路 1 5 が配置されている。特定ノード選択回路 1 5 は、1つのプレーン中の特定の 1 本のグローバルビット線のグローバルビット線選択回路 1 4 とは反対側のノードを特定ノードとして、プレーン選択信号 P S と特定ノード選択信号 N S の入力に応じて、複数のプレーンの中から 1 つのプレーンの特定ノードを選択して、テスト用電圧測定端子 2 5 と電氣的に接続するように構成されている。プレーン毎の特定ノード選択回路 1 5 は、図 2 に示すように、プレーン選択信号 P S と特定ノード選択信号 N S をデコードする A N D ゲート 3 1、A N D ゲート 3 1 の出力電圧レベルを高電圧化するレベルシフト回路 3 2、及び、M O S F E T からなる転送ゲート 3 3 を備えて構成される。転送ゲート 3 3 の一方端が特定ノード（グローバルビット線）に接続し、転送ゲート 3 3 の他方端が、テスト用電圧測定端子 2 5 に連絡する接続配線 3 0 に接続している。これにより、テスト用電圧測定端子 2 5 から、特定ノードの電圧レベルを本発明装置 1 0 の外部（例えば、外部テスト）から測定可能となり、特定ノードの電圧レベルから、ローカルビット線選択回路 1 3 によって選択された選択ビット線に対して書き込み動作時に印加される選択ビット線電圧を外部（例えば、外部テスト）からモニターすることが可能となる。

10

【 0 0 4 5 】

ブロック選択回路 1 6 は、メモリセルブロック 1 1 毎に設けられ、ブロックアドレス信号 B A の入力を受け付けて、対応するメモリセルブロック 1 1 の選択・非選択を判定するブロック選択信号（図示せず）を同じメモリセルブロック 1 1 内のワード線選択回路 1 2、ローカルビット線選択回路 1 3 に出力する。

20

【 0 0 4 6 】

読み出し回路 1 7 は、読み出し動作時において、ローカルビット線選択回路 1 3 とグローバルビット線選択回路 1 4 によって選択された選択ビット線を通る電流量に基づいて選択メモリセルのデータの読み出しを行うように構成されている。読み出し回路 1 7 の回路構成としては、種々の周知な回路構成の中から、メモリセルブロック 1 1 のアレイ構成に適したものを採用するものとし、詳細な説明は割愛する。

【 0 0 4 7 】

書き込み電圧スイッチ回路 1 8 は、プレーン毎に設けられ、グローバルビット線選択回路 1 4 によって選択された選択グローバルビット線に対して、書き込み動作ビット線電圧発生回路 2 0 または外部電圧印加端子 2 4 から供給される書き込み動作ビット線電圧を、書き込み用データのデータ値に応じて選択的に印加する回路である。具体的には、ビット線電圧は、データ値が“ 0 ”の場合に印加され、“ 1 ”の場合には印加されない。書き込み電圧スイッチ回路 1 8 は、通常書き込み動作時には、第 1 スイッチ回路 2 2 と第 2 スイッチ回路 2 3 とビット線電圧供給配線 2 9 を介して書き込み動作ビット線電圧発生回路 2 0 と接続し、本実施形態のテストモード時には、第 2 スイッチ回路 2 3 とビット線電圧供給配線 2 9 を介して外部電圧印加端子 2 4 と接続する。

30

【 0 0 4 8 】

動作モード別電圧発生回路 1 9 は、書き込み動作時に選択メモリセルの制御ゲートに接続する選択ワード線に印加する書き込み動作の正電圧の選択ワード線電圧（選択行電圧に相当。例えば、1.2 V）を、電源電圧を昇圧して発生する書き込み動作の選択ワード線電圧発生回路と、読み出し動作時に選択ワード線に印加する読み出し動作の正電圧の選択ワード線電圧（選択行電圧に相当。例えば、5 V）を、電源電圧を昇圧して発生する読み出し動作の選択ワード線電圧発生回路と、消去動作時に選択メモリセルブロックの全てのワード線に印加する消去動作の負電圧の選択ワード線電圧（選択行電圧に相当。例えば、- 8 V）、及び、テストモード選択時に、テスト対象として選択された複数のメモリセルブロックの全てのワード線に、メモリセルをオフするための負電圧の非選択ワード線電圧（非選択行電圧に相当。例えば、- 2 V）を発生する負電圧発生回路と、消去動作時に選択メモリセルブロックのソース線に印加する消去動作の正電圧のソース線電圧

40

50

を、電源電圧を昇圧して発生する消去動作のソース線電圧発生回路と、を備えて構成される。

【0049】

ここで、動作モード別電圧発生回路19の負電圧発生回路は、消去動作時とテストモード選択時で、発生する負電圧値が異なるので、その回路構成について、図3を参照して説明する。本実施形態の負電圧発生回路は、負電圧ポンプ回路40、コンパレータ41、第1基準電圧V1（例えば、2V）と負電圧ポンプ回路40が発生した負電圧Vnegの間を分圧する分圧抵抗42～44とN型MOSFET45からなる分圧回路、分圧回路のオンオフを切り替えるP型MOSFET46、負電圧発生回路の活性化信号EnegからP型MOSFET46のゲート信号を生成するインバータ47、コンパレータ41と活性化信号Enegから負電圧ポンプ回路40の活性化信号を生成するANDゲート48、及び、消去動作時とテストモード選択時で信号レベルが切り替わるモード選択信号MSからN型MOSFET45のゲート信号を生成するレベルシフト回路49を備えて構成される。

10

【0050】

図3に示す回路構成は、一般的な負電圧発生回路の回路構成に対して、N型MOSFET45とレベルシフト回路49を追加することで、負電圧Vnegの電圧レベルを-8Vと-2Vの何れか一方に選択可能となる。活性化信号Enegが高レベルで負電圧発生回路が活性化されると、分圧回路の分圧抵抗42, 43の接続点Ncの電圧レベルが、コンパレータ41の反転入力に接続する第2基準電圧V2（例えば、1.5V）を超過する場合、コンパレータ41の出力レベルが高レベルとなり、負電圧ポンプ回路40が活性化して、負電圧Vnegの電圧レベルをより負電圧とするように作動する。分圧回路の分圧比は、N型MOSFET45がオフ状態の消去動作時に負電圧Vnegが-8Vで接続点Ncの電圧レベルが1.5Vとなるように、また、N型MOSFET45がオン状態のテストモード選択時に負電圧Vnegが-2Vで接続点Ncの電圧レベルが1.5Vとなるように、分圧抵抗42～44の各抵抗値が設定されている。尚、第1基準電圧V1及び第2基準電圧V2は夫々電源電圧を基に生成される。

20

【0051】

書き込み動作ビット線電圧発生回路20は、書き込み動作時の選択ビット線に対して所望の選択ビット線電圧（例えば、5V）が印加されるように、書き込み動作ビット線電圧発生回路20から選択メモリセルに至るまでの電圧供給路上の電圧降下分を考慮して昇圧させた高電圧を発生して、第1スイッチ回路22、第2スイッチ回路23、ビット線電圧供給配線29、書き込み電圧スイッチ回路18、グローバルビット線選択回路14、選択グローバルビット線、及び、ローカルビット線選択回路13を経由して、選択ビット線に供給する。

30

【0052】

尚、電源電圧を昇圧して正電圧を発生する動作モード別電圧発生回路19の書き込み動作及び読み出し動作の選択ワード線電圧発生回路、消去動作のソース線電圧発生回路、並びに、書き込み動作ビット線電圧発生回路20は、各電圧発生回路の回路構成としては、種々の周知な回路構成の中から本発明装置に適したものを採用するものとし、詳細な説明は割愛する。

40

【0053】

ビット線電圧整圧回路21は、外部電圧印加端子24とビット線電圧供給配線29の間に介装されたP型MOSFETからなる第2スイッチ回路23の各ゲートレベルを、ビット線電圧供給配線29の電圧レベルに応じて調整することで、第2スイッチ回路23と協働してビット線電圧供給配線29の電圧レベルを安定化させる。

【0054】

第1スイッチ回路22は、書き込み動作ビット線電圧発生回路20と外部電圧印加端子24を分離して、書き込み動作ビット線電圧発生回路20と外部電圧印加端子24の何れか一方から供給される電圧を選択して、第2スイッチ回路23を介して各ビット線電圧供給配線29に供給する。本実施形態では、N型MOSFETのドレインとゲートを書

50

き込み動作用ビット線電圧発生回路 20 の出力ノードに夫々共通に接続し、ソースを第 2 スイッチ回路 23 の一方端に接続して、書き込み動作用ビット線電圧発生回路 20 から第 2 スイッチ回路 23 側に流れるダイオード回路として構成されている。

【0055】

第 2 スイッチ回路 23 は、書き込み動作用ビット線電圧発生回路 20 と外部電圧印加端子 24 の第 1 スイッチ回路 22 によって選択された方と各ビット線電圧供給配線 29 を個別に接続する。

【0056】

本実施形態では、第 1 スイッチ回路 22 と第 2 スイッチ回路 23 と外部電圧印加端子 24 は、ビット線電圧供給配線 29 毎に個別に設けられている。また、ビット線電圧供給配線 29 はプレーン毎に設けられている。図 1 に示すブロック構成例では、2 つのプレーンを例示しているのので、第 1 スイッチ回路 22 と第 2 スイッチ回路 23 と外部電圧印加端子 24 とビット線電圧供給配線 29 は 2 系統が夫々独立して存在する。尚、ビット線電圧供給配線 29 は必ずしもプレーン毎に設ける必要はなく、プレーン数が多い場合（例えば、4 以上の場合）には、複数のプレーンに対して、1 本のビット線電圧供給配線 29 を割り当ててもよい。また、ビット線電圧供給配線 29 の本数で規定される系統数も複数であれば、2 に限定されるものではない。更に、1 つのメモリセルブロック 11 のローカルビット線数が多い場合には、1 プレーンに 2 本以上のビット線電圧供給配線 29 を割り当てるようにしても構わない。本発明の趣旨は、外部電圧印加端子 24 から各のメモリセルブロック 11 の各ローカルビット線に至るまでの電圧供給路での電圧降下を抑制するために、1 本のビット線電圧供給配線 29 が同時に接続可能なローカルビット線の本数を低減して、複数本設けている点にあるので、1 本のビット線電圧供給配線 29 とグローバルビット線選択回路 14 との対応関係は、図 1 に示す回路構成に限定されるものではない。

【0057】

出力インタフェース回路 26 は、プレーン毎に設けられた読み出し回路 17 から出力される読み出しデータを選択して、データ出力端子（図示せず）から所定の出力電圧レベルに変換して外部に出力するインタフェース回路である。

【0058】

入力インタフェース回路 27 は、外部から各種入力信号を受け付けて、本発明装置 10 の内部回路に供給するインタフェース回路であり、アドレス入力端子（図示せず）からアドレス入力を受け付けるアドレス入力回路、データ入力端子（図示せず）からデータ入力を受け付けるデータ入力回路、複数の制御入力端子（図示せず）から各種の制御入力（チップイネーブル入力、出力イネーブル入力、書き込みイネーブル入力等）を受け付ける制御入力回路等を備えて構成される。入力インタフェース回路 27 の各回路構成は、一般的なフラッシュメモリで使用されているものと同様であり、詳細な説明及び図示は省略する。

【0059】

制御回路 28 は、読み出し、書き込み、消去の各メモリ動作の制御を行う回路で、特に、書き込み及び消去動作におけるメモリセルへの各動作モードに応じた電圧印加と、その後のメモリセルの書き込みまたは消去状態を検証する読み出し動作を所定の制御アルゴリズムに則って行うシーケンシャルな制御を実行する回路で、ステートマシンや簡単なマイクロプロセッサを応用して構成される。また、動作モードは、本発明装置に入力される制御入力信号及び動作モード選択用のコマンドが制御回路 28 に入力されることによって識別される。認識された動作モードを示す動作モード信号（モード選択信号 MS、特定ノード選択信号 NS を含む）が、制御回路 28 から、ワード線選択回路 12、ローカルビット線選択回路 13、グローバルビット線選択回路 14、特定ノード選択回路 15、ブロック選択回路 16、読み出し回路 17、書き込み電圧スイッチ回路 18、動作モード別電圧発生回路 19、書き込み動作用ビット線電圧発生回路 20 等に夫々出力される。尚、制御回路 28 は、フラッシュメモリに搭載されている公知の回路構成が利用できるもので、詳細な説明は省略する。

10

20

30

40

50

【 0 0 6 0 】

次に、本発明装置 1 0 の書き込み動作時とテストモード選択時の回路動作について説明する。

【 0 0 6 1 】

書き込み動作時

先ず、制御回路 1 8 が、書き込み動作時である旨の動作モード信号を、上述の各回路に出力する。この場合、外部電圧印加端子 2 4 へは外部電圧の入力がないので、書き込み動作ビット線電圧発生回路 2 0 の出力するビット線電圧が、第 1 スイッチ回路 2 2 によって自動的に選択され、第 2 スイッチ回路 2 3、ビット線電圧供給配線 2 9、書き込み電圧スイッチ回路 1 8、グローバルビット線選択回路 1 4、選択グローバルビット線、及び、ローカルビット線選択回路 1 3 を経由して、選択メモリセルブロック 1 1 の選択ビット線に供給される。尚、非選択メモリセルブロック 1 1 のローカルビット線及び選択メモリセルブロック 1 1 の非選択ビット線はオープン状態または接地状態（0 V 印加）となり、選択ビット線にのみ選択ビット線電圧（5 V）が印加される。一方、動作モード別電圧発生回路 1 9 からは、書き込み動作の選択ワード線電圧（1 2 V）が選択メモリセルブロック 1 1 のワード線選択回路 1 2 に供給され、選択ワード線に印加される。非選択メモリセルブロック 1 1 のワード線及び選択メモリセルブロック 1 1 の非選択ワード線には接地電圧（0 V）が印加され、各非選択メモリセルはオフ状態となる。これにより、書き込み対象の選択メモリセルの制御ゲート 1、ドレイン 2、ソース 3 の各端子には、図 1 0 に示す書き込み動作の各端子電圧が印加され、ホットエレクトロン注入による書き込み動作が実行される。このとき、同時に選択ビット線に接続する非選択メモリセル（ワード線の電圧レベルが 0 V）にも同様に選択ビット線電圧（5 V）が印加されるため、消去され易いメモリセル（本テストモードでスクリーニングして除去すべき不良メモリセル）の場合には、その非選択メモリセルが書き込み状態（フローティングゲート 5 に電子が注入されている状態）では、その注入された電子の一部がドレイン側（ビット線側）に弱く引き抜かれ、同じビット線上での書き込み動作がその非選択メモリセルを除く全てのメモリセルで繰り返されることで、当該非選択メモリセルのフローティングゲート 5 に注入された電子が、書き込み状態と判定されないレベルまで放出されると、読み出し動作でエラーが発生することになる（ドレインディスタート現象）。また、読み出しエラーに至る前に、読み出し動作の動作マージンが低下することになる。

【 0 0 6 2 】

テストモード選択時

従って、テストモードにおいて、ドレインディスタート耐性の低いメモリセルを効率的にスクリーニングして除去するために、通常書き込み動作で選択される選択ビット線の本数より大幅に多い複数のビット線を同時に選択して、選択ビット線電圧（5 V）を各選択ビット線に同時に印加する。本実施形態では、全てのメモリセルブロック 1 1 の全ビット線が、2 系統に分割して同時に選択される。

【 0 0 6 3 】

先ず、制御回路 1 8 が、テストモード選択時である旨の動作モード信号を、上述の各回路に出力する。この場合、書き込み動作ビット線電圧発生回路 2 0 が出力するビット線電圧より高電圧の外部電圧を、2 つの外部電圧印加端子 2 4 から入力するので、書き込み動作ビット線電圧発生回路 2 0 の動作状態に関係なく、各外部電圧印加端子 2 4 から入力されたテスト用の外部ビット線電圧が、第 1 スイッチ回路 2 2 によって自動的に選択され、第 2 スイッチ回路 2 3、ビット線電圧供給配線 2 9、書き込み電圧スイッチ回路 1 8、グローバルビット線選択回路 1 4、選択グローバルビット線、及び、ローカルビット線選択回路 1 3 を経由して、各プレーンに分かれて、全てのメモリセルブロック 1 1 の全てのビット線に供給される。テストモード選択時には、ローカルビット線選択回路 1 3 は全てのローカルビット線を選択して各グローバルビット線に接続し、グローバルビット線選択回路 1 4 は全てのグローバルビット線を選択して書き込み電圧スイッチ回路 1 8 に接続し、書き込み電圧スイッチ回路 1 8 は選択された全てのグローバルビット線を、書き込み

データを“0”としてビット線電圧供給配線29に接続する。これにより、全てのメモリセルブロック11の全てのビット線には、各外部電圧印加端子24から入力されたテスト用の外部ビット線電圧から、第2スイッチ回路23、ビット線電圧供給配線29、書き込み電圧スイッチ回路18、グローバルビット線選択回路14、選択グローバルビット線、及び、ローカルビット線選択回路13の電圧供給路を経て電圧降下した選択ビット線電圧が印加される。

【0064】

ここで、各ローカルビット線に印加される選択ビット線電圧は、グローバルビット線の電圧とは、ローカルビット線選択回路13の各転送ゲートの両端電圧分の電圧差が生じているが、1本のローカルビット線に接続する全メモリセルのオフリーク電流の合計は、全てのメモリセルブロック11の全てのメモリセルのオフリーク電流の合計と比較すると、全てのローカルビット線の本数分の1と大幅に小さくなるため、その電圧差は無視できるので、特定ノード選択回路15で選択された特定ノードの電圧レベルをテスト用電圧測定端子25から測定することで、選択ビット線電圧をモニターすることができる。従って、テスト用電圧測定端子25から測定される特定ノードの電圧レベルを基に、当該電圧レベルが通常書き込み動作時に選択ビット線に印加される選択ビット線電圧と同電圧レベルの所定値となるように、各外部電圧印加端子24から入力するテスト用の外部ビット線電圧の電圧レベルを調整する。但し、外部ビット線電圧の電圧レベルは、本発明装置10の内部で使用されているトランジスタ、例えば、第1スイッチ回路22、第2スイッチ回路23、書き込み電圧スイッチ回路18等を構成するトランジスタの耐圧以下となるように制限される。外部ビット線電圧の電圧レベルが当該耐圧を超える場合は、同じプレーン内において同時に選択されるメモリセルブロック数を減らすか、或いは、同時に選択されるグローバルビット線の本数を減らすことで、外部ビット線電圧の電圧レベルが当該耐圧以下となるように調整する必要がある。

10

20

【0065】

一方、動作モード別電圧発生回路19からは、テストモード選択時の非選択ワード線電圧(-2V)が全てのメモリセルブロック11のワード線選択回路12に供給され、各メモリセルブロック11の全てのワード線に印加される。従って、全てのメモリセルの制御ゲートには-2Vの負電圧が印加されて非導通状態となるものの、ドレインには選択ビット線電圧が印加され、通常書き込み動作時の非選択メモリセルのドレインと同じ電圧印加条件となる。

30

【0066】

ここで、比較例として、図4に例示するような従来の回路構成によって、外部電圧印加端子24から入力されるテスト用の外部電圧が、1系統の第2スイッチ回路23とビット線電圧供給配線29を介して、2つのプレーンの書き込み電圧スイッチ回路18とグローバルビット線選択回路14に共通に供給される回路構成により、図15を用いて説明したように4つのメモリセルブロック11の全ビット線を選択して一括で高電圧ストレスを印加した場合、外部入力電圧が当該耐圧を超え、所望の高電圧ストレス(例えば、5V)をメモリセルに印加できない場合を想定する。尚、図1の本発明装置10の回路構成と、図4に例示する比較例では、対応する回路には同じ符号を付しており、また、両回路構成のメモリセルブロック11は全く同じであるとする。

40

【0067】

図4に例示する比較例に対して、本実施形態では、第1スイッチ回路22と第2スイッチ回路23と外部電圧印加端子24とビット線電圧供給配線29が、プレーン毎に夫々独立して2系統存在するので、4つのメモリセルブロック11の全ビット線を選択して一括で選択ビット線電圧を印加する場合でも、1つの外部電圧印加端子24から系統別に2つのメモリセルブロック11の全ビット線に選択ビット線電圧が各別に印加されるため、図5に示すように、図15の2つのメモリセルブロック11を同時に選択した場合と同じ状況となり、テスト時間が図4に例示する比較例では、2回に分けてテスト用の外部入力電圧の印加を行っていたのが、1回の印加で済むため、テスト時間が2分の1に短縮される

50

ことになる。

【0068】

以下、本実施形態のテストモードを使用した本発明方法によるドレインディスタープのスクリーニングテストの処理手順を、図6を参照して説明する。先ず、通常書き込み動作で全てのメモリセルブロック11の全てのメモリセルを書き込み状態とする(ステップ#11)。次に、本発明装置11をテストモードに設定し、動作モード別電圧発生回路19を制御して、テストモード選択時の非選択ワード線電圧(-2V)を発生して、全てのメモリセルブロック11のワード線選択回路12に供給し、全てのメモリセルの制御ゲートには-2Vの負電圧が印加されるようにする(ステップ#12)。また、ステップ#12の制御と並行して、書き込み電圧スイッチ回路18、グローバルビット線選択回路14、及び、ローカルビット線選択回路13を制御して、全てのメモリセルブロック11の全てのローカルビット線が、2系統の第2スイッチ回路23とビット線電圧供給配線29を経由して、各外部電圧印加端子24に各別に電氣的に接続させる(ステップ#13)。更に、ステップ#12及び#13の制御と並行して、特定ノード選択回路15を制御して、何れか一方のプレーンの特定ノードを選択してテスト用電圧測定端子25と電氣的に接続させる(ステップ#14)。次に、特定ノードの電圧レベルを測定して、選択ビット線電圧をモニターしながら、各外部電圧印加端子24からテスト用の外部ビット線電圧を供給し、選択ビット線電圧が、通常書き込み動作時に選択ビット線に印加される選択ビット線電圧と同電圧レベルの所定値となるまで上昇し、当該所定値に至った状態で、外部ビット線電圧の印加を、通常書き込み動作時の選択ビット線電圧の印加時間(例えば、1μ秒)の1本のローカルビット線に接続するメモリセル数(N)から1差し引いた値(N-1)倍に相当する期間以上(例えば、(N-1)μ秒以上)継続した後、当該印加を停止する(ステップ#15)。その後、全てのメモリセルブロック11の全てのメモリセルを逐次読み出して、データ“0”と判定されなかったメモリセルを不良メモリセルとして抽出する(ステップ#16)。抽出された不良メモリセルを冗長救済用のメモリセルと置換して不良救済する(ステップ#17)。ここで、ステップ#12~#14の処理は、夫々並行して行わずに、任意の順番で行っても構わない。また、ステップ#15において、特定ノードの電圧レベルの測定において、特定ノード選択回路15を制御して特定ノードを切り換えて全ての特定ノードの電圧レベルが当該所定値に至った状態を確認するようにするのも好ましい。また、ステップ#15において、特定ノードの電圧レベルの測定途中において、最も測定レベルの低い特定ノードを検出してモニター対象としても選択しても良い。

10

20

30

【0069】

次に、図6に示すスクリーニングテストのステップ#15で外部ビット線電圧の制御に使用する所定値(通常書き込み動作時に選択ビット線に印加される選択ビット線電圧と同電圧レベル)を予め取得する本発明方法について図7を参照して説明する。

【0070】

先ず、通常書き込み動作で全てのメモリセルブロック11の全てのメモリセルを書き込み状態とする(ステップ#21)。次に、本発明装置11をテストモードに設定し、動作モード別電圧発生回路19を制御して、テストモード選択時の非選択ワード線電圧(-2V)を発生して、全てのメモリセルブロック11のワード線選択回路12に供給し、全てのメモリセルの制御ゲートには-2Vの負電圧が印加されるようにする(ステップ#22)。また、ステップ#22の制御と並行して、書き込み電圧スイッチ回路18、グローバルビット線選択回路14、及び、ローカルビット線選択回路13を制御して、1つのメモリセルブロック11の特定ノードを含むグローバルビット線に接続する1本のローカルビット線を選択し、第1スイッチ回路22と第2スイッチ回路23とビット線電圧供給配線29を経由して、書き込み動作ビット線電圧発生回路20の出力端子と電氣的に接続させる(ステップ#23)。更に、ステップ#22及び#23の制御と並行して、特定ノード選択回路15を制御して、ステップ#23で選択されたローカルビット線が属するプレーンの特定ノードを選択してテスト用電圧測定端子25と電氣的に接続させる(ステッ

40

50

ブ#24)。次に、書き込み動作ビット線電圧発生回路20を活性化して通常書き込み動作時に出力する高電圧を出力させ、ステップ#23で選択されたローカルビット線に選択ビット線電圧を印加する(ステップ#25)。次に、特定ノードの電圧レベルを測定して、当該測定レベルを所定値とする(ステップ#26)。尚、ステップ#22~#24の処理は、夫々並行して行わずに、任意の順番で行っても構わない。

【0071】

[第2実施形態]

図8に、本発明装置10の第2実施形態における概略のブロック構成を模式的に示す。図8に示すように、本発明装置10の第2実施形態では、図1に示す第1実施形態の構成に対して、第1スイッチ回路22と外部電圧印加端子24を夫々1つだけで構成している。つまり、第1実施形態では、書き込み動作ビット線電圧発生回路20からグローバルビット線選択回路14に至る書き込み動作ビット線電圧の電圧供給路が、書き込み動作ビット線電圧発生回路20の出力端子から2系統に分岐した構成であったのに対し、第2実施形態では、外部電圧印加端子24から2系統に分岐する構成としている。その他の回路構成は、第1実施形態と全く同じであるので、重複する説明は割愛する。テストモード選択時に外部電圧印加端子24から供給される外部ビット線電圧の電圧供給路が2系統に分岐することで、第1実施形態と同様の効果を奏することができる。

10

【0072】

[第3実施形態]

図9に、本発明装置10の第3実施形態における概略のブロック構成を模式的に示す。図9に示すように、本発明装置10の第3実施形態では、図1に示す第1実施形態の構成に対して、特定ノード選択回路15とテスト用電圧測定端子25と接続配線30を設けずに構成している。その他の回路構成は、第1実施形態と全く同じであるので、重複する説明は割愛する。

20

【0073】

第3実施形態では、テスト用電圧測定端子25から特定ノードの電圧レベルをモニターせずにドレインディスターブのスクリーニングテストを行う。従って、図6に示すスクリーニングテストの処理手順のステップ#15において、各外部電圧印加端子24からテスト用の外部ビット線電圧を供給する際には、特定ノードの電圧レベルをモニターするのではなく、予めシミュレーションや実験により取得した入力電圧レベルを各外部電圧印加端子24から供給する。この場合、チップ、ウェハ或いはロット毎のばらつきに対応することは不可能となるが、特定ノード選択回路15とテスト用電圧測定端子25と接続配線30を設けないことからチップ面積の増大を抑制でき、テスト手順の簡素化が図れる。

30

【0074】

次に、本発明装置の別実施形態について説明する。

【0075】

1 上記各実施形態では、動作モード別電圧発生回路19から、テストモード選択時の非選択ワード線電圧(-2V)がテスト対象の全てのメモリセルブロック11のワード線選択回路12に供給され、各メモリセルブロック11の全てのワード線に印加される構成となっていたが、ワード線に印加される電圧は、当該非選択ワード線電圧(-2V)に代えて、通常書き込み動作時の非選択ワード線電圧(0V)を使用しても構わない。この場合、動作モード別電圧発生回路19の負電圧発生回路は、消去動作時の負電圧の選択ワード線電圧(-8V)だけ発生できれば良いので、図3に示す回路構成では、レベルシフト回路49とN型MOSFET45が不要となる。

40

【0076】

2 更に、上記第1及び第2実施形態では、図6に示すスクリーニングテストの処理手順のステップ#15において、各外部電圧印加端子24からテスト用の外部ビット線電圧を供給する際に、特定ノードの電圧レベルをモニターして外部ビット線電圧の調整を行うようにしたが、第3実施形態と同様に、特定ノードの電圧レベルをモニターするのではなく、予めシミュレーションや実験により取得した入力電圧レベルを各外部電圧印加端子

50

24から供給するようにしても構わない。尚、第1及び第2実施形態では、特定ノード選択回路15とテスト用電圧測定端子25と接続配線30が設けてあるので、これらを使用して、特定ノードの電圧レベルが所定値となる入力電圧レベルを予め取得することが可能である。

【0077】

3 更に、上記第3実施形態では、第1実施形態の回路構成を基礎として、特定ノード選択回路15とテスト用電圧測定端子25と接続配線30を設けない構成としたが、第2実施形態の回路構成を基礎として、同様の回路構成としても構わない。

【0078】

4 更に、上記各実施形態では、列方向に配置された複数のメモリセルブロック11によって1つのプレーンを構成し、ローカルビット線選択回路13を介して同一プレーン内のメモリセルブロック11のローカルビット線をグローバルビット線に接続し、グローバルビット線をプレーン単位でグローバルビット線選択回路14により選択する階層的なビット線選択構造となっていたが、グローバルビット線及びグローバルビット線選択回路14を設けずに、メモリセルブロック11毎に書き込み電圧スイッチ回路18を設けて直接にローカルビット線選択回路13と接続する構成であっても良い。

【0079】

また、プレーンを構成する場合も、行方向に配置された複数のメモリセルブロック11によって1つのプレーンを構成するようにしても構わない。この場合、階層的なワード線選択構造となる。

【0080】

5 更に、上記各実施形態では、1つのビット線電圧整圧回路21を複数の第2スイッチ回路23に対して共通に使用する構成であったが、第2スイッチ回路23毎に個別にビット線電圧整圧回路21を設ける回路構成であっても良い。この場合、第2スイッチ回路23は、通常書き込み動作時には、選択されたプレーンに対応する何れか1つだけがオンし、テストモード選択時には、全ての第2スイッチ回路23がオンするように、ビット線電圧整圧回路21を制御することができる。

【0081】

6 更に、上記各実施形態では、メモリセルは図10～図12に示す素子構造のフラッシュメモリセルを想定したが、フラッシュメモリセルと同様に、書き込み動作時に書き込み対象でない非選択メモリセルに対して選択ビット線側から印加されるストレスによってデータ劣化の生じる可能性のある構造のメモリセルに対しても本発明装置及び本発明方法は適応可能である。

【産業上の利用可能性】

【0082】

本発明は、不揮発性半導体記憶装置に利用可能であり、特に、不揮発性半導体記憶装置におけるメモリセルの書き込み動作に伴うデータ劣化不良を効率的にスクリーニングするテスト方法に有用である。

【図面の簡単な説明】

【0083】

【図1】本発明に係る不揮発性半導体記憶装置の第1実施形態における概略のブロック構成を模式的に示すブロック図

【図2】本発明に係る不揮発性半導体記憶装置の特定ノード選択回路の回路構成例を示す回路図

【図3】本発明に係る不揮発性半導体記憶装置の動作モード別電圧発生回路内の負電圧発生回路の回路構成例を示す回路図

【図4】従来の不揮発性半導体記憶装置の概略のブロック構成例を模式的に示すブロック図

【図5】本発明に係る不揮発性半導体記憶装置における外部電圧印加端子に印加する外部ストレス電圧と選択ビット線電圧の関係を模式的に示す図

10

20

30

40

50

【図6】本発明に係る不揮発性半導体記憶装置のテスト方法によるドレインディスタープのスクリーニングテストの処理手順を示すフローチャート

【図7】本発明に係る不揮発性半導体記憶装置のテスト方法による通常書き込み動作時に選択ビット線に印加される選択ビット線電圧を取得する処理手順を示すフローチャート

【図8】本発明に係る不揮発性半導体記憶装置の第2実施形態における概略のブロック構成を模式的に示すブロック図

【図9】本発明に係る不揮発性半導体記憶装置の第3実施形態における概略のブロック構成を模式的に示すブロック図

【図10】フラッシュメモリセルへの書き込み動作時における各端子に対する電圧印加条件とフローティングゲートと各端子間の電子の流れを模式的に示す素子断面図

【図11】フラッシュメモリセルへの消去動作時における各端子に対する電圧印加条件とフローティングゲートと各端子間の電子の流れを模式的に示す素子断面図

【図12】フラッシュメモリセルへの読み出し動作時における各端子に対する電圧印加条件とフローティングゲートと各端子間の電子の流れを模式的に示す素子断面図

【図13】フラッシュメモリセルの各メモリ動作における各端子への電圧印加条件を一覧にして示す図表

【図14】NOR型フラッシュメモリにおけるメモリセルブロックの構成例を示す図

【図15】従来の不揮発性半導体記憶装置における外部電圧印加端子に印加する外部ストレス電圧と選択ビット線電圧の関係を模式的に示す図

【符号の説明】

【0084】

- 1： フラッシュメモリセルの制御ゲート
- 2： フラッシュメモリセルのドレイン
- 3： フラッシュメモリセルのソース
- 4： フラッシュメモリセルの基板
- 5： フラッシュメモリセルのフローティングゲート
- 6： フラッシュメモリセルのトンネル酸化膜
- 7： フラッシュメモリセルの絶縁膜
- 8： 書き込み対象のメモリセル
- 9： 非選択メモリセル
- 10： 本発明に係る不揮発性半導体記憶装置
- 11： メモリセルブロック
- 12： ワード線選択回路（行選択回路）
- 13： ローカルビット線選択回路（列選択回路）
- 14： グローバルビット線選択回路（列選択回路）
- 15： 特定ノード選択回路（第3スイッチ回路）
- 16： ブロック選択回路
- 17： 読み出し回路
- 18： 書き込み電圧スイッチ回路
- 19： 動作モード別電圧発生回路
- 20： 書き込み動作ビット線電圧発生回路（選択行電圧発生回路）
- 21： ビット線電圧整圧回路
- 22： 第1スイッチ回路
- 23： 第2スイッチ回路
- 24： 外部電圧印加端子
- 25： テスト用電圧測定端子
- 26： 出力インタフェース回路
- 27： 入力インタフェース回路
- 28： 制御回路
- 29： ビット線電圧供給配線

10

20

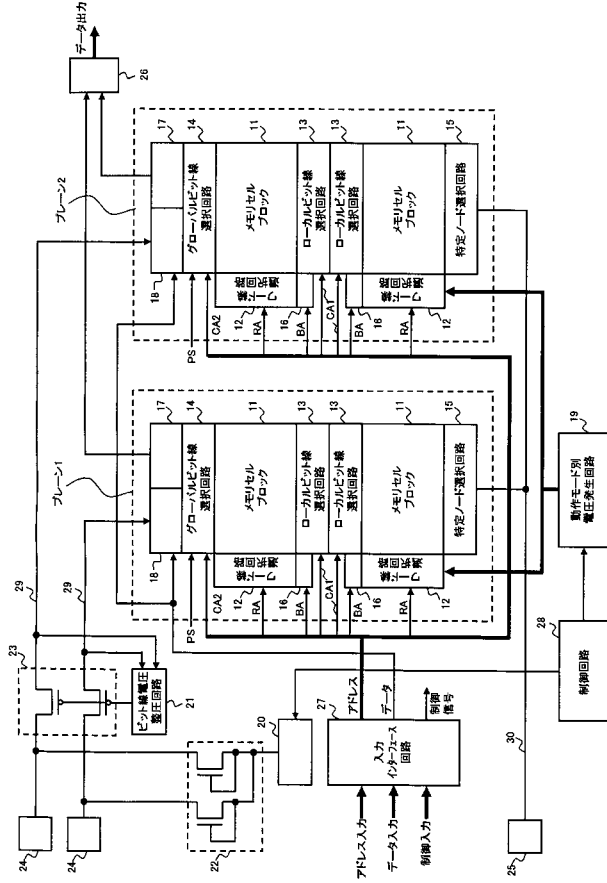
30

40

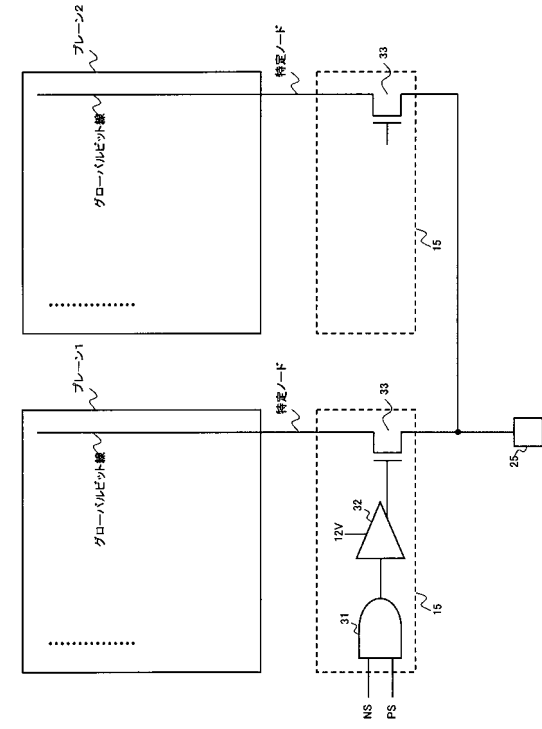
50

30 :	接続配線	
31 :	ANDゲート	
32 :	レベルシフト回路	
33 :	転送ゲート	
40 :	負電圧ポンプ回路	
41 :	コンパレータ	
42 ~ 44 :	分圧抵抗	
45 :	N型MOSFET	
46 :	P型MOSFET	
47 :	インバータ	10
48 :	ANDゲート	
49 :	レベルシフト回路	
BA :	ブロックアドレス信号	
BL :	ビット線	
CA1、CA2 :	列アドレス信号	
Eneg :	負電圧発生回路の活性化信号	
Ids :	メモリセル電流	
MS :	モード選択信号	
NS :	特定ノード選択信号	
Nc :	接続点(コンパレータの非反転入力)	20
PS :	プレーン選択信号	
RA :	行アドレス信号	
SL :	ソース線	
V1 :	第1基準電圧	
V2 :	第2基準電圧	
Vneg :	負電圧	
VPP :	外部電圧印加端子	
WL :	ワード線	

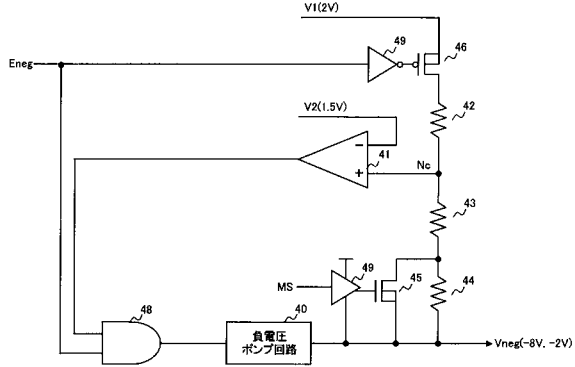
【図1】



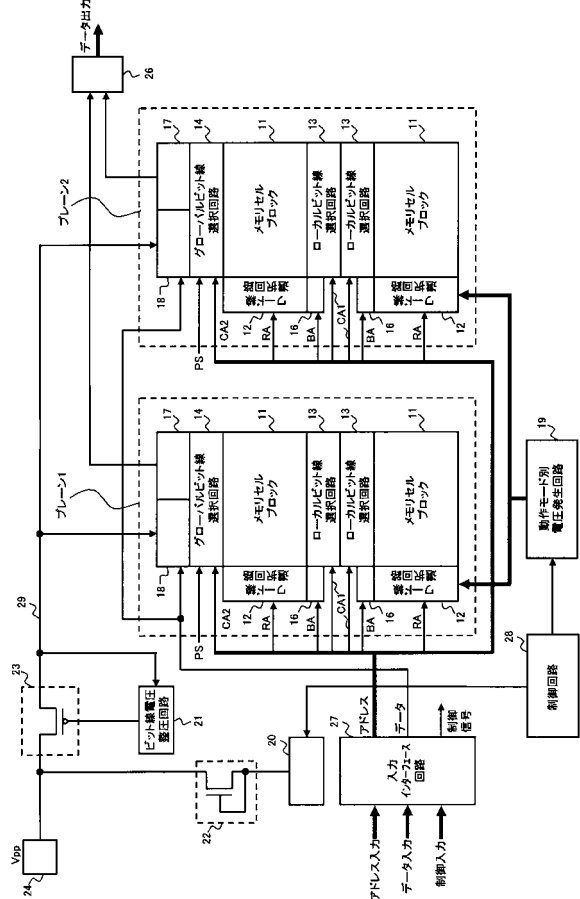
【図2】



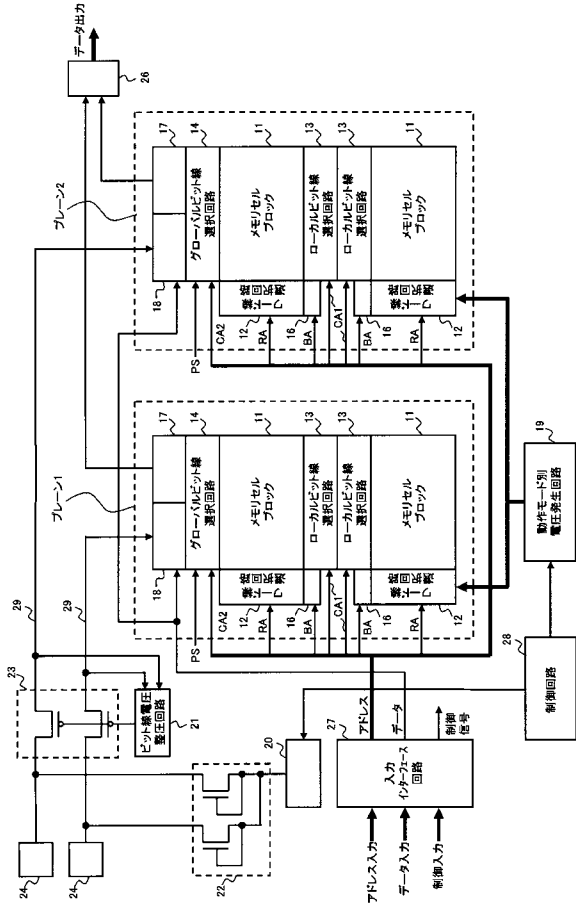
【図3】



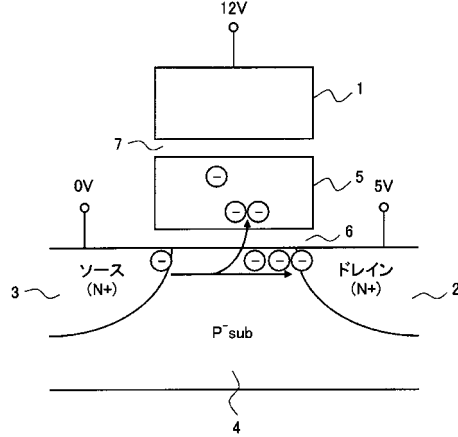
【図4】



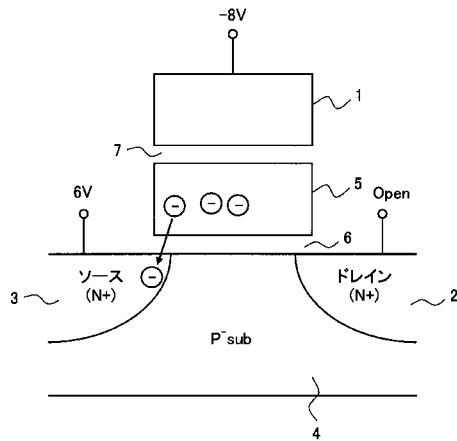
【図9】



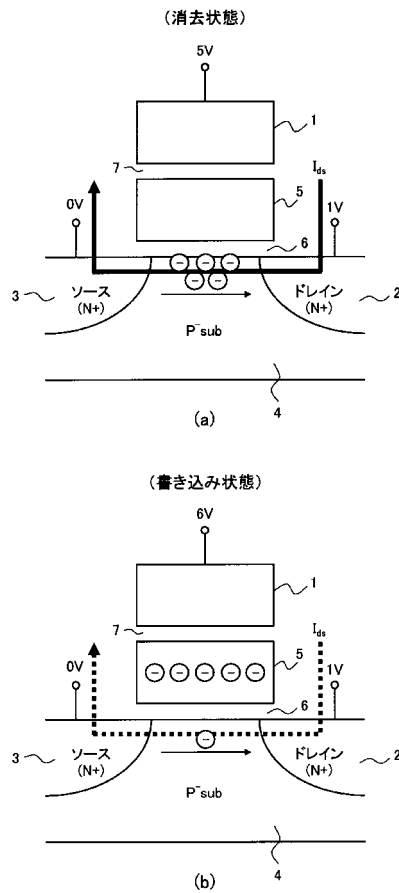
【図10】



【図11】



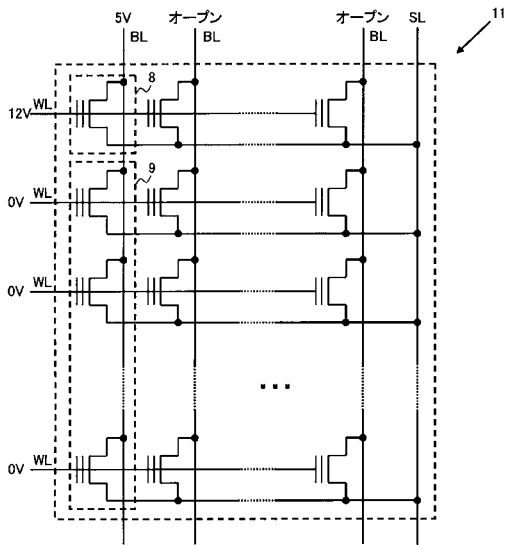
【図12】



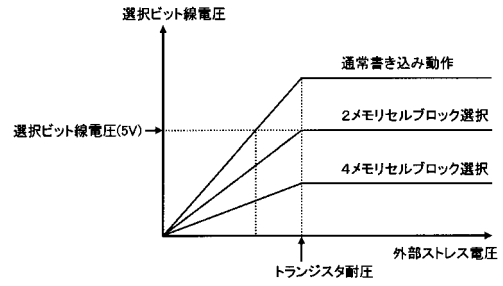
【 図 1 3 】

	制御ゲート	ドレイン	ソース
読み出し動作	5V	1V	0V
書き込み動作	選択メモリセル	12V	0V
	非選択メモリセル	0V	0V
消去動作	-8V	オープン	6V

【 図 1 4 】



【 図 1 5 】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 1 R 31/28 V

G 1 1 C 17/00 6 1 1 Z