



# (12) 发明专利申请

(10) 申请公布号 CN 118922948 A

(43) 申请公布日 2024. 11. 08

(21) 申请号 202380029911.4

(22) 申请日 2023.01.26

(30) 优先权数据

2022-051509 2022.03.28 JP

(85) PCT国际申请进入国家阶段日

2024.09.24

(86) PCT国际申请的申请数据

PCT/JP2023/002429 2023.01.26

(87) PCT国际申请的公布数据

W02023/188755 JA 2023.10.05

(71) 申请人 罗姆股份有限公司

地址 日本

(72) 发明人 长田贤树

(74) 专利代理机构 北京银龙知识产权代理有限公司

11243

专利代理师 曾贤伟 李平

(51) Int.Cl.

H01L 29/78 (2006.01)

H01L 21/336 (2006.01)

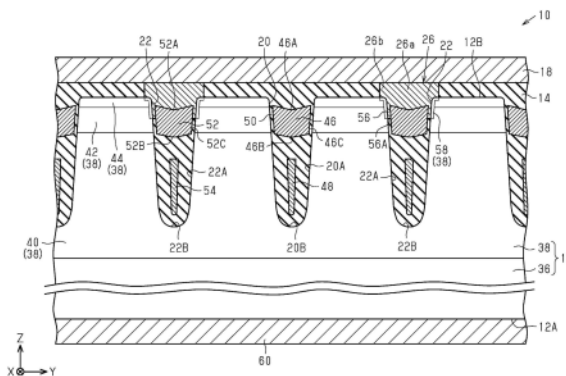
权利要求书2页 说明书17页 附图20页

(54) 发明名称

半导体装置

(57) 摘要

半导体装置 (10) 具备:包括第一面 (12A) 以及  
与第一面 (12A) 相反的一侧的第二面 (12B) 的  
半导体层 (12);包括形成于半导体层 (12) 并且与  
第二面 (12B) 连续的侧壁 (22A) 的源极沟槽 (22);  
形成在半导体层 (12) 的第二面 (12B) 上的绝缘层  
(14);配置在源极沟槽 (22) 内并且通过绝缘层  
(14) 从源极沟槽 (22) 的侧壁 (22A) 隔开间隔的埋  
入电极 (52);形成在绝缘层 (14) 上的源极配线  
(18);以及将源极配线 (18) 与半导体层 (12) 电连  
接的源极接触插头 (26)。源极接触插头 (26) 与埋  
入电极 (52) 接触并且经由源极沟槽 (22) 的侧壁  
(22A) 的一部分而与半导体层 (12) 接触。



1. 一种半导体装置,其特征在于,具备:  
半导体层,其包括第一面以及与上述第一面相反的一侧的第二面;  
源极沟槽,其包括形成于上述半导体层并且与上述第二面连续的侧壁;  
绝缘层,其形成在上述半导体层的上述第二面上;  
埋入电极,其配置在上述源极沟槽内,并且通过上述绝缘层从上述源极沟槽的上述侧壁隔开间隔;  
源极配线,其形成在上述绝缘层上;以及  
源极接触插头,其将上述源极配线与上述半导体层电连接,  
上述源极接触插头与上述埋入电极接触,并且经由上述源极沟槽的侧壁的一部分而与上述半导体层接触。
2. 根据权利要求1所述的半导体装置,其特征在于,  
上述半导体层包括与上述源极接触插头相邻地形成的第一导电型的接触区域,上述接触区域沿上述源极沟槽的上述侧壁的上述一部分延伸。
3. 根据权利要求2所述的半导体装置,其特征在于,  
上述埋入电极包括被上述源极接触插头覆盖的上表面、以及与上述源极沟槽的上述侧壁对置的侧面。
4. 根据权利要求3所述的半导体装置,其特征在于,  
上述源极接触插头包括下侧伸出部,该下侧伸出部埋入到上述源极沟槽的上述侧壁与上述埋入电极的上述侧面之间。
5. 根据权利要求4所述的半导体装置,其特征在于,  
上述埋入电极还包括与上述上表面相反的一侧的底面,  
上述下侧伸出部包括下端面,该下端面在与上述第二面正交的深度方向上位于上述埋入电极的上述上表面与上述底面之间。
6. 根据权利要求5所述的半导体装置,其特征在于,  
上述下端面在上述深度方向上位于比上述埋入电极的上述上表面靠上述底面的附近。
7. 根据权利要求5或6所述的半导体装置,其特征在于,  
上述半导体层包括第二导电型的漂移区域、形成在上述漂移区域上的第一导电型的主体区域、以及形成在上述主体区域上的第二导电型的源极区域,上述源极沟槽以贯通上述源极区域以及上述主体区域的方式形成。
8. 根据权利要求7所述的半导体装置,其特征在于,  
上述接触区域与上述源极区域以及上述主体区域相邻,上述接触区域的第一导电型杂质浓度比上述主体区域的第一导电型杂质浓度高。
9. 根据权利要求7或8所述的半导体装置,其特征在于,  
上述下端面在上述深度方向上位于比上述主体区域与上述漂移区域的边界靠下方。
10. 根据权利要求4~9中任一项所述的半导体装置,其特征在于,  
上述源极接触插头包括在俯视时配置在上述源极沟槽内的主部、以及在俯视时配置在上述源极沟槽外的悬伸部,上述下侧伸出部包含于上述主部。
11. 根据权利要求2~10中任一项所述的半导体装置,其特征在于,  
上述接触区域还沿上述半导体层的上述第二面的一部分延伸。

12. 根据权利要求1~9中任一项所述的半导体装置,其特征在于,  
上述源极接触插头包括悬伸部,该悬伸部与上述半导体层的上述第二面接触。
13. 根据权利要求12所述的半导体装置,其特征在于,  
上述悬伸部在俯视时配置于上述源极沟槽外。
14. 根据权利要求1~13中任一项所述的半导体装置,其特征在于,还具备:  
栅极沟槽,其形成于上述半导体层;  
栅极电极,其配置在上述栅极沟槽内,  
上述源极沟槽在俯视时与上述栅极沟槽平行地在第一方向上延伸。
15. 根据权利要求14所述的半导体装置,其特征在于,  
还具备第一场板电极,该第一场板电极在上述栅极沟槽内配置在上述栅极电极的下方,上述第一场板电极与上述源极配线电连接。
16. 根据权利要求14或15所述的半导体装置,其特征在于,  
上述源极沟槽是形成于上述半导体层的多个源极沟槽中的一个,上述栅极沟槽是形成于上述半导体层的多个栅极沟槽中的一个,  
上述栅极沟槽和上述源极沟槽在俯视时在上述第一方向正交的第二方向上交替地排列。
17. 根据权利要求1~16中任一项所述的半导体装置,其特征在于,  
还具备第二场板电极,该第二场板电极在上述源极沟槽内配置在上述埋入电极的下方,上述第二场板电极与上述源极配线电连接。
18. 根据权利要求1所述的半导体装置,其特征在于,  
上述埋入电极包括由上述源极接触插头局部地覆盖的上表面、以及与上述源极沟槽的上述侧壁对置的侧面。
19. 根据权利要求18所述的半导体装置,其特征在于,  
上述源极接触插头具有比上述源极沟槽小的宽度。
20. 根据权利要求1~19中任一项所述的半导体装置,其特征在于,  
还具备漏极电极,该漏极电极形成在上述半导体层的上述第一面上。

## 半导体装置

### 技术领域

[0001] 本公开涉及半导体装置。

### 背景技术

[0002] 已知一种晶体管,其具有在栅极沟槽内埋入有栅极电极的沟槽栅极构造。在专利文献1中公开了一种半导体装置,该半导体装置中,用于形成源极插头电极的多个源极接触孔与多个栅极沟槽交替地配置。

[0003] 现有技术文献

[0004] 专利文献

[0005] 专利文献1:日本特开2021—125649号公报

### 发明内容

[0006] 发明所要解决的课题

[0007] 在具有沟槽栅极构造的半导体装置中,若配置在栅极沟槽间的源极接触插头的位置偏移,则特性(例如,栅极阈值电压、接通电阻等)会产生偏差。

[0008] 用于解决课题的方案

[0009] 本公开的一个方案的半导体装置具备:半导体层,其包括第一面以及与上述第一面相反的一侧的第二面;源极沟槽,其包括形成于上述半导体层并且与上述第二面连续的侧壁;绝缘层,其形成在上述半导体层的上述第二面上;埋入电极,其配置在上述源极沟槽内,并且通过上述绝缘层从上述源极沟槽的上述侧壁隔开间隔;源极配线,其形成在上述绝缘层上;以及源极接触插头,其将上述源极配线与上述半导体层电连接。上述源极接触插头与上述埋入电极接触,并且经由上述源极沟槽的侧壁的一部分而与上述半导体层接触。

[0010] 发明效果

[0011] 本公开的半导体装置能够抑制源极接触插头的位置偏移引起的特性偏差。

### 附图说明

[0012] 图1是第一实施方式的例示的半导体装置的概略俯视图。

[0013] 图2是表示栅极沟槽以及源极沟槽的终端部的俯视图。

[0014] 图3是沿图2的F3—F3线的第一实施方式的半导体装置的概略剖视图。

[0015] 图4是沿图2的F4—F4线的第一实施方式的半导体装置的概略剖视图。

[0016] 图5是沿图2的F5—F5线的第一实施方式的半导体装置的概略剖视图。

[0017] 图6是表示第一实施方式的半导体装置的例示的制造工序的概略剖视图。

[0018] 图7是表示与图6所示的工序接续的制造工序的概略剖视图。

[0019] 图8是表示与图7所示的工序接续的制造工序的概略剖视图。

[0020] 图9是表示与图8所示的工序接续的制造工序的概略剖视图。

[0021] 图10是表示与图9所示的工序接续的制造工序的概略剖视图。

- [0022] 图11是表示与图10所示的工序接续的制造工序的概略剖视图。
- [0023] 图12是表示与图11所示的工序接续的制造工序的概略剖视图。
- [0024] 图13是表示与图12所示的工序接续的制造工序的概略剖视图。
- [0025] 图14是表示半导体装置的比较例的概略剖视图。
- [0026] 图15是表示第二实施方式的例示的半导体装置的概略剖视图。
- [0027] 图16是沿图2的F4—F4线的第二实施方式的半导体装置的概略剖视图。
- [0028] 图17是表示第二实施方式的半导体装置的例示的制造工序的概略剖视图。
- [0029] 图18是表示与图17所示的工序接续的制造工序的概略剖视图。
- [0030] 图19是第一变更例的例示的半导体装置的概略剖视图。
- [0031] 图20是第二变更例的例示的半导体装置的概略剖视图。

### 具体实施方式

[0032] 以下,参照附图对本公开的半导体装置的几个实施方式进行说明。此外,为了使说明简单且明确,附图所示的构成要素不一定以恒定的比例尺描绘。另外,为了容易理解,有时在剖视图中省略了阴影线。附图不过是例示本公开的实施方式,不应视为限制本公开。

[0033] 以下的详细的记载包括将本公开的例示性的实施方式具体化的装置、系统以及方法。该详细的记载不过用于本来说明,并非意在限定本公开的实施方式或者这样的实施方式的应用以及使用。

[0034] [第一实施方式]

[0035] 图1是第一实施方式的例示的半导体装置10的概略俯视图。此外,本公开中使用的“俯视”之类的用语是指在图1所示的相互正交的XYZ轴的Z轴方向上观察半导体装置10。只要没有明确的特别的记载,则“俯视”是指沿Z轴从上方观察半导体装置10。

[0036] 半导体装置10例如是具有沟槽栅极构造的金属—绝缘体—半导体场效应晶体管(Metal Insulator Semiconductor Field Effect Transistor, MISFET)。半导体装置10包括半导体层12和形成在半导体层12上的绝缘层14。半导体层12在一例中能够由硅(Si)形成。半导体层12包括参照图3将于后文叙述的第一面12A、以及与第一面12A相反的一侧的第二面12B。在图1中,Z轴方向可以是与半导体层12的第一面12A以及第二面12B正交的方向。半导体层12由绝缘层14覆盖,因此在图1中仅示出半导体层12的矩形形状的外缘。绝缘层14在一例中能够由氧化硅膜( $\text{SiO}_2$ )形成。追加或者代替地,绝缘层14也可以包含由与 $\text{SiO}_2$ 不同的绝缘材料、例如氮化硅膜(SiN)等形成的层。

[0037] (半导体装置的例示的平面布局)

[0038] 半导体装置10可以还包括形成在绝缘层14上的栅极配线16、以及形成在绝缘层14上的源极配线18。源极配线18从栅极配线16隔开间隔。栅极配线16以及源极配线18能够由钛(Ti)、镍(Ni)、金(Au)、银(Ag)、铜(Cu)、铝(Al)、铜合金以及铝合金中的至少一个形成。

[0039] 栅极配线16通常能够沿半导体层12的外缘延伸。在图1的例子中,栅极配线16包括在X轴方向上延伸的第一栅极配线部16X1及第二栅极配线部16X2、以及在Y轴方向上延伸的第三栅极配线部16Y1及第四栅极配线部16Y2。此外,在本说明书中,X轴方向也称为第一方向、Y轴方向也称为第二方向。第一栅极配线部16X1连接在第三栅极配线部16Y1的一端与第四栅极配线部16Y2的一端之间。另一方面,第二栅极配线部16X2与第三栅极配线部16Y1的

另一端连接,但不与第四栅极配线部16Y2的另一端连接。栅极配线16可以还包括栅极焊盘部16P。在图1的例子中,第四栅极配线部16Y2的另一端与栅极焊盘部16P连接。第一栅极配线部16X1、第二栅极配线部16X2、第三栅极配线部16Y1、第四栅极配线部16Y2、以及栅极焊盘部16P可以一体地形成。

[0040] 源极配线18可以包括由栅极配线16至少局部地包围的内侧源极配线部18a、以及包围栅极配线16的外侧源极配线部18b。另外,源极配线18还能够包括连接内侧源极配线部18a与外侧源极配线部18b之间的源极连接部18c。在图1的例子中,栅极配线16形成局部地包围内侧源极配线部18a的敞开的环形。源极连接部18c通过配置在栅极配线16的环形敞开的部位,从而能够将内侧源极配线部18a与外侧源极配线部18b连接。内侧源极配线部18a、外侧源极配线部18b、以及源极连接部18c可以一体地形成。在图1的例子中,源极连接部18c在第二栅极配线部16X2与栅极焊盘部16P之间通过。此外,在别的例子中,栅极配线16的环形也可以在不同的部位敞开。在另一别的例子中,栅极配线16也可以形成在俯视时闭合的环形。

[0041] 半导体装置10可以还包括形成于半导体层12的栅极沟槽20。在本说明书中,栅极沟槽20是指参照图3将于后文叙述的配置有栅极电极46的沟槽。栅极沟槽20能够配置为,在俯视时与栅极配线16以及源极配线18双方至少局部地重叠。半导体装置10也可以包括多个栅极沟槽20,多个栅极沟槽20中的几个可以以等间隔相互平行地排列。在图1的例子中,栅极沟槽20配置为,在X轴方向上延伸,并且在俯视时与第三栅极配线部16Y1或者第四栅极配线部16Y2交叉。

[0042] 半导体装置10还包括形成于半导体层12的源极沟槽22。在本说明书中,源极沟槽22是指参照图3将于后文叙述的配置有埋入电极52的沟槽。源极沟槽22能够配置为,在俯视时与栅极配线16以及源极配线18双方至少局部地重叠。半导体装置10可以包括多个源极沟槽22,多个源极沟槽22中的几个可以以等间隔相互平行地排列。在图1的例子中,源极沟槽22配置为,在X轴方向上延伸,并且在俯视时与第三栅极配线部16Y1或者第四栅极配线部16Y2交叉。

[0043] 源极沟槽22可以在俯视时与栅极沟槽20平行地延伸。栅极沟槽20以及源极沟槽22在沿X轴方向(第一方向)延伸的情况下,栅极沟槽20和源极沟槽22可以在俯视时在Y轴方向(与第一方向正交的第二方向)上交替地排列。

[0044] 在图1的例子中,栅极沟槽20的宽度(Y轴方向的尺寸)与源极沟槽22的宽度(Y轴方向的尺寸)大致相同。在别的例子中,栅极沟槽20的宽度也可以与源极沟槽22的宽度不同。例如,源极沟槽22也可以具有比栅极沟槽20大的宽度。

[0045] 半导体装置10可以还包括栅极接触插头24以及源极接触插头26。栅极接触插头24与栅极配线16连接。栅极接触插头24能够配置于在俯视时栅极沟槽20与栅极配线16交叉的区域。源极接触插头26与源极配线18连接。源极接触插头26能够配置为在俯视时与内侧源极配线部18a重叠。源极接触插头26可以在俯视时与源极沟槽22平行地延伸。在图1的例子中,源极接触插头26在俯视时在X轴方向上延伸。源极接触插头26可以在俯视时与源极沟槽22至少局部地重叠。此外,源极接触插头26可以配置为在俯视时不与栅极沟槽20重叠。

[0046] 半导体装置10也可以还包括形成于半导体层12的第一终端沟槽28以及第二终端沟槽30。在图1的例子中,第一终端沟槽28在俯视时与内侧源极配线部18a重叠。另外,第二

终端沟槽30在俯视时与外侧源极配线部18b重叠。栅极沟槽20以及源极沟槽22可以在第一终端沟槽28以及第二终端沟槽30之间延伸,并且与它们连通。

[0047] 半导体装置10可以还包括第一场板接触插头32和第一场板接触插头34。第一场板接触插头32以及第二场板接触插头34在图1的例子中在Y轴方向上延伸。第一场板接触插头32可以在俯视时与第一终端沟槽28重叠,并且与内侧源极配线部18a连接。第二场板接触插头34可以在俯视时与第二终端沟槽30重叠,并且与外侧源极配线部18b连接。

[0048] 栅极接触插头24、源极接触插头26、第一场板接触插头32、以及第二场板接触插头34分别能够由任意的金属材料形成。在一例中,各接触插头24、26、32、34能够由钨(W)、钛(Ti)、以及氮化钛(TiN)中的至少一个形成。

[0049] 半导体装置10的平面布局不限于图1的例子。例如,半导体装置10也可以不包括终端沟槽28、30。该情况下,场板接触插头32、34可以配置为与栅极沟槽20以及源极沟槽22各自的端部重叠。例如,半导体装置10也可以不包括源极配线18。该情况下,场板接触插头30可以配置为与各栅极沟槽20的端部重叠。追加或者代替地,例如,半导体装置10也可以还包括在Y轴方向上延伸的栅极沟槽20以及源极沟槽22。该情况下,第一栅极配线部16X1以及第二栅极配线部16X2也可以与在Y轴方向上延伸的栅极沟槽20以及源极沟槽22交叉。

[0050] 图2是表示栅极沟槽20以及源极沟槽22的终端部的俯视图。图2放大表示在图1中由F2所示的区域,在此,栅极沟槽20以及源极沟槽22与第二终端沟槽30连通。在图2中,省略栅极配线16以及源极配线18。另外,用实线描绘形成于绝缘层14的接触插头24、26、34,用虚线描绘形成于绝缘层14之下的半导体层12的沟槽20、22、30。

[0051] 栅极接触插头24可以具有比栅极沟槽20小的宽度(在图示的例子中为Y轴方向的尺寸)。因此,栅极接触插头24在俯视时配置在栅极沟槽20内。

[0052] 源极接触插头26可以具有比源极沟槽22大的宽度(在图示的例子中为Y轴方向的尺寸)。即,若将源极接触插头26的宽度设为 $W_c$ 、将源极沟槽22的宽度设为 $W_t$ ,则 $W_c > W_t$ 。

[0053] 源极接触插头26可以在俯视时与源极沟槽22至少局部地重叠。如图2所示,源极接触插头26能够包括在俯视时配置在源极沟槽22内的部分和配置在源极沟槽22外的部分。在本说明书中,将源极接触插头26中在俯视时配置在源极沟槽22内的部分称为主部26a。主部26a的宽度与源极沟槽22的宽度相同,为 $W_t$ 。另外,在本说明书中,将源极接触插头26中在俯视时配置在源极沟槽外的部分称为悬伸部26b。如图3所示,若将位于主部26a的两侧的两个悬伸部26b的宽度分别设为 $W_{o1}$ 、 $W_{o2}$ ,则称为 $W_{o1} + W_{o2} = W_c - W_t$ 。在此, $W_c - W_t$ 的值例如能够考虑源极接触插头26相对于源极沟槽22的对位的裕度来确定。在一例中,源极接触插头26的宽度能够确定为,即使在相对于源极沟槽22产生了最大的位置偏移的情况下,至少两个悬伸部26b也能够存在( $W_{o1}$ 、 $W_{o2} > 0$ )。此外,在上述的说明中提及的各构成要素的宽度例如可以是包含半导体层12的第二面12B的面内的宽。

[0054] 图3是沿图2的F3—F3线的第一实施方式的半导体装置的概略剖视图。在图3中示出了在Y轴方向上交替地排列的栅极沟槽20和源极沟槽22。

[0055] 半导体层12可以包括半导体基板36、以及形成在半导体基板36上的外延层38。该情况下,半导体基板36包括半导体层12的第一面12A,外延层38包括半导体层12的第二面12B。在一例中,半导体基板36可以是Si基板。半导体基板36与MISFET的漏极区域对应。外延层38可以是在Si基板上外延成长的Si层。外延层38包括漂移区域40、形成在漂移区域40上

的主体区域42、以及形成在主体区域42上的源极区域44。源极区域44可以包括半导体层12的第二面12B。

[0056] 漏极区域(半导体基板36)可以是包含n型杂质的n型区域。漏极区域(半导体基板36)的n型杂质浓度能够设为 $1 \times 10^{18} \text{cm}^{-3}$ 以上且 $1 \times 10^{20} \text{cm}^{-3}$ 以下。漏极区域(半导体基板36)可以具有 $50 \mu\text{m}$ 以上且 $450 \mu\text{m}$ 以下的厚度。

[0057] 漂移区域40可以是包括比漏极区域(半导体基板36)低的浓度的n型杂质的n型区域。漂移区域40的n型杂质浓度能够设为 $1 \times 10^{15} \text{cm}^{-3}$ 以上且 $1 \times 10^{18} \text{cm}^{-3}$ 以下。漂移区域40可以具有 $1 \mu\text{m}$ 以上且 $25 \mu\text{m}$ 以下的厚度。

[0058] 主体区域42可以是包含p型杂质的p型区域。主体区域42的p型杂质浓度能够设为 $1 \times 10^{16} \text{cm}^{-3}$ 以上且 $1 \times 10^{18} \text{cm}^{-3}$ 以下。主体区域42可以具有 $0.2 \mu\text{m}$ 以上且 $1.0 \mu\text{m}$ 以下的厚度。

[0059] 源极区域44可以是包含比漂移区域40高的浓度的n型杂质的n型区域。源极区域44的n型杂质浓度能够设为 $1 \times 10^{19} \text{cm}^{-3}$ 以上且 $1 \times 10^{21} \text{cm}^{-3}$ 以下。源极区域44可以具有 $0.1 \mu\text{m}$ 以上且 $1 \mu\text{m}$ 以下的厚度。

[0060] 此外,在本公开中,将p型也称为第一导电型、以及将n型也称为第二导电型。n型杂质例如可以是磷(P)、砷(As)等。另外,p型杂质例如可以是硼(B)、铝(Al)等。

[0061] (栅极沟槽的详细)

[0062] 栅极沟槽20在半导体层12的第二面12B具有开口,并且在Z轴方向上具有深度。在本说明书中,Z轴方向也称为深度方向。栅极沟槽20贯通半导体层12的源极区域44以及主体区域42延伸至漂移区域40。栅极沟槽20具有侧壁20A以及底壁20B,底壁20B与漂移区域40相邻。栅极沟槽20的深度可以为 $1 \mu\text{m}$ 以上且 $10 \mu\text{m}$ 以下。

[0063] 栅极沟槽20的侧壁20A既可以在相对于半导体层12的第二面12B垂直的方向(Z轴方向)上延伸、也可以相对于Z轴方向倾斜。在一例中,侧壁20A也可以以栅极沟槽20的宽度朝向底壁20B变小的方式相对于Z轴方向倾斜。另外,栅极沟槽20的底壁20B也可以不必是平坦的,例如其一部分或者整体也可以弯曲。

[0064] 半导体装置10可以还包括配置在栅极沟槽20内的栅极电极46以及场板电极48。栅极电极46与栅极配线16电连接。栅极电极46能够经由栅极接触插头24(参照图1)而与栅极配线16电连接。场板电极48与源极配线18电连接。场板电极48能够经由第一以及第二场板接触插头32、34(参照图1)而与源极配线18电连接。栅极电极46以及场板电极48可以由导电性的多晶硅形成。

[0065] 栅极电极46包括被绝缘层14覆盖的上表面46A、以及与上表面46A相反的一侧的底面46B。场板电极48可以在栅极沟槽20内配置在栅极电极46的下方。更详细而言,场板电极48能够配置在栅极电极46的底面46B与栅极沟槽20的底壁20B之间。栅极电极46的底面46B的至少一部分可以夹着绝缘层14而与场板电极48对置。栅极电极46还包括与栅极沟槽20的侧壁20A对置的侧面46C。

[0066] 栅极电极46的上表面46A能够位于比半导体层12的第二面12B靠下方。另外,栅极电极46的底面46B在Z轴方向上位于漂移区域40与主体区域42的界面的比较近的位置,优选可以位于比该界面靠下方。栅极电极46的上表面46A以及底面46B既可以是平坦的、也可以是弯曲的。

[0067] 栅极电极46以及场板电极48由绝缘层14包围周围。场板电极48可以具有比栅极电

极46小的宽度。通过场板电极48具有比较小的宽度,从而包围场板电极48的绝缘层14的厚度变得比较大。由此能够缓和栅极沟槽20内的电场集中。

[0068] 绝缘层14包括栅极绝缘部50,该栅极绝缘部50介于栅极电极46与半导体层12之间并覆盖栅极沟槽20的侧壁20A。栅极绝缘部50是位于栅极电极46的侧面46C与栅极沟槽20的侧壁20A之间的绝缘层14的一部分。栅极绝缘部50与栅极电极46的侧面46C以及栅极沟槽20的侧壁20A双方相接。若对栅极电极46施加预定的电压,则在与栅极绝缘部50相邻的p型的主体区域42内形成通道。半导体装置10能够控制经由该通道的n型的源极区域44与n型的漂移区域40之间的Z轴方向的电子的流动。

[0069] (源极沟槽的详细)

[0070] 源极沟槽22在半导体层12的第二面12B具有开口,并且在Z轴方向上具有深度。源极沟槽22贯通半导体层12的源极区域44以及主体区域42延伸至漂移区域40。源极沟槽22具有侧壁22A以及底壁22B,底壁22B与漂移区域40相邻。源极沟槽22的深度可以为 $1\mu\text{m}$ 以上且 $10\mu\text{m}$ 以下。

[0071] 源极沟槽22的侧壁22A既可以在相对于半导体层12的第二面12B垂直的方向(Z轴方向)上延伸、也可以相对于Z轴方向倾斜。在一例中,侧壁22A也可以以源极沟槽22的宽度朝向底壁22B变小的方式相对于Z轴方向倾斜。另外,源极沟槽22的底壁22B也可以不必是平坦的,例如其一部分或者整体也可以弯曲。

[0072] 源极沟槽22也可以具有与栅极沟槽20相同的形状。例如,源极沟槽22也可以具有与栅极沟槽20相同的宽度以及深度。在别的例子中,源极沟槽22也可以具有与栅极沟槽20不同的形状。例如,源极沟槽22也可以具有比栅极沟槽20大的宽度以及/或者深度。

[0073] 半导体装置10可以还包括配置在源极沟槽22内的埋入电极52以及场板电极54。埋入电极52能够经由源极接触插头26而与源极配线18电连接。场板电极54能够经由第一以及第二场板接触插头32、34(参照图1)而与源极配线18电连接。此外,为了区别配置在栅极沟槽20内的场板电极48和配置在源极沟槽22内的场板电极54,有时将场板电极48以及场板电极54分别称为第一场板电极48以及第二场板电极54。埋入电极52以及场板电极54可以由导电性的多晶硅形成。

[0074] 埋入电极52包括被源极接触插头26覆盖的上表面52A、以及与上表面52A相反的一面的底面52B。场板电极54可以在源极沟槽22内配置在埋入电极52的下方。更详细而言,场板电极54能够配置在埋入电极52的底面52B与源极沟槽22的底壁22B之间。埋入电极52的底面52B的至少一部分可以夹着绝缘层14而与场板电极54对置。埋入电极52还包括与源极沟槽22的侧壁22A对置的侧面52C。

[0075] 埋入电极52的上表面52A能够位于比半导体层12的第二面12B靠下方。另外,埋入电极52的底面52B在Z轴方向上位于漂移区域40与主体区域42的界面比较近的位置,优选可以位于比该界面靠下方。埋入电极52的上表面52A以及底面52B既可以是平坦的、也可以是弯曲的。

[0076] 在源极沟槽22具有与栅极沟槽20相同的形状的情况下,埋入电极52以及场板电极54也可以分别具有与栅极电极46以及场板电极48相同的形状。场板电极54可以具有比埋入电极52小的宽度。

[0077] 场板电极54由绝缘层14包围周围,但埋入电极52不仅由绝缘层14包围周围,还由

源极接触插头26包围。埋入电极52的上表面52A与源极接触插头26相邻。埋入电极52的底面52B与绝缘层14相邻。埋入电极52的侧面52C的一部分与源极接触插头26相邻,侧面52C的剩余部分与绝缘层14相邻。

[0078] (源极接触插头以及接触区域的详细)

[0079] 源极接触插头26将源极配线18与半导体层12电连接。源极接触插头26与埋入电极52接触,并且经由源极沟槽22的侧壁22A的一部分而与半导体层12接触。

[0080] 源极接触插头26包括埋入到源极沟槽22的侧壁22A与埋入电极52的侧面52C之间的下侧伸出部56。下侧伸出部56包括在Z轴方向上位于埋入电极52的上表面52A与底面52B之间的下端部56A。因此,埋入电极52的侧面52C的一部分与下侧伸出部56相邻,侧面52C的剩余部分与绝缘层14相邻。在一例中,下侧伸出部56的下端面56A可以在Z轴方向上位于比埋入电极52的上表面52A靠近底面52B的位置。下侧伸出部56的下端面56A可以在Z轴方向上位于比主体区域42与漂移区域40的边界靠上方。

[0081] 如参照图2说明的那样,源极接触插头26包括在俯视时配置在源极沟槽22内的主部26a、以及在俯视时配置在源极沟槽外的悬伸部26b。此外,上述的下侧伸出部56包含于主部26a。如图3所示,悬伸部26b与半导体层12的第二面12B接触。悬伸部26b也可以是在半导体层12的第二面12B与源极配线18之间延伸的源极接触插头26的一部分。悬伸部26b在与源极沟槽22的侧壁22A连续的第二面12B的一部分之上延伸。悬伸部26b的宽度(图3中的Y轴方向的尺寸)例如可根据制造工序中的源极沟槽22与源极接触插头26的对位精度来确定。

[0082] 半导体层12可以还包括与源极接触插头26相邻地形成的接触区域58。接触区域58在半导体层12内沿源极沟槽22的侧壁22A的一部分延伸。如图3所示,源极沟槽22的侧壁22A通常在Z轴方向上延伸,因此接触区域58也通常在Z轴方向上延伸。

[0083] 另外,接触区域58可以在半导体层12内沿与源极沟槽22的侧壁22A连续的第二面12B的一部分进一步延伸。即,接触区域58包括源极接触插头26与半导体层12的接触面,可以是半导体层12内的区域。接触区域58通过源极接触插头26而与形成在绝缘层14上的源极配线18电连接。

[0084] 接触区域58可以是包含p型杂质的p型区域。接触区域58的p型杂质浓度比主体区域42的p型杂质浓度高。接触区域58的p型杂质浓度能够设为 $1 \times 10^{19} \text{cm}^{-3}$ 以上且 $1 \times 10^{21} \text{cm}^{-3}$ 以下。

[0085] 半导体装置10可以还包括形成在半导体层12的第一面12A的漏极电极60。漏极电极60与漏极区域(半导体基板36)相邻,而且电连接。漏极电极60能够由钛(Ti)、镍(Ni)、金(Au)、银(Ag)、铜(Cu)、铝(Al)、铜合金、以及铝合金中的至少一个形成。

[0086] (沟槽的终端部中的电极的详细)

[0087] 图4是沿图2的F4—F4线的第一实施方式的半导体装置10的概略剖视图。在图4中示出了源极沟槽22的端部的剖面。源极沟槽22在其端部与第二终端沟槽30连通。半导体装置10可以还包括配置在第二终端沟槽30内并且在Y轴方向上延伸的终端电极61。终端电极61可以与第二场板电极54连接。终端电极61能够与第二场板电极54一体地形成。终端电极61的上表面61A在Z轴方向上配置在半导体层12的第二面12B的较近的位置。其结果,第二场板接触插头34能够将源极配线18(外侧源极配线部18b)与终端电极61电连接。此外,第二场板接触插头34可以贯通终端电极61的上表面61A而局部地埋入到终端电极61。在Z轴方向

上,终端电极61的上表面61A位于比第二场板电极54的上表面54A靠上方,但终端电极61的底面61B可以位于与第二场板电极54的底面54B大致相同的位置。

[0088] 源极接触插头26与埋入电极52的上表面52A接触。此外,在图4中,看不到源极接触插头26的下侧伸出部56。埋入电极52在X轴方向上未延伸至第二终端沟槽30。埋入电极52通过绝缘层14从第二场板电极54以及终端电极61隔开间隔。但是,埋入电极52与内侧源极配线部18a电连接,终端电极61与外侧源极配线部18b电连接。因此,埋入电极52、第二场板电极54、以及终端电极61均可以与源极配线18电连接。

[0089] 图5是沿图2的F5—F5线的第一实施方式的半导体装置10的概略剖视图。在图5中示出了栅极沟槽20的端部的剖面。栅极沟槽20在其端部与第二终端沟槽30连通。终端电极61可以与第一场板电极48连接。终端电极61不仅能够与第二场板电极54一体地形成,而且还能够与第一场板电极48一体地形成。即,第一场板电极48与第二场板电极54经由终端电极61而相互电连接。在Z轴方向上,终端电极61的上表面61A位于比第一场板电极48的上表面48A靠上方,但终端电极61的底面61B可以位于与第一场板电极48的底面48B大致相同的位置。

[0090] 栅极接触插头24将栅极配线16(第四栅极配线部16Y2)与栅极电极46电连接。栅极接触插头24可以贯通栅极电极46的上表面46A而局部地埋入于栅极电极46。栅极电极46在X轴方向上未延伸至第二终端沟槽30。栅极电极46通过绝缘层14从第一场板电极48以及终端电极61隔开间隔。

[0091] (半导体装置的制造方法)

[0092] 接着,对第一实施方式的半导体装置10的制造方法的一例进行说明。图6~图13是表示半导体装置10的例示的制造工序的概略剖视图。此外,为了容易理解,在图6~图13中,对与图3的构成要素相同的构成要素标注同一符号。

[0093] 如图6所示,半导体装置10的制造方法包括形成半导体层12、在半导体层12形成多个沟槽62。形成半导体层12可以包括在半导体基板36上形成外延层38。半导体基板36可以是包含n型杂质的Si基板。外延层38可以是掺杂有n型杂质并且在半导体基板36上外延成长的n型的Si层。在该工序中,通过使用在外延层38上形成的预定图案的掩模(未图示)的蚀刻,从而选择性地除去外延层38的一部分,其结果,在半导体层12的第二面12B形成具有开口的多个沟槽62。

[0094] 图7是表示与图6所示的工序接续的制造工序的概略剖视图。如图7所示,方法包括在半导体层12上形成第一绝缘层64、在第一绝缘层64上形成第一导电层66。第一绝缘层64能够沿半导体层12的第二面12B以及沟槽62形成。在一例中,第一绝缘层64可以是利用热氧化法形成的 $\text{SiO}_2$ 。在别的例子中,第一绝缘层64也可以是利用化学气相成长(chemical vapor deposition、CVD)法形成的 $\text{SiO}_2$ 。接着,在第一绝缘层64上形成第一导电层66,其结果,沟槽62由第一绝缘层64以及第一导电层66埋入。第一导电层66例如可以是导电性的多晶硅。

[0095] 图8是表示与图7所示的工序接续的制造工序的概略剖视图。如图8所示,方法包括利用蚀刻除去第一导电层66的一部分。在该工序中,通过蚀刻第一导电层66,从而使覆盖半导体层12的第二面12B的第一绝缘层64露出,另一方面,能够使第一导电层66的表面在Z轴方向上位于比半导体层12的第二面12B靠下方(沟槽62的中途)。

[0096] 图9是表示与图8所示的工序接续的制造工序的概略剖视图。如图9所示,方法包括在第一绝缘层64以及第一导电层66上形成第二绝缘层68。由此,沟槽62内的第一导电层66的表面由第二绝缘层68覆盖。第二绝缘层68可以与第一绝缘层64相同,是 $\text{SiO}_2$ 。第二绝缘层68也可以是利用热氧化法形成的 $\text{SiO}_2$ 、利用CVD法形成的 $\text{SiO}_2$ 、或者它们的组合。其结果,沟槽62由第一导电层66、第一绝缘层64、以及第二绝缘层68埋入。

[0097] 图10是表示与图9所示的工序接续的制造工序的概略剖视图。如图10所示,方法包括局部地除去第一绝缘层64以及第二绝缘层68,并使沟槽62的一部分以及半导体层12的第二面12B露出。第一绝缘层64以及第二绝缘层68的除去例如通过化学机械研磨、干式蚀刻、以及/或者湿式蚀刻来进行。在以下的说明中,将残留在沟槽62内的第一绝缘层64以及第二绝缘层68总称为第三绝缘层70。沟槽62内的第三绝缘层70的表面在Z轴方向上可以位于比第一导电层66靠上方。因此,第一导电层66由第三绝缘层70包围周围。

[0098] 图11是表示与图10所示的工序接续的制造工序的概略剖视图。方法包括形成第四绝缘层72、在第四绝缘层72上形成第二导电层74。在一例中,第四绝缘层72可以是利用热氧化法形成的 $\text{SiO}_2$ 。在别的例子中,第四绝缘层72可以是利用CVD法形成的 $\text{SiO}_2$ 。第四绝缘层72能够沿半导体层12的第二面12B、第三绝缘层70的表面、以及在图10所示的工序中露出的沟槽62的部分以比较薄的厚度形成。第二导电层74能够通过以埋入沟槽62的方式在第四绝缘层72上使导电材料成膜之后,将导电材料蚀刻至所希望的深度来形成。其结果,覆盖半导体层12的第二面12B的第四绝缘层72露出,并且第二导电层74的表面在Z轴方向上位于比半导体层12的第二面12B靠下方。第二导电层74例如可以是导电性的多晶硅。

[0099] 图12是表示与图11所示的工序接续的制造工序的概略剖视图。如图12所示,方法包括在外延层38内形成漂移区域40、主体区域42、源极区域44,形成覆盖第四绝缘层72以及第二导电层74的第五绝缘层76。在该工序中,通过离子注入,从作为n型的Si层的外延层38的表面(半导体层12的第二面12B)注入p型杂质,接着,注入n型杂质。在一例中,第五绝缘层76可以是利用CVD法形成的 $\text{SiO}_2$ 、 $\text{SiN}$ 、或者它们的组合。

[0100] 图13是表示与图12所示的工序接续的制造工序的概略剖视图。如图13所示,方法包括在绝缘层14形成源极接触开口78、形成接触区域58。此外,绝缘层14包括图12所示的第三绝缘层70、第四绝缘层72、以及第五绝缘层76。源极接触开口78能够通过选择性地除去多个沟槽62中的几个位于上方的绝缘层14而形成。在一例中,源极接触开口78形成于每隔一个的沟槽62之上。形成有源极接触开口78的沟槽62与图3所示的源极沟槽22对应,未形成有源极接触开口78的沟槽62与图3所示的栅极沟槽20对应。因此,形成有源极接触开口78的沟槽62(源极沟槽22)内的第二导电层74与图3所示的埋入电极52对应。

[0101] 形成源极接触开口78包括使源极沟槽22的侧壁22A的一部分露出。源极接触开口78形成为,侧壁22A的露出的部分与对应于埋入电极52的第二导电层74局部地对置。源极接触开口78在Z轴方向上可以不形成为比主体区域42与漂移区域40的边界深。另外,由于源极接触开口78在Y轴方向上具有比沟槽62大的宽度,因此形成源极接触开口78也包括使与侧壁22A连续的半导体层12的第二面12B的一部分露出。

[0102] 接触区域58能够通过从源极沟槽22的侧壁22A的露出的部分进行离子注入而形成。更详细而言,从源极沟槽22的侧壁22A的露出的部分以及半导体层12的第二面12B的露出的部分注入p型杂质,形成p型杂质浓度比主体区域42高的接触区域58。接触区域58能够

沿半导体层12的第二面12B的露出的部分以及源极沟槽22的侧壁22A的露出的部分形成。

[0103] 图13所示的工序之后,通过在源极接触开口78埋入金属(例如W、Ti、TiN、或者它们的任意的组合),从而能够形成图3所示的源极接触插头26。通过在绝缘层14上形成栅极配线16以及源极配线18(参照图1),接着,在半导体层12的第一面12A形成漏极电极60(参照图2),从而能够得到图3所示的半导体装置10。

[0104] 半导体装置10的制造方法包括依次执行的多个制造工序并进行了上述说明,但应理解几个制造工序既可以并行执行、以及/或者也可以以不同的顺序执行。另外,几个制造工序既可以省略、也可以在任一制造工序中执行与上述的例子不同的处理。

[0105] (作用)

[0106] 以下,对本实施方式的半导体装置10的作用进行说明。

[0107] 半导体装置10具备将源极配线18与半导体层12电连接的源极接触插头26。源极接触插头26与配置在源极沟槽22内的埋入电极52接触,并且经由源极沟槽22的侧壁22A的一部分而与半导体层12接触。由此,源极接触插头26和半导体层12接触的位置与源极沟槽22的侧壁22A的位置匹配(aligned),能够抑制源极接触插头26的位置偏移引起的半导体装置10的特性(例如栅极阈值电压、接通电阻等)的偏差。

[0108] 如图3所示,源极沟槽22的侧壁22A通常在Z轴方向上延伸,因此源极接触插头26与半导体层12的接触面也通常在Z轴方向上延伸。因此,即使在源极接触插头26在Y轴方向上偏移的情况下,也能够维持源极接触插头26与半导体层12的接触面积。

[0109] 例如,在图2所示的例子,在源极接触插头26相对于源极沟槽22的对位在Y轴方向上偏移的情况下,两个悬伸部26b的宽度变得相互不等( $W_{o1} \neq W_{o2}$ )。即使在该情况下,也由于源极接触插头26配置在俯视时与源极沟槽22的侧壁22A重叠的位置,因此能够使源极接触插头26与半导体层12接触的位置与源极沟槽22的侧壁22A的位置匹配。

[0110] (比较例)

[0111] 图14是比较例的半导体装置100的概略剖视图。在图14中,对与半导体装置10相同的构成要素标注相同的符号。另外,对与半导体装置10相同的构成要素省略详细的说明。

[0112] 半导体装置100不包括图3所示那样的源极沟槽22以及源极接触插头26。在图3中,在半导体层12形成有多个栅极沟槽20。半导体装置100包括将源极配线18与半导体层12电连接的源极接触插头102。源极接触插头102与栅极沟槽20平行地延伸,并且配置在两个栅极沟槽20之间。

[0113] 半导体层12包括接触区域104。接触区域104与图3所示的接触区域58相同,是包含p型杂质的p型区域。源极接触插头102贯通绝缘层14以及源极区域44,延伸至主体区域42,并且与接触区域104接触。由此,源极接触插头102能够将形成在绝缘层14上的源极配线18与半导体层12的接触区域104电连接。

[0114] 在半导体装置100中,源极接触插头102与半导体层12接触的位置直接依赖于源极接触插头102的位置。因此,半导体装置100的特性容易受到源极接触插头102的位置偏移的影响。

[0115] 另一方面,根据本实施方式的半导体装置10,例如即使产生了源极接触插头26的位置偏移,源极接触插头26与半导体层12接触的位置也能够与源极沟槽22的侧壁22A的位置匹配。因此,能够抑制半导体装置10的源极接触插头26的位置偏移引起的特性偏差。

[0116] 另外,在半导体装置100中,由于在两个栅极沟槽20之间配置有源极接触插头102,因此若考虑源极接触插头102的尺寸以及位置偏移,则减小栅极沟槽20间的间隔是比较困难的。另一方面,根据本实施方式的半导体装置10,由于源极接触插头26未配置在沟槽20、22间,因此减小沟槽20、22间的间隔是比较容易的。

[0117] (效果)

[0118] 本实施方式的半导体装置10具有以下优点。

[0119] (1) 半导体装置10包括将源极配线18与半导体层12电连接的源极接触插头26。源极接触插头26与配置在源极沟槽22内的埋入电极52接触,并且经由源极沟槽22的侧壁22A的一部分而与半导体层12接触。由此,源极接触插头26和半导体层12接触的位置与源极沟槽22的侧壁22A的位置匹配,因此能够抑制半导体装置10的源极接触插头26的位置偏移引起的特性偏差。

[0120] (2) 源极接触插头26可以包括下侧伸出部56,该下侧伸出部56埋入到源极沟槽22的侧壁22A与埋入电极52的侧面52C之间。由此,能够将源极接触插头26延伸至比较深的位置,因此能够使因感应性负载而在半导体装置10的关断动作时产生的电流有效地从源极接触插头26释放。其结果,能够提高半导体装置10的感应性负载耐性。

[0121] (3) 下侧伸出部56包括下端部56A,该下端部56A在深度方向上位于埋入电极52的上表面52A与底面52B之间,下端部56A可以在深度方向上位于比埋入电极52的上表面52A靠底面52B的附近。由此,能够使源极接触插头26延伸至更深的位置,能够进一步提高半导体装置10的感应性负载耐性。

[0122] (4) 源极接触插头26可以包括悬伸部26b,该悬伸部26b与半导体层12的第二面12B接触。由此,可确保源极接触插头26相对于源极沟槽22对位的裕度,因此能够使源极接触插头26可靠地接触半导体层12。

[0123] (5) 半导体层12包括与源极接触插头26相邻地形成的第一导电型的接触区域58,接触区域58可以沿源极沟槽22的侧壁22A的一部分延伸。由此,能够改善源极接触插头26向半导体层12的电连接。

[0124] (6) 接触区域58可以进一步沿半导体层12的第二面12B的一部分延伸。由此,能够使源极接触插头26与半导体层12的接触区域58的接触面积增加,因此能够进一步改善源极接触插头26向半导体层12的电连接。

[0125] (7) 半导体装置10可以包括场板电极48,该场板电极48在栅极沟槽20内配置在栅极电极46的下方。由此,即使在为了降低半导体装置10的接通电阻而提高外延层38中的杂质浓度的情况下,也能够维持耐压。并且,由于能够降低栅极·漏极间容量,因此能够提高半导体装置10的开关速度。

[0126] (8) 接触区域58能够通过从源极沟槽22的侧壁22A的露出的部分进行离子注入而形成。由此,能够使接触区域58沿源极沟槽22的侧壁22A的一部分延伸。

[0127] [第二实施方式]

[0128] 图15是第二实施方式的例示的半导体装置200的概略剖视图。在图15中,对与半导体装置10相同的构成要素标注相同符号。另外,对与半导体装置10相同的构成要素省略详细的说明。

[0129] 在图15所示的半导体装置200中,在源极沟槽22内配置有埋入电极52,未配置图3

所示那样的第二场板电极54。因此,在第二实施方式中,与第一实施方式的情况比较,埋入电极52的底面52B能够位于源极沟槽22的底壁22B的附近。

[0130] 在图3所示的第一实施方式中,埋入电极52的底面52B在Z轴方向上位于比源极沟槽22的底壁22B靠漂移区域40与主体区域42的界面的附近。另一方面,在第二实施方式中,埋入电极52的底面52B能够在Z轴方向上位于比漂移区域40与主体区域42的界面靠源极沟槽22的底壁22B的附近。栅极沟槽20内的栅极电极46以及第一场板电极48的配置与第一实施方式的半导体装置10相同。

[0131] 图16是沿图2的F4—F4线的第二实施方式的半导体装置200的概略剖视图。在图16中示出了源极沟槽22的端部的剖面。在图4所示的半导体装置10中,终端电极61与第二场板电极54连接,但在半导体装置200中,终端电极61可以与埋入电极52连接。在第二实施方式中,终端电极61能够与埋入电极52一体地形成。在Z轴方向中,终端电极61的上表面61A以及底面61B可以位于与埋入电极52的上表面52A以及底面52B大致相同的位置。一体地形成的埋入电极52以及终端电极61能够通过栅极配线16的下方将源极配线18的内侧源极配线部18a与外侧源极配线部18b电连接。

[0132] 接着,对第二实施方式的半导体装置200的制造方法的一例进行说明。与第一实施方式的制造方法相同,半导体装置200的制造方法包括图6以及图7所示的工序。第二实施方式的半导体装置200能够通过第一实施方式的图8所示的工序以后的工序中,在每隔一个的沟槽62内仅形成由第一导电层66形成的一个电极来制造。在图17所示的工序中,交替地配置有埋入有由第一导电层66以及第二导电层74分别形成的两个电极的沟槽62、以及埋入有由第一导电层66形成的一个电极的沟槽62。

[0133] 图18是表示与图17所示的工序接续的制造工序的概略剖视图。如图18所示,方法包括在绝缘层14形成源极接触开口78、形成接触区域58。源极接触开口78能够通过选择性地除去多个沟槽62中位于埋入有由第一导电层66形成的一个电极的沟槽62的上方的绝缘层14而形成。在一例中,源极接触开口78形成在每隔一个的沟槽62之上。形成有源极接触开口78的沟槽62与图15所示的源极沟槽22对应,未形成有源极接触开口78的沟槽62与图15所示的栅极沟槽20对应。因此,形成有源极接触开口78的沟槽62(源极沟槽22)内的第一导电层66与图15所示的埋入电极52对应。

[0134] 形成源极接触开口78包括使源极沟槽22的侧壁22A的一部分露出。源极接触开口78形成为,侧壁22A的露出的部分与对应于埋入电极52的第一导电层66局部地对置。在图18的例子中,源极接触开口78在Z轴方向上不形成为比主体区域42与漂移区域40的边界深。另外,源极接触开口78在Y轴方向上具有比沟槽62大的宽度,因此形成源极接触开口78也包括使与侧壁22A连续的半导体层12的第二面12B的一部分露出。

[0135] 接触区域58通过从露出的半导体层12的第二面12B以及侧壁22A进行离子注入而形成。更详细而言,从露出的半导体层12的第二面12B以及侧壁22A注入p型杂质,形成p型杂质浓度比主体区域42高的接触区域58。接触区域58能够沿露出的半导体层12的第二面12B以及侧壁22A形成。

[0136] 图18所示的工序之后,通过在源极接触开口78埋入金属(例如W、Ti、TiN、或者它们的任意的组合),从而能够形成图15所示的源极接触插头26。通过在绝缘层14上形成栅极配线16以及源极配线18(参照图1),接着,在半导体层12的第一面12A形成漏极电极60(参照图

2),从而能够得到图15所示的半导体装置200。

[0137] 半导体装置200具备将源极配线18与半导体层12电连接的源极接触插头26。源极接触插头26与配置在源极沟槽22内的埋入电极52接触,并且经由源极沟槽22的侧壁22A的一部分而与半导体层12接触。由此,源极接触插头26和半导体层12接触的位置与源极沟槽22的侧壁22A的位置匹配,因此能够抑制源极接触插头26的位置偏移引起的半导体装置200的特性(例如栅极阈值电压、接通电阻等)的偏差。第二实施方式的半导体装置200也具有与第一实施方式的半导体装置10相同的优点(1)~(8)。

[0138] [变更例]

[0139] 上述的实施方式分别能够如下进一步变更并实施。

[0140] (第一变更例)

[0141] • 在第二实施方式的半导体装置200中,源极接触插头26的下侧伸出部56的下端面56A也可以在Z轴方向上位于不同的位置。

[0142] 图19是第一变更例的半导体装置300的概略剖视图。在图19中,对与半导体装置200相同的构成要素标注相同符号。另外,对与半导体装置200相同的构成要素省略详细的说明。

[0143] 图19所示的半导体装置300的下侧伸出部56的下端面56A在Z轴方向上能够位于比主体区域42与漂移区域40的边界靠下方。更详细而言,下端面56A能够在Z轴方向上位于主体区域42和漂移区域40的边界与埋入电极52的底面52B之间。

[0144] 根据第一变更例的半导体装置300,能够使源极接触插头26在Z轴方向上比半导体装置200的情况更延伸至下方。由此,能够进一步提高半导体装置300的感应性负载耐性。除此以外,容易使耗尽层在半导体层12中延伸,能够降低半导体装置300的接通电阻并且提高耐压。

[0145] (第二变更例)

[0146] • 在图3的例子中,埋入电极52的上表面52A被源极接触插头26完全覆盖,而且源极接触插头26具有比源极沟槽22大的宽度。另一方面,第二变更例的半导体装置400可以包括与图3的例子不同的源极接触插头402。

[0147] 图20是第二变更例的半导体装置400的概略剖视图。在图20中,对与半导体装置10相同的构成要素标注相同的符号。另外,对与半导体装置10相同的构成要素省略详细的说明。

[0148] 在图20的例子中,埋入电极52的上表面52A被源极接触插头402局部地覆盖,而且源极接触插头402具有比源极沟槽22小的宽度。埋入电极52的上表面52A的中央部被绝缘层14覆盖,上表面52A的剩余部分由源极接触插头402覆盖。即使在该情况下,源极接触插头402也能够将源极配线18与半导体层12电连接。与源极接触插头26相同,源极接触插头402也与埋入电极52接触,并且经由源极沟槽22的侧壁22A的一部分而与半导体层12接触。因此,在第二变更例的半导体装置400中,也与第一实施方式相同,源极接触插头402与半导体层12接触的位置与源极沟槽22的侧壁22A的位置匹配,因此能够抑制源极接触插头402的位置偏移引起的半导体装置400的特性(例如栅极阈值电压、接通电阻等)的偏差。第二变更例在一例中可以用于源极沟槽22具有比较大的宽度的情况。

[0149] (其它变更例)

[0150] • 在各实施方式中,在栅极沟槽20内配置有栅极电极46以及第一场板电极48,但也可以不必在栅极沟槽20内配置第一场板电极48。

[0151] • 半导体层12内的各区域的导电型也可以反转。即,也可以是p型区域为n型区域、n型区域为p型区域。

[0152] 能够将本说明书中记载的各种例子中的一个或者多个在技术上不矛盾的范围组合。

[0153] 在本说明书中,“A以及B中的至少一个”应理解为是指“仅A、或者仅B、或者A以及B双方”。

[0154] 在本说明书中,“连接”之类的用语能够指两个以上的要素间的直接或者间接的连接。即,在连接的两个以上的要素间既可以夹设有其它要素、也可以不夹设其它要素。此外,在本说明书中,用语“连接(connect)”和“结合(couple)”能够相互更换。

[0155] 本说明书中使用的“在~上”之类的用语只要没有根据上下文明确指出并非如此,则包括“在~上”和“在~的上方”的意思。因此,“第一层形成在第二层上”之类的表现是,在某实施方式中是指,第一层可与第二层接触地直接配置在第二层上,但在其它实施方式中是指,第一层可不与第二层接触地配置在第二层的上方。即,“在~上”之类的用语不排除在第一层与第二层之间形成有其它层的构造。

[0156] 本说明书中使用的“垂直”、“水平”、“上方”、“下方”、“上”、“下”、“前方”、“后方”、“纵”、“横”、“左”、“右”、“前”、“后”等表示方向的用语依赖于说明以及图示的装置的特定的方向。在本公开中,能够设想各种代替的方向,因此,表示这些方向的用语不应被狭义地解释。

[0157] 例如,本说明书中使用的Z轴方向不一定必须是铅垂方向,也不需要与铅垂方向完全一致。例如,X轴方向也可以是铅垂方向、或者Y轴方向也可以是铅垂方向。

[0158] [附记]

[0159] 以下记载能够从本公开把握的技术的思想。此外,为了帮助理解而非限定的意图,对附记所记载的构成要素标注实施方式中的对应的构成要素的参照符号。参照符号是为了帮助理解而作为例子示出的,各附记所记载的构成要素不应限定于参照符号所示的构成要素。

[0160] (附记1)

[0161] 一种半导体装置,具备:

[0162] 半导体层12,其包括第一面12A以及与上述第一面12A相反的一侧的第二面12B;

[0163] 源极沟槽22,其包括形成于上述半导体层12并且与上述第二面12B连续的侧壁22A;

[0164] 绝缘层14,其形成在上述半导体层12的上述第二面12B上;

[0165] 埋入电极52,其配置在上述源极沟槽22内,并且通过上述绝缘层14从上述源极沟槽22的上述侧壁22A隔开间隔;

[0166] 源极配线18,其形成在上述绝缘层14上;以及

[0167] 源极接触插头26,其将上述源极配线18与上述半导体层12电连接,

[0168] 上述源极接触插头26与上述埋入电极52接触,并且经由上述源极沟槽22的侧壁22A的一部分而与上述半导体层12接触。

- [0169] (附记2)
- [0170] 根据附记1所记载的半导体装置，
- [0171] 上述半导体层12包括与上述源极接触插头26相邻地形成的第一导电型的接触区域58，上述接触区域58沿上述源极沟槽22的上述侧壁22A的上述一部分延伸。
- [0172] (附记3)
- [0173] 根据附记2所记载的半导体装置，
- [0174] 上述埋入电极52包括被上述源极接触插头26覆盖的上表面52A、以及与上述源极沟槽22的上述侧壁22A对置的侧面52C。
- [0175] (附记4)
- [0176] 根据附记3所记载的半导体装置，
- [0177] 上述源极接触插头26包括下侧伸出部56，该下侧伸出部56埋入到上述源极沟槽22的上述侧壁22A与上述埋入电极52的上述侧面52C之间。
- [0178] (附记5)
- [0179] 根据附记4所记载的半导体装置，
- [0180] 上述埋入电极52还包括与上述上表面52A相反的一侧的底面52B，
- [0181] 上述下侧伸出部56包括下端面56A，该下端面56A在与上述第二面12B正交的深度方向上位于上述埋入电极52的上述上表面52A与上述底面52B之间。
- [0182] (附记6)
- [0183] 根据附记5所记载的半导体装置，
- [0184] 上述下端面56A在上述深度方向上位于比上述埋入电极52的上述上表面52A靠上述底面52B的附近。
- [0185] (附记7)
- [0186] 根据附记5或6所记载的半导体装置，
- [0187] 上述半导体层12包括第二导电型的漂移区域40、形成在上述漂移区域40上的第一导电型的主体区域42、以及形成在上述主体区域42上的第二导电型的源极区域44，上述源极沟槽22以贯通上述源极区域44以及上述主体区域42的方式形成。
- [0188] (附记8)
- [0189] 根据附记7所记载的半导体装置，
- [0190] 上述接触区域58与上述源极区域44以及上述主体区域42相邻，上述接触区域58的第一导电型杂质浓度比上述主体区域42的第一导电型杂质浓度高。
- [0191] (附记9)
- [0192] 根据附记7或8所记载的半导体装置，
- [0193] 上述下端面56A在上述深度方向上位于比上述主体区域42与上述漂移区域40的边界靠下方。
- [0194] (附记10)
- [0195] 根据附记4~9中任一项所记载的半导体装置，
- [0196] 上述源极接触插头26包括在俯视时配置在上述源极沟槽22内的主部26a、以及在俯视时配置在上述源极沟槽22外的悬伸部26b，上述下侧伸出部56包含于上述主部26a。
- [0197] (附记11)

- [0198] 根据附记2~10中任一项所记载的半导体装置，
- [0199] 上述接触区域58还沿上述半导体层12的上述第二面12B的一部分延伸。
- [0200] (附记12)
- [0201] 根据附记1~9中任一项所记载的半导体装置，
- [0202] 上述源极接触插头26包括悬伸部26b,该悬伸部26b与上述半导体层12的上述第二面12B接触。
- [0203] (附记13)
- [0204] 根据附记12所记载的半导体装置，
- [0205] 上述悬伸部26b在俯视时配置于上述源极沟槽22外。
- [0206] (附记14)
- [0207] 根据附记1~13中任一项所记载的半导体装置,还具备：
- [0208] 栅极沟槽20,其形成于上述半导体层12;以及
- [0209] 栅极电极46,其配置在上述栅极沟槽20内，
- [0210] 上述源极沟槽22在俯视时与上述栅极沟槽20平行地在第一方向上延伸。
- [0211] (附记15)
- [0212] 根据附记14所记载的半导体装置，
- [0213] 还具备第一场板电极48,该第一场板电极48在上述栅极沟槽20内配置在上述栅极电极46的下方,上述第一场板电极48与上述源极配线18电连接。
- [0214] (附记16)
- [0215] 根据附记14或者15所记载的半导体装置，
- [0216] 上述源极沟槽22是形成于上述半导体层12的多个源极沟槽22中的一个,上述栅极沟槽20是形成于上述半导体层12的多个栅极沟槽20中的一个，
- [0217] 上述栅极沟槽20和上述源极沟槽22在俯视时在上述第一方向正交的第二方向上交替地排列。
- [0218] (附记17)
- [0219] 根据附记1~16中任一项所记载的半导体装置，
- [0220] 还具备第二场板电极54,该第二场板电极54在上述源极沟槽22内配置在上述埋入电极52的下方,上述第二场板电极54与上述源极配线18电连接。
- [0221] (附记18)
- [0222] 根据附记1所记载的半导体装置，
- [0223] 上述埋入电极52包括由上述源极接触插头402局部地覆盖的上表面52A、以及与上述源极沟槽22的上述侧壁22A对置的侧面52C。
- [0224] (附记19)
- [0225] 根据附记18所记载的半导体装置，
- [0226] 上述源极接触插头402具有比上述源极沟槽22小的宽度。
- [0227] (附记20)
- [0228] 根据附记1~19中任一项所记载的半导体装置，
- [0229] 还具备漏极电极60,该漏极电极60形成在上述半导体层12的上述第一面12A上。
- [0230] (附记21)

- [0231] 一种半导体装置的制造方法,包括以下步骤:
- [0232] 形成包括第一面12A以及与上述第一面12A相反的一侧的第二面12B的半导体层12;
- [0233] 在上述半导体层12形成包括与上述第二面12B连续的侧壁22A的源极沟槽22;
- [0234] 形成绝缘层14以及埋入电极52;
- [0235] 形成源极接触插头26;以及
- [0236] 在上述绝缘层14上形成源极配线18,
- [0237] 上述绝缘层14形成在上述半导体层12的上述第二面12B上,上述埋入电极52配置在上述源极沟槽22内,并且通过上述绝缘层14从上述源极沟槽22的上述侧壁22A隔开间隔,
- [0238] 上述源极接触插头26与上述埋入电极52接触,并且经由上述源极沟槽22的侧壁22A的一部分而与上述半导体层12接触。
- [0239] (附记22)
- [0240] 根据附记21所记载的半导体装置的制造方法,
- [0241] 形成上述源极接触插头26包括在上述绝缘层14形成源极接触开口78,形成上述源极接触开口78包括使上述源极沟槽22的侧壁22A的一部分露出。
- [0242] (附记23)
- [0243] 根据附记22所记载的半导体装置的制造方法,
- [0244] 还包括通过从上述源极沟槽22的侧壁22B的露出的部分进行离子注入从而形成接触区域58。
- [0245] 以上的说明仅为例示。本领域技术人员可认识到,除了为了说明本公开的技术的目的而列举的构成要素以及方法(制造工艺)以外,还能够进行更多的考虑的组合以及置换。本公开意在包括在包含技术方案的范围在内的本公开的范围内的所含的全部的代替、变形以及变更。
- [0246] 符号说明
- [0247] 10、100、200、300、400—半导体装置,12—半导体层,12A—第一面,12B—第二面,14—绝缘层,16—栅极配线,18—源极配线,20—栅极沟槽,22—源极沟槽,22A—侧壁,22B—底壁,24—栅极接触插头,26、102、402—源极接触插头,26a—主部,26b—悬伸部,28—第一终端沟槽,30—第二终端沟槽,32—第一场板接触插头,34—第二场板接触插头,36—半导体基板,38—外延层,40—漂移区域,42—主体区域,44—源极区域,46—栅极电极,48—(第一)场板电极,50—栅极绝缘部,52—埋入电极,52A—上表面,52B—底面,52C—侧面,54—(第二)场板电极,56—下侧伸出部,56A—下端部,58、104—接触区域,60—漏极电极,61—终端电极,62—沟槽,64—第一绝缘层,66—第一导电层,68—第二绝缘层,70—第三绝缘层,72—第四绝缘层,74—第二导电层,76—第五绝缘层,78—源极接触开口。

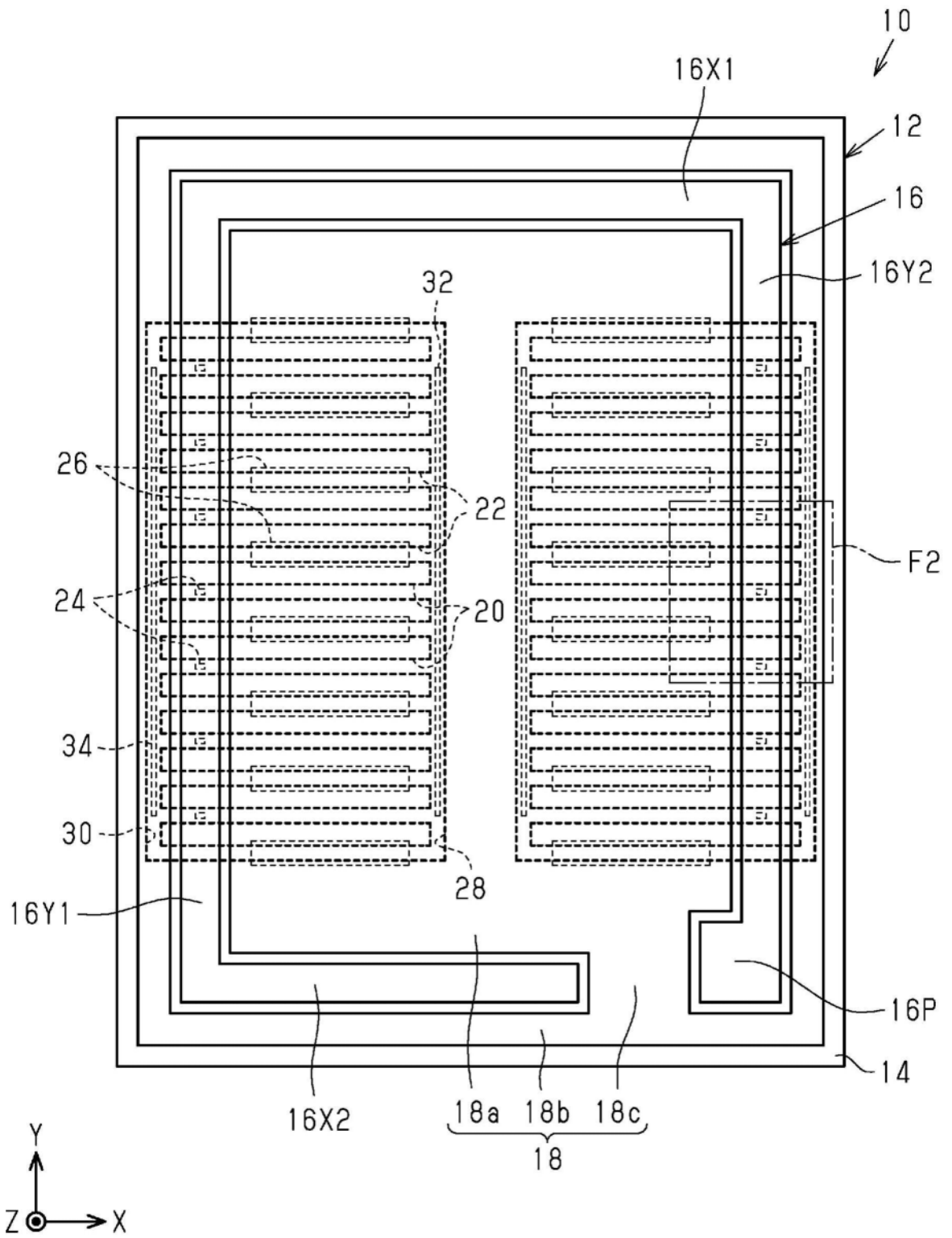


图1

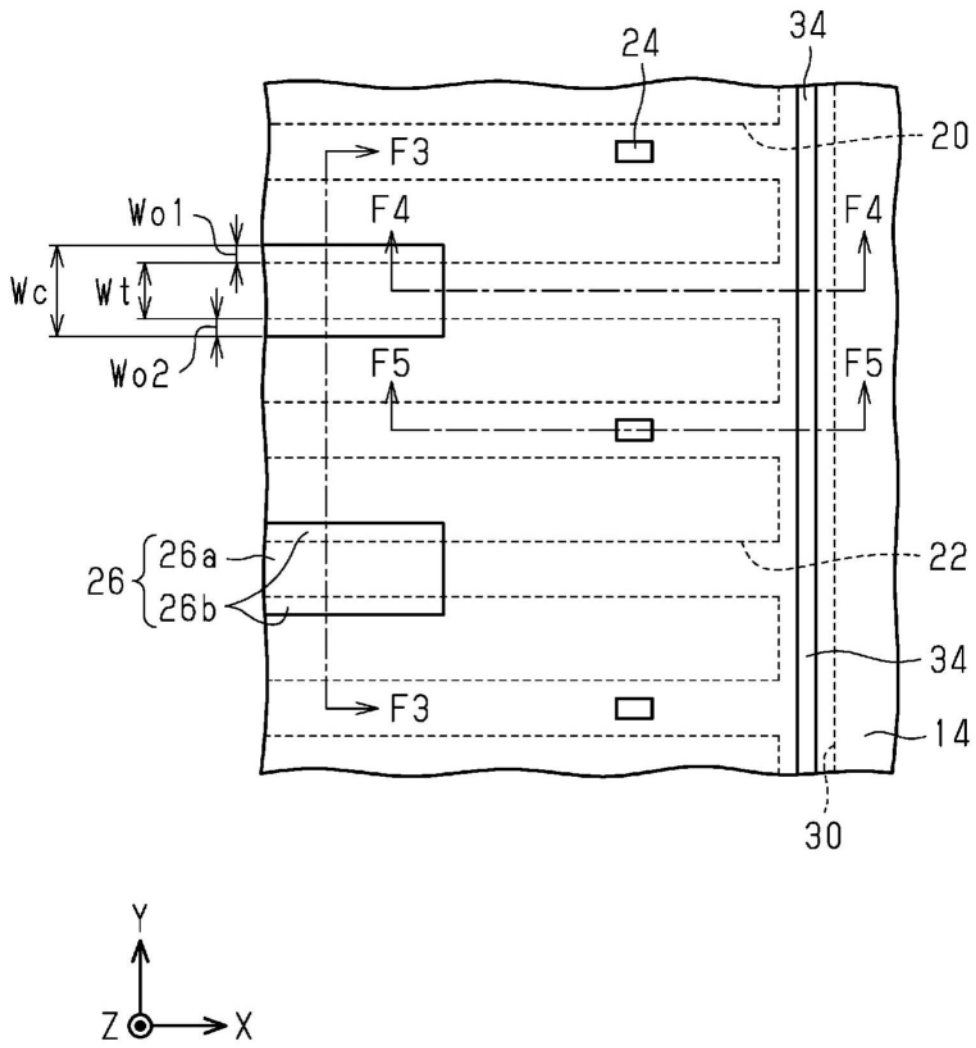


图2



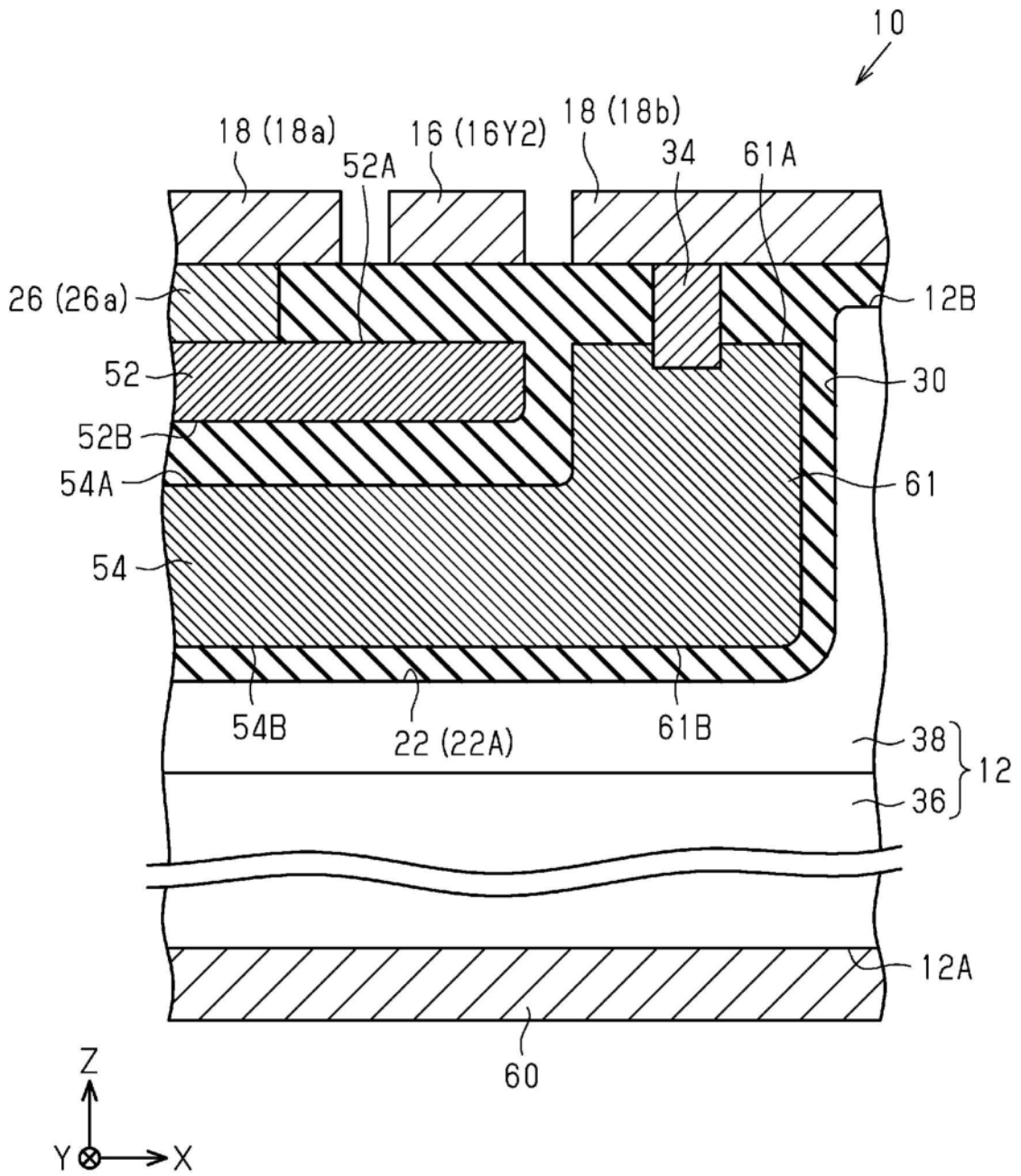


图4

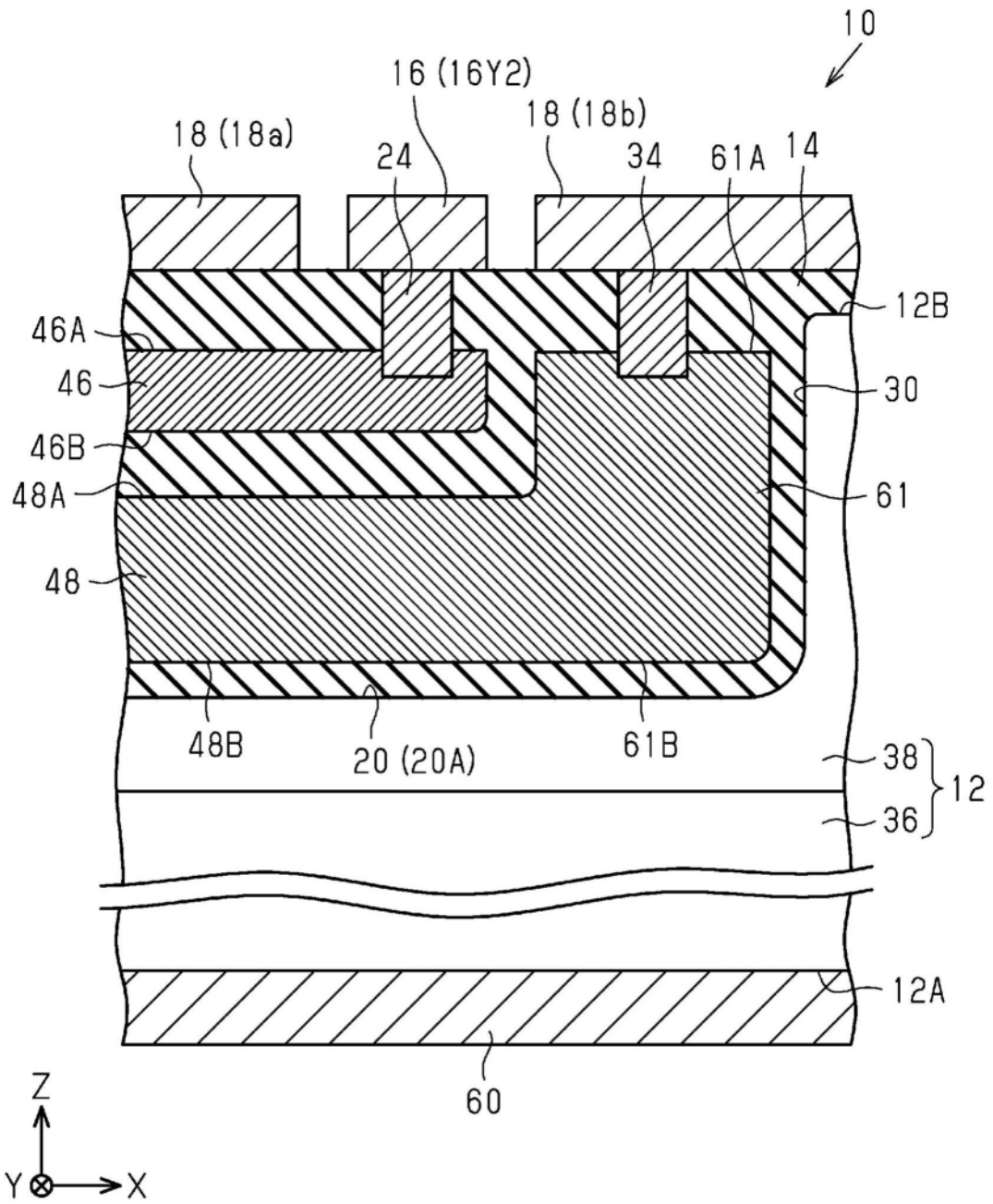


图5

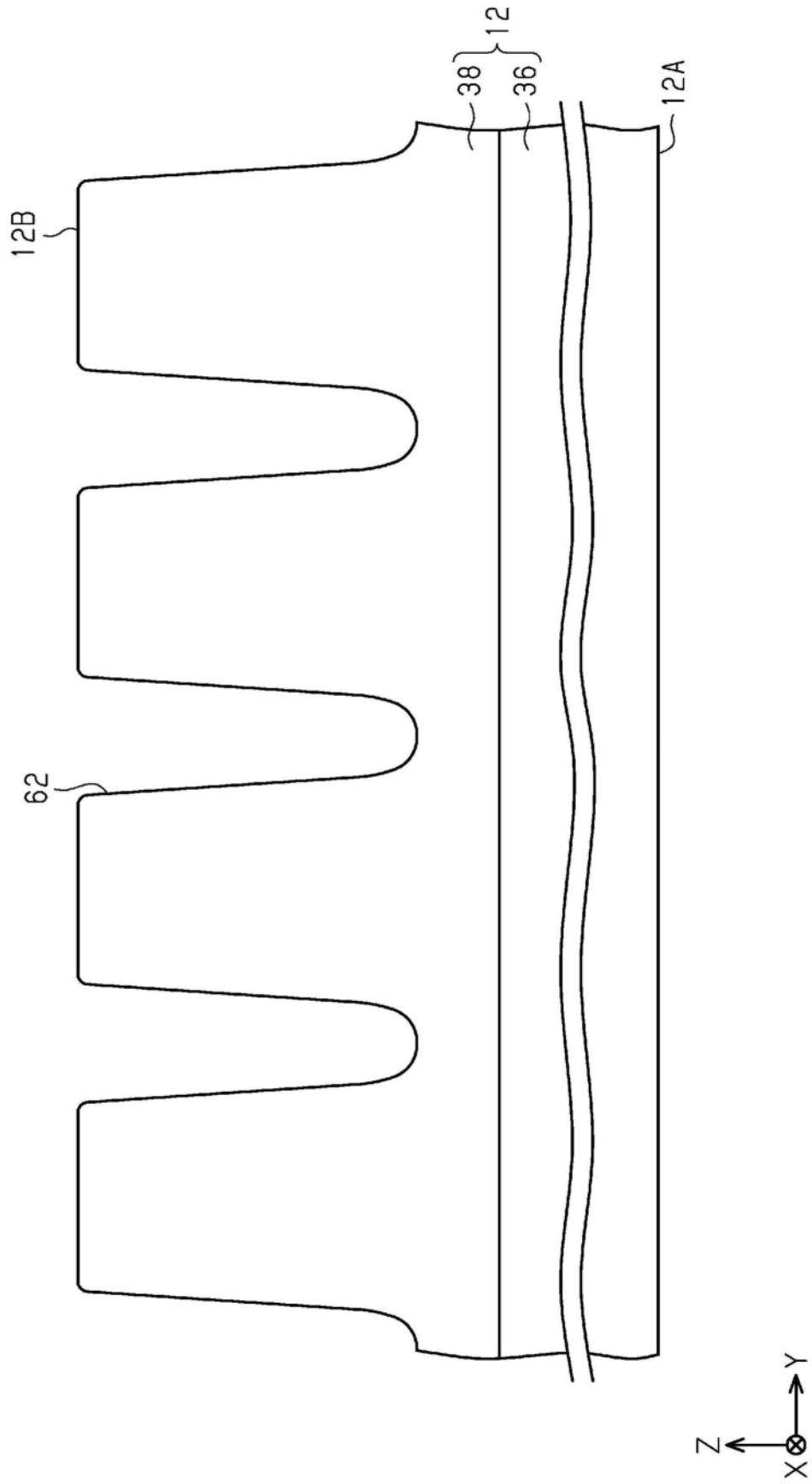


图6

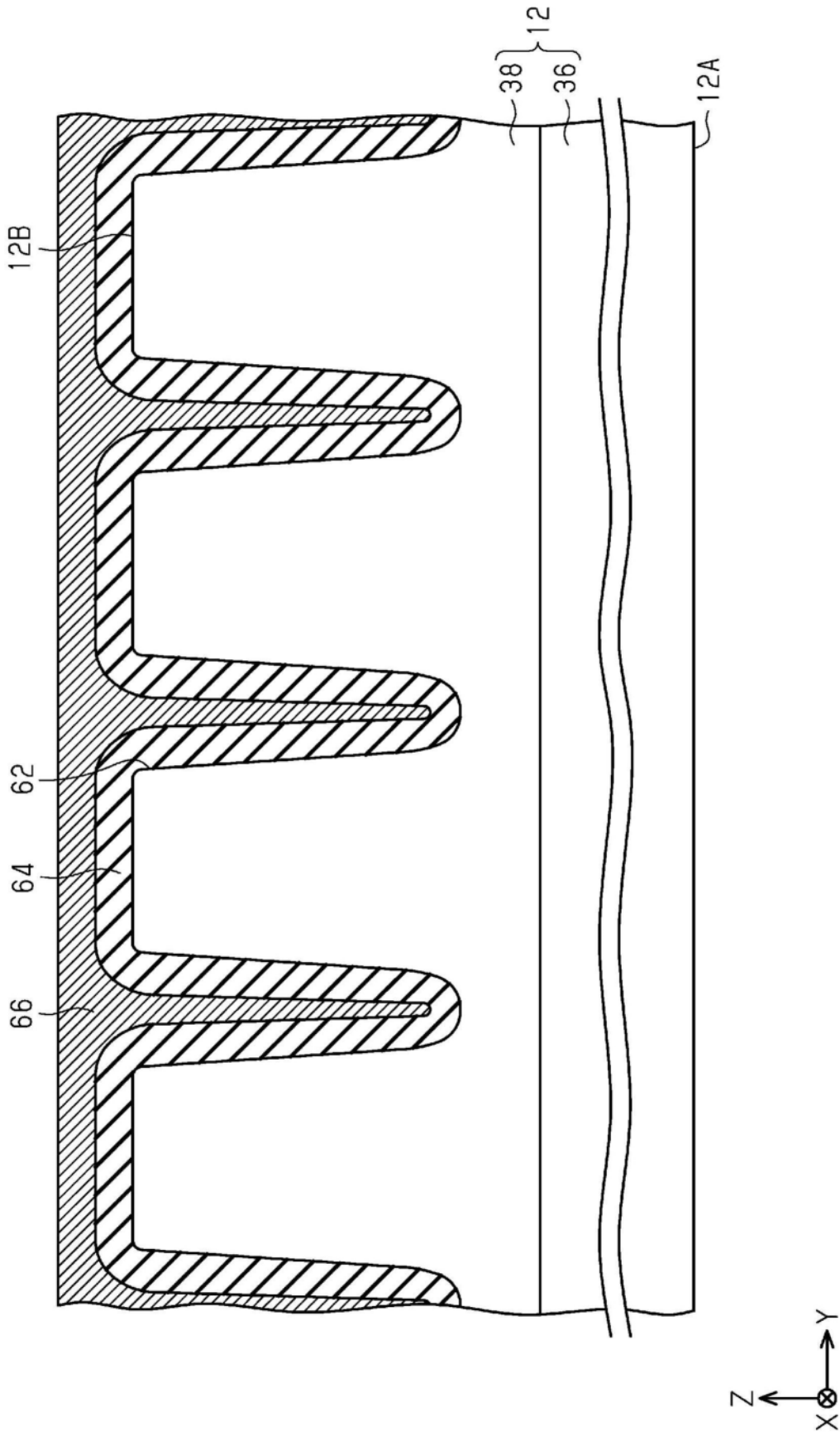


图7

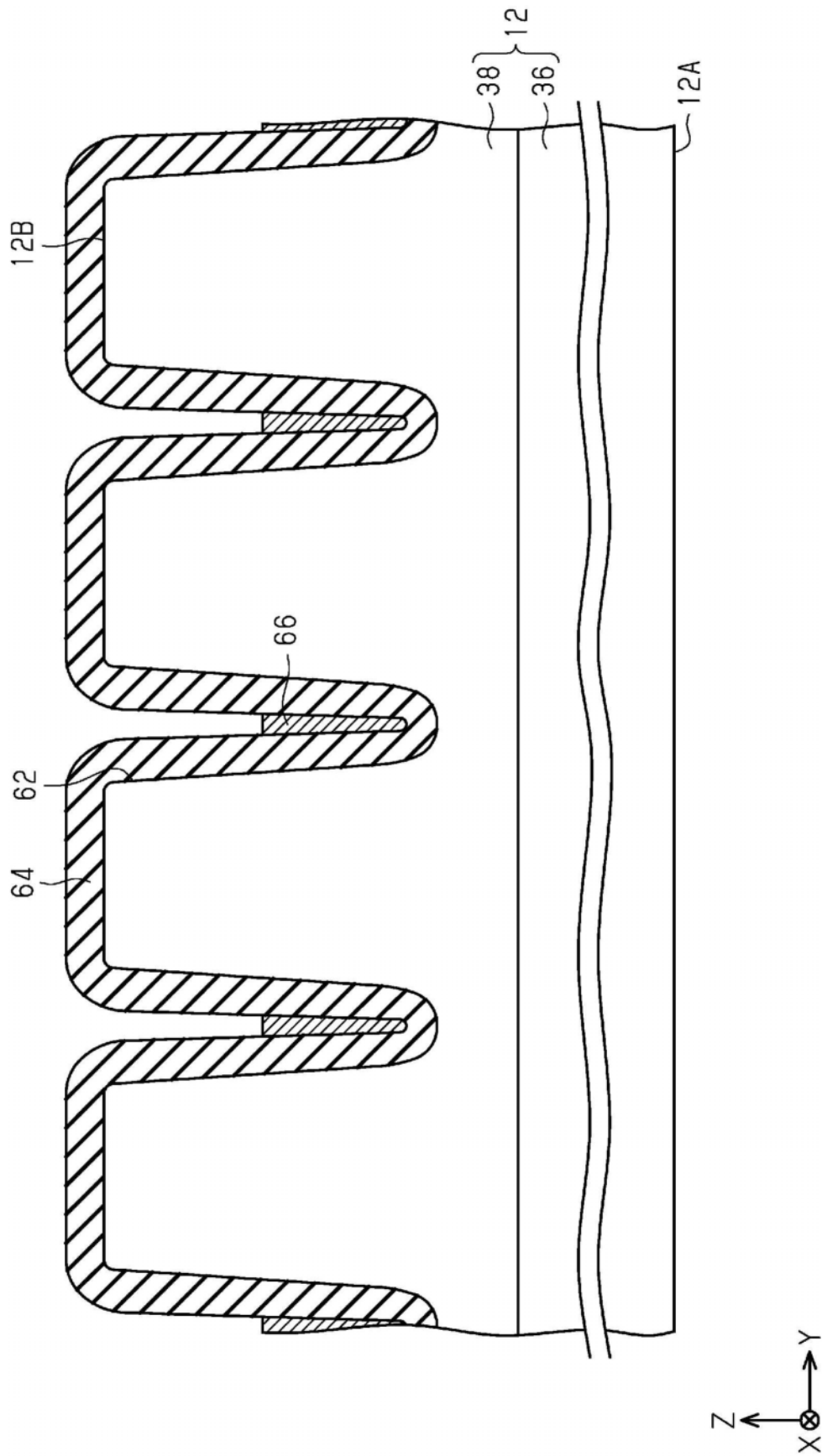


图8

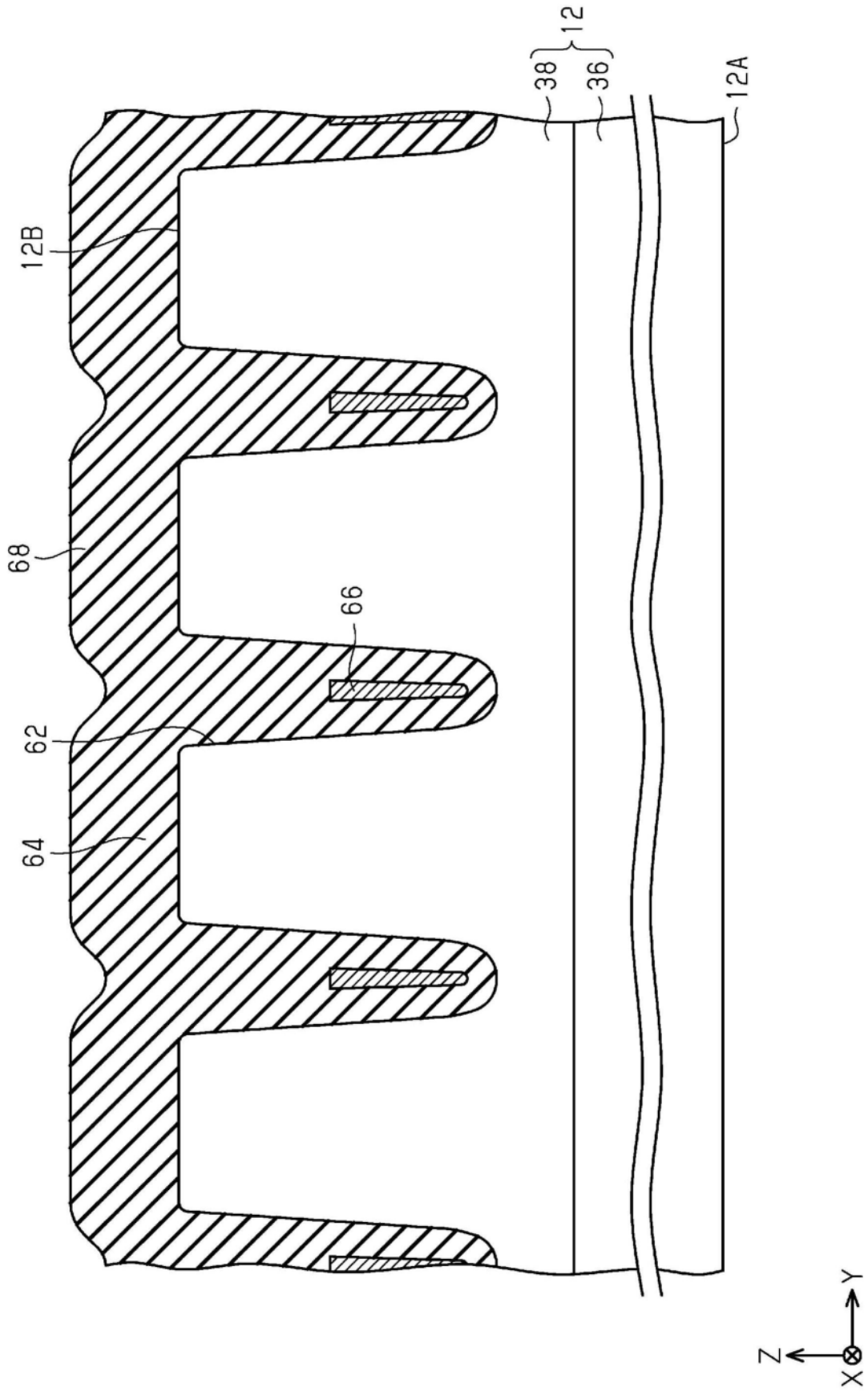


图9

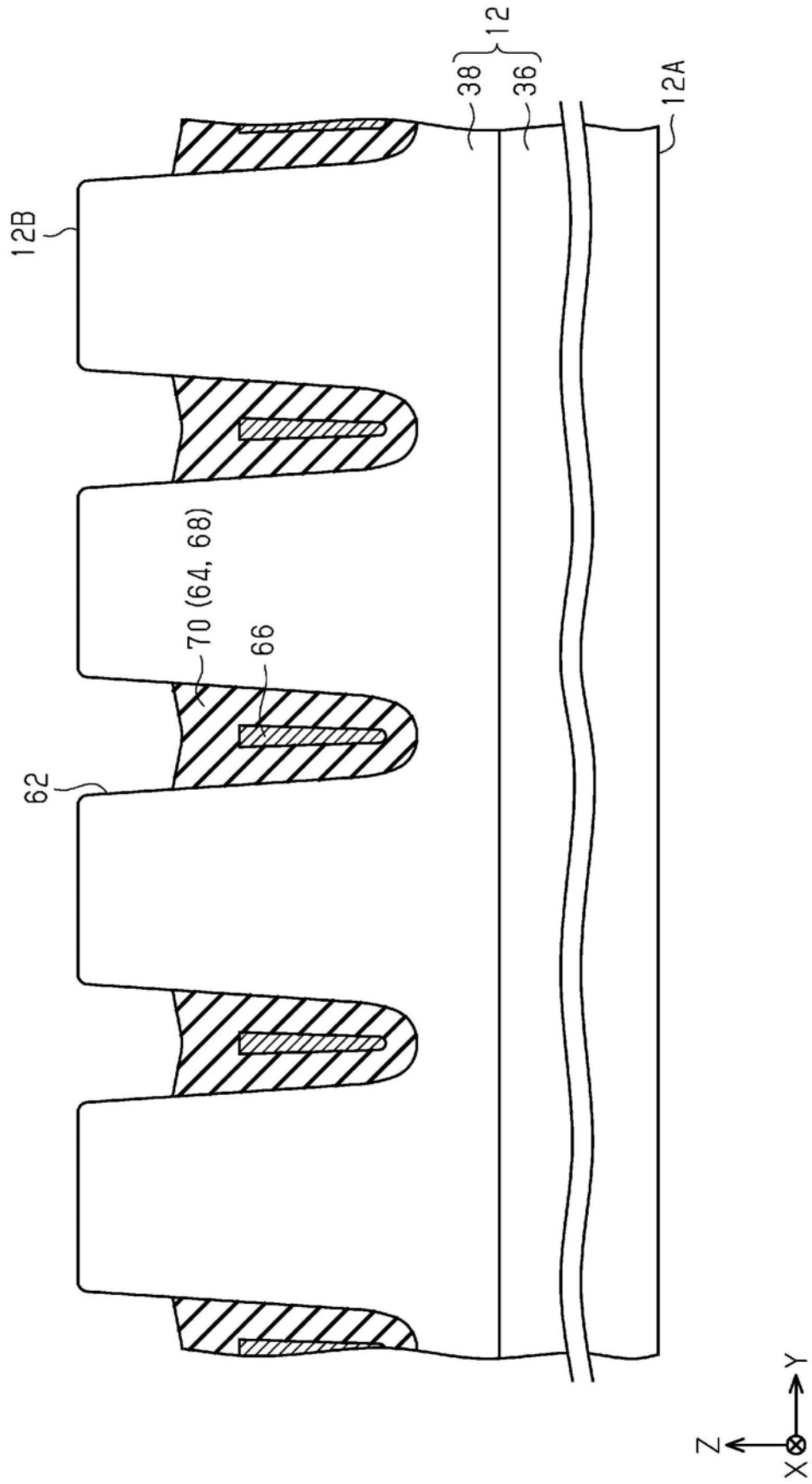


图10

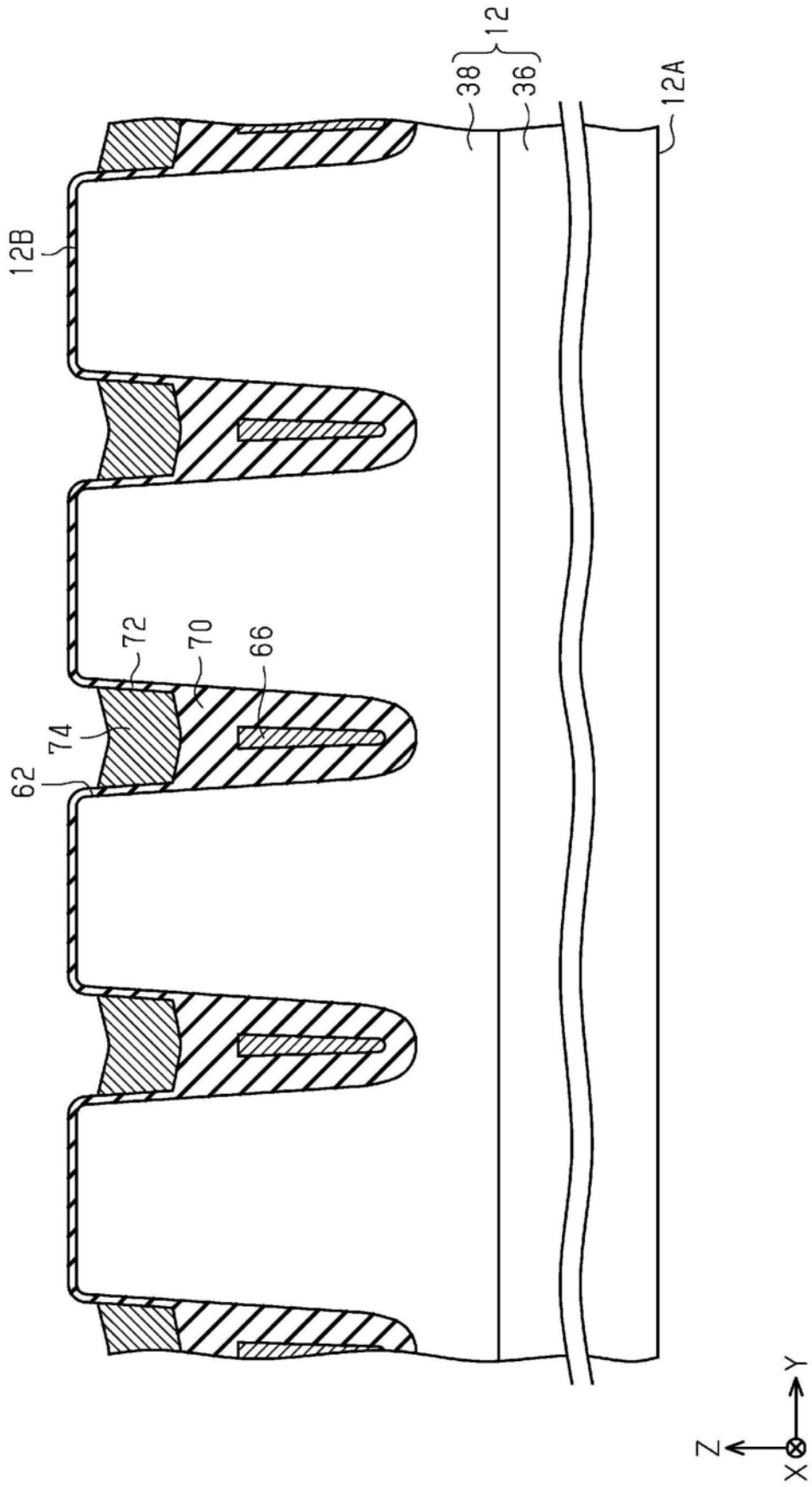


图11

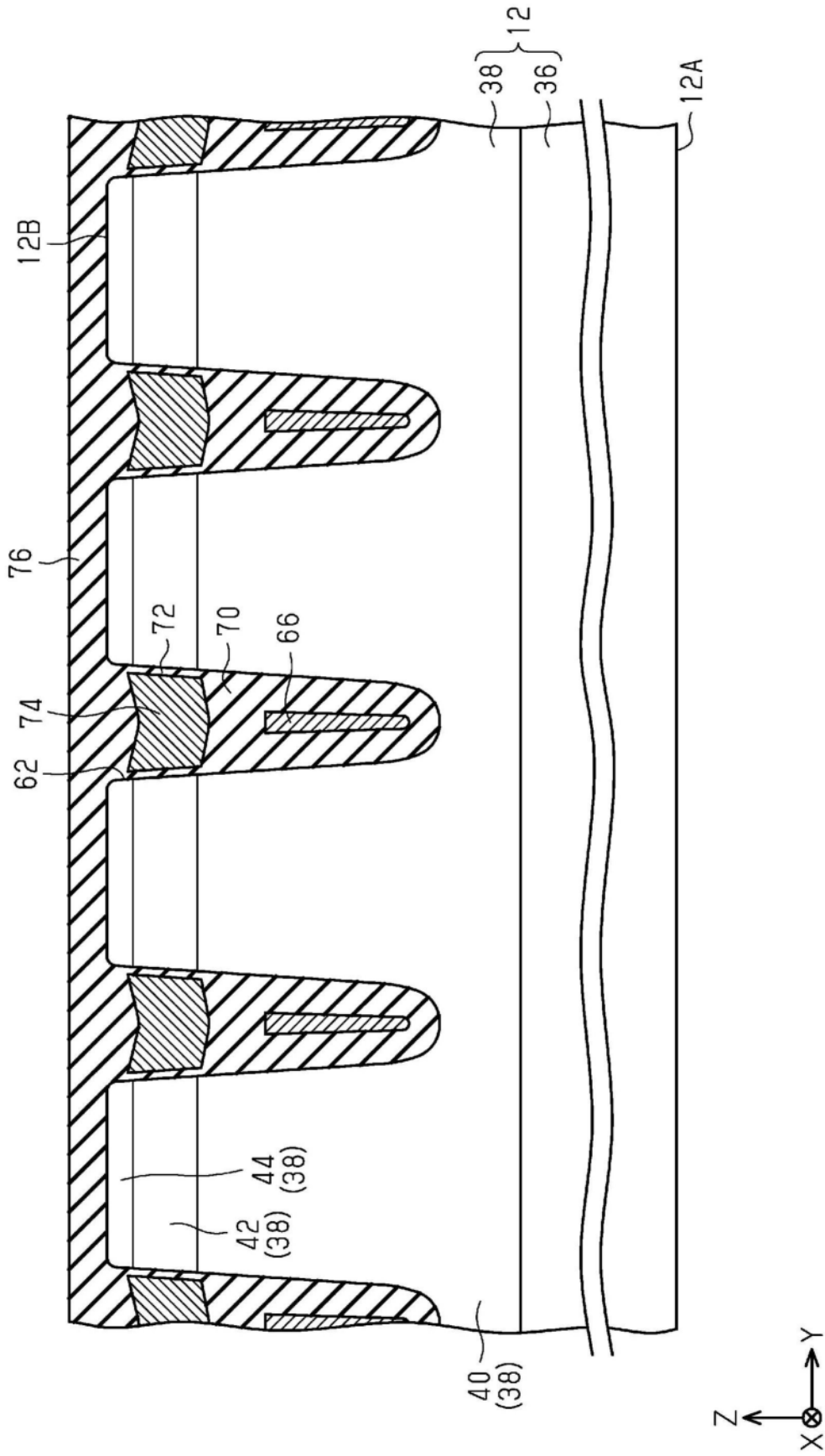


图12



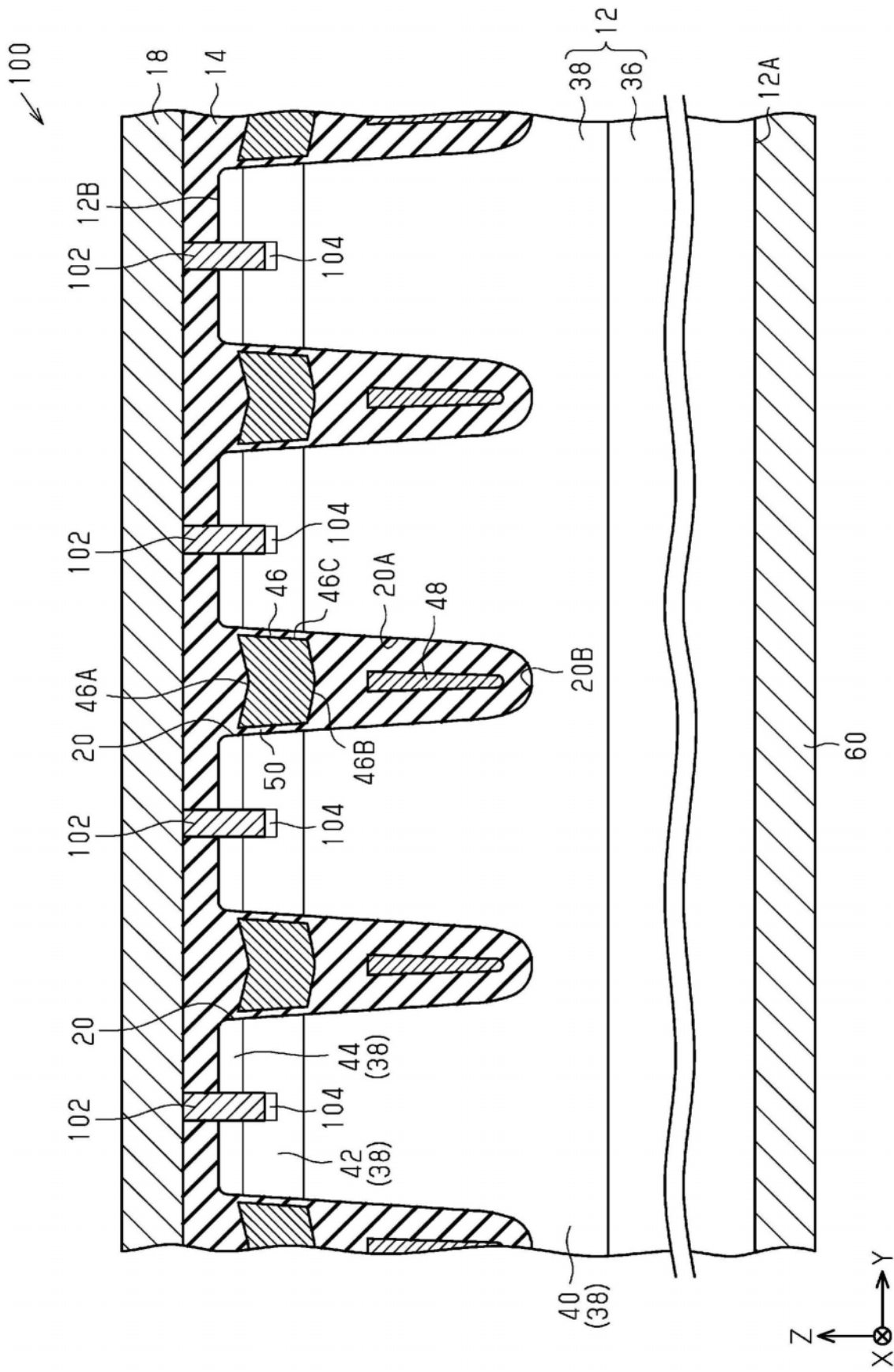


图14



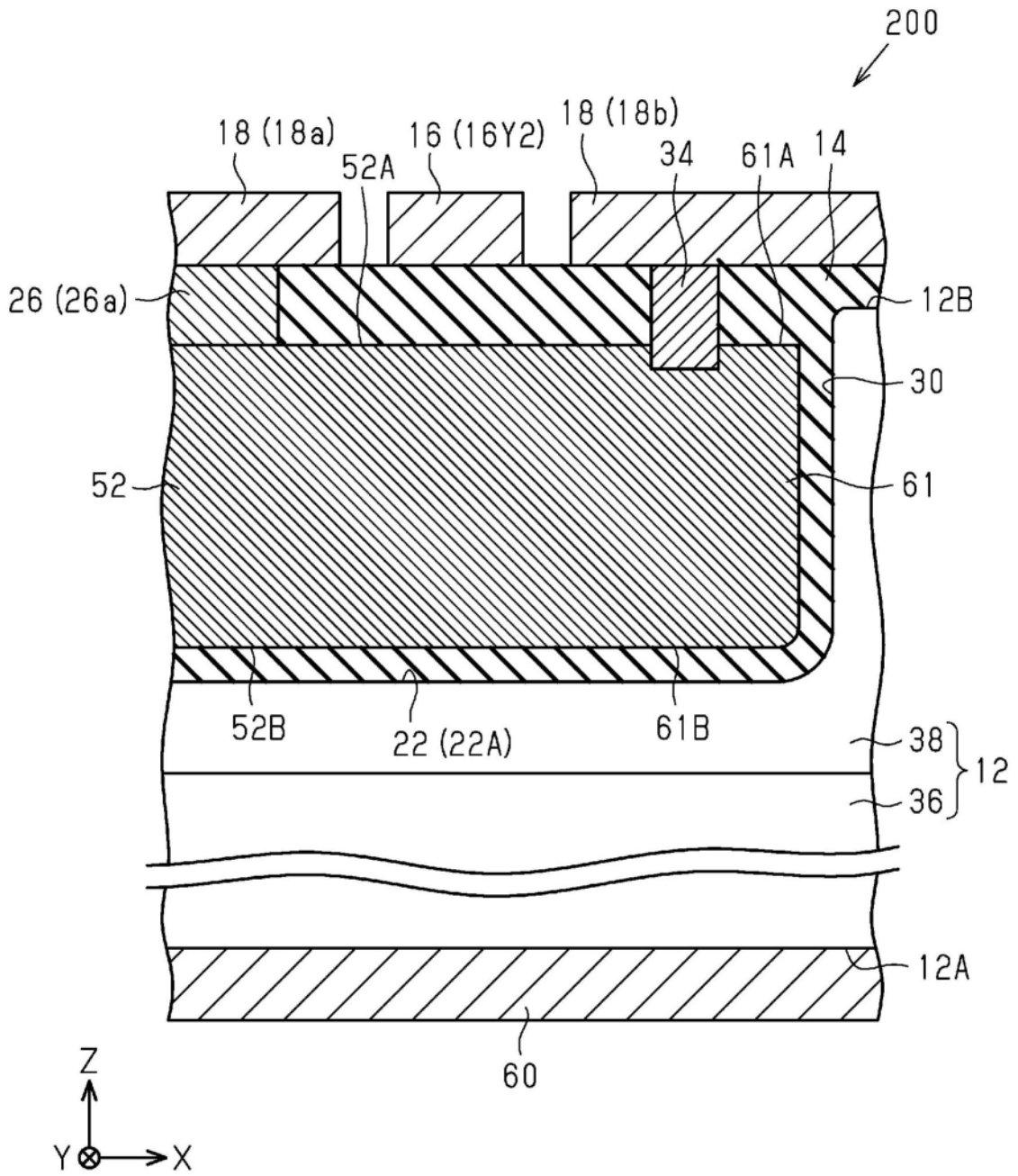


图16

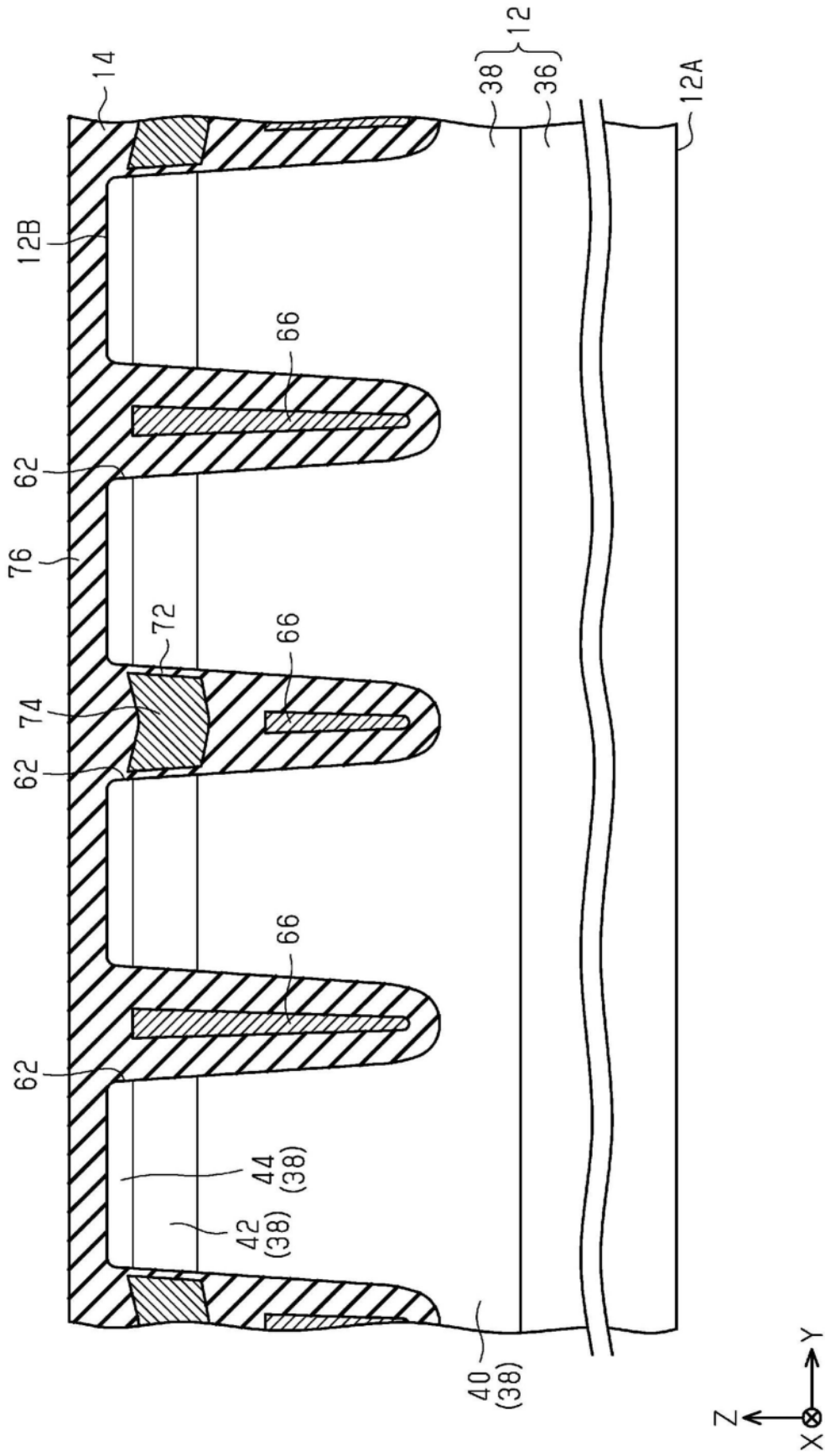


图17



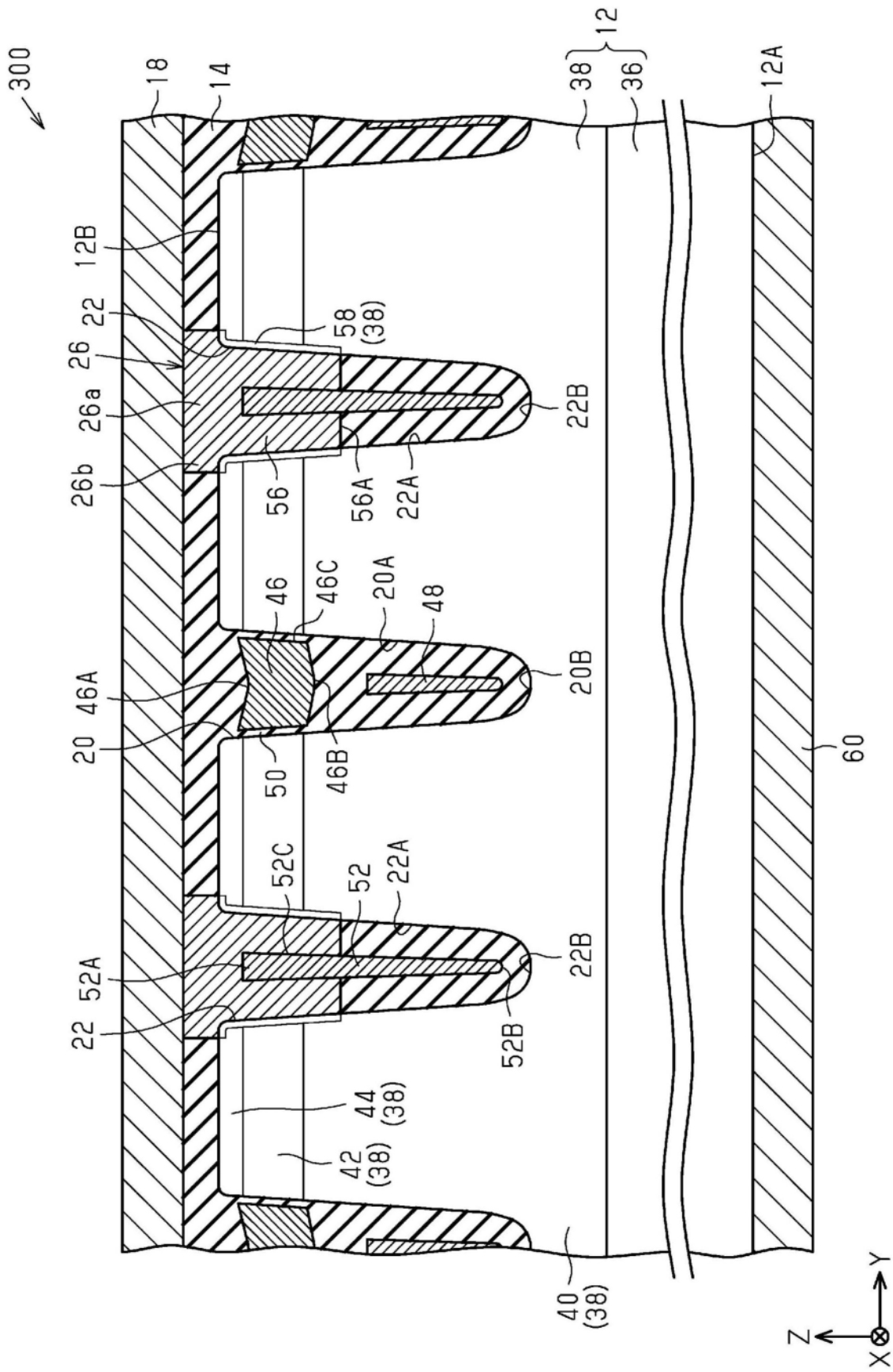


图19

