

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015年6月18日(18.06.2015)



(10) 国際公開番号
WO 2015/087608 A1

- (51) 国際特許分類:
H04N 5/378 (2011.01)
- (21) 国際出願番号: PCT/JP2014/076992
- (22) 国際出願日: 2014年10月8日(08.10.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-258287 2013年12月13日(13.12.2013) JP
- (71) 出願人: オリンパス株式会社 (OLYMPUS CORPORATION) [JP/JP]; 〒1510072 東京都渋谷区幡ヶ谷2丁目4番2号 Tokyo (JP).
- (72) 発明者: 萩原 義雄 (HAGIHARA Yoshio); 〒1510072 東京都渋谷区幡ヶ谷2丁目4番2号 オリンパス株式会社内 Tokyo (JP).
- (74) 代理人: 棚井 澄雄, 外 (TANAI Sumio et al.); 〒1006620 東京都千代田区丸の内一丁目9番2号 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

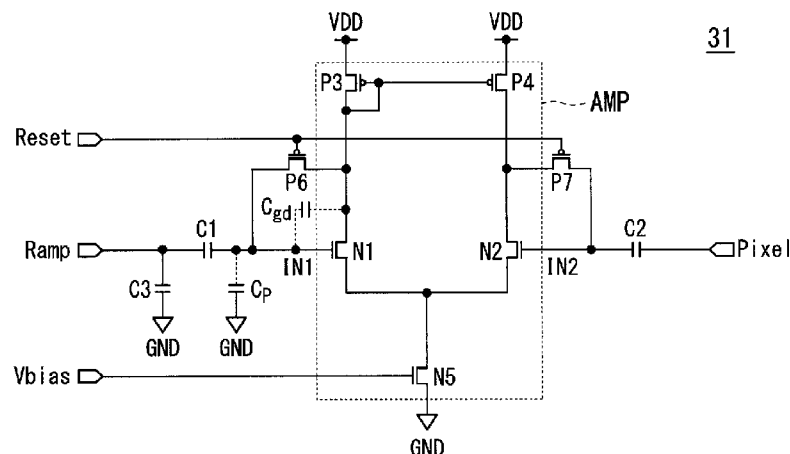
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

(54) Title: IMAGING DEVICE

(54) 発明の名称: 撮像装置



(57) Abstract: This imaging device is provided with: an imaging unit, which comprises a plurality of unit pixels with a photoelectric conversion element, arranged in a matrix; a reference signal generation unit which generates a reference signal; comparison units which have a first input terminal electrically connected to the reference signal generation unit and a second input terminal electrically connected to the unit pixels, have a difference amplifier for comparing the voltage of the first input terminal and the second input terminal, and are arranged for every one or multiple rows in the pixel arrangement in the imaging unit; and a measurement unit which measures the comparison time, from the comparison start to the comparison end, by the comparison unit and generates data corresponding to the comparison time. The comparison units have a first capacitive element. A first terminal of the first capacitive element is electrically connected to the first input terminal, and a second terminal of the first capacitive element is electrically connected to a prescribed voltage source.

(57) 要約:

[続葉有]

WO 2015/087608 A1



撮像装置は、光電変換素子を有する複数の単位画素が行列状に配置された撮像部と、参照信号を生成する参照信号生成部と、前記参照信号生成部と電氣的に接続された第 1 の入力端子と、前記単位画素と電氣的に接続された第 2 の入力端子とを有し、前記第 1 の入力端子および前記第 2 の入力端子の電圧を比較する差動アンプを有し、前記撮像部の画素配列の 1 列または複数列毎に配置された比較部と、前記比較部による比較開始から比較終了までの比較時間を計測し、前記比較時間に応じたデータを生成する計測部と、を有する。前記比較部は、第 1 の容量素子を有する。前記第 1 の容量素子の第 1 の端子は前記第 1 の入力端子に電氣的に接続される。前記第 1 の容量素子の第 2 の端子は所定の電圧源に電氣的に接続される。

明 細 書

発明の名称：撮像装置

技術分野

[0001] 本発明は、撮像装置に関する。

本願は、２０１３年１２月１３日に、日本に出願された特願２０１３－２５８２８７号に基づき優先権を主張し、その内容をここに援用する。

背景技術

[0002] 従来技術に係るランプ型AD変換器を用いた撮像装置として、特許文献1あるいは特許文献2に記載された構成が知られている。初めに、従来技術に係る撮像装置の構成および動作について説明する。

[0003] 図4は、従来技術に係るランプ型AD変換器を用いた撮像装置の概略構成を示している。撮像装置1001は、撮像部1002、垂直選択部1012、水平選択部1014、カラム処理部1015、参照信号生成部1016、出力部1017、タイミング制御部1020を有する。

[0004] タイミング制御部1020は、垂直選択部1012、水平選択部1014、カラム処理部1015、参照信号生成部1016、出力部1017などの各部を制御する。撮像部1002は、光電変換素子を有する複数の単位画素1003が行列状に配置されて構成されている。単位画素1003は、入射される電磁波の大きさに応じた画素信号を生成し、列毎に設けられた垂直信号線1013へ画素信号を出力する。

[0005] 垂直選択部1012は、撮像部1002の各単位画素1003の駆動に際して、行制御線1011を介して撮像部1002の行アドレスや行走査の制御を行う。水平選択部1014は、カラム処理部1015の列AD変換部1030の列アドレスや列走査の制御を行う。

[0006] カラム処理部1015は、撮像部1002の列毎に設けられた列AD変換部1030を有する。列AD変換部1030は、撮像部1002の各単位画素1003から列毎に出力される画素信号であるアナログ信号をデジタルデータに変換して出力する。参照信号生成部1016は、例えば積分回路やDAC回路で構成され、時間の経過とともに

にレベルが傾斜状に変化する参照信号を生成する。

[0007] 次に、列AD変換部1030の構成について説明する。列AD変換部1030は全て略同一に構成され、各々の列AD変換部1030は、比較部1031および計測部1032を有する。

[0008] 比較部1031は、一般的に良く知られている差動アンプを基本構成とするコンパレータ回路である。比較部1031は、撮像部1002の単位画素1003から出力される画素信号と参照信号とを比較し、例えば参照信号が画素信号よりも大なるときはHighレベル、例えば参照信号が画素信号よりも小なるときはLowレベルを出力する。

[0009] 計測部1032は、アップ／ダウンカウンタ回路で構成され、比較部1031が比較を開始してから比較を終了するまでの比較時間を計測し、比較時間に応じたデータを生成する。これにより、画素信号の大きさに応じたデータが得られる。水平選択部1014は、シフトレジスタやデコーダなどによって構成され、カラム処理部1015における各列AD変換部1030の列アドレスや列走査の制御を行う。これにより、AD変換されたデジタルデータは順に水平信号線を経由して出力部1017に出力される。

[0010] 次に、AD変換動作について説明する。単位画素1003の具体的な動作については説明を省略するが、単位画素1003からは画素信号としてリセットレベルと信号レベルとが出力される。

[0011] まず、単位画素1003から読み出されたりセットレベルが安定した後、比較部1031を構成する差動アンプの2つの入力端子の電圧のリセットが行われる。その後、比較部1031は、参照信号とリセットレベルとの比較を行い、参照信号がリセットレベルに対して所定の条件を満たしたタイミングで比較処理を終了する。計測部1032はダウンカウントモードで比較時間の計測を実施する。比較処理の終了時点の計測値がリセットレベルのデジタルデータとなる。

[0012] 続いて、単位画素1003からの信号レベルの読出し時には、比較部1031におけるリセット動作は行わない。単位画素1003から読み出された信号レベルが安定した後、比較部1031は、参照信号と信号レベルとの比較を行い、参照信

号が信号レベルに対して所定の条件を満たしたタイミングで比較処理を終了する。計測部1032はアップカウントモードで比較時間の計測を実施する。比較処理の終了時点の計測値が信号成分（信号レベルからリセットレベルを減算した信号）のデジタルデータとなる。

[0013] 図5は、従来技術に係る比較部1031の具体的な回路構成を示している。比較部1031は、差動アンプAMP、容量素子C1、C2、トランジスタP6、P7を有する。

[0014] 差動アンプAMPは、ソースが共通に接続されたNMOSで構成されるトランジスタN1、N2と、これらトランジスタN1、N2の各ドレインと電源VDDとの間に接続され、ゲートが共通に接続されたPMOSで構成されるトランジスタP3、P4と、トランジスタN1、N2のソースに共通に接続されたノードとグラウンドGNDとの間に接続されたNMOSの電流源N5とを有する。

[0015] トランジスタN1、N2の各ゲートとドレインとの間に、PMOSで構成されるトランジスタP6、P7がそれぞれ接続されている。これらトランジスタP6、P7は、各ゲートにLowアクティブのリセットパルスResetがタイミング制御部1020から与えられることでON状態となり、トランジスタN1、N2の各ゲートとドレインとを短絡し、トランジスタN1、N2の各ゲートの電圧、即ち差動アンプの2つの入力端子（第1の入力端子IN1および第2の入力端子IN2）の電圧をリセットするリセット部として機能する。

[0016] トランジスタN1、N2の各ゲートには、DCレベルをカットするための容量素子C1、C2の第1の端子がそれぞれ接続されている。容量素子C1の第2の端子には、参照信号生成部1016からの参照信号Rampが与えられる。容量素子C2の第2の端子には、撮像部1002の各单位画素1003から出力される画素信号Pixelが与えられる。また、電流源N5のゲートには、電流値を制御するためのバイアス電圧Vbiasが与えられる。

先行技術文献

特許文献

[0017] 特許文献1：日本国特開2006-340044号公報

特許文献2：日本国特開2010-93641号公報

発明の概要

発明が解決しようとする課題

- [0018] しかしながら、従来技術に係るランプ型AD変換器を用いた撮像装置には、以下の課題がある。
- [0019] CMOSイメージセンサのカラムパラレルなランプ型AD変換器に代表されるように、多数のランプ型AD変換器を構成する場合には、参照信号はこれらの多数のAD変換器で共通化される。そのため、あるAD変換器の動作に応じて比較回路（図4の比較部1031）からの影響により参照信号が変化すると、他のAD変換器がその影響を受けてAD変換結果に誤差を生じる。
- [0020] 図6は、CMOSイメージセンサが撮像する画像の例を模式的に示している。図6に示す画像は、明るい領域（領域R0、R2）と暗い領域（領域R1）とが混在する例を示している。この例では、比較回路における比較結果を示す信号は、領域R1と領域R2とでは、領域R1のほうが先に反転する。領域R1の比較結果を示す信号が先に反転すると、領域R1の比較回路からのフィードスルー（キックバック）により、参照信号が変化させられ、明るい領域（領域R2、特に領域R1に隣接する部分）のカラムのAD変換結果に誤差を生じる。その結果、画質が劣化する。
- [0021] この影響を改善する方法として、以下の方法が考えられる。
- I) ソースフォロワ回路に代表されるようなバッファ回路を各比較回路の入力に加える方法
 - II) 参照信号生成部（そのDAC回路）の出力インピーダンスを低減する方法
- [0022] I) の方法は、バッファ回路を各比較回路の入力に加えることで、比較回路から参照信号へと伝達される誤差要因をバッファ回路のアイソレーション能力によって低減する方法である。しかし、この方法ではバッファ回路の挿入によって、消費電流・雑音が増大する。
- [0023] II) の方法は、DAC回路の抵抗値を低減することに相当する。この結果、同一の参照信号（例えば1[V]の参照電圧）を生成するために必要な電流源の電流値が増大する。したがって、消費電流が増大する。演算増幅器から構成さ

れる積分回路を用いた参照信号生成部においても上記の不利益は同様である。

[0024] 本発明は、参照信号に与える誤差を低減でき、消費電流、雑音の増大を招くことなくAD変換誤差や画質劣化を抑圧することができるランプ型AD変換器を用いた撮像装置を提供する。

課題を解決するための手段

[0025] 本発明の第1態様によれば、撮像装置は、光電変換素子を有する複数の単位画素が行列状に配置された撮像部と、時間の経過とともに増加あるいは減少する参照信号を生成する参照信号生成部と、前記参照信号生成部と電氣的に接続された第1の入力端子と、前記単位画素と電氣的に接続された第2の入力端子とを有し、前記第1の入力端子および前記第2の入力端子の電圧を比較する差動アンプを有し、前記撮像部の画素配列の1列または複数列毎に配置された比較部と、前記比較部による比較開始から比較終了までの比較時間を計測し、前記比較時間に応じたデータを生成する計測部と、を有し、前記比較部は、第1の容量素子を有し、前記第1の容量素子の第1の端子は前記第1の入力端子に電氣的に接続され、前記第1の容量素子の第2の端子は所定の電圧源に電氣的に接続される。

[0026] また、本発明の第2態様によれば、第1態様の撮像装置において、前記比較部は、第2の容量素子を有し、前記第2の容量素子の第1の端子は前記第1の入力端子に電氣的に接続され、前記第2の容量素子の第2の端子は前記参照信号生成部および前記第1の容量素子の前記第1の端子に電氣的に接続され、前記第1の容量素子の容量値は、前記第2の容量素子の容量値よりも小さな値であってもよい。

[0027] また、本発明の第3態様によれば、第1態様または第2態様の撮像装置において、前記所定の電圧源は、電源およびグラウンドのいずれかであってもよい。

発明の効果

[0028] 本発明の各態様によれば、第1の端子が第1の入力端子に電氣的に接続され、第2の端子が所定の電圧源に電氣的に接続された第1の容量素子を設けるこ

とによって、参照信号に与える誤差を低減でき、消費電流、雑音の増大を招くことなくAD変換誤差や画質劣化を抑圧することができる。

図面の簡単な説明

[0029] [図1]本発明の実施形態に係る撮像装置の構成を示すブロック図である。

[図2]本発明の実施形態に係る撮像装置が有する比較部の構成を示す回路図である。

[図3]本発明の実施形態と従来技術とにおけるフィードスルーの係数、セットリング、フィルタリング帯域を示す参考図である。

[図4]従来技術に係る撮像装置の構成を示すブロック図である。

[図5]従来技術に係る比較部の構成を示す回路図である。

[図6]従来技術に係るCMOSイメージセンサが撮像する画像を示す参考図である。

発明を実施するための形態

[0030] 以下、図面を参照し、本発明の実施形態を説明する。図1は、本実施形態に係る撮像装置の構成の一例を示している。図1に示す撮像装置1は、撮像部2、垂直選択部12、水平選択部14、カラム処理部15、参照信号生成部16、出力部17、タイミング制御部20を有する。

[0031] 撮像部2は、光電変換素子を有する複数の単位画素3が行列状に配置されて構成されている。単位画素3は、入射される電磁波の大きさに応じた画素信号を生成し、列毎に設けられた垂直信号線13へ画素信号を出力する。垂直選択部12は、撮像部2の各行を選択する。参照信号生成部16は、時間の経過とともに増加または減少する参照信号（ランプ波）を生成する。カラム処理部15は、単位画素3から出力された画素信号をAD変換する列AD変換部30を有する。水平選択部14は、AD変換されたデジタルデータを水平信号線に読み出す。出力部17は、水平選択部14によって読み出されたデジタルデータを後段の回路に出力する。タイミング制御部20は各部を制御する。

[0032] 図1では、簡単のため4行×6列の単位画素3から構成される撮像部2の場合について説明しているが、単位画素3の配列の行数および列数は2以上の任意の

自然数であれば良い。現実には、撮像部2の各行や各列には、数十から数万の単位画素3が配置される。図示を割愛するが、撮像部2を構成する単位画素3は、フォトダイオード／フォトゲート／フォトランジスタなどの光電変換素子、およびトランジスタ回路によって構成されている。

[0033] 以下では、各部のより詳細な説明を行う。撮像部2では、単位画素3が4行6列分だけ2次元に配置されている。また、この4行6列の画素配列に対して行毎に行制御線11が配線されている。行制御線11の各一端は、垂直選択部12の各行に対応した各出力端に接続されている。垂直選択部12は、シフトレジスタあるいはデコーダなどによって構成され、撮像部2の各単位画素3の駆動に際して、行制御線11を介して撮像部2の行アドレスや行走査の制御を行う。また、撮像部2の画素配列に対して列毎に垂直信号線13が配線されている。

[0034] カラム処理部15は、例えば撮像部2の画素配列の列毎、即ち垂直信号線13毎に設けられた列AD変換部30を有する。列AD変換部30は、撮像部2の各単位画素3から列毎に垂直信号線13を介して読み出されるアナログの画素信号をデジタルデータに変換する。本例では、撮像部2の画素配列の1列に対して1対1の対応関係で列AD変換部30が配置されているが、これは一例に過ぎず、この配置関係に限定されるものではない。例えば、撮像部2の画素配列の複数の列に対して列AD変換部30を1つ配置し、この1つの列AD変換部30を複数の列間で時分割にて使用する構成をとることも可能である。カラム処理部15は、後述する参照信号生成部16と共に、撮像部2の選択行の単位画素3から読み出されるアナログの画素信号をデジタルの画素データに変換するアナログ-デジタル変換手段（AD変換回路）を構成している。

[0035] 参照信号生成部16は、例えば積分回路によって構成され、タイミング制御部20による制御に従って、時間が経過するにつれてレベルが傾斜状に変化する、参照信号、いわゆるランプ波を生成し、参照信号線を介して列AD変換部30に参照信号を供給する。参照信号生成部16としては、積分回路を用いたものに限られるものではなく、DAC回路を用いても構わない。ただし、DAC回路を用いてデジタル的にランプ波を生成する構成をとる場合には、ランプ波のス

テップを細かくする、あるいはそれと同等な構成をとる必要がある。

- [0036] 水平選択部14は、シフトレジスタあるいはデコーダなどによって構成され、カラム処理部15の列AD変換部30の列アドレスや列走査の制御を行う。この水平選択部14による制御に従って、列AD変換部30でAD変換されたデジタルデータは順に水平信号線を介して出力部17に読み出される。
- [0037] タイミング制御部20は、垂直選択部12、参照信号生成部16、水平選択部14、カラム処理部15、出力部17などの各部の動作に必要なクロックや所定タイミングのパルス信号を供給するTG (=Timing Generator : タイミングジェネレータ) の機能ブロックと、このTGと通信を行うための機能ブロックとを備える。
- [0038] 出力部17は、2進化したデジタルデータを出力する。また、出力部17は、バッファリング機能以外に、例えば黒レベル調整、列バラツキ補正、色処理などの信号処理機能を内蔵しても構わない。更に、出力部17がnビットパラレルのデジタルデータをシリアルデータに変換して出力するようにしても構わない。
- [0039] 撮像装置1における構成のうち、垂直選択部12、水平選択部14、出力部17、タイミング制御部20は、ランプ型AD変換器の特徴的な構成ではない。また、これらの構成は、本実施形態に係る撮像装置1の特徴的な効果を得るために必須の構成ではない。
- [0040] 次に、列AD変換部30の構成について説明する。列AD変換部30は各々、撮像部2の各单位画素3から垂直信号線13を介して読み出されるアナログの画素信号を、参照信号生成部16から与えられる、AD変換するための参照信号と比較することにより、画素信号の大きさに対応した時間軸方向の大きさ（パルス幅）を持つパルス信号を生成する。そして、列AD変換部30は、このパルス信号のパルス幅の期間に対応したデータを画素信号の大きさに応じたデジタルデータとすることによってAD変換を行う。
- [0041] 以下では、列AD変換部30の構成の詳細について説明する。列AD変換部30は撮像部2の画素配列の列毎に配置されている。図1では6個の列AD変換部30が配

置されている。各列の列AD変換部30は同一に構成されている。列AD変換部30は、比較部31および計測部32を有する。本例では、比較部31および計測部32は撮像部2の画素配列の1列毎に配置されているが、比較部31および計測部32が撮像部2の画素配列の複数列毎に配置されていてもよい。

[0042] 比較部31は、撮像部2の単位画素3から垂直信号線13を介して出力されるアナログの画素信号に応じた信号電圧と、参照信号生成部16から供給される参照信号のランプ電圧とを比較することによって、画素信号の大きさを、時間軸方向の情報（パルス信号のパルス幅）に変換する。比較部31の比較出力は、例えばランプ電圧が信号電圧よりも大なときにはHighレベル（Hレベル）になり、ランプ電圧が信号電圧以下のときにはLowレベル（Lレベル）になる。比較部31は、参照信号が画素信号に対して所定の条件を満たしたタイミング（本例では参照信号と画素信号との電圧が略一致したタイミング）で比較処理を終了する。比較部31が比較処理を終了するタイミングで比較部31の比較出力が反転する。

[0043] 計測部32は、比較部31による比較開始から比較終了までの比較時間を計測し、比較時間に応じたデータを生成する、例えばnビットのアップ／ダウンカウンタ回路で構成される。nビットは例えば10ビットである。nビットが10ビットであるのは一例であって、nビットが10ビット未満のビット数（例えば、8ビット）や10ビットを超えるビット数（例えば、12ビット）などであっても構わない。また、計測部32を構成する回路はアップ／ダウンカウンタ回路に限る必要もない。

[0044] 次に、本例の動作について説明する。ここでは、単位画素3の具体的な動作については説明を省略するが、周知のように単位画素3からはリセットレベルと信号レベルとが出力される。

[0045] AD変換は、以下のようにして行われる。例えば所定の傾きで下降する参照信号の電圧と、単位画素3からの画素信号であるリセットレベルあるいは信号レベルの電圧とが比較される。この比較処理で用いる参照信号が生成された時点から、リセットレベルや信号レベルに応じた信号電圧と参照信号のラン

プ電圧とが一致するまでの期間を、例えば基準クロックで計測することによって、リセットレベルあるいは信号レベルの各大きさに対応したデジタルデータが得られる。

[0046] ここで、撮像部2の選択行の各单位画素3からは、アナログの画素信号として、1回目の読出し動作で画素信号の雑音を含むリセットレベルが読み出され、その後、2回目の読出し動作で信号レベルが読み出される。そして、リセットレベルと信号レベルとが垂直信号線13を通して列AD変換部30に時系列で入力される。

[0047] <1回目の読出し>

撮像部2の画素配列の任意の行の各单位画素3から垂直信号線13へ出力された画素信号（リセットレベル）が安定した後、比較部31のリセット動作が行われる。その後、タイミング制御部20は、参照信号生成部16に対して、参照信号生成の制御データを供給する。これを受けて参照信号生成部16は、比較部31の第1の入力端子に与える比較電圧として、波形が全体として時間的にランプ状に変化する参照信号を出力する。比較部31は、参照信号生成部16からの参照信号が与えられた第1の入力端子の電圧と、リセットレベルが与えられた第2の入力端子の電圧とを比較し、双方の電圧が略一致したときに、比較出力を反転させる。

[0048] 計測部32は、比較部31での比較開始に基づいてダウンカウントモードで計測を開始し、比較部31の比較出力が反転した時点の計測値を保持する。つまり、計測部32は、リセットレベルに応じたデジタルデータを保持する。タイミング制御部20は、所定の期間を経過すると、参照信号生成部16への制御データの供給と、基準クロックの出力とを停止する。これにより、参照信号生成部16は、参照信号の生成を停止する。

[0049] <2回目の読出し>

続いて、2回目の読出し時には、各单位画素3毎の入射光量に応じた信号レベルが読み出される。この2回目の読出し時には、比較部31のリセット動作は行わない。

- [0050] 撮像部2の画素配列の任意の行の単位画素3から垂直信号線13へ出力された画素信号（信号レベル）が安定した後、タイミング制御部20は、参照信号生成部16に対して、参照信号生成の制御データを供給する。これを受けて参照信号生成部16は参照信号を出力する。比較部31は、参照信号生成部16からの参照信号が与えられた第1の入力端子の電圧と、信号レベルが与えられた第2の入力端子の電圧とを比較し、双方の電圧が略一致したときに、比較出力を反転させる。
- [0051] 計測部32は、比較部31での比較開始に基づいてアップカウントモードで計測を開始し、比較部31の比較出力が反転した時点の計測値を保持する。つまり、計測部32は、信号レベルからリセットレベルを減算（CDS（=Correlated Double Sampling：相関2重サンプリング）処理）した信号成分に応じたデジタルデータを保持する。タイミング制御部20は、所定の期間を経過すると、参照信号生成部16への制御データの供給と、基準クロックの出力とを停止する。これにより、参照信号生成部16は、参照信号の生成を停止する。
- [0052] 次に、比較部31の詳細な構成について説明する。図2は比較部31の構成の一例を示している。比較部31は、差動アンプAMP、トランジスタP6、P7、容量素子C1、C2、C3を有する。
- [0053] 差動アンプAMPは、ソースが共通に接続されたNMOSで構成されるトランジスタN1、N2と、これらトランジスタN1、N2の各ドレインと電源VDDとの間に接続され、ゲートが共通に接続されたPMOSで構成されるトランジスタP3、P4と、トランジスタN1、N2のソースに共通に接続されたノードとグラウンドGNDとの間に接続されたNMOSの電流源N5とを有する。また、差動アンプAMPは、参照信号生成部16と電氣的に接続された第1の入力端子IN1（トランジスタN1のゲート）と、単位画素3と電氣的に接続された第2の入力端子IN2（トランジスタN2のゲート）とを有し、第1の入力端子IN1および第2の入力端子IN2の電圧を比較する。
- [0054] トランジスタN1、N2の各ゲートとドレインとの間に、PMOSで構成されるトランジスタP6、P7がそれぞれ接続されている。これらトランジスタP6、P7は

、各ゲートにLowアクティブのリセットパルスResetがタイミング制御部20から与えられることでON状態となり、トランジスタN1、N2の各ゲートとドレインとを短絡し、トランジスタN1、N2の各ゲートの電圧、即ち差動アンプAMPの2つの入力端子の電圧をリセットするリセット部として機能する。

[0055] トランジスタN1、N2の各ゲート、即ち差動アンプAMPの第1の入力端子IN1および第2の入力端子IN2には、DCレベルをカットするための容量素子C1、C2の第1の端子がそれぞれ接続されている。容量素子C1（第2の容量素子）の第2の端子は、参照信号生成部16に電氣的に接続され、参照信号生成部16からの参照信号Rampが与えられる。容量素子C2の第2の端子は、撮像部2の単位画素3に電氣的に接続され、各単位画素3から出力される画素信号Pixelが与えられる。

[0056] 容量素子C3（第1の容量素子）の第1の端子は容量素子C1の第2の端子に接続されている。即ち、容量素子C3の第1の端子は、容量素子C1を介して差動アンプAMPの第1の入力端子IN1に電氣的に接続されている。容量素子C3の第2の端子はグラウンドGNDに接続されている。また、電流源N5のゲートには、電流値を制御するためのバイアス電圧Vbiasが与えられる。

[0057] 言い換えると、容量素子C3の第1の端子は、容量素子C1を介して第1の入力端子IN1に電氣的に接続され、容量素子C3の第2の端子は所定の電圧源（グラウンドGND）に電氣的に接続されている。また、容量素子C1の第1の端子は第1の入力端子IN1に電氣的に接続され、容量素子C1の第2の端子は参照信号生成部16および容量素子C3の第1の端子に電氣的に接続されている。

[0058] 図2において、トランジスタの極性を逆にし、電源VDDとグラウンドGNDとを逆にしてもよい。したがって、容量素子C3の第2の端子は電源VDDに接続されていてもよい。

[0059] 比較部31における構成のうち、トランジスタP6、P7、容量素子C1、C2は、本実施形態に係る撮像装置1の特徴的な効果を得るために必須の構成ではない。

[0060] 次に、比較部31の動作について説明する。単位画素3からの画素信号Pixel

としてリセットレベルが第2の入力端子IN2に与えられ、参照信号生成部16から第1の入力端子IN1に与えられる参照信号Rampが安定した後、タイミング制御部20が比較部31の比較開始前にリセットパルスResetを活性化（Lowアクティブ）する。これにより、トランジスタP6、P7がON状態となってトランジスタN1、N2の各ゲートとドレインとを短絡し、これらトランジスタN1、N2の動作点をドレイン電圧として2つの入力端子の電圧がリセットされる。

[0061] このリセットによって決定された動作点で、差動アンプAMPの2つの入力端子の電圧、即ちトランジスタN1、N2の各ゲート電圧のオフセット成分がほぼキャンセルされる。即ち、差動アンプAMPの2つの入力端子の電圧が、略同一の電圧になるようにリセットされる。リセット後、トランジスタP6、P7はOFF状態となる。

[0062] 続いて、第1の入力端子IN1に与えられる参照信号Rampの電圧がランプ状に変化する。参照信号Rampが与えられた第1の入力端子IN1の電圧と、リセットレベルが与えられた第2の入力端子IN2の電圧とが略一致したタイミングで比較部31の比較出力が反転する。

[0063] 単位画素3からの画素信号Pixelとして信号レベルが第2の入力端子IN2に与えられたときの動作は、トランジスタP6、P7によるリセットが行われない点を除いて上記の動作と同様であるので、説明を省略する。

[0064] <従来技術と本実施形態におけるフィードスルーおよびその比較>

以下では、比較部31の比較出力が反転したときのフィードスルー、つまり比較部31から参照信号へと伝達される誤差要因について述べる。

[0065] 差動対を構成するトランジスタN1のゲート端子とドレイン端子との間にはオーバーラップ容量（容量値： C_{gd} ）が存在し、トランジスタN1のゲート端子には入力容量（容量値： C_p ）、が存在する。また、容量素子C1の容量値を C_{DAC} 、容量素子C3の容量値を C_{LPF} 、カラム列数（列AD変換部30の数）を n 、参照信号生成部16を構成する電流電圧変換抵抗の抵抗値を R_{DAC} 、とする。ここで、容量素子C1（容量値： C_{DAC} ）、容量素子C3（容量値： C_{LPF} ）、ゲート端子の入力容量（容量値： C_p ）、との間に、以下の(1)式の関係を成立させることが可能であ

る。

$$C_{DAC} > C_{LPF} > C_P \quad \dots (1)$$

[0066] 比較部31の比較出力が反転すると、反転に係るトランジスタN1のドレイン電圧の変化が、オーバーラップ容量（容量値： C_{gd} ）を介して参照信号Ramp側に伝達される（フィードスルー）。容量素子C3を設けない従来技術におけるフィードスルーの係数は、オーバーラップ容量（容量値： C_{gd} ）と、ゲート端子の入力容量（容量値： C_P ）との容量値の比に依存する。これに対して、容量素子C3を設けた本実施形態における、フィードスルーの係数は、オーバーラップ容量（容量値： C_{gd} ）と、ゲート端子の入力容量（容量値： C_P ）および容量素子C3（容量値： C_{LPF} ）の合計容量との容量値の比に依存する。

[0067] 図3は、従来技術と本実施形態とにおけるフィードスルーの係数、セトリング（セトリング時間）、フィルタリング帯域を示している。本実施形態では、従来技術におけるフィードスルーの係数の分母に対して容量素子C3の容量値 C_{LPF} が加わるため、フィードスルーの係数の値がより小さくなる。つまり、本実施形態では、従来技術と比較して、参照信号に与える誤差が低減されるので、AD変換誤差や画質劣化を抑圧することができる。例えば、 R_{DAC} :50[Ω]、 n :5000[列]、 C_{DAC} :240[fF]、 C_{LPF} :60[fF]、 C_P :2[fF]（ C_{gs} : $\sim \times 0.7 C_P$ 、 C_{gd} : $\sim \times 0.3 C_P$ ）である場合、本実施形態では、従来技術と比較してフィードスルーの係数の値を1/30程度に低減することが可能である。上記の C_{gs} はトランジスタN1のゲート端子とソース端子との間のオーバーラップ容量である。

[0068] 容量素子C3を設けることで、比較部31のリセット（バランス）時のセトリングが長くなることが懸念される。しかし、容量素子C3の容量値 C_{LPF} が(1)式の条件を満たすように容量素子C3を構成することで、上記の効果を維持しつつ、セトリングの増大を抑圧することができる。

[0069] 容量素子C3を設けることに付随する効果として、参照信号生成部16のフィルタリング帯域が低減する。結果的に、ノイズ低減の可能性がある。

[0070] セトリングへの影響を無視できる場合、容量素子C3の容量値 C_{LPF} は容量素子C1の容量値 C_{DAC} 以上であってもよい。つまり、本実施形態に係る撮像装置1は

、(1)式の条件に限定されない。

[0071] 本実施形態によれば、光電変換素子を有する複数の単位画素3が行列状に配置された撮像部2と、時間の経過とともに増加あるいは減少する参照信号を生成する参照信号生成部16と、参照信号生成部16と電氣的に接続された第1の入力端子IN1と、単位画素3と電氣的に接続された第2の入力端子IN2とを有し、第1の入力端子IN1および第2の入力端子IN2の電圧を比較する差動アンプAMPを有し、撮像部2の画素配列の1列または複数列毎に配置された比較部31と、比較部31による比較開始から比較終了までの比較時間を計測し、比較時間に応じたデータを生成する計測部32と、を有し、比較部31は、第1の容量素子（容量素子C3）を有し、第1の容量素子の第1の端子は第1の入力端子IN1に電氣的に接続され、第1の容量素子の第2の端子は所定の電圧源（グランドGNDまたは所定の電源）に電氣的に接続される、ことを特徴とする撮像装置が構成される。

[0072] 本実施形態では、前述したI) およびII) の方法を用いることなく、フィードスルーを低減することが可能となる。したがって、参照信号に与える誤差を低減でき、消費電流、雑音の増大を招くことなくAD変換誤差や画質劣化を抑圧することができる。

[0073] また、(1)式のように、容量素子C3の容量値を容量素子C1の容量値よりも小さな値にすることによって、上記の効果を維持したまま、リセット時のセトリング時間の増大を抑圧することができる。

[0074] また、容量素子C3の第2の端子が接続される所定の電圧源をグランドGNDまたは所定の電源とすることによって、別途電圧源を用意する必要がなくなる。

[0075] 以上、図面を参照して本発明の実施形態について詳述してきたが、具体的な構成は上記の実施形態に限られるものではなく、本発明の要旨を逸脱しない範囲の設計変更等も含まれる。

産業上の利用可能性

[0076] 本発明は、撮像装置に広く適用でき、参照信号に与える誤差を低減でき、

消費電流、雑音の増大を招くことなくAD変換誤差や画質劣化を抑圧することができるランプ型AD変換器を用いた撮像装置を提供する。

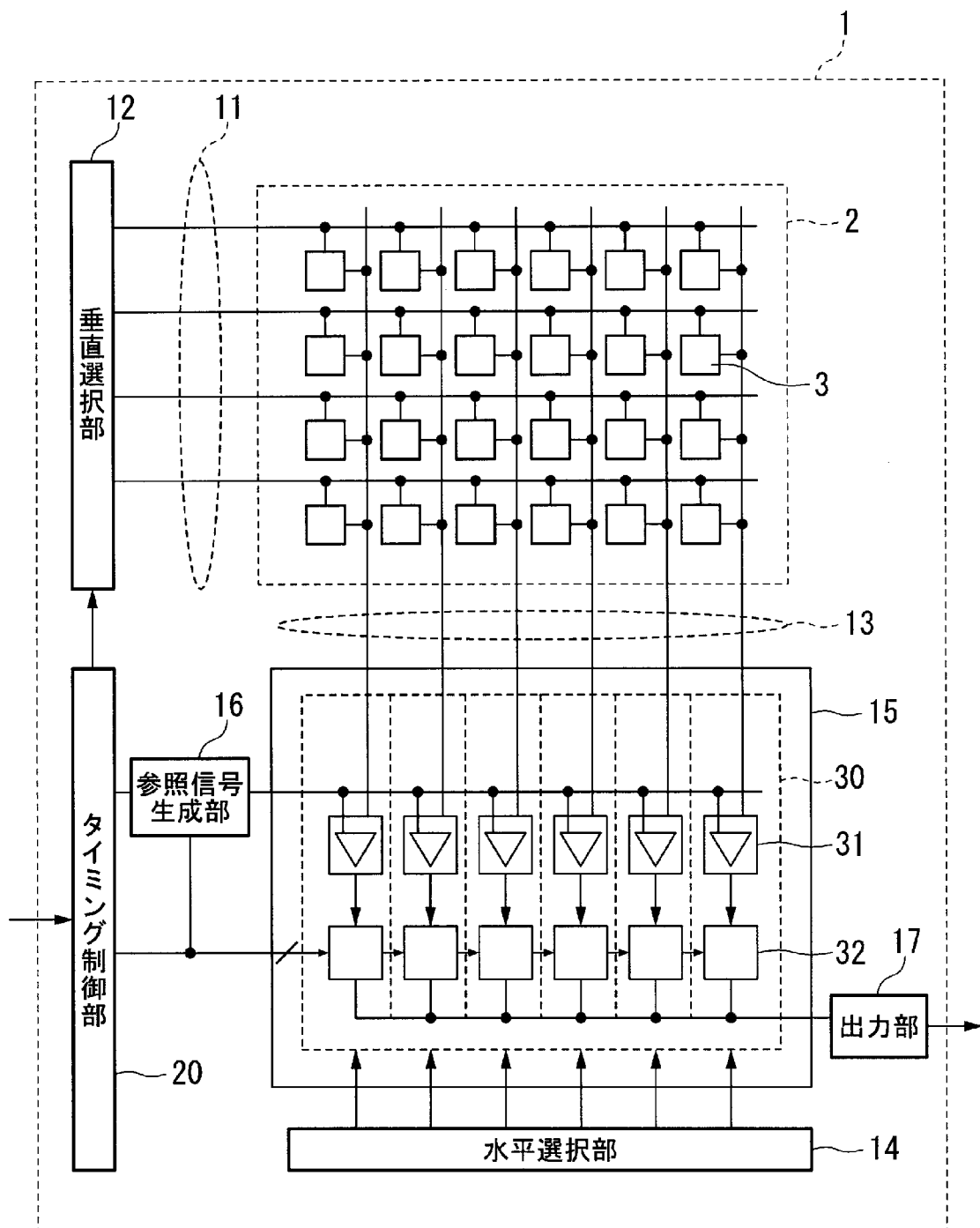
符号の説明

- [0077] 1, 1001 撮像装置
- 2, 1002 撮像部
- 3, 1003 単位画素
- 11, 1011 行制御線
- 12, 1012 垂直選択部
- 13, 1013 垂直信号線
- 14, 1014 水平選択部
- 15, 1015 カラム処理部
- 16, 1016 参照信号生成部
- 17, 1017 出力部
- 20, 1020 タイミング制御部
- 30, 1030 列AD変換部
- 31, 1031 比較部
- 32, 1032 計測部

請求の範囲

- [請求項1] 光電変換素子を有する複数の単位画素が行列状に配置された撮像部と、
時間の経過とともに増加あるいは減少する参照信号を生成する参照信号生成部と、
前記参照信号生成部と電氣的に接続された第1の入力端子と、前記単位画素と電氣的に接続された第2の入力端子とを有し、前記第1の入力端子および前記第2の入力端子の電圧を比較する差動アンプを有し、前記撮像部の画素配列の1列または複数列毎に配置された比較部と、
前記比較部による比較開始から比較終了までの比較時間を計測し、前記比較時間に応じたデータを生成する計測部と、
を有し、
前記比較部は、第1の容量素子を有し、
前記第1の容量素子の第1の端子は前記第1の入力端子に電氣的に接続され、前記第1の容量素子の第2の端子は所定の電圧源に電氣的に接続される、
撮像装置。
- [請求項2] 前記比較部は、第2の容量素子を有し、
前記第2の容量素子の第1の端子は前記第1の入力端子に電氣的に接続され、前記第2の容量素子の第2の端子は前記参照信号生成部および前記第1の容量素子の前記第1の端子に電氣的に接続され、
前記第1の容量素子の容量値は、前記第2の容量素子の容量値よりも小さな値である、
請求項1に係る撮像装置。
- [請求項3] 前記所定の電圧源は、電源およびグラウンドのいずれかである、
請求項1および請求項2の何れか一項に係る撮像装置。

[図1]

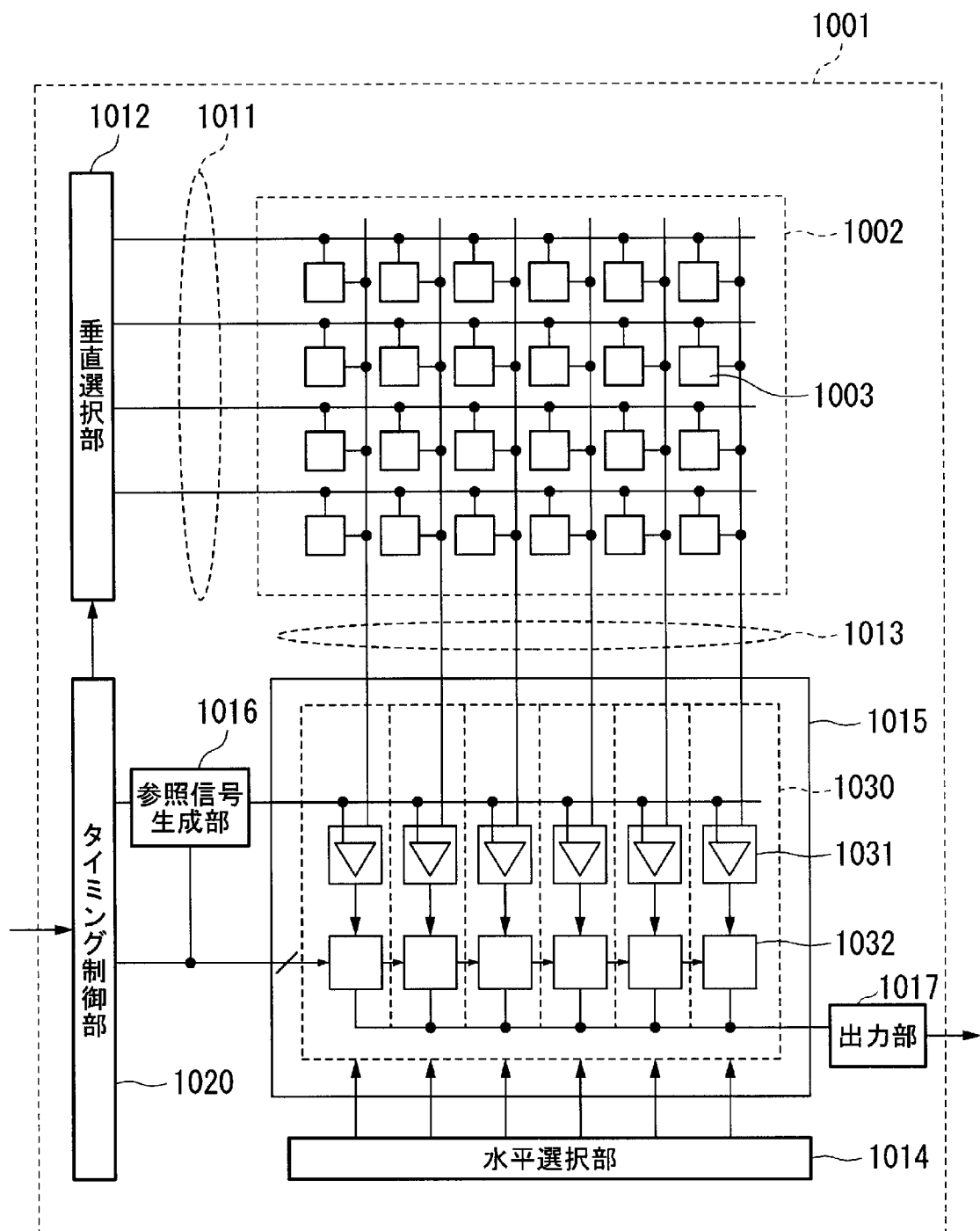


31

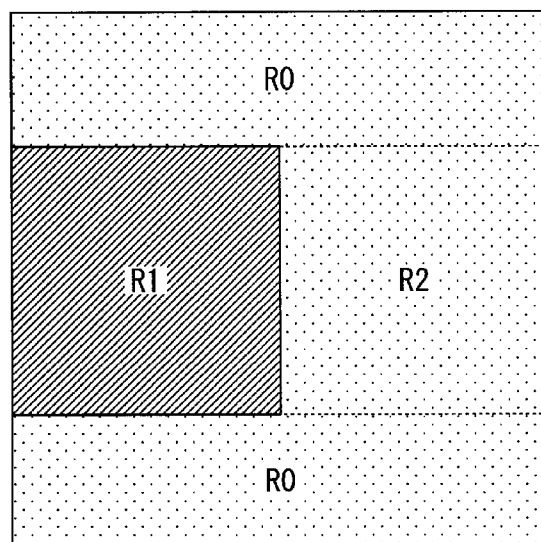


	従来技術	本実施形態
フィードスルーの係数	$\frac{C_{gd}}{C_p}$	$\frac{C_{gd}}{C_p + C_{LPF}}$
セッティング	$R_{DAC} \times n \times C_{DAC}$	$R_{DAC} \times n \times (C_{LPF} + C_{DAC})$
フィルタリング帯域	$\frac{1}{R_{DAC} \times n \times C_p}$	$\frac{1}{R_{DAC} \times n \times (C_p + C_{LPF})}$

[図4]



1031



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/076992

A. CLASSIFICATION OF SUBJECT MATTER

H04N5/378(2011.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N5/378

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2013-187744 A (Olympus Corp.), 19 September 2013 (19.09.2013), paragraphs [0058] to [0062]; fig. 5 & US 2013/0234004 A1 & CN 103312999 A	1-3
A	JP 2013-172270 A (Sony Corp.), 02 September 2013 (02.09.2013), paragraphs [0099] to [0101]; fig. 17, 23(A) & US 2013/0215303 A1 & CN 103259511 A	1-3

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
12 December, 2014 (12.12.14)

Date of mailing of the international search report
22 December, 2014 (22.12.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H04N5/378(2011.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H04N5/378

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	J P 2 0 1 3 - 1 8 7 7 4 4 A（オリンパス株式会社） 2013.09.19, 段落[0058]-[0062], 図 5 & US 2013/0234004 A1 & CN 103312999 A	1 - 3
A	J P 2 0 1 3 - 1 7 2 2 7 0 A（ソニー株式会社） 2013.09.02, 段落[0099]-[0101], 図 17, 23(A) & US 2013/0215303 A1 & CN 103259511 A	1 - 3

☐ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 2 . 1 2 . 2 0 1 4

国際調査報告の発送日

2 2 . 1 2 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

木方 庸輔

5 V

9 6 4 9

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 7 1