

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利说明书

专利号 ZL 200310118598.6

G11C 7/00 (2006.01)

G11C 7/12 (2006.01)

G11C 11/15 (2006.01)

[45] 授权公告日 2007 年 10 月 17 日

[11] 授权公告号 CN 100343919C

[22] 申请日 2003.12.12

[21] 申请号 200310118598.6

[30] 优先权

[32] 2002.12.13 [33] US [31] 10/318, 709

[73] 专利权人 国际商业机器公司

地址 美国纽约

共同专利权人 英芬能技术北美公司

[72] 发明人 D·戈格尔 W·R·勒尔

R·E·朔伊尔莱因

[56] 参考文献

CN1095864A 1994.11.30

CN1371101A 2002.9.25

US6236611A 2001.5.22

JP9306159A 1997.11.28

审查员 张 妍

[74] 专利代理机构 北京市中咨律师事务所

代理人 于 静 李 峥

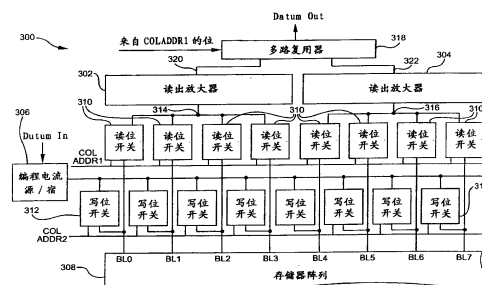
权利要求书 6 页 说明书 14 页 附图 7 页

[54] 发明名称

高速磁存储器的体系结构

[57] 摘要

本发明的磁存储器电路包括多个存储单元和多条用来有选择地访问一个或多个存储单元的位线。该存储器电路包括至少一个配置成用于产生写至少一个存储单元的逻辑状态的编程电流的电流源和/或一个返回编程电流的电流宿的位线编程电路和第一组开关。至少在存储单元的读操作期间停用第一组开关，而在存储单元的写操作期间有选择地启用第一组开关中的至少一部分开关。第一组开关中的每个开关配置成响应第一控制信号有选择地将至少一个位线编程电路连接到一条相应的位线上。该存储器电路还包括至少一个读出放大器和第二组开关。至少在存储单元的写操作期间停用第二组开关，而在存储单元的读操作期间有选择地启用第二组开关中的至少一部分开关。



1. 一种磁存储器电路，所述电路包括：

多个存储单元；

多条连接到存储单元上的位线，用来有选择地访问一个或多个存储单元；

至少一个位线编程电路，所述位线编程电路可配置成以下两者中的一个：产生写至少一个存储单元的逻辑状态的编程电流的电流源，以及返回所述编程电流的电流宿；

第一组开关，所述第一组开关至少在存储单元的读操作期间停用，第一组开关中的至少一部分开关在存储单元的写操作期间有选择地启用，所述第一组开关内的每个开关配置成响应一个第一控制信号有选择地将至少一个位线编程电路连接到一条相应的位线上；

至少一个读出放大器；以及

第二组开关，所述第二组开关至少在存储单元的写操作期间停用，第二组开关中的至少一部分开关在存储单元的读操作期间有选择地启用，第二组开关内的每个开关配置成响应一个第二控制信号有选择地将至少一个读出放大器连接到一条相应的位线上。

2. 权利要求1的电路，其中所述第一和第二组开关中的每个开关都包括一个场效应晶体管(FET)。

3. 权利要求2的电路，其中第二组开关中的每个开关内的场效应晶体管大小最多为第一组开关中的每个开关内的场效应晶体管的四分之一。

4. 一种磁存储器电路，所述电路包括：

多个存储单元；

多条连接到存储单元上的位线和字线，用来有选择地访问一个或多个存储单元；

至少一个编程电流源/宿，所述编程电流源/宿可配置成以下两者中的一个：产生写一个或多个存储单元的逻辑状态的编程电流的电流源，以及

返回所述编程电流的电流宿;

多个第一开关, 每个第一开关包括一个连接到一条相应的位线上的第一接线端、一个接到至少一个编程电流源/宿上的第二接线端和至少一个接收一个第一控制信号的控制输入端, 每个第一开关响应第一控制信号将相应的位线连接到至少一个编程电流源/宿上;

至少一个读出放大器; 以及

多个第二开关, 每个第二开关包括一个连接到至少一个读出放大器的一个输入端上的第一接线端、一个连接到一条相应的位线上的第二接线端和至少一个接收一个第二控制信号的控制输入端, 每个第二开关响应第二控制信号将相应位线连接到至少一个读出放大器的输入端上。

5. 权利要求4的电路, 其中:

所述第一控制信号包括一个地址; 以及

所述多个第一开关的至少一部分内的每个第一开关包括连接到控制输入端上的解码电路, 所述解码电路配置成对地址解码和响应所加地址有选择地将相应位线连接到至少一个编程电流源/宿的输出端上。

6. 权利要求4的电路, 其中:

所述第二控制信号包括一个地址; 以及

所述多个第二开关的至少一部分内的每个第二开关包括连接到控制输入端上的解码电路, 所述解码电路配置成对地址解码和响应所加地址有选择地将相应位线连接到至少一个读出放大器的输入端上。

7. 权利要求4的电路, 所述电路还包括一个解码器, 所述解码器包括至少一个接收地址的输入端, 所述解码器配置成响应所加地址产生第一和第二控制信号。

8. 权利要求4的电路, 其中:

所述多个第一开关排列成多个在同一维内的组, 每个组包括至少一个开关; 以及

所述至少一个编程电流源/宿包括多个电流源/宿, 每个电流源/宿连接到一个相应的组上, 分配给一个相应的数据输入端, 其中减小了在多个电

流源/宿的每个电流源/宿的一个输出端上的负载电容。

9. 权利要求8的电路, 所述电路还包括一个解码器, 所述解码器包括至少一个接收一个第三控制信号的控制输入端和多个输出端, 其中多个电流源/宿中的至少一部分, 每个输出端连接到一个相应电流源的控制输入端上, 所述解码器配置成响应控制信号选择一个电流源。

10. 权利要求8的电路, 其中所述多个电流源/宿中的每个电流源/宿基本上相互匹配。

11. 权利要求8的电路, 其中所述多个电流源/宿的至少一部分紧邻与之相应的存储单元。

12. 权利要求4的电路, 其中所述多个存储单元的至少一部分中的每个存储单元包括一个磁性隧道结(MTJ)器件。

13. 权利要求4的电路, 其中所述多个第一开关和多个第二开关的至少一部分中的每个开关包括一个场效应晶体管。

14. 权利要求4的电路, 所述电路还包括:

至少一个第二读出放大器; 以及

一个多路复用器, 所述多路复用器包括至少一个接收一个第三控制信号的控制输入端、一个输出端和多个数据输入端, 每个数据输入端连接到一个相应读出放大器的一个输出端上, 所述多路复用器配置成响应第三控制信号选择其中一个读出放大器。

15. 一种用于包括多个存储单元和多条连接到存储单元上的用来有选择地访问一个或多个存储单元的编程线的磁存储器阵列的编程电路, 所述编程电路包括:

多个开关, 每个开关连接到编程线中的一条相应的编程线上;

多个电流源/宿, 每个电流源/宿连接到一组一个或多个在同一维内的开关上, 每个电流源/宿可配置成以下两者中的一个: 产生写一个或多个存储单元的逻辑状态的编程电流的电流源, 以及返回所述编程电流的电流宿; 以及

一个包括至少一个接收一个第一控制信号的控制输入端和多个输出端

的第一解码器，每个输出端连接到一个相应开关上，所述第一解码器配置成响应第一控制信号选择一个开关；

其中与多个开关关联的总负载电容在多个电流源/宿之间分配，从而减小了在至少一个电流源/宿上的负载电容。

16. 权利要求15的编程电路，所述电路还包括一个第二解码器，所述第二解码器包括至少一个接收一个第二控制信号的控制输入端和多个输出端，每个输出端连接到一个相应的电流源/宿上，所述第二解码器配置成响应第二控制信号有选择地启用和停用一个或多个电流源/宿中的至少之一。

17. 权利要求15的编程电路，其中所述第二控制信号包括第一控制信号的至少一部分。

18. 权利要求15的编程电路，其中每个电流源/宿基本上相互匹配。

19. 权利要求15的编程电路，其中所述多个开关基本上平均地在多个电流源/宿之间分配。

20. 权利要求15的编程电路，所述编程电路还包括：

至少一个读出放大器；以及

多个第二开关，每个第二开关包括一个连接到至少一个读出放大器的一个输入端上的第一接线端、一个连接到一条相应的编程线上的第二接线端和至少一个接收一个第二控制信号的控制输入端，每个第二开关响应第二控制信号将相应编程线连接到至少一个读出放大器的输入端上。

21. 权利要求20的编程电路，其中：

所述第二控制信号包括一个地址；以及

至少一个包括连接到控制输入端上的解码电路的第二开关，所述解码电路配置成对地址解码和响应所加的地址有选择地将相应的编程线连接到至少一个读出放大器的输入端上。

22. 一种包括至少一个磁存储器电路的集成电路，所述集成电路包括：
多个存储单元；

多条接到存储单元上的位线，用来有选择地访问一个或多个存储单元；

至少一个位线编程电路，所述位线编程电路可配置成以下两者中的一

个：产生写至少一个存储单元的逻辑状态的编程电流的电流源，以及返回所述编程电流的电流宿；

第一组开关，所述第一组开关至少在存储单元的读操作期间停用，第一组开关中的至少一部分开关在存储单元的写操作期间有选择地启用，所述第一组开关内的每个开关配置成响应一个第一控制信号有选择地将至少一个位线编程电路连接到一条相应的位线上；

至少一个读出放大器；以及

第二组开关，所述第二组开关至少在存储单元的写操作期间停用，第二组开关中的至少一部分开关在存储单元的读操作期间有选择地启用，第二组开关内的每个开关配置成响应一个第二控制信号有选择地将至少一个读出放大器连接到一条相应的位线上。

23. 权利要求22的集成电路，其中：

所述第一组开关排列成多个在同一维内的组，每个组包括至少一个开关；以及

所述至少一个位线编程电路包括多个电流源/宿，每个电流源/宿连接到一个相应的组上，分配给一个相应的数据输入端，其中减小了在多个电流源/宿的每个电流源/宿的一个输出端上的负载电容。

24. 权利要求22的集成电路，其中所述至少一个磁存储器电路还包括：

至少一个第二读出放大器；以及

一个多路复用器，所述多路复用器包括至少一个接收一个第三控制信号的控制输入端、一个输出端和多个数据输入端，每个数据输入端连接到一个相应读出放大器的一个输出端上，所述多路复用器配置成响应第三控制信号选择其中一个读出放大器。

25. 一种集成电路，所述集成电路包括至少一个用在包括多个存储单元和多条连接到存储单元上的用来有选择地访问一个或多个存储单元的编程线的磁存储器阵列的编程电路，所述编程电路包括：

多个开关，每个开关连接到编程线中的一条相应的编程线上；

多个电流源/宿，每个电流源/宿连接到一组一个或多个在同一维内的

开关上,每个电流源/宿可配置成以下两者中的一个:产生写一个或多个存储单元的逻辑状态的编程电流的电流源,以及返回所述编程电流的电流宿;以及

第一解码器,包括至少一个用于接收第一控制信号的控制输入端和多个输出端,每个输出端连接到一个相应开关上,所述第一解码器配置成响应第一控制信号选择一个开关;

其中与多个开关关联的总负载电容在多个电流源/宿之间分配,从而减小了在至少一个电流源/宿上的负载电容。

26. 权利要求25的集成电路,其中所述至少一个编程电路还包括:

至少一个读出放大器; 以及

多个第二开关,每个第二开关包括一个连接到至少一个读出放大器的一个输入端上的第一接线端、一个连接到一条相应的编程线上的第二接线端和至少一个用于接收第二控制信号的控制输入端,每个第二开关响应第二控制信号将相应编程线连接到至少一个读出放大器的输入端上。

高速磁存储器的体系结构

技术领域

本发明涉及存储器电路，具体地说，涉及用于读、写磁随机存取存储器(MRAM)的技术。

背景技术

图1例示了一种传统的磁性隧道结(MTJ)器件100。MTJ 100通常包括在一条可以是字线(WL)和另一条可以是位线(BL)的两条导线的交叉点处的两个铁磁层(ML)由一个隧道屏障(TL)隔开的层叠。两个磁层中的一个磁层通常称为自由磁层。自由磁层的磁性取向可以通过叠加由分别流入导线WL和BL的编程电流 I_{WL} 和 I_{BL} 产生的磁场加以改变。两个磁层中的另一个磁层ML通常称为固定磁层。编程电流 I_{WL} 和 I_{BL} 不能改变固定磁层的磁性取向。逻辑状态(例如，为“0”位或“1”位)通常通过改变自由磁层相对固定磁层的取向存储在MTJ 100内。如在导线WL和BL之间测量的，当两个磁层具有同样的取向时，MTJ 100通常具有与之关联的低电阻 R_c 。同样，MTJ 100的电阻 R_c 在磁层相互相对反向取向时通常是高电阻。

一个传统的MRAM通常包括多个以阵列结构连接的MTJ器件。图2A和2B示出了传统的MRAM阵列的两个例子。图2A例示了一个交叉点阵，其中每个存储单元包括一个接在一条字线(例如， WL_{k-1} ， WL_k ， WL_{k+1})与一条相应的位线(例如， BL_{i-1} ， BL_i ， BL_{i+1})相交处的MTJ器件。这些MTJ器件在图中示为一些表示电阻(例如， R_c)。图2B例示了另一种采用多个各包括一个与一个MTJ器件串联连接的选择晶体管的存储单元(即1T1MTJ存储单元)的存储器体系结构。选择晶体管用来在读操作期间访问相应的MTJ器件。MRAM电路例如在W. Reohr等人的论文“未来的存储器”(“Memories of Tomorrow”，IEEE Circuits and Devices Mag., pp.17-27,

Vol. 18, No.5, Sept. 2002) 中有详细的论述, 该论文在这里列为参考予以引用。

为了在存储器阵列内提供写一个所选存储单元的逻辑状态必需的编程电流和从位线读出数据, 通常需要一个列选择电路(未示出)。列选择电路在存储单元的写操作期间通常将一条所选的位线与一个为存储单元提供编程电流的编程电路连接起来。列选择电路还在所选存储单元的读操作期间将所选位线连接到一个读出放大器(未示出)上, 以检测存储单元的编程的逻辑状态。

一个传统的MRAM阵列通常采用一个电流源提供两个有选择地写MRAM阵列内的存储单元的编程电流中的一个编程电流(例如, 图1中的 I_{BL} 或 I_{WL})。通常, 在一个磁存储器阵列内, 需要一个字线电流来帮助选择阵列内的一个或多个存储单元。对于一个或多个位字的一个或多个相应存储单元, 需要一个或多个位线电流将这些存储单元写为0或1的逻辑状态。如上所述, 沿着整个存储器阵列布线的字线和位线传送分别写和读阵列内所选存储单元的编程和读出电流。然而, 这些字线和位线各有与之关联的分布电容, 随着字线或位线的长度的增加而增大。由于编程电流源和读出电流源至所选存储单元的距离可以是值得注意的, 特别是在较大的存储器阵列内, 因此与所选信号通路中的字线或位线关联的相应负载电容同样可能是比较大的。此外, 与读、写通路关联的开关电路通常也会明显地加大总负载电容。这个负载电容可以对存储器件的速度有不利的影响。

因此, 有必要针对传统的MRAM阵列中出现的上述问题开发一种改进的MRAM体系结构。

发明内容

本发明旨在提供改进在读和/或写操作期间访问磁存储器电路内的存储单元的速度的技术。在至少一个方面, 本发明通过减小与存储单元连接的位线和/或字线上的主要由于存在大规模的开关电路(例如: 开关, 多路复用器(MUX)等等)而形成的负载电容来实现这个目的, 其中开关电路连接到位线和字线上, 有选择地使读出电流和/或编程电流分别通过位线和字

线。

由于在读操作期间用相当小的电流来读出一个或多个存储单元的逻辑状态，因此通过将这些开关分成多个独立的分别用于读和写的读开关和写开关，就可以使读开关大大小于相应的写开关。这些较小的开关将具有与之关联的得到明显减小的电容，从而改善了读操作的速度。此外，通过将编程电流源分成多个电流源，每个电流源与一组一个或多个相应写位开关连接可以明显地改善写操作的速度，其中，所述编程电流源提供沿一条位线输入数据的写存储单元的逻辑状态的编程电流。因此，可以在多个相应电流源之间划分这些写位开关引起的负载电容。这样，没有一个电流源会感受到总负载电容，因此减小了每个电流源输出端上的电容，从而改善了写操作的速度。

按照本发明的一个方面，磁存储器电路包括多个存储单元和多条与这些存储单元连接的用来有选择地访问一个或多个存储单元的位线。这种存储器电路包括至少一个位线编程电路和第一组开关，所述位线编程电路可配置成以下两者中的一个：产生写至少一个存储单元的逻辑状态的编程电流的电流源，以及返回所述编程电流的电流宿。至少在存储单元的读操作期间停用第一组开关，而在存储单元的写操作期间有选择地启用第一组开关中的至少一部分开关。第一组开关中的每个开关配置成响应一个第一控制信号有选择地将至少一个位线编程电路连接到一条相应的位线上。这个存储器电路还包括至少一个读出放大器和一个第二组开关。至少在存储单元的写操作期间停用第二组开关，而在存储单元的读操作期间有选择地启用第二组开关中的至少一部分开关。第二组开关中的每个开关配置成响应一个第二控制信号有选择地将至少一个读出放大器连接到一条相应的位线上。

从以下结合附图对本发明的例示性实施例的详细说明中可以清楚地看到本发明的这些和其他一些目的、特征和优点。

附图说明

图1为示出一个传统的磁性隧道结器件的示意图。

图 2A 为例示一个传统的交叉点存储器阵列的至少一部分的示意图。

图2B为例示一个传统的IT1MTJ存储单元阵列的至少一部分的示意图。

图3为例示按照本发明的一个方面形成的一个示范性的读、写存储单元的磁存储器电路的方框图。

图4为示出一个例示性的编程电流通路的方框图。

图5为示出一个控制编程电流加到磁存储器阵列内所选存储单元的编程电路的方框图。

图6为例示按照本发明的一个方面形成的一个示范性的改进编程电路的方框图。

图7为示出按照本发明的一个方面改进磁存储器电路内的写操作的例示性定时信号的时序图。

具体实施方式

本发明在这里将以一个例示性的磁随机存取存储器(MRAM)器件为背景进行说明。然而,可以理解,本发明并不局限于这个或者任何具体的磁存储器电路或体系结构。总的来说,本发明可适用于减小磁存储器电路中读和/或写信号路径上的负载电容的技术。此外,虽然本发明的实现可以在这里结合磁性隧道结(MTJ)器件予以说明,但应该看到,本发明不局限于这样的器件,诸如其他磁电阻性的存储单元之类的其他适当的器件也可以类似地采用这种独创性的磁性存储器体系结构或者这种独创性的磁存储器体系结构的一些变型。

如熟悉该技术领域的人员可以理解的那样,“字线”通常规定为行或水平方向取向,而“位线”通常规定为列或垂直方向取向。然而,需理解的是,在这里所说明的本发明的技术并不局限于此,字线和/或位线也可以在任何特定取向的。

图3示出了可以实现本发明的技术的一种例示性磁存储器电路300。例示性磁存储器电路300包括一个具有多个存储单元(未示出)的可以按传统方式配置(例如,配置成一个IT1MTJ存储器阵列)的存储器阵列308和多条

与这些存储单元连接的用来有选择地访问存储器阵列308内的存储单元的位线BL0、BL1、BL2、BL3、BL4、BL5、BL6、BL7等。所用的位线的数量至少部分取决于存储器阵列308内存储单元的数量和配置。然而，本发明并不局限于这里所用的位线的数量。

对于设计一种高速磁存储器体系结构来说，所希望的是尽可能减小与读(即，检测)信号通路关联的电容性负载。实现这个目的的一个方式是将读信号通路的至少一部分与写信号通路分开，如下面还要详细说明的那样。

写信号通路通常具有一个与之关联的大的负载电容，至少部分是由于存在接到写信号通路上的写位开关312而造成的。写位开关312必须规模适当，以提供写相应存储单元的逻辑状态所需的大编程电流(例如，2至6毫安(mA)左右)。写位开关312各包括一个诸如N型场效应晶体管(NFET)之类的晶体管，用作电压控制开关。本发明同样也考虑了另一种可以用来实现写位开关312的电路(例如，MUX)，正如熟悉该技术领域的人员可以理解的那样。

每个写位开关312的第一接线端(例如，NFET的漏极端)优选地接到编程电流源/宿306上。电流源/宿306优选地包括一个产生用来写一个或多个所选存储单元的编程电流的输出端和一个控制编程电流方向的数据输入端(Datum In)。电流源/宿306优选地可配置成一个提供受控电流的电流源或者一个返回编程电流的电流宿。如上面所说明的那样，编程电流的方向最终确定写入存储单元的逻辑状态。每个写位开关312的第二接线端(例如，NFET的源极端)优选地接到一条与存储器阵列308关联的相应位线(例如，BL0、BL1、BL2等等)上。因此，在这个例示性磁存储器电路300内，对于存储器阵列308内的每条位线优选地都有一个相应的写位开关312。

这个例示性的磁存储器电路300内的写位开关312可以包括一个或多个控制输入端，写位开关312响应加到控制输入端上的一个或多个控制信号，有选择地将编程电流源/宿306的输出端连接到一条给定的位线上。控制信号可以包括例如部分或完全解码的地址(COL ADDR2)，该地址在加到多个写位开关312上时可以由未示出的电路(例如为包括在写位开关312内的

用来有选择地激活一个给定的写位开关的解码器)进一步解码。COL ADDR2地址优选地包括一个写信号或其他信号,使至少一部分写位开关312只在写操作期间激活(即,启用)。在这样的解码电路不并入写位开关312时,在这个例示性磁存储器电路300内可以包括一个在写位开关外的独立解码器(未示出)。本发明同样也考虑了其他一些解码配置。

按照本发明的一个方面,例示性磁存储器电路300包括一个或多个读出放大器302、304,紧邻需读出的相应存储单元。这些需读出的存储单元表示存储器阵列308内的至少一部分存储单元。读出放大器302、304优选地通过多个读位开关310有选择地接到这些存储单元上。例示性磁存储器电路300内的读位开关310与写位开关312分开,优选地以与上面说明的写位开关312一致的方式进行工作。然而,由于在读操作期间读存储单元的逻辑状态所用的电流很小(例如为50微安(μA)左右),因此每个读位开关310可以包括一个比写位开关312内所用的晶体管小得多的晶体管(例如, NFET)。优选的是,读位开关内的晶体管大小上最多是写位开关内的晶体管的四分之一。因此,例示性磁存储器电路300显著地减小了至少部分由于与接在读信号通路内的读位开关的晶体管关联的漏极和/或源极扩散区而引起的负载电容。

与写位开关312类似,每个读位开关310可以包括一个与读出放大器302、304中的一个读出放大器连接的接到读出放大器的输入节点314或316上的第一接线端和一个接到存储器阵列308内的一条相应位线(BL0, BL1等等)上的第二接线端。读位开关310可以包括一个或多个控制输入端,它响应加到控制输入端上的一个或多个控制信号有选择地将一个相应的读出放大器连接到一条与这个读出放大器关联的给定位线上。控制信号可以包括例如完全或部分解码的地址(COL ADDR1),该地址在加到多个读位开关310上时可以由包括在读位开关310内的电路(未示出)进一步解码,以便有选择地激活一个给定开关。COL ADDR1地址优选地包括一个读信号或其他信号,使得读位开关310只在读操作期间激活(即,启用)。

如上面结合写位开关312所作的说明那样,在读位开关310不包括解码

电路时,在存储器体系结构300内可以包括一个在读位开关310外的解码器(未示出),用来对地址COL ADDR1解码。同一个解码器可配置成产生选择一个或多个写位开关312和读位开关310的控制信号。

例示性磁存储器电路300还可以包括一个多路复用器318,用来选择来自多个读出放大器302、304中的一个读出放大器的数据。多路复用器318优选地包括多个数据输入端320、322、至少一个控制输入端和至少一个数据输出端(Datum Out)。对于有 2^n 个输入端的情况,多路复用器优选地包括一个接收一个n位的控制信号(地址)的控制输入端,其中n为大于零的整数。数据输入端320、322分别接到相应的读出放大器302、304的输出端上。多路复用器318可取地响应加到至少一个控制输入端上的一个控制信号或一些信号传送来自多个输入端中的一个输入端的数据。控制信号可以包括例如COL ADDR1地址的至少一部分,如上面所述那样用来选择一个或多个读位开关310。

由于读出放大器302、304优选地对需读出的存储单元局部化(即可以紧邻需读出的存储单元),因此可以减小整个读通路的长度和减少接在与一个给定存储单元关联的读通路内的电路,从而可以进一步减小负载电容。减小负载电容有益地改善了例示性的磁存储器电路300内的读操作的速度。此外,例示性的磁存储器电路300提供一种更为对称的位线布线格局。这在采用差动读出放大器时特别有益,否则位线上的噪声会有害地不对称耦合给位线。采用对称位线布线的一些优点例如可参见Reohr等人的美国专利No.6,269,040,该专利在这里列为参考予以引用。

如上面所说明的那样,本发明的一个重要的方面是将读信号通路 with 写信号通路分开,写信号通路通常具有与之关联的大得多的负载电容。通过与编程电流源同一个开关连接读出放大器,如传统上所作的那样,会在读通路和读出放大器输入端上产生一个大的电容性负载,这将减慢与读操作关联的读出过程。代之,多个读出放大器302、304通过一些比接到编程电流源/宿306上的写位开关312小很多的独立的读位开关310接到位线上,因为如上所述,每个读位开关310只须承载约 $50\mu\text{A}$ 量级的读出电流。这样,

每个接在一个给定的读出放大器302、304上的读通路只负有较小的读位开关310的电容和所选位线引起的电容。

本发明的例示性存储器电路300的另一个优点是可以独立控制接到编程电流源/宿306上的写位开关312和接到读出放大器302、304上的读位开关310的解码。因此，接到编程电流源/宿306上的位线的数量可以不同于接到一个给定读出放大器上的位线的数量。这有益地使电流源的数量可以比读出放大器的少。为了校准，希望电流源较少，而为了提供减轻信号噪声和将读通路延迟减到最小的局部放大，较多的读出放大器是有益的。

为了有助于保证邻近位线，例示性存储器电路300内的读出放大器可以直接安置在若干位线片段的顶上。所谓“片段(slice)”在这里是指在特定的维(例如，列)上对准的多个存储单元。这样安排读出放大器有助于确保基本上相等的读通路长度和电容负载。写位开关和/或读出放大器可以安置在存储器阵列308的边界处或边界附近，这取决于可能受到线路电阻影响的编程电流的限制或取决于可能受噪声、电容性负载等影响的读访问时间的限制。

为了获得足够的采用较多的安排在一个存储器阵列内的磁存储单元的编程效率，用来写存储单元逻辑状态的编程电流优选地基本上保持在一个所希望的电流范围内。将编程电流控制在一个明确的电流范围内保证了只有目标存储单元得到编程，而阵列内所有其他非目标存储单元基本上都未被扰动。这样，阵列内只有所选存储单元被写，而未选存储单元将保持它们的逻辑状态。

图4例示了在一个MRAM器件内的例示性编程电流通路400。由图可见，例示性电流编程通路400包括一个第一电流源/宿402，由第一开关404连接到可以表示存储器阵列内的一条字线(WL)、位线(BL)或编程线(PRGL)的导线406的第一端上。可以理解，编程线指的是任何用来写磁存储单元逻辑状态的导线，因此编程线可以是字线或位线。导线406的第二端可以通过第二开关408接到第二电流源/宿410上。优选的是，电流源/宿402、410可有选择地配置成为另一个电流宿提供电流或返回来自另一个电流源

的电流。

接到导线406的第一端上的电流源/宿402和接到导线406的第二端上的电流源/宿410优选地控制分别流入字线、位线或编程线的编程电流 I_{WL} 、 I_{BL} 、 I_{PRGL} 的方向和值。这种双向电流配置是将逻辑“0”或逻辑“1”写入一个所选存储单元所必需的。本发明也考虑了导线406的一端固定到一个预定电压（可以是地电位）上的单向结构。可以理解，可以由多个开关共享一个电流源/宿。

图5示出了一个编程电路500，它包括一个行解码器502、多个接到行解码器502上的电流开关508和一个产生编程电流 I_{PRG} 的电流源506。行解码器502可以用来控制沿与存储器阵列504关联的 n 条字线 WL_0 至 WL_{n-1} 中的一条字线施加编程电流 I_{PRG} ，其中 n 为一个大于1的整数。如上所述，字线通常规定为行或水平方向取向，而位线通常规定为列或垂直方向取向。

行解码器502的输出端 X_0 至 X_{n-1} 各驱动一个与之相应的独立的电流开关508。每个电流开关508的第一接线端(接线端1)接到电流源506的一个输出端上，每个电流开关508的第二接线端(接线端2)接到存储器阵列504内的一条相应的字线(WL_0 至 WL_{n-1})上，而每个电流开关508的第三接线端(接线端3)分别接到行解码器502的一个相应输出端 X_0 至 X_{n-1} 上。电流开关508响应行解码器502产生的控制信号有选择地将电流源506连接到存储器阵列504的一条所选字线(WL_0 至 WL_{n-1})上。行解码器502保证每次只有一个电流开关508被启用。

编程电路500的一个缺点是编程电流脉冲的上升和下降时间相当大，主要是由于在电流源506的输出端上呈现有一个大的负载电容。这个大负载电容至少部分是由接到电流源506的输出端上的每个电流开关508的负载电容 CL 之和造成的。如上面所述，开关508必须大小适当，以处理若干毫安的编程电流，因此具有与之关联的大负载电容 CL 。这些负载电容在编程电流源506的输出端上呈现为一个大的集总电容，必须由电流源充电和由电流宿同样放电，从而显著地分别增大编程电流脉冲的上升和下降时间，而且也增大了功率消耗。

图6示出了按照本发明的一个方面设计的示范性编程电路600，可以改善编程电流脉冲的上升和下降时间响应。示范性编程电路600包括一个可以有多个存储单元(未示出)的存储器阵列604和一个有 n 个接收 n 位的行地址(A_0 至 A_{n-1})的输入端和 2^n 个输出端 X_0 至 X_{2^n-1} 的写解码器602(其中 n 为一个大于1的整数)。写解码器602响应输入地址 A_0 至 A_{n-1} 在输出端 X_0 至 X_{2^n-1} 中的一个输出端上产生一个控制信号。适合与本发明配合使用的解码器为熟悉该技术领域的人员所知。示范性编程电路600包括多个按位或字取向或者按两者结合取向排列的写开关608、612、614，分成一些各包括至少一个开关的组。本发明同样考虑了其他取向(例如，斜取向)。写开关608、612、614优选地各包括接到一个编程电流源/宿上的第一接线端(接线端1)、一个接到存储器阵列604内一条相应编程线($PRGL_0$ 至 $PRGL_{2^n-1}$)上的第二接线端(接线端2)和至少一个接到写解码器602的一个相应的输出端上的控制输入端(接线端3)，因此写开关608、612、614的总数优选地等于解码器602的输出端数。

按照本发明的一个方面，为了减小图5中所示的电流源506的输出端上的电容性负载从而减小编程电流脉冲的上升和下降时间，沿相同维(即，片段)的写开关608、612、614优选地排列成两个或更多个组(即，块)，每个组包括至少一个写开关。例如，第一组可以规定包括写开关608，第二组可以包括写开关612，而第三组可以包括写开关614。

在示范性编程电路600内，传统上与同一维内的写开关关联的编程电流源(图5中的506)被分成多个电流源/宿610-0至610- k ，其中 k 为一个大于零的整数。电流源/宿610-0至610- k 最好基本上相互匹配，可以按与图3中所示的编程电流源/宿306一致的方式实现。此外，电流源/宿610-0至610- k 中的至少一部分可以紧邻相应的存储单元，从而减小了编程电流通路的长度，因此进一步减小了与之关联的负载电容。

电流源/宿610-0、610-1、610- k 优选地分别与相应写开关608、612、614组连接。最好，各组内的写开关的数量基本相同，从而均匀地在这些电流源/宿之间分配写开关的负载电容 CL 。示范性编程电路600配置成有利地保

证了没有一个电流源/宿会在它的输出端上有一个大的负载电容,因为接到一个给定的电流源/宿上的写开关总数如上面所说明的那样分配给了多个电流源/宿。因此,电流源/宿610-0至610-k各驱动较少的写开关,因此驱动一个比只在用单个电流源/宿驱动的情况下小的负载电容。

由于所有的电流源/宿不必连续有效,示范性编程电路600内的电流源/宿610-0、610-1、610-k可以各包括至少一个控制输入端,分别响应加到控制输入端上的控制信号 $Ctrl_0$ 、 $Ctrl_1$ 、 $Ctrl_k$ 有选择地启用一个所需的电流源/宿。控制信号 $Ctrl_0$ 、 $Ctrl_1$ 、 $Ctrl_k$ 可以由示范性编程电路600内的一个源解码器606产生。本发明同样考虑了其他有选择地激活一个给定电流源/宿的电路。源解码器606最好包括至少一个接收行地址 A_0 至 A_{n-1} 中的至少一部分或者其他块选择信号的输入端和多个接到电流源/宿610-0至610-k的控制输入端上的输出端。

编程电流通路在这个示范性编程电路600内包括电流源/宿610-0至610-k、写开关608、612、614和编程线 $PRGL_0$ 至 $PRGL_{2n-1}$,可以按与前面结合图4所说明的编程电流通路400一致的方式配置。因此,虽然没有示出,编程线 $PRGL_0$ 至 $PRGL_{2n-1}$ 最好各端接一个相应的电流源/宿,它可以就包括一个接到一个控制电压电位(例如,地线)上的分流器。在一种双向电流配置中,电流源/宿610-0至610-k可以有选择地配置成一个电流源或一个电流宿。在一种单向电流配置中,电流源/宿610-0、610-1、610-k可以配置成分别向相应写开关组提供双向电流 I_{PRG0} 、 I_{PRG1} 、 I_{PRGk} 的电流源,如熟悉该技术领域的人员可以理解的那样。

在写操作期间,源译码器606优选地只启用与一个所选写开关(即,写解码器602启用的所选写开关)关联的电流源/宿。由于编程电路600不局限于开关组的个数,而且由于一个给定的组的规模可以基本上包括任何数量的写开关,因此编程电流脉冲的上升和下降时间可以按需要通过改变一个给定的组内写开关的数量和/或编程电路600内的组的数量加以控制。按照本发明的另一个方面,与一个给定的组或一些组关联的开关的数量可以手动、自动(例如,由一个控制器或其他控制电路(未示出))或者两者相结合的

方法加以改变。

为了获得可以定义为成功地只写存储器阵列内的目标存储单元的高度准确的写操作，编程电流优选地在编程电流脉冲加到所选编程线上时精确地受到控制。由于程序脉冲在持续时间上可以比较短(例如，小于10毫微秒(ns))，编程电流通路上的电容性负载CL(见图4)对写操作具有甚至更大的影响，不只是在速度方面，而且在其他因素方面(例如效率、可靠性等)。

再来看图4，电容CL表示在从电流源到电流宿的编程电流通路内的所有电容的集总电容，包括两个开关404、408和导线406的电容。编程电流脉冲电平的改变，诸如电流尖峰脉冲，可能有害地干扰存储器阵列内其他非目标存储单元的逻辑状态，因此减小了效率和可靠性。编程电流脉冲电平的这种改变特别在电容CL已经充到或接近正的供电电压(可以是VDD)然后例如由于大电流开关404、408的激活而突然放电时可能出现。

为了减小编程电流尖峰脉冲，开关404、408用图7的示范性时序图中所示的例示性控制信号启用和/或停用。参见图7，示范性控制信号702、704、706和708优选地分别用来激活和/或去活图4中所示的电流源/宿410、第二开关408、第一开关404和电流源/宿402。可以理解，按照在这里所说明的本发明的技术，也可以采用其他控制信号。假设编程电流(例如， I_{PRGL})从可以配置成受控电流源的电流源/宿402通过导线406流入可以配置成电流宿(例如，一个到地线的分流器)的电流源/宿410。

举例来说，在第一步骤，只有电流源/宿410、第二开关408和第一开关404在时间 t_1 激活。接着，在大于 t_1 的时间 t_2 ，电流源/宿402激活。电流源/宿402充分对包括第一和第二开关404、408和导线406的编程电流通路充电，提供一个指数增大的编程电流直到在 t_2 后的某一时间达到一个静止状态。编程电流通路充到它的静止状态所需的时间将取决于与编程电流通路关联的特性，例如(但并不局限于)分布电容、电阻等。在大于 t_2 的时间 t_3 ，电流源/宿402去活。在编程电流通路内存储的电荷通过保持连接的电流源/宿410指数放电。在编程电流通路充分放电后，第一开关404、第二开关408和电流源/宿410可以在大于 t_3 的时间 t_4 去活。这样，可以充分消除与分别通

断第一和第二开关404、408关联的电流尖峰脉冲。

至少一部分磁存储器电路和/或本发明的改进的编程电路可以在一个可以包括一个或多个这样的磁存储器和/或编程电路的半导体器件内实现。在这里所说明的本发明的技术可以分别使用或者结合使用，以达到改进传统的磁存储器体系结构的目的。例如，图6所示的示范性编程电路可以用来代替图3中的包括位线编程电流源/宿306和写位开关312的写电路，减小与写通路关联的负载电容。为了避免多重电流源的混乱，现有技术需要一个供位线维内每个数据输入端专用的电流源。相反，本发明，在一个实施例中需要多个电流源/宿用于位线维内每个数据输入端。

虽然在这里结合附图对本发明的例示性实施例作了说明，但应理解，本发明并不局限于这些明确的实施例，熟悉该技术领域的人员在所附权利要求书的范围内可以作出各种其他替换和修改。

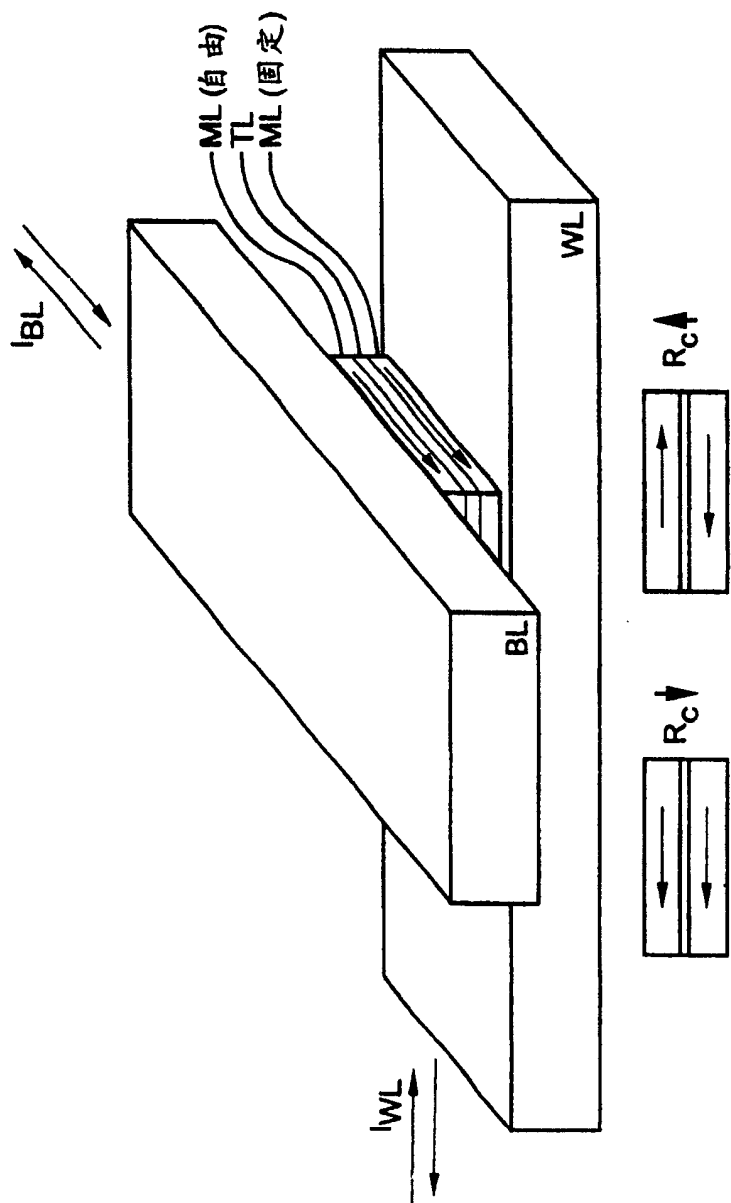


图 1
现有技术

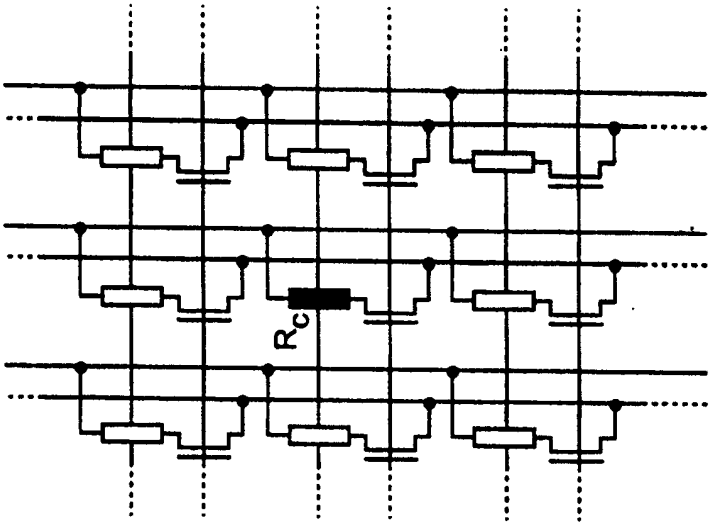


图 2b
现有技术

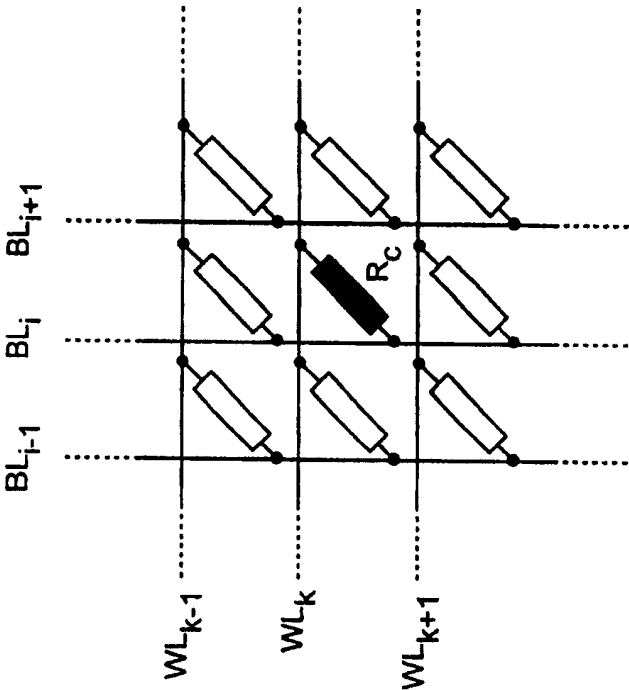


图 2a
现有技术

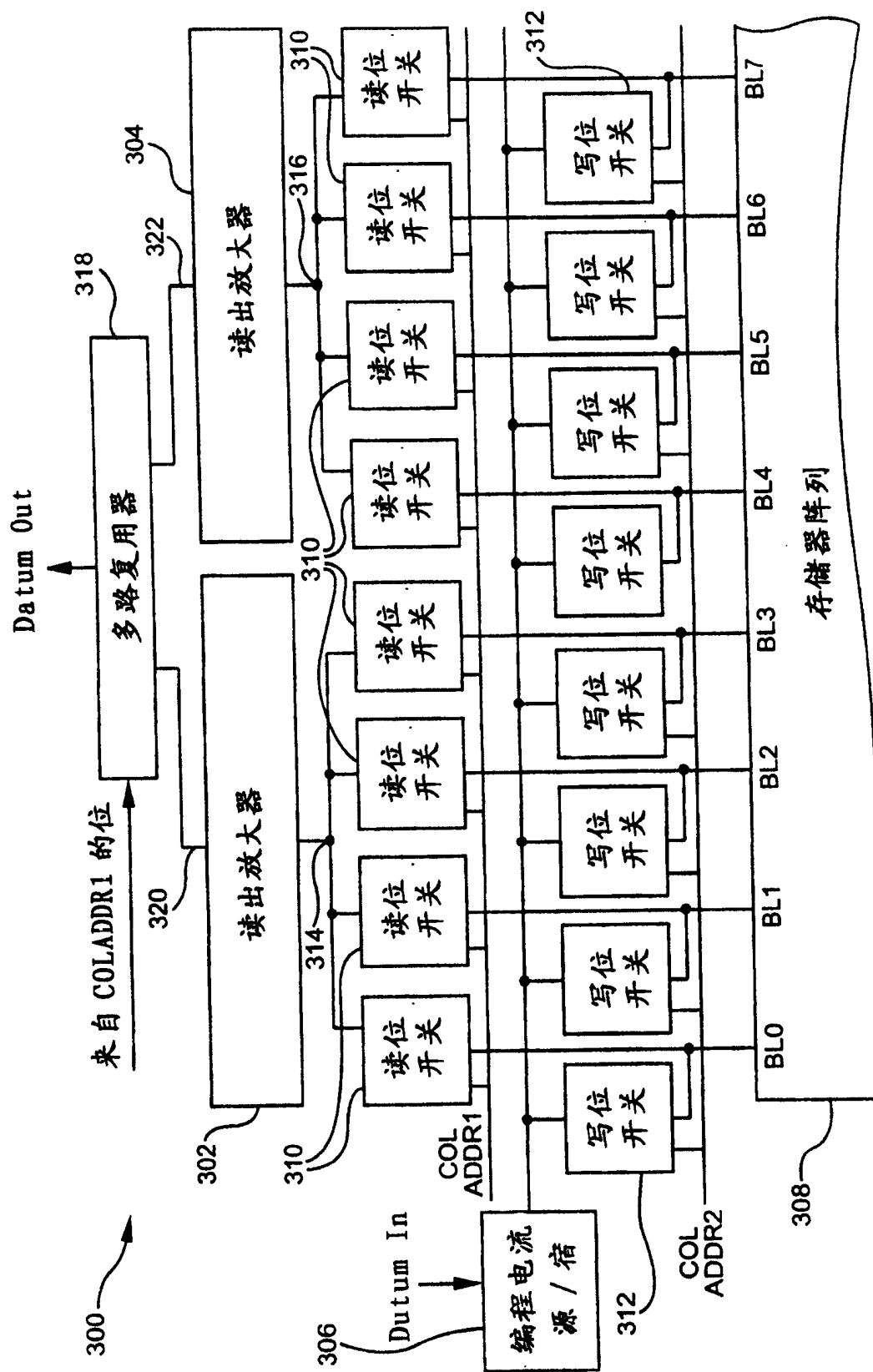


图 3

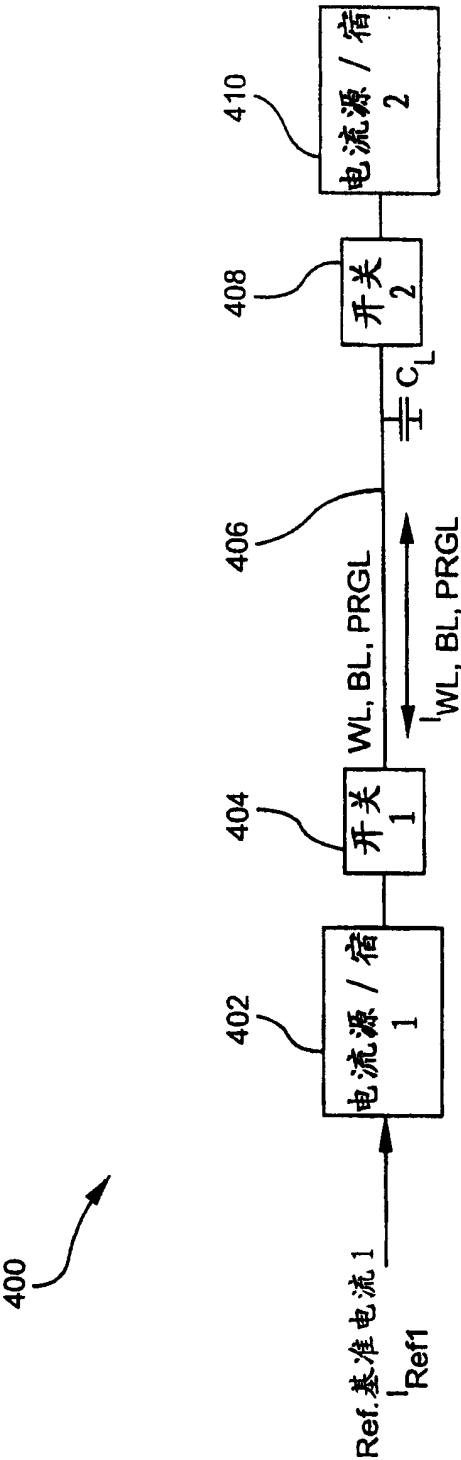


图 4

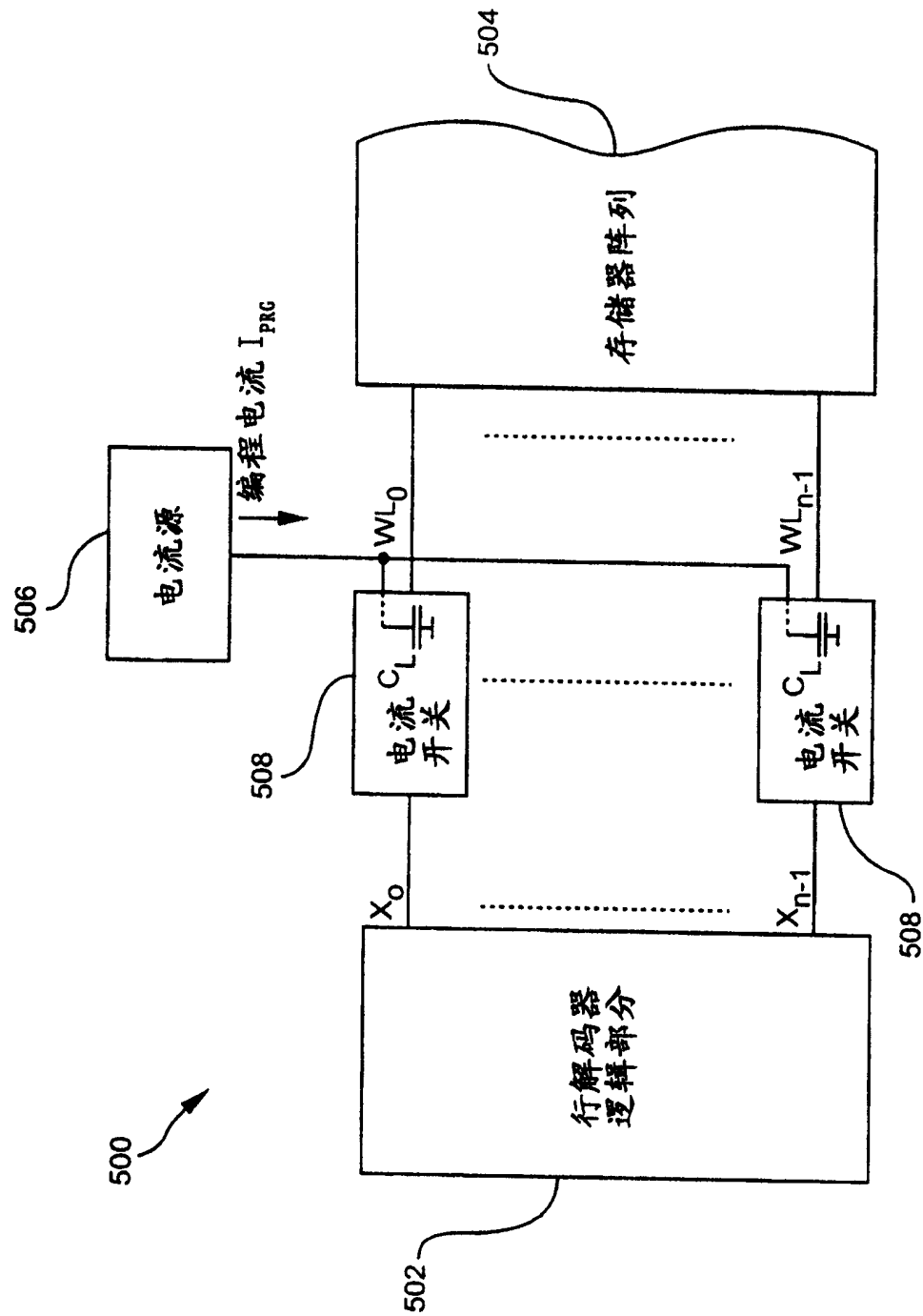


图 5

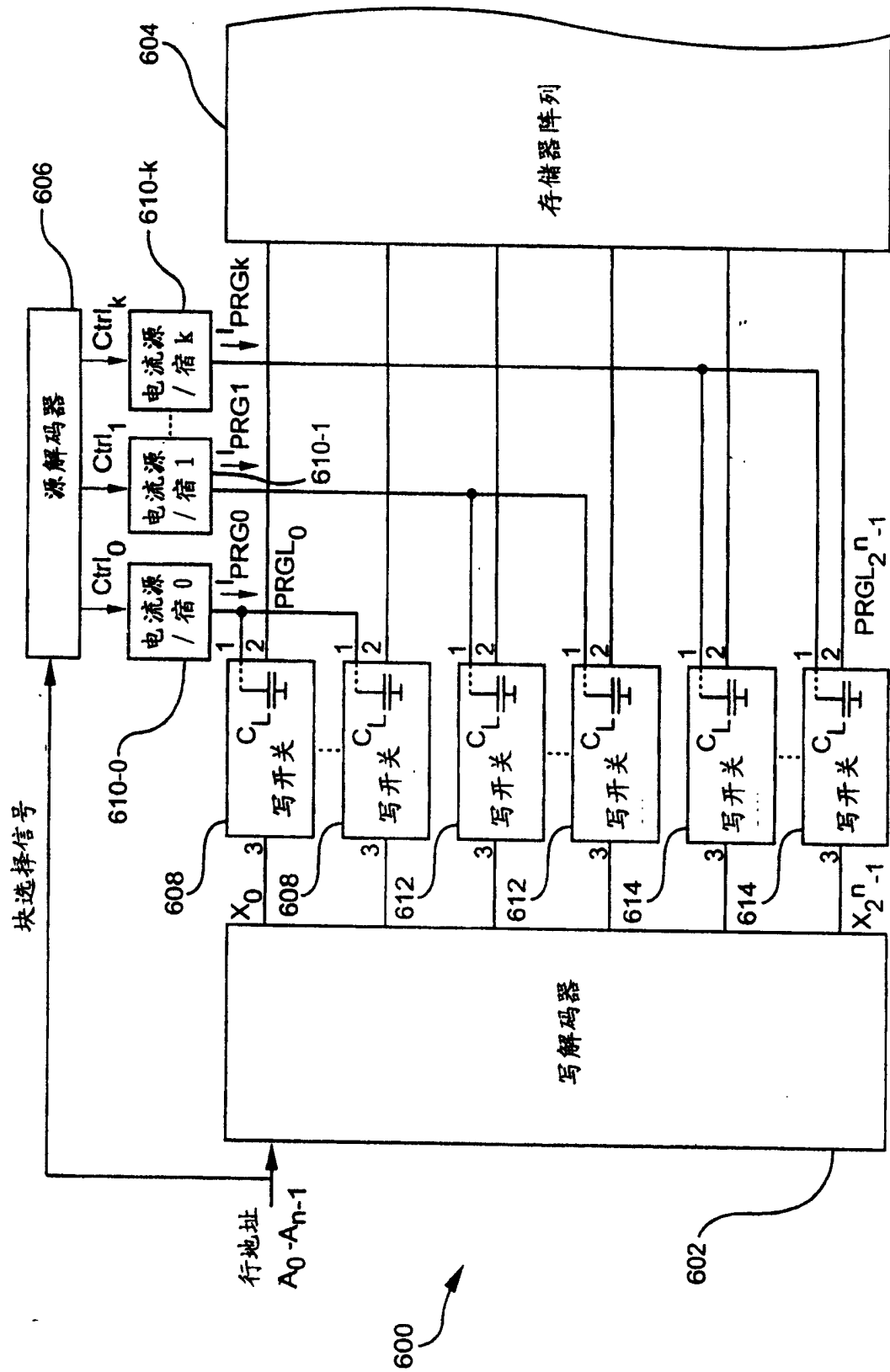


图 6

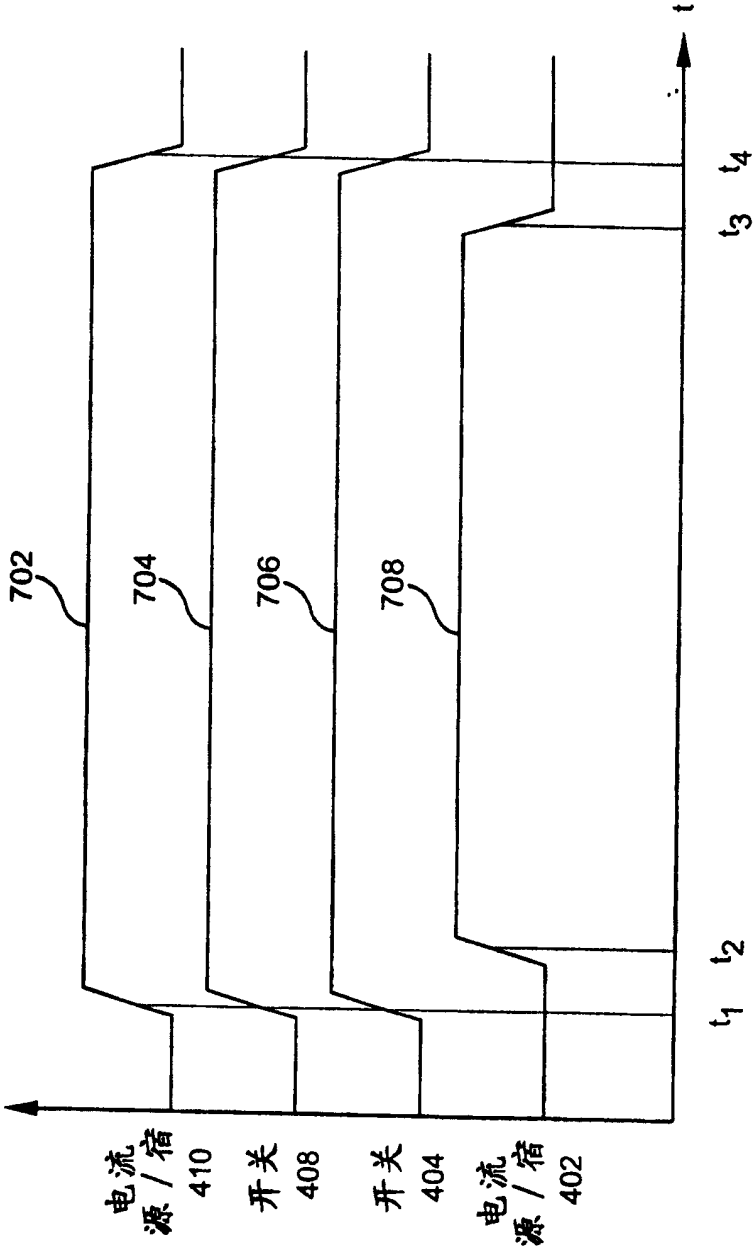


图 7