

**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

<b>(51) Int. Cl.<sup>6</sup></b> <b>G06F 15/16</b>		<b>(45) 공고일자</b>	<b>2002년02월 19일</b>
		<b>(11) 등록번호</b>	<b>10-0317517</b>
		<b>(24) 등록일자</b>	<b>2001년12월01일</b>
<b>(21) 출원번호</b>	10-1998-0710671	<b>(65) 공개번호</b>	특2000-0022251
<b>(22) 출원일자</b>	1998년12월26일	<b>(43) 공개일자</b>	2000년04월25일
<b>번역문제출일자</b>	1998년12월26일		
<b>(86) 국제출원번호</b>	PCT/US1997/10447	<b>(87) 국제공개번호</b>	WO 1997/50042
<b>(86) 국제출원일자</b>	1997년06월13일	<b>(87) 국제공개일자</b>	1997년12월31일
<b>(81) 지정국</b>	국내특허 : 아일랜드 알바니아 오스트레일리아 보스니아-헤르체고비나 바베이도스 불가리아 브라질 캐나다 중국 쿠바 체코 에스토니아 그 루지아 헝가리 이스라엘 AP ARIPO특허 : 가나 케냐 레소토 말라위 수 단 스와질랜드 우간다 가나 EA 유라시아특허 : 아르메니아 아제르바이잔 벨라루스 EP 유럽특허 : 오스트리아 벨기에 스위스 독일 덴마크 스페인 핀란드 프랑스 영국 그리스 이탈리아 룩셈부르크 모나코 네덜란드 포르투갈 오스트리아 스위스 독일 덴마크 스페인 핀란드 영국		
<b>(30) 우선권주장</b>	08/672,099	1996년06월27일	미국(US)
<b>(73) 특허권자</b>	인텔 코오퍼레이션 피터 엔. 데트킨		
<b>(72) 발명자</b>	미합중국 캘리포니아 산타클라라 미션 칼리지 블러바드 2200 유타 머니시 미국 캘리포니아 95630 폴섬 나토마 스테이션 드라이브 #300 2400 샤 닐레시 브이. 미국 캘리포니아 95630 폴섬 체셀 코트 110 베인스 쿨지트 미국 캘리포니아 95630 폴섬 노스 렉싱턴 드라이브 329		
<b>(74) 대리인</b>	박종혁, 장용식		

**심사관 : 정재훈**

**(54) 복수의에이전트에의한공유메모리로의동시액세스를제공하는방법및장치**

**명세서**

**기술분야**

<1> 본 발명은 컴퓨터 시스템에 관한 것이다. 더 상세하게, 본 발명은 메모리 자원을 공유하는 메모리 제어기와 그래픽 제어기를 사용하는 컴퓨터 시스템에 관한 것이다.

**배경기술**

<2> 마이크로프로세서를 사용하는 다수의 컴퓨터 시스템은 메모리 제어기와 그래픽 제어기를 이용한다. 메모리 제어기는 마이크로프로세서와 다른 주변 집적 회로에 의한 시스템 메모리로의 액세스를 제어한다. 그래픽 제어기는 프레임 버퍼를 이용하여 음극선관(CRT)과 같은 디스플레이 스크린상에 마이크로프로세서에 의해 제공된 데이터의 디스플레이를 제어한다. 시스템 메모리와 프레임 버퍼는 모두 디램(RAM)의 어레이를 이용하여 전형적으로 구현된다. 다수의 종래 시스템에서, 메모리 제어기는 시스템 메모리로의 전용 액세스를 가지고 있고, 그래픽 제어기는 프레임 버퍼로의 전용 액세스를 가지고 있다.

<3> 비용을 줄이기 위해, 최근에 다수의 컴퓨터 시스템은 프레임 버퍼와 시스템 메모리를 유니파일(unified) 또는 공유 메모리에 통합하였고, 컴퓨터 장비 제조업자는 프레임 버퍼용 개별 메모리의 필요성을 제거함으로써 비용을 줄일 수 있게 되었다. 프레임 버퍼의 모든 부분 또는 일부조차 사용하지 않을 때 프레임 버퍼의 사용되지 않은 부분은 시스템 메모리로서 사용될 수 있기 때문에, 프레임 버퍼와 시스템 메모리를 공유 메모리에 통합하는 것이 더욱 바람직하다. 그래픽 제어기에 의해 제어되는 개별 프레임 버퍼로는 이러한 효력을 쉽게 얻을 수 없다.

<4> 프레임 버퍼와 시스템 메모리가 공유 메모리 자원내에서 실현되는 컴퓨터 시스템 아키텍처의 예는 캘리포니아 산타 클라라 소재의 인텔 코퍼레이션의 공유 메모리 버퍼 아키텍처(SMBA)(유니파일 메모리 아키텍처(UMA)로 또한 호칭)이다.

<5> 상기 공유 메모리 아키텍처는 메모리 제어기와 그래픽 제어기 모두에 의해 액세스가능한 DRAM의 어레이를 제공함으로써 구현되고, DRAM 어레이의 관련 메모리 공간은 시스템 메모리와 프레임 버퍼사이에서 분할되어 있다. 이러한 컴퓨터 시스템에서, 메모리 제어기는 프레임 버퍼로서 지정된 부분을

포함하여, 공유 메모리의 모두로의 액세스를 가지고 있다. 따라서, 프레임 버퍼가 필요하지 않으면, 메모리 제어기는 프레임 버퍼로서 지정된 메모리의 그 부분에 액세스할 수 있고, 시스템 메모리로서 메모리의 그 부분을 이용한다. DRAM 어레이는 메모리 제어기와 그래픽 제어기에 의해 공유되어 있기 때문에, 중재 유닛(또는 중재기)이 공유 메모리 구조를 사용하는 컴퓨터 시스템에 제공되고, 메모리 제어기와 그래픽 제어기 모두에 의해 DRAM 어레이로의 공정하고 효과적인 액세스를 가능하게 한다.

<6> 공유 메모리 구조의 구현은 다수의 비용적 잇점을 제공하지만, 공유 메모리는 더 이상 그래픽 제어기 또는 메모리 제어기중 어느 하나의 전용 자원이 아니기 때문에, 이러한 메모리 구조는 메모리 대역폭이 적어진다. 그래픽 집중이 아닌 애플리케이션을 수행할 때 시스템 성능은 상당한 영향을 받지 않지만, 컴퓨터 시스템이 멀티 미디어 애플리케이션과 같은 그래픽 집중 애플리케이션을 실행하고 있을 때 시스템 성능은 상당히 영향을 받을 수 있다. 이러한 경우에, 그래픽 제어기와 메모리 제어기는 공유 메모리로의 액세스를 강하게 경합한다. 확장된 주기동안의 공유 메모리로의 그래픽 제어기 액세스는 메모리 제어기에 의한 시스템 메모리의 액세스가능도를 최대 50퍼센트만큼 감소시킬 수 있다. 결과적으로 컴퓨터 시스템의 성능은 상당히 영향을 받을 수 있다.

<7> 본 발명은 상기 공유 메모리 구조로부터 야기되는 성능 페널티에 역점을 두고자 한다.

<8> 발명의 개요

<9> 본 발명의 제 1 측면에 따라서, 메모리 제어기와 그래픽 제어기를 포함하는 컴퓨터 시스템이 제공되어 있다. 일 실시예에서, 컴퓨터 시스템은 공유 프레임 버퍼 아키텍처를 사용하고, 따라서 DRAM 뱅크 형태로 공유 메모리를 가지고 있다. 공유 메모리는 메모리 제어기와 그래픽 제어기 모두에 의해 액세스가 가능하다. 공유 메모리는 공유 프레임 버퍼(SFB) 애퍼처가 정의된 적어도 하나의 공유 DRAM 행을 포함하고 있다. 이것은 그래픽 제어기에 의한 SFB 애퍼처와 메모리 제어기에 의한 나머지 DRAM 행으로의 동시 액세스를 용이하게 하지만, 메모리 제어기에 의한 적어도 하나의 공유 DRAM 행으로의 액세스가능도를 유지한다. 적어도 하나의 공유 DRAM 행으로의 가능성 있는 경합 액세스를 감소시키기 위해, SFB 애퍼처는 공유 메모리내의 행 메모리 위치로 바람직하게 정의된다.

<10> 인터페이스는 그래픽 제어기와 메모리 제어기로부터의 각각의 메모리 어드레스와 제어 신호를 각각의 제어기로부터의 전용 버스를 통해 수신하도록 연결된 예를 들어, 멀티플렉서 또는 Q 스위치와 같은 선택 회로를 포함하고 있다. 선택 회로는 SFB 애퍼처가 정의되는 공유 DRAM 행에 어느 하나의 메모리 어드레스를 선택적으로 제공하도록, 또한 데이터 버스를 통해 어느 하나의 제어기에 의한 공유 DRAM 행으로의 액세스를 선택적으로 제공하도록 동작가능하다. 선택 회로는 메모리 제어기로부터 수신된 메모리 액세스 요구가 적어도 하나의 공유 DRAM 행내의 하나의 어드레스인지, 나머지 DRAM 행내의 어드레스인지를 결정하는 논리 회로로부터 제어 입력을 수신한다.

<11> 본 발명의 제 2 측면에 따라서, 그래픽 제어기와 메모리 제어기에 의한 동시 액세스를 공유 메모리에 제공하는 방법이 제공되어 있고, 공유 메모리는 제 1 메모리부와 제 2 메모리부를 포함한다. 단일 DRAM 행이 될 수 있는 제 1 메모리부는 공유 프레임 버퍼(SFB) 애퍼처를 통합한다. 그래픽 제어기로부터 제 1 메모리부내의 제 1 메모리 어드레스에 액세스하는 요구를 수신하자마자, 그래픽 제어기는 제 1 메모리부로의 액세스가 승인된다. 메모리 제어기로부터 제 2 메모리 어드레스로의 액세스 요구가 수신되면, 제 2 메모리 어드레스가 공유 메모리의 제 1 메모리부에 위치하는지 제 2 메모리부에 위치하는지를 결정한다. 그래픽 제어기와 메모리 제어기에 의한 제 1 메모리부와 제 2 메모리부의 각각의 동시 액세스를 용이하게 하기 위해, 메모리 제어기는 제 2 메모리 어드레스가 제 2 메모리부에 위치하면 제 2 메모리 어드레스로의 액세스가 승인된다. 한편, 제 2 메모리 어드레스가 제 1 메모리부에 위치되어 있으면, 메모리 제어기에 의한 제 1 메모리부로 액세스는 불허되거나, 그래픽 제어기와 메모리 제어기에 의한 제 1 메모리부로 액세스 경합 요구는 중재용 중재 유닛에 제공된다.

<12> 본 발명의 다른 특징은 첨부한 도면과 다음의 상세한 설명으로 분명해질 것이다.

### 도면의 간단한 설명

<13> 본 발명은 첨부한 도면의 형상에 제한을 두지 않고 예로서 설명되어 있고, 동일 참조 부호는 동일 구성 요소를 나타낸다.

<14> 도 1은 본 발명이 구현될 수 있는 컴퓨터 시스템을 도시하는 블록도,

<15> 도 2는 본 발명의 제 1 실시예를 포함한 컴퓨터 시스템을 설명하는 블록도,

<16> 도 3은 본 발명의 제 2 실시예를 포함한 컴퓨터 시스템을 설명하는 블록도,

<17> 도 4는 본 발명의 제 3 실시예를 포함한 컴퓨터 시스템을 설명하는 블록도,

<18> 도 5는 본 발명에 따른 제 1 및 제 2 에이전트에 의한 공유 메모리로의 동시 액세스를 제공하는 방법을 설명하는 흐름도.

### 실시예

<19> 복수의 에이전트에 의한 공유 메모리로의 동시 액세스를 제공하는 방법과 장치가 설명되어 있다. 다음 설명에서, 설명을 위해, 본 발명을 충분한 이해를 제공하기 위해 다수의 특정 세목이 설명되어 있다. 그러나, 당업자는 본 발명이 이러한 특정 세목없이도 실행될 수 있다는 것을 알 수 있다.

<20> 먼저 도 1을 참조하면, 중요한 구성 요소로서 프로세서(12), 메모리 제어기(14), 메모리 중재기(16), 그래픽 제어기(18), 및 공유 메모리(20)를 가진 컴퓨터 시스템(10)을 블록도 형태로 도시하고 있다. 프로세서(12)는 여러 명령을 실행하고, 호스트 버스(22)에 연결되어 있다. 버스 브리지(24)는 호스트 버스(22)와 주변 버스(26)간의 통신을 용이하게 한다. 주변 버스(26)는 1995년 6월 1일에 발행된 주변 구성 요소 내부 접속(PCI) 로컬 버스 명세서 개정 2.1에 따라서 동작될 수 있고, 어떤 경우에는, 버스 브

리지(24)는 호스트-PCI 브리지는이다. 버스 브리지(24)는 데이터 경로 유닛(28)과 시스템 제어기(30)를 포함하고 있다. 메모리 제어기(14)와 메모리 중재 유닛(16)은 시스템 제어기(30)내에서 구현된다. 일 실시예에서, 데이터 경로 유닛(28)은 82438VX 데이터 경로 유닛을 포함하고, 시스템 제어기(30)는 82437VX 시스템 제어기를 포함하고, 둘 다 캘리포니아 산타 클라라소재의 인텔 코퍼레이션에 의해 제조된다. 메모리 제어기(14)와 메모리 중재 유닛(16)은 시스템 제어기내에서 구현될 필요는 없고, 컴퓨터 시스템(10)내의 독립적인 기능 유닛이 될 수 있다. 버스 브리지(24)는 전용 메모리 버스(32)에 의해 공유 메모리(20)에 연결된다. 메모리 버스(32)는 제어 및 어드레스 라인(32.1)과 데이터 라인(32.2)을 포함하고 있다. 더 상세하게, 라인(32.1)을 통해 메모리 제어기가 제공하는 제어 신호는 기록 이네이블 신호(WE), 행 액세스 스트로브 신호(RAS#), 및 열 어드레스 스트로브 신호(CAS#)를 포함하고 있다. 메모리 제어기(14)는 제어 및 어드레스 라인(32.1)상의 메모리 어드레스 신호(MA)를 구동한다. 데이터는 64 비트 데이터 라인(32.2)을 통해 공유 메모리(20)에서 그리고 공유 메모리(20)로 전송된다. 유사하게, 그래픽 제어기(18)는, 메모리 버스(32)의 제어 및 어드레스 라인(32.1)에 접속된 제어 및 어드레스 라인(34.1)과, 유사하게 데이터 라인(32.2)에 접속된 데이터 라인(34.2)을 포함하는 버스(34)에 의해 공유 메모리(20)에 연결된다.

<21> 공유 메모리(20)는 N개 행의 DRAM(20.1~20.N)을 포함하는 것으로 도시되어 있고, 각 행의 DRAM은 메모리 버스(32)의 라인(32.1)을 통해 제어 및 어드레스 신호를 수신하도록, 그리고 메모리 버스(32)의 데이터 라인(32.2)을 통해 데이터를 수신하고 출력하도록 연결되어 있다. 따라서, 각 행의 DRAM은 어떤 에이전트가 메모리 버스(32)의 제어권을 가지고 있는가에 따라서, 메모리 제어기(14) 또는 그래픽 제어기(18)중 하나에 의해 액세스될 수 있다. DRAM 행(20.N)은 공유 프레임 버퍼 애퍼처(25)를 포함하는 것으로 도시되고, 프레임 버퍼 애퍼처(25)는 그래픽 제어기(18) 사용용으로 지정되어 있다. 프레임 버퍼 애퍼처(25)는 운영 체제에서 리포트(report)되는 시스템 메모리(20)의 상부에 위치되고, 프레임 버퍼(25)위의 메모리는 운영 체제에 의해 결코 할당될 수 없다. 공유 메모리(20)내의 프레임 버퍼(25)의 사이즈와 위치는 한정할 수 있고, 컴퓨터 시스템(10)의 요구에 따라서 수정될 수 있다는 것을 알 수 있다. 단일 세트의 제어 및 어드레스 라인(32.1)과 데이터 라인(32.2)은 단일 포트 인터페이스를 통해서 컴퓨터 시스템(10)의 다른 구성 요소에 공유 메모리를 접속한다.

<22> 메모리 제어기(14)는 프로세서(12), PCI 마스터, 및 확장 버스 브리지와 같은 컴퓨터 시스템(10)내의 다수의 구성 요소로부터의 메모리 액세스 요구를 수신하도록 연결되어 있다. 게다가, 메모리 제어기(14)는 이러한 메모리 액세스 요구에 응답하여, 공유 메모리(20)로부터 데이터를 판독하거나, 데이터를 기록할 수 있다. DRAM 플레시와 같이, 일부 동작에 대하여, 메모리 제어기(14)는 공유 메모리(20)의 모든 부분에서의 액세스를 요구한다. 메모리 액세스 요구와 같이, 다른 동작에 대하여, 메모리 제어기(14)는 시스템 메모리 부분(즉, 공유 메모리(20)내의 공유 프레임 버퍼 애퍼처(25)에 할당되지 않은 어드레스가 메모리)에 액세스하는 것이 요구된다. 추가로 다른 동작에 대하여, 메모리 제어기(14)는 공유 프레임 버퍼 애퍼처(25)에 액세스하는 것이 요구될 수 있다.

<23> 그래픽 제어기(18)는 주변 버스(26)에 연결되어 있는 음극선관(CRT) 또는 액정 디스플레이(LCD)와 같은 디스플레이 디바이스(도시 생략)상에 최대로 디스플레이하기 위해 그래픽 데이터를 기억할 목적으로 공유 메모리(20)내의 공유 프레임 버퍼 애퍼처(25)에 액세스한다. 그래픽 제어기(18)는 주변 버스(26)에 연결되어 있고, 주변 버스(26)를 통해 그래픽, 데이터, 및 명령을 수신한다. 이러한 그래픽, 데이터, 및 명령은 공지된 방식으로 주변 버스(26)에 접속된 구성 요소 또는 다수의 다른 디바이스 또는 프로세서(12)로부터 발생한다.

<24> 그래픽 제어기(18)와 메모리 제어기(14) 모두는 단일 메모리 버스(32)를 통해 공유 메모리(20)에 액세스한다는 것을 알 수 있다. 중재 유닛, 일명 "메모리 중재기"는 메모리 제어기(14)와 그래픽 제어기(18)에 의해 메모리 버스(32)로의 액세스를 좌표화하기 위해 제공되어 있다. 더 상세하게, 중재 유닛(16)은 메모리 제어기(14)와 그래픽 제어기(18)모두로부터 메모리 액세스 요구를 수신하고, 이러한 액세스 요구의 상대적인 우선 순위를 결정하고, 그 요구의 상대적인 우선 순위에 따라 특정 에이전트 또는 디바이스로의 액세스를 승인한다. 일 실시예에서, 메모리 제어기(14)는 메모리 버스(32)의 디폴트 제어가 승인되어 공유 메모리(20)에 액세스한다. 중재 유닛(16)은 라인(35)을 통해 메모리 버스 요구 신호(MREQ#)를 그래픽 제어기(18)로부터 수신하도록 연결되어 있고, 이것은 중재 유닛(16)에게 그래픽 제어기(18)가 메모리 버스(32)로의 액세스를 바란다는 것을 지시한다. 게다가, 중재 유닛(16)은 그래픽 제어기(18)의 액세스 요구와 메모리 제어기(14)로부터의 경합 액세스 요구사이를 중재한다. 중재 유닛(16)이 그래픽 제어기(18)가 공유 메모리(20)로의 액세스를 받는다고 결정하면, 중재 유닛(16)은 라인(36)을 통해 메모리 버스 승인 신호(MGNT#)를 표명한다. 중재 유닛(16)이 작동할 수 있는 메모리 중재 프로토콜은 본 발명의 양수인에게 양수된 "그래픽 제어기와 메모리 제어기에 의한 공유 컴퓨터 시스템 메모리로의 액세스 요구를 중재하는 방법 및 장치"로 1995년 8월 17일에 출원된 미국 특허 출원 번호 제 08/516,495호에 설명되어 있다.

<25> 더욱이, 중재 유닛(16)은 컴퓨터 제어기(30)내에 통합된 것으로 도시되어 있지만, 중재 유닛(16)은 개별 회로로서 구현될 수 있다.

<26> 상기 컴퓨터 시스템(10)에서, 그래픽 제어기(18)로부터의 액세스 요구는 메모리 제어기(14)로부터의 메모리 액세스 요구와 경합하고, 이것은 컴퓨터 시스템(10)내의 다수의 다른 구성 요소로부터 교대로 발생할 수 있다. 더욱이, 그래픽 제어기(18)는 사실상 공유 프레임 버퍼(25)를 통합한 단일 DRAM 행(20.N)으로의 액세스를 요구만 한다는 것을 아는 것이 중요하다. 이러한 액세스를 얻기 위해, 그래픽 제어기(18)는 단일 메모리 버스(32)의 제어권을 가지고 있어야 한다. 따라서, 그래픽 제어기(18)가 메모리 버스(32)의 제어권을 가지고 있을 때, 메모리 제어기(14)는, 자체내에서 발생하거나 다수의 다른 디바이스중 하나로부터 수신된 액세스 요구의 발생을 못하게 된다. 따라서, 공유 메모리 구조에서 야기되는 하향된 메모리 대역폭의 결과로서 시스템 성능이 나빠진다.

<27> 여기서도 2를 참조하면, 메모리 제어기(214)와 그래픽 제어기(218)와 같은 적어도 두 개의 에이전트에 의한 동시 액세스를 공유 메모리(220)에 제공하는 방법을 구현하는 컴퓨터 시스템(210)이 도시되어 있다. 명확하게 하기 위해, 공유 메모리(220)는 DRAM 행(220.1, 220.2)의 형태로 단지 두 개의 메모리 부를 포함하는 것으로 도시되어 있다. 공유 프레임 버퍼 애퍼처(225)는 DRAM 행(220.2)에 구현된다. 도 1

를 참조하여 위에서 설명한 컴퓨터 시스템에 대하여, 컴퓨터 시스템(210)은 버스 브리지(224)를 통해 주변 버스(226)와 통신하는 호스트 버스(222)에 연결된 프로세서(212)를 포함한다. 버스 브리지(224)는 데이터 경로 유닛(228)과 시스템 제어기(230)를 통합하고, 메모리 제어기(214)와 메모리 중재 유닛(216)이 구현될 수 있다. 중재 유닛(216)은 그래픽 제어기(218)로부터 라인(235)을 통해 메모리 요구 신호(MREQ #)를 수신하고, 라인(236)을 통해 메모리 액세스 승인 신호(MGNT#)를 발생시킨다.

&lt;28&gt;

더욱이, 컴퓨터 시스템(210)은 공유 메모리(220), 버스 브리지(224), 및 그래픽 제어기(218) 사이에 연결된 인터페이스(240)를 통합한다. 인터페이스(240)는 제어 및 어드레스 라인(232.1)과 데이터 라인(232.2)을 포함하는 메모리 버스(232)에 연결되어 있다. 또한 인터페이스(240)는 제어 및 어드레스 라인(234.1)과 데이터 라인(234.2)을 포함하는 프레임 버퍼 버스(234)에 연결되어 있다. 더욱이, 인터페이스(240)는 두 개의 추가 버스, 즉 버스(242, 244)에 의해 공유 메모리(220)에 연결되어 있다. 도 2에 설명된 바와 같이, 버스(242)는 공유 프레임 버퍼 애퍼처(225)를 포함하는 DRAM 행(220.2)로의 액세스를 어드레싱하고 제공하는데 전용으로 사용된다. 버스(244)는 설명된 예에서 단지 DRAM 행(220.1)만을 포함하는 공유 메모리(220)내의 DRAM의 나머지 행으로의 액세스를 제공한다.

&lt;29&gt;

일 실시예에서, 인터페이스(240)는 한쌍의 Q 스위치(246.1, 246.2)의 형태로 선택기 배열을 포함한다. Q 스위치(246.2)는 제어 및 어드레스 라인(232.1, 234.1)으로부터의 입력을 수신하도록 연결되어 있고, Q 스위치(246.1)는 데이터 라인(232.2, 234.2)에 연결되어 있다. 한쌍의 Q 스위치는 시스템 제어기(230)에 의해 라인(248)을 통해 발생된 신호에 의해 스위칭된다. 더 상세하게, 시스템 제어기(230)는 아래에 더 상세히 설명되는 바와 같이, 메모리 제어기로부터의 메모리 액세스 요구를 조사하고 라인(248)을 통해 적절한 신호를 발생하는 논리 회로(231)를 통합한다. 논리 회로(231)는 시스템 제어기(230)내의 하나의 기능 유닛내에 포함될 수 있거나 독립적인 기능 유닛 또는 회로로서 시스템 제어기(230)바깥쪽에 실현될 수 있다. 논리 회로(231)는 그 자체가 편리하게 인터페이스(240)내에 위치될 수 있다.

&lt;30&gt;

메모리 제어기(214)가 공유 메모리(220)의 제 1 부분, 즉 DRAM 행(220.1)내의 메모리 위치로의 액세스를 요구할 때, 그리고 그래픽 제어기(218)가 공유 메모리(220)의 제 2 부분, 즉 DRAM 행(220.2)내의 메모리 위치로의 액세스를 요구할 때, 인터페이스(240)는 메모리 제어기(214)와 그래픽 제어기(218)에 의한 공유 메모리(220)로의 동시 액세스를 용이하게 한다. 메모리 제어기(214)가 DRAM(220.1)내의 메모리 위치로의 액세스를 요구하면, 인터페이스(240)내의 스위치(246.1, 246.2)는 시스템 제어기(230)내에 통합된 논리 회로(231)에 의해 발생되었던 적절한 신호를 라인(248)을 통해 표명함으로써, 제 1 상태로 스위칭된다. Q 스위치(246.1)는 데이터가 데이터 경로 유닛(228)과 DRAM 행(220.1)사이에서 전송될 수 있도록, 데이터 라인(244.2, 232.2)사이에 데이터 경로를 제공한다. 메모리 제어기(214)는 제어 및 어드레스 라인(244.1)을 통해 DRAM 행(220.1)을 어드레스할 수 있다. 유사하게, Q 스위치(246.2)는 그래픽 제어기(218)가 DRAM 행(220.2)을 제어하고 액세스할 수 있도록 제어 및 어드레스 라인(234.1, 242.1)사이에 신호 경로를 만든다. 그러면, 데이터는 데이터 라인(234.2)을 통해 DRAM 행(220.2)과 그래픽 제어기(218)사이에서 전송될 수 있다. 이러한 방식으로, 그래픽 제어기(218)가 DRAM 행(220.2)에 액세스하고 있을 때, 메모리 제어기(214)는 DRAM 행(220.1)에 동시 액세스할 수 있다. 유사하게, 메모리 제어기(214)가 DRAM 행(220.1)에 액세스하고 있을 때, 그래픽 제어기(218)는 DRAM 행(220.2)내의 공유 버퍼 애퍼처(225)에 동시 액세스할 수 있다.

&lt;31&gt;

DRAM 행 부분(220.2)은 시스템 메모리를 포함하고 있어서 메모리 제어기(214)는 DRAM 행(220.2)로의 액세스를 요구하고, 메모리 제어기(214)와 그래픽 제어기(218)로부터의 DRAM 행(220.2)로의 액세스에 대한 경합 요구가 발생할 수 있다는 것을 알 수 있다. 중재 유닛(216)은 중재 프로토콜을 수행하고, Q 스위치(246.1, 246.2)를 적절한 상태에 둬으로써 적절한 제어기로의 액세스를 승인한다. 따라서, 그래픽과 메모리 제어기로부터의 메모리 액세스 요구가 동일 DRAM 행(220.2)에 있을 때, 동시 액세스는 용이하지 않다. 한 방향 또는 양방향 전계 트랜지스터(FET)로서 구현될 수 있는 Q 스위치(246.1, 246.2)는 멀티플렉서 또는 3상 버퍼와 같은 적당한 선택 수단으로 대체될 수 있다.

&lt;32&gt;

본 발명은 두 개의 DRAM 행만을 포함한 공유 메모리(220)에 제한되지 않는다. 본 발명의 대체 실시예가 도 3에 도시되어 있다. 컴퓨터 시스템(310)의 공유 메모리(320)는 공유 프레임 버퍼 애퍼처(325)가 DRAM 행(320.N)에 구현된 상태로 N개의 DRAM 행을 포함하고 있다. DRAM 행은 DRAM 뱅크의 여러 조합을 사용하여 구현될 수 있다. 예를 들어, DRAM 행은 하나의 8MB 뱅크 또는 대안으로 두 개의 4MB 뱅크를 비교할 수 있다. 도 2를 참조하여 위에서 설명된 이론을 응용하면, 인터페이스(340)는 그래픽 제어기(318)에 의한 DRAM 행(320.N)으로의 그리고 메모리 제어기(314)에 의한 공유 메모리(320)내의 다른 DRAM 행으로의 동시 액세스를 용이하게 하도록 연결되어 있다. 따라서, 인터페이스(340)는 공유 프레임 버퍼 애퍼처(325)를 포함하는 DRAM 행(320.N)과 나머지 DRAM 행, 두 부분으로 나누어진 공유 메모리(320)를 나타낸다.

&lt;33&gt;

도 4는 본 발명의 추가 대체 실시예를 도시하고 있고, 여기에는 컴퓨터 시스템(410)은, 64비트 데이터 라인(442.2, 444.2)을 통해 데이터를 수신하고 전송하도록 연결된 128비트 데이터 경로 유닛(428)을 포함하며, 따라서, 인터페이스 유닛(440)내의 두 개의 Q 스위치의 필요성이 없어진다. 데이터 경로 유닛(428)은 시스템 제어기(430)로부터 선택 신호(348)를 수신하도록 연결되어 있고, 따라서, 데이터 경로 유닛(428)은 공유 프레임 버퍼 애퍼처(425)를 포함한 DRAM 행(420.N) 또는 공유 메모리(420)내의 다른 하나의 DRAM 행중 하나와 외부 디바이스 사이에 데이터 경로를 선택적으로 설치할 수 있다. 공유 프레임 버퍼(425)는 도 4에 도시된 바와 같이, 시스템 메모리의 상부에 위치될 필요가 없다. 운영 시스템 로드와 액세스가 메모리의 상부 근처에 위치한 메모리 어드레스에 있음에 따라, 공유 프레임 버퍼(425)를 메모리(420)내의 DOS 응용 영역 바로 위의 메모리 위치에 위치시키는 것이 바람직하다. 공유 프레임 버퍼(425)를 메모리(420)내의 하위 위치에 위치시킴으로써, 동일 DRAM 행으로의 메모리 제어기(414)와 그래픽 제어기(418)의 요구 액세스의 가능성이 줄어든다. 따라서, 본 발명의 동시 액세스능력이 더 완전히 이용될 수 있다.

&lt;34&gt;

상기 실시예는 공유 프레임 버퍼(SFB)를 포함한 공유 메모리로의 그래픽 제어기와 메모리 제어기에 의한 동시 액세스를 제공하는 것에 역점을 두었다. 3차원 그래픽의 디스플레이에 관한 정보를 포함하는 소위 "알파 버퍼"와 "Z 버퍼"와 같은 다른 버퍼가 또한 공유 메모리내에 구현될 수 있다는 것을 알 수



있다. 따라서, 본 발명의 교지는 상기 버퍼를 포함한 공유 메모리 자원에 동시 액세스를 제공하는 것을 확대 포함할 수 있다. 더욱이, 이러한 동시 액세스는 다른 유형의 제어기에 그리고, 두 개이상의 제어기 또는 에이전트에 제공될 수 있다.

<35>

공유 프레임 버퍼(SFB)는 상기 단일 DRAM 행내에 위치될 필요가 없지만, 복수의 DRAM 행 위에 분해되어 위치될 수 있다는 것을 알 수 있다. 이러한 경우에, 본 발명의 교지는 SFB가 존재하는 DRAM 행으로의 그래픽 제어기에 의한 그리고, 다른 DRAM 행으로의 메모리 제어기에 의한 동시 액세스를 제공하는 것으로 확대될 수 있다.

<36>

그래픽 제어기와 메모리 제어기와 같은 제 1 및 제 2 에이전트에 의한 공유 메모리로의 동시 액세스를 제공하는 방법(510)이 도 5를 기준으로 설명될 것이다. 먼저, 단계(520)에서, 공유 메모리 액세스 요구가, 예를 들어 그래픽 제어기와 같은 에이전트로부터 수신되었는지를 결정한다. 수신된 액세스 요구가 없다면, 방법은 단계(505)로 되돌아간다. 한편, 공유 메모리 액세스 요구가 그래픽 제어기로부터 수신되었다면, 방법은 단계(530)로 진행하고, 여기서 처리 논리는 선행되는 요구가 메모리 제어기와 같은 다른 에이전트로부터도 수신되었는지를 결정한다. 메모리 제어기로부터 수신된 선행된 요구가 없었다면, 방법은 단계(540)로 진행하고, 메모리 액세스가 그래픽 제어기에 승인된다. 처리 논리가 단계(530)에서, 선행된 메모리 액세스 요구가 메모리 제어기로부터 사실상 수신되었다고 판단하면, 방법은 단계(550)로 진행하고, 여기서 메모리 제어기로부터 수신된 메모리 액세스 요구의 어드레스와 동일한 DRAM 행내의 메모리 어드레스에 그래픽 제어기 액세스 요구가 있는지를 결정한다. 각각의 제어기의 메모리 액세스 요구가 동일 DRAM 행내의 메모리 어드레스에 있으면, 방법은 액세스 요구간의 중재를 위해 단계(560)로 진행한다. 중재가 완료하자마자, 중재 유닛은 단계(540)에서 그래픽 제어기 또는 메모리 제어기중 하나에게 액세스를 승인할 것이다. 대안으로, 단계(550)에서, 그래픽 제어기 액세스 요구가 동일 DRAM 행내의 메모리 위치에 있지 않다고 결정되면, 공유 메모리로의 동시 액세스가 단계(570)에서 양 제어기에 승인된다.

<37>

본 발명은 공유 메모리를 사용한 종래의 컴퓨터 시스템보다 낮은 다수의 잇점을 제공한다. 더 상세하게, 본 발명은 그래픽 제어기 및 메모리 제어기와 같은 적어도 두 개의 에이전트에 의한 공유 메모리로의 동시 액세스를 가능하게 함으로써, 공유 메모리를 가진 컴퓨터 시스템의 효율적인 메모리 대역폭을 증가시킨다. 모든 시스템 성능은 요구하는 에이전트 각각에 대한 전용 메모리 자원을 가진 컴퓨터 시스템의 성능과 비교할 수 있지만, 공유 메모리로부터 야기되는 비용상 잇점은 유지된다. 이러한 잇점은 에이전트가 공유 메모리 자원에 액세스할 수 있는 입상 또는 해상도를 증가시킴으로써 얻게 된다. 따라서, 두 개의 에이전트간의 메모리 액세스 경합은 전체 공유 메모리에 대한 경합에 부합되는 개별 메모리 행의 경합으로 감소된다. 하위 입자에 공유 메모리를 제공할 수 있는 본 발명은 개별 제어 입력을 공유 메모리의 제 1 및 제 2 부분에 제공함으로써 부분적으로 이루어진다. 더 상세하게, 본 발명은 공유 버퍼 애퍼처를 포함한 DRAM 행에 전용 메모리 버스를 제공하고, DRAM의 나머지 행에 전용 메모리 버스를 제공하고자 한다. 본 발명은 또한 데이터 경로 유닛의 핀 수를 증가시키지 않고 공유 메모리와 전체 64비트 인터페이스를 가능하게 한다.

<38>

전술한 명세서에서, 본 발명은 특정 실시예를 기준으로 설명되었다. 그러나, 첨부한 청구범위에서 설명하는 본 발명의 사상과 범위를 벗어나지 않고 여러 수정과 변경이 가능하다는 것은 분명할 것이다. 따라서, 명세서와 도면은 제한적인 것보다 오히려 예시적이다.

**(57) 청구의 범위****청구항 1**

제 1 및 제 2 에이전트;

제 1 및 제 2 에이전트에 의해 액세스가능하고, 제 1 메모리부와, 적어도 한 부분이 제 2 에이전트에만 배타적으로 관련된 데이터를 저장하는 제 2 메모리부를 가진 공유 메모리; 및

(i) 제 1 상태에 있을 때, 제 1 에이전트와 제 2 메모리부 사이에 제 1 데이터 경로, (ii) 제 1 에이전트와 제 1 메모리부 사이에 제 2 데이터 경로 및 (iii) 제 2 상태에 있을 때, 제 2 에이전트와 제 2 메모리부 사이에 제 3 데이터 경로를 제공하는 스위치 배열을 포함하며,

스위치 배열이 제 2 상태에 있을 때, 제 1 및 제 2 에이전트에 의해 각각 제 1 및 제 2 메모리부로 동시 액세스를 용이하게 하기 위해, 제 2 및 제 3 데이터 경로는 구분되고 병렬로 제공되는 것을 특징으로 하는 컴퓨터 시스템.

**청구항 2**

제 1 항에 있어서, 스위치 배열은 제 1 및 제 2 에이전트로부터 각각 제 1 및 제 2 메모리 어드레스를 수신하도록 연결되고, 제 1 상태일 때는 제 1 메모리 어드레스를 제 2 메모리부에 그리고 제 2 상태일 때는 제 2 메모리 어드레스를 제 2 메모리부에 선택적으로 제공하도록 동작가능한 것을 특징으로 하는 컴퓨터 시스템.

**청구항 3**

제 2 항에 있어서, 제 1 에이전트로부터 수신된 제 1 메모리 어드레스가 제 1 메모리부에 있는지를 결정하고, 있으면, 스위치 배열을 제 2 상태에서 동작하도록 구성하는 논리 회로를 포함하는 것을 특징으로 하는 컴퓨터 시스템.

**청구항 4**

제 1 항에 있어서, 제 1 에이전트는 메모리 제어기이고, 제 2 에이전트는 그래픽 제어기인 것을 특징으로 하는 컴퓨터 시스템.

**청구항 5**

제 1 항에 있어서, 공유 메모리는 임의 접근 메모리(RAM)의 복수의 행을 포함하고, 제 1 메모리부는 RAM의 제 1 행을 포함하고, 제 2 메모리부는 RAM의 제 2 행을 포함하는 것을 특징으로 하는 컴퓨터 시스템.

**청구항 6**

제 5 항에 있어서, RAM의 제 2 행은 프레임 버퍼 애퍼처를 포함하는 것을 특징으로 하는 컴퓨터 시스템.

**청구항 7**

제 6 항에 있어서, 프레임 버퍼 애퍼처는 공유 메모리내의 하위 메모리 어드레스 범위에 위치한 것을 특징으로 하는 컴퓨터 시스템.

**청구항 8**

제 1 및 제 2 메모리부를 가진 공유 메모리용 인터페이스 배열에 있어서, 인터페이스는:

제 1 에이전트로부터 제 1 메모리 어드레스를 수신하도록 연결된 제 1 입력;

제 2 에이전트로부터 제 2 메모리 어드레스를 수신하도록 연결된 제 2 입력;

제 1 상태일 때, 제 1 에이전트에 의해 제 1 액세스 경로를 통해 제 1 메모리부로의, 그리고 제 2 에이전트에 의해 제 2 액세스 경로를 통해 제 2 메모리부로의 동시 액세스를 용이하게 하기 위해, 제 2 메모리 어드레스를 제 2 메모리부에 선택적으로 공급하는 것과, 제 2 상태일 때, 제 1 에이전트에 의해 제 3 액세스 경로를 통해 최소한 제 2 메모리부로의 전용 액세스를 용이하게 하기 위해, 제 1 메모리 어드레스를 제 2 메모리부에 선택적으로 공급하는 것을 작동할 수 있는 선택기를 포함하고,

제 1 및 제 2 액세스 경로는 동시 액세스를 용이하게 하기 위해 구분되고 병렬로 존재하는 것을 특징으로 하는 인터페이스 배열

**청구항 9**

제 8 항에 있어서, 선택기는, 제 1 에이전트에 의해 논리회로에 제공된 메모리 어드레스가 제 1 메모리부에 위치하는지 제 2 메모리부에 위치하는지를 결정하는 논리회로에 의해 동작가능하게 연결되어 있는 것을 특징으로 하는 인터페이스 배열.

**청구항 10**

제 8 항에 있어서, 선택기는 제 1 및 제 2 에이전트로부터 어드레스 및 제어 입력을 수신하도록 연결된 제 1 스위치를 포함하고, 선택기가 제 2 상태에 있을 때는 제 2 메모리부로, 선택기가 제 1 상태에 있을 때는 제 1 메모리부로, 제 1 에이전트로부터의 어드레스 및 제어 입력을 선택적으로 제공하도록

조정가능한 것을 특징으로 하는 인터페이스 배열.

#### 청구항 11

제 10 항에 있어서, 선택기는 제 1 또는 제 2 메모리부로부터 선택적으로 데이터를 수신하고 전송하도록 동작가능한 제 2 스위치를 포함하는 것을 특징으로 하는 인터페이스 배열.

#### 청구항 12

제 1 및 제 2 에이전트에 의해 메모리 인터페이스를 통해서 제 1 및 제 2 메모리부를 포함하는 공유 메모리로의 동시 액세스를 용이하게 하는 방법에 있어서, 상기 방법은:

(a) 제 1 에이전트로부터 메모리 액세스 요구를 수신하는 단계;

(b) 제 1 에이전트의 메모리 액세스 요구가 공유 메모리의 제 1 또는 제 2 메모리부내의 메모리 위치에 대한 것인지 결정하는 단계;

(c) 제 1 에이전트의 메모리 액세스 요구가 제 1 메모리부 내의 메모리 위치에 대한 것이면, 제 1 에이전트는 제 1 액세스 경로를 통해 제 1 메모리부에 액세스하고 제 2 에이전트는 제 2 액세스 경로를 통해 제 2 메모리부에 액세스할 수 있는 제 1 상태로 메모리 인터페이스를 놓이게 하는 단계; 및

(d) 제 1 에이전트의 메모리 액세스 요구가 제 2 메모리부 내의 메모리 위치에 대한 것이면, 제 1 에이전트는 제 3 액세스 경로를 통해 최소한 제 2 메모리부로의 전용 액세스를 가지는 제 2 상태로 메모리 인터페이스를 놓이게 하는 단계를 포함하고,

제 1 및 제 2 에이전트 각각에 의해 제 1 및 제 2 메모리부로의 동시 액세스를 용이하게 하기 위해, 상기 제 1 및 제 2 액세스 경로는 구분되고 병렬로 존재하는 것을 특징으로 하는 방법.

#### 청구항 13

제 12 항에 있어서, 공유 메모리의 제 2 메모리부만이 제 1 및 제 2 에이전트에 의해 공유되고,

제 1 에이전트의 메모리 액세스 요구가 제 2 메모리부 내의 메모리 위치에 대한 것이면, 제 2 에이전트로부터 제 2 메모리부 내의 메모리 위치에 대한 메모리 액세스 요구가 분명한지를 결정하는 단계; 및

제 2 에이전트로부터의 메모리 액세스 요구가 분명하면, 제 1 및 제 2 에이전트의 액세스 요구사이를 중재하는 단계를 포함하는 것을 특징으로 하는 방법.

#### 청구항 14

제 12 항에 있어서,

공유 메모리의 제 2 메모리부내의 메모리 위치에 대한 메모리 액세스 요구를 제 2 에이전트로부터 수신하는 단계;

제 1 에이전트가 제 2 메모리부내의 메모리 위치에 액세스하고 있는지를 결정하는 단계; 및

제 1 에이전트가 제 2 메모리부에 액세스하지 않으면, 메모리 인터페이스를 제 1 상태로 놓이게 하고 제 2 메모리부로 제 2 에이전트의 액세스를 승인하여, 제 1 에이전트가 제 1 메모리부에 동시에 액세스할 수 있게 하는 단계를 포함하는 것을 특징으로 하는 방법.

#### 청구항 15

제 14 항에 있어서, 제 1 에이전트가 제 2 메모리부 내의 메모리 위치에 액세스하고 있다면, 제 2 에이전트의 제 2 메모리부로의 액세스를 불허하는 단계를 포함하는 것을 특징으로 하는 방법.

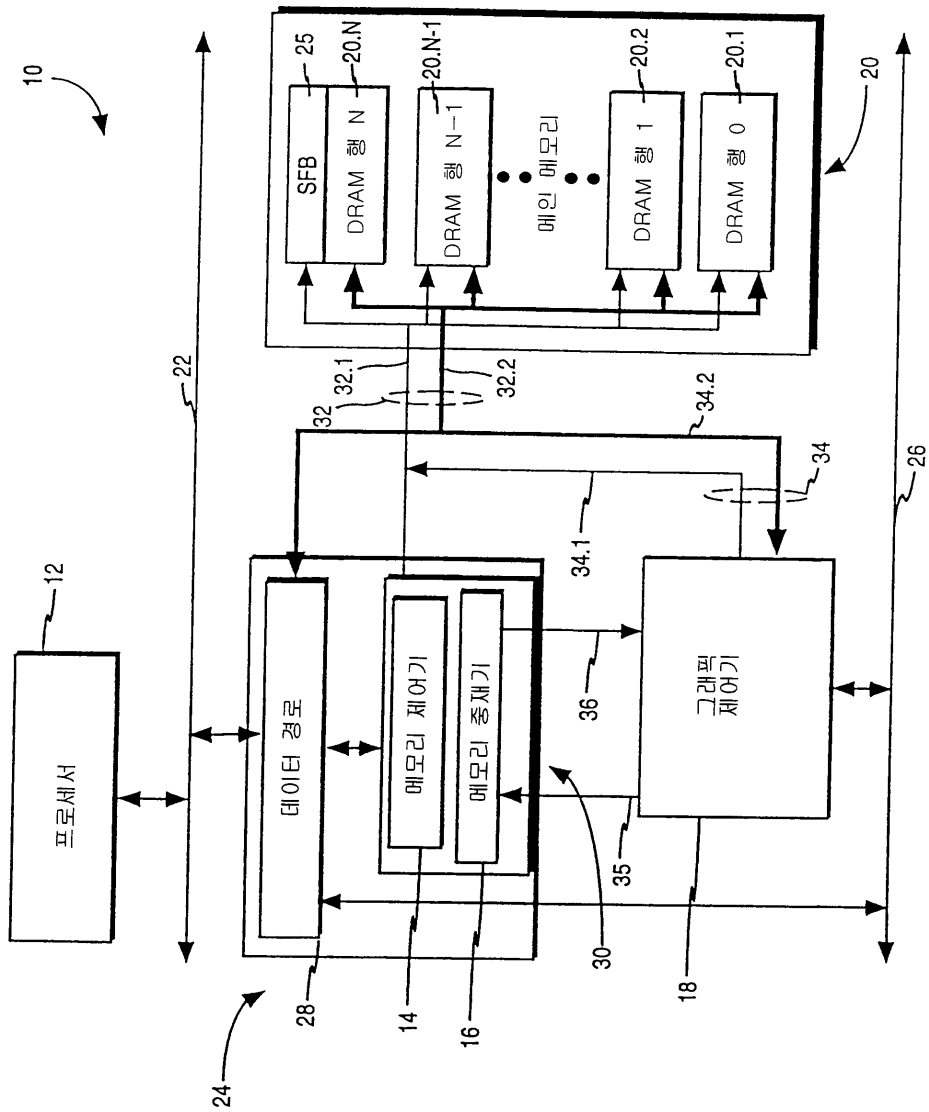
#### 청구항 16

제 14 항에 있어서, 제 1 에이전트가 제 2 메모리부내의 메모리 위치에 액세스하고 있다면, 제 1 및 제 2 에이전트의 액세스 요구사이를 중재하는 단계를 포함하는 것을 특징으로 하는 방법.

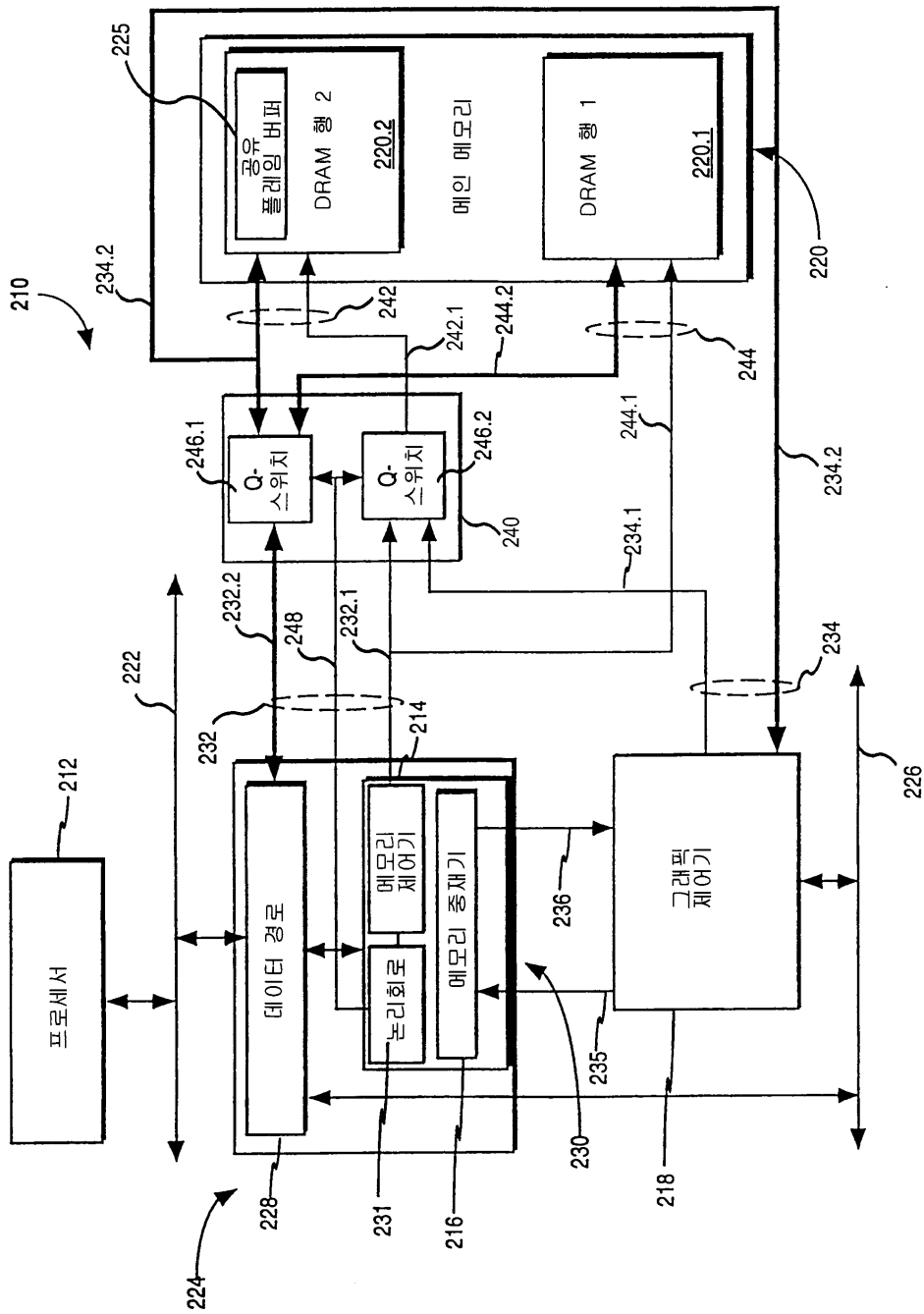




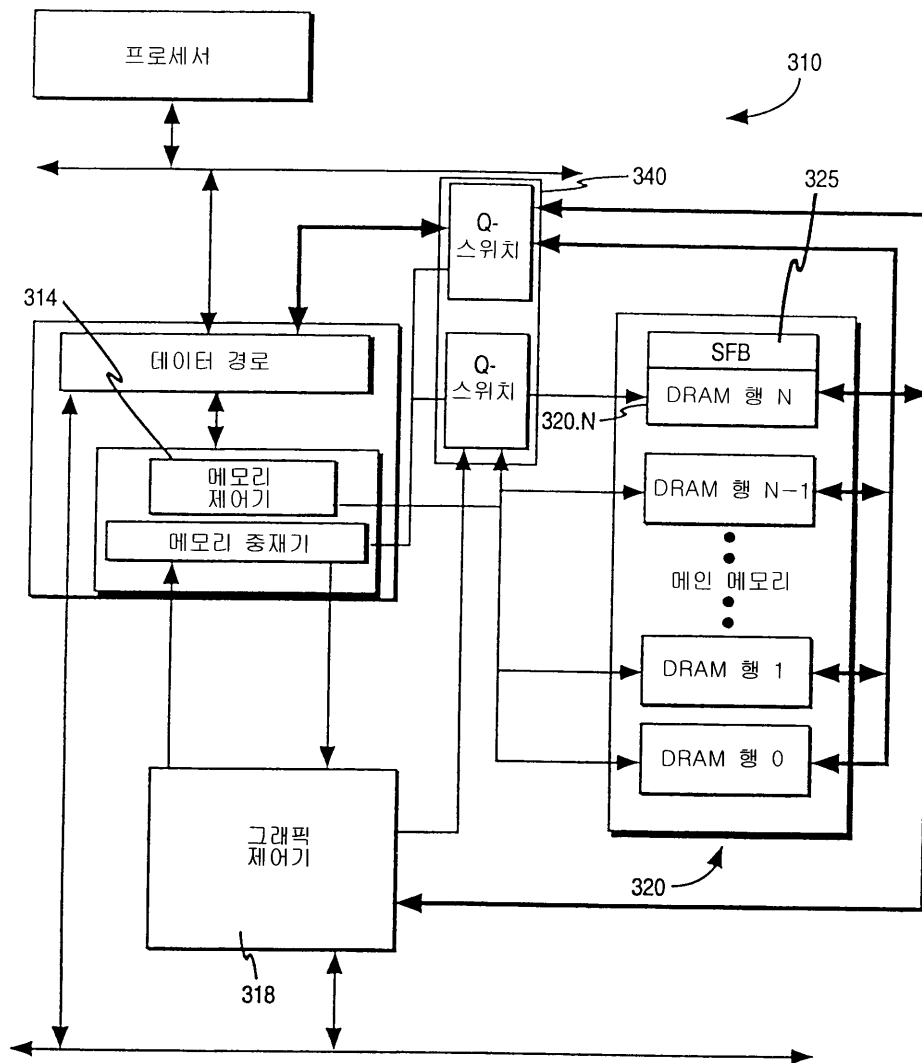
도면1



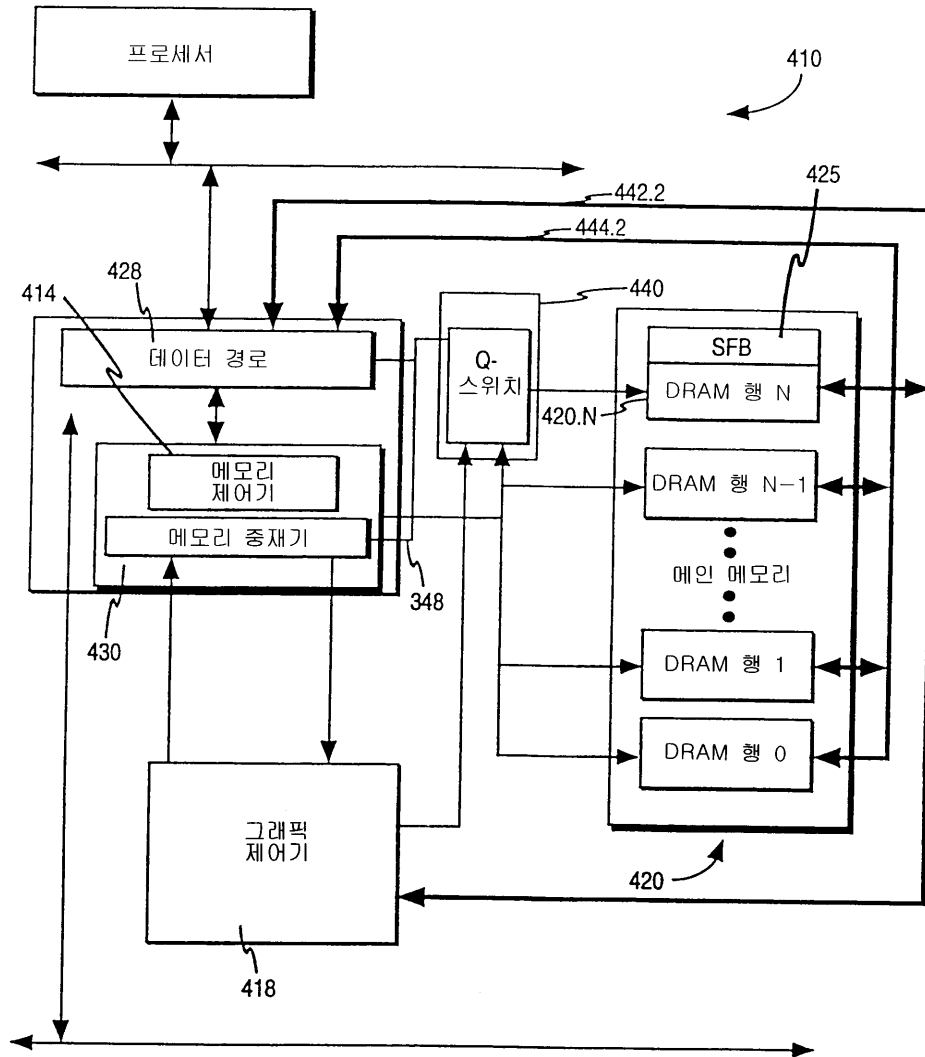
도면2



도면3



도면4



도면5

