

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



(43) 国际公布日
2020 年 4 月 23 日 (23.04.2020)

(10) 国际公布号
WO 2020/077538 A1

(51) 国际专利分类号:
H01L 51/52 (2006.01) **H01L 51/56** (2006.01)

(21) 国际申请号: PCT/CN2018/110508

(22) 国际申请日: 2018 年 10 月 16 日 (16.10.2018)

(25) 申请语言: 中文

(26) 公布语言: 中文

(71) 申请人: 深圳市汇顶科技股份有限公司 (SHENZHEN GOODIX TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市福田区腾飞工业大厦B座13层, Guangdong 518045 (CN)。

(72) 发明人: 王文轩 (WANG, Wenxuan); 中国广东省深圳市福田区腾飞工业大厦B座13层,

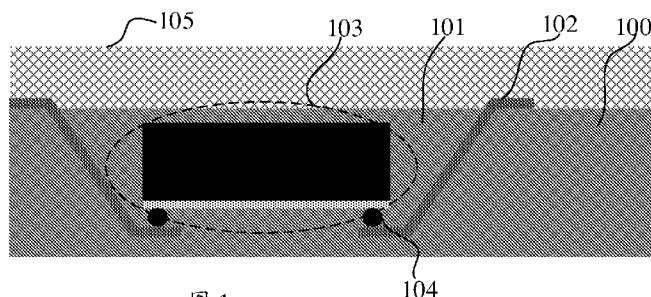
Guangdong 518045 (CN)。 沈健 (SHEN, Jian); 中国广东省深圳市福田区腾飞工业大厦B座13层, Guangdong 518045 (CN)。

(74) 代理人: 北京龙双利达知识产权代理有限公司 (LONGSUN LEAD IP LTD.); 中国北京市海淀区北清路68号院3号楼101, Beijing 100094 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,

(54) Title: INTEGRATED APPARATUS HAVING THIN-FILM TRANSISTOR DEVICE AND MANUFACTURING METHOD THEREOF

(54) 发明名称: 具有薄膜晶体管器件的集成装置及其制备方法



(57) Abstract: An integrated apparatus having a thin-film transistor device (105) and a manufacturing method thereof. The integrated apparatus comprises a base (100), a chip (103) and a thin-film transistor device (105). The thin-film transistor device (105) is provided above the base (100). The base (100) has a recess structure (101) extending downwardly from an upper surface thereof. At least one connection line (102) is provided in the recess structure (101). The chip (103) is provided in the recess structure (101), and is connected to the thin-film transistor device (105) by means of the at least one connection line (102). In the integrated apparatus, the base (100) and the thin-film transistor device (105) form a thin-film transistor (TFT), and the chip (103) for controlling the TFT is integrated into the base of the TFT, thereby preventing the chip (103) from occupying an effective active area of the TFT while greatly reducing external connection terminals of the integrated apparatus, and accordingly effectively simplifying the entire structure of the integrated apparatus.

(57) 摘要: 一种具有薄膜晶体管器件(105)的集成装置及其制备方法。所述集成装置包括: 基底(100)、芯片(103)和薄膜晶体管器件(105); 所述薄膜晶体管器件(105)设置在所述基底(100)的上方; 其中, 所述基底(100)的上表面向下延伸形成有槽状结构(101), 所述槽状结构(101)内设置有至少一条连接线(102), 所述芯片(103)设置在所述槽状结构(101)内, 并通过所述至少一条连接线(102)与所述薄膜晶体管器件(105)连接。所述集成装置, 通过基底(100)和薄膜晶体管器件(105)形成薄膜晶体管(TFT), 并进一步地, 使得用于控制TFT的芯片(103)集成在TFT的基底内, 不仅避免了芯片(103)占用TFT的有效工作面积, 同时还能够大幅度减少集成装置的外部连接端子, 进而有效简化了集成装置的整体结构。

PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

根据细则4.17的声明:

- 关于申请人有权申请并被授予专利(细则
4.17(ii))

本国际公布:

- 包括国际检索报告(条约第21条(3))。

具有薄膜晶体管器件的集成装置及其制备方法

技术领域

本申请实施例涉及电子领域，并且更具体地，涉及具有薄膜晶体管器件的集成装置及其制备方法。

背景技术

目前，由于将薄膜晶体管（Thin film transistor, TFT）制作在液晶面板中，可以减少各像素间的互相干扰并提升画面的稳定度。进一步地，采用非硅基底（如玻璃基底，有机高分子基底等）的 TFT 技术能够从根本上解决了大规模半导体集成电路的成本问题。此外，由于 TFT 技术也能够实现大面积生产、规模化生产以及电路器件一体化生产（例如，可以一体形成驱动电路区域和像素区域）。因此，TFT 技术被广泛应用于平板显示以及平面光电传感器等领域。

但是，由于 TFT 工艺本身的局限性，使得 TFT 的线宽、工作速度等性能都不及集成电路。因此，在进行 TFT 阵列的驱动以及信号读取的工作时需要外接相应的集成电路（Integrated Circuit, IC）芯片。通常 TFT 阵列与 IC 芯片通过柔性电路板（Flexible Printed Circuit, FPC）进行连接，然后再通过 FPC 和 PCB 等的电气连接部件连接至外部分立器件。例如，电源部件等。

具体地，TFT 阵列的每行与每列都需要与 IC 芯片进行连接，假如共有 200*200 个像素单元（一般显示器件远远大于此数值），至少有 400 个端子要与 IC 芯片进行连接，因此，TFT 阵列在与 IC 芯片之间的连接会占用过大的空间，同时需要大量 FPC 作为连接介质，降低了整个系统结构中显示或探测的有效面积，使得液晶面板的内部结构臃肿繁杂。

因此，如何精简化、小型化 TFT 阵列在与 IC 芯片之间的连接是本领域当前急需解决的技术问题。

发明内容

提供了一种具有薄膜晶体管器件的集成装置及其制备方法，能够精简化、小型化 TFT 阵列在与 IC 芯片之间的连接。

第一方面，提供了一种包括薄膜晶体管器件的集成装置，包括：

基底、芯片和薄膜晶体管器件；

所述薄膜晶体管器件设置在所述基底的上方；

其中，所述基底的上表面向下延伸形成有槽状结构，所述槽状结构内设置有至少一条连接线，所述芯片设置在所述槽状结构内，并通过所述至少一条
5 条连接线与所述薄膜晶体管器件连接。

在一些可能的实现方式中，所述薄膜晶体管器件至少覆盖所述槽状结构的开口。

在一些可能的实现方式中，所述芯片的厚度小于或等于所述槽状结构的深度。

10 在一些可能的实现方式中，所述槽状结构的深度大于 100 微米 μm 。

在一些可能的实现方式中，所述槽状结构的侧面与所述槽状结构的下表面形成的角度大于预设角度。

在一些可能的实现方式中，所述至少一条连接线采用的材料为以下材料中的任一种：

15 钼-铝-钼 Mo-Al-Mo 结构金属材料，钛-铝-钛 Ti-Al-Ti 结构金属材料、导电玻璃材料和金属材料。

在一些可能的实现方式中，所述芯片通过导电胶与所述至少一条连接线相连。

在一些可能的实现方式中，所述芯片设置有至少一个焊盘。

20 在一些可能的实现方式中，所述芯片的下表面上设置有所述至少一个焊盘。

在一些可能的实现方式中，所述芯片的上表面上设置有所述至少一个焊盘。

25 在一些可能的实现方式中，所述至少一个焊盘和所述至少一条连接线一一对应。

在一些可能的实现方式中，所述芯片包括数据驱动芯片，所述数据驱动芯片通过所述至少一条连接线连接至所述薄膜晶体管器件内的电极层。

在一些可能的实现方式中，所述芯片包括扫描驱动芯片，所述扫描驱动芯片通过所述至少一条连接线连接至所述薄膜晶体管器件内的电极层。

30 在一些可能的实现方式中，所述集成装置还包括：

所述槽状结构内的填充材料，所述填充材料用于将所述芯片固定在所述

槽状结构内。

在一些可能的实现方式中，所述填充材料的热膨胀系数与所述基底的热膨胀系数的差值小于或等于预设阈值。

5 在一些可能的实现方式中，所述填充材料和所述基底的材料为同一种材料。

在一些可能的实现方式中，所述填充材料在固化前可流动。

在一些可能的实现方式中，所述至少一条连接线设置在所述基底和所述填充材料之间。

10 在一些可能的实现方式中，所述至少一条连接线设置在所述填充材料的上表面和所述槽状结构的上表面。

在一些可能的实现方式中，所述填充材料完整填充所述槽状结构。

在一些可能的实现方式中，所述填充材料部分填充所述槽状结构。

在一些可能的实现方式中，所述薄膜晶体管器件包括：

连接层，所述连接层连接至外部器件和/或所述至少一条连接线。

15 在一些可能的实现方式中，所述集成装置还包括：

光电二极管，所述光电二极管设置在所述基底的上方，所述光电二极管与所述薄膜晶体管器件内的电极层相连。

在一些可能的实现方式中，所述基底采用的材料为玻璃材料或聚酰亚胺材料。

20 在一些可能的实现方式中，所述集成装置还包括：

至少一个连接端，所述至少一个连接端用于与外界器件电连接，所述至少一个连接端设置在所述基底的上方。

在一些可能的实现方式中，所述至少一个连接端中的一个连接端与所述至少一条连接线中的一条连接线相连。

25 在一些可能的实现方式中，所述至少一个连接端与所述薄膜晶体管器件内的电极层相连。

在一些可能的实现方式中，所述连接端为焊盘或锡球。

第二方面，提供了一种显示装置，包括：

第一方面或第一方面中任一种可能实现的方式中所述的集成装置。

30 第三方面，提供了一种电子设备，包括：

第二方面所述的显示装置。

第四方面,提供了一种制备集成装置的方法,在一些可能的实现方式中,包括:

在基底的上表面形成槽状结构;

在所述槽状结构内设置至少一个连接线;

5 将芯片设置在所述槽状结构内;

在所述基底的上方制备薄膜晶体管器件,所述芯片通过所述至少一条连接线与所述薄膜晶体管器件连接。

在一些可能的实现方式中,所述在基底的上表面形成槽状结构,包括:

通过光刻工艺确定所述槽状结构的位置;

10 在所述槽状结构的位置,通过刻蚀工艺形成所述槽状结构。

在一些可能的实现方式中,所述刻蚀工艺包括以下工艺中的至少一种:

干法刻蚀工艺、湿法刻蚀工艺和激光刻蚀工艺。

在一些可能的实现方式中,所述芯片的厚度小于或等于所述槽状结构的深度。

15 在一些可能的实现方式中,所述槽状结构的深度大于 100 微米 um。

在一些可能的实现方式中,所述槽状结构的侧面与所述槽状结构的下表面形成的角度大于预设角度。

在一些可能的实现方式中,所述在所述槽状结构内设置至少一个连接线,包括:

20 通过沉积的方式或电镀的方式,在所述槽状结构内形成连接线所在层;

通过光刻工艺在所述连接线所在层上确定至少一条连接线的位置;

在所述连接线所在层中除所述至少一条连接线的位置进行刻蚀,形成所述至少一条连接线。

25 在一些可能的实现方式中,所述沉积的方式包括:物理气相沉积 PVD 方式和化学气相沉积 CVD 方式。

在一些可能的实现方式中,所述至少一条连接线采用的材料为以下材料中的任一种:

钼-铝-钼 Mo-Al-Mo 结构金属材料,钛-铝-钛 Ti-Al-Ti 结构金属材料、导电玻璃材料和金属材料。

30 在一些可能的实现方式中,所述芯片通过导电胶与所述至少一条连接线相连。

在一些可能的实现方式中,所述芯片设置有至少一个焊盘。

在一些可能的实现方式中,所述芯片的下表面上设置有所述至少一个焊盘。

5 在一些可能的实现方式中,所述芯片的上表面上设置有所述至少一个焊盘。

在一些可能的实现方式中,所述至少一个焊盘和所述至少一条连接线一一对应。

在一些可能的实现方式中,所述芯片包括数据驱动芯片,所述数据驱动芯片通过所述至少一条连接线连接至所述薄膜晶体管器件内的电极层。

10 在一些可能的实现方式中,所述芯片包括扫描驱动芯片,所述扫描驱动芯片通过所述至少一条连接线连接至所述薄膜晶体管器件内的电极层。

在一些可能的实现方式中,所述在所述基底的上方制备薄膜晶体管器件之前,所述方法还包括:

15 采用充填材料充填所述槽状结构,所述填充材料用于将所述芯片固定在所述槽状结构内。

在一些可能的实现方式中,所述填充材料的热膨胀系数与所述基底的热膨胀系数的差值小于或等于预设阈值。

在一些可能的实现方式中,所述填充材料和所述基底的材料为同一种材料。

20 在一些可能的实现方式中,所述填充材料在固化前可流动。

在一些可能的实现方式中,所述至少一条连接线设置在所述基底和所述填充材料之间。

在一些可能的实现方式中,所述至少一条连接线设置在所述填充材料和所述槽状结构的上表面。

25 在一些可能的实现方式中,所述采用充填材料充填所述槽状结构,包括:采用所述填充材料完整填充所述槽状结构。

在一些可能的实现方式中,所述采用充填材料充填所述槽状结构,包括:采用填充材料部分填充所述槽状结构。

在一些可能的实现方式中,所述方法还包括:

30 在所述薄膜晶体管器件内设置连接层,所述连接层连接至外部器件和/或所述至少一条连接线。

在一些可能的实现方式中，所述方法还包括：

在所述基板的上方设置光电二极管，所述光电二极管与所述薄膜晶体管器件内的电极层相连。

5 在一些可能的实现方式中，所述基底采用的材料为玻璃材料或聚酰亚胺材料。

在一些可能的实现方式中，所述方法还包括：

在所述基底的上方设置至少一个连接端，所述至少一个连接端用于与外界器件电连接。

10 在一些可能的实现方式中，所述至少一个连接端中的一个连接端与所述至少一条连接线中的一条连接线相连。

在一些可能的实现方式中，所述至少一个连接端与所述薄膜晶体管器件内的电极层相连。

在一些可能的实现方式中，所述连接端为焊盘或锡球。

15 第五方面，提供了一种显示装置，所述显示装置可以包括根据上述第四方面所述的制备集成装置的方法制备的集成装置。

第六方面，提供了一种电子设备，所述电子设备可以包括上述第五方面所述的显示装置。

20 基于以上技术方案，本申请实施例提供的集成装置和制备集成装置的方法，将用于控制薄膜晶体管器件的芯片集成在所述薄膜晶体管器件的基底内，不仅避免了芯片占用薄膜晶体管器件的有效工作面积，还能够大幅度减少集成装置的外部连接端子，进而有效简化了集成装置的整体结构。

附图说明

25 图1是本申请实施例的包括薄膜晶体管器件的集成装置的示例性侧截面图。

图2是图1所示的集成装置的薄膜晶体管器件的示例性侧截面图。

图3是本申请实施例的包括薄膜晶体管器件的集成装置的示例性平面截面图。

图4是本申请实施例的集成装置的制备方法的示例性工艺流程图。

30 图5是本申请实施例的开槽前的基底的示例性截面图。

图6是本申请实施例的开槽后的基底的示例性截面图。

图 7 是在图 6 所示的基底的槽状结构内设置至少一条连接线后形成的结构的示例性截面图。

图 8 是将芯片和图 7 所示的结构内的至少一条连接线绑定后形成的结构的示例性截面图。

5 图 9 是填充图 8 所示的结构内的槽状结构后形成的结构的示例性截面图。

具体实施方式

本申请实施例提供了一种包含 TFT 器件的集成装置和该集成装置的制备方法，所述包含 TFT 器件的集成装置可以包括多个 TFT，所述多个 TFT 呈阵列式分布时，所述 TFT 器件又称为 TFT 阵列、TFT 阵列器件或者光电传感器。本申请实施例的包含 TFT 器件的集成装置能够精简化、小型化 TFT 器件与 IC 芯片之间的连接。

10 本申请实施例中的集成装置可以应用于 TFT 平板显示领域及基于 TFT 的平板传感器以及其他基于 TFT 工艺的产品及应用。例如，所述集成装置可应用于具有有源矩阵 (active matrix) 的光电显示装置或者自发光的光电显示装置。例如。液晶显示装置和有机电致发光 (Electroluminescence, EL) 显示装置。

20 可选地，在本申请的一些实施例中，所述集成装置可以作为光学生物特征传感器，例如光学指纹传感器，用于实现生物特征感应操作。具体地，用户将手指放置于显示屏的上方时，所述集成装置接收到经由手指反射后形成的光信号，并将所述光信号转化为电信号，所述电信号能够反映用户手指的指纹信息。

25 在指纹识别过程中，所述集成装置的所在区域为所述集成装置的感应区域。所述感应区域可以位于显示屏的显示区域的下方，由此，用户在需要对所述终端设备进行解锁或者其他生物特征验证的时候，只需要将手指按压在位于所述显示屏上，位于所述感应区域的集成装置就可以进行指纹感应操作。

30 申请本实施例对用于进行指纹识别的光信号的发光源不做具体限定。例如，所述发光源可以是显示屏内的发光像素发出的光，也可以是显示屏下方的背光源发出的光，所述背光源可以是 LED 灯芯发出的光，所述 LED 灯芯

可以包括：红光 LED 灯芯、蓝光 LED 灯芯、绿光 LED 灯芯、红外 LED 灯芯、紫外 LED 灯芯以及白光 LED 灯芯。应理解，本申请实施例对 LED 灯芯具体包括的 LED 灯芯种类不做限制，可以根据具体应用场合搭配不同种类的 LED 灯芯。

5 应理解，所述集成装置用作光学指纹传感器仅为示例，在其他可替代实施例中，所述集成装置也可以应用于彩色文件扫描，还可以应用于静脉成像，还可以应用于伪钞识别。本申请实施例对集成装置的用途不作特殊限制。

下面将结合图 1 至图 9，详细介绍本申请实施例的集成装置以及制备集成装置的方法。

10 需要说明的是，为便于说明，在本申请的实施例中，相同的附图标记表示相同的部件，并且为了简洁，在不同实施例中，省略对相同部件的详细说明。应理解，附图示出的本申请实施例中的各种部件的厚度、长宽等尺寸，以及集成装置的整体厚度、长宽等尺寸仅为示例性说明，而不对本申请构成任何限定。

15 图 1 是本申请实施例的包括薄膜晶体管器件的集成装置的示例性框图。如图 1 所示，所述集成装置可以包括：

基底 100、芯片 103 和薄膜晶体管器件 105。

所述薄膜晶体管器件 105 设置在所述基底 100 的上方。

20 其中，所述基底 100 的上表面向下延伸形成有槽状结构 101，所述槽状结构 101 内设置有至少一条连接线 102，所述芯片 103 设置在所述槽状结构 101 内，并通过所述至少一条连接线 102 与所述薄膜晶体管器件 105 连接。

在具体实现中，可以通过对集成装置的基底 100 的上表面的部分区域进行开槽处理，以形成图 1 所示的槽状结构 101。进一步地，在所述槽状结构 101 内进行金属电器连接层的布置（即图 1 所示的至少一条连接线 102）。然后，将芯片 103 安装在所述槽状结构 101 内，并与所述至少一条连接线 102 进行电连接。最后，在所述基底 100 上制备所述膜层 105 时，将所述薄膜晶体管器件 105 的电极层连接至所述至少一条连接线 102。由此实现所述芯片 103 和所述薄膜晶体管器件 105 之间的连接。

30 本申请实施例中的集成装置，将用于控制薄膜晶体管（TFT）器件 105 的芯片 103 集成在 TFT 器件 105 的基底 100 内，不仅避免了芯片 103 占用 TFT 器件 105 的有效工作面积，还能够大幅度减少集成装置的外部连接端子，

进而有效简化了集成装置的整体结构。

可选地，在本申请的一些实施例中，所述基底 100 的材料可以是 TFT 工艺涉及的标准基底材料，例如玻璃材料或聚酰亚胺材料。应理解，本申请实施例对基底 100 的具体材料型号不做限定。例如，所述基底 100 的材料为玻璃材料时可以为无碱玻璃。由于所述无碱玻璃的应变温度可以高于 625℃，因此，可以使得所述基底 100 具有良好的化学稳定性。

可选地，在本申请的一些实施例中，图 1 所示的集成装置用于进行指纹识别且所述发光源为背光源时，所述基底 100 的材料可以是透光材料，由此保证所述背光源发出的光能够通过所述基底 100 传输至显示屏。例如，所述基底 100 可以为玻璃基底。但是本申请对此不做限制，在其他实施例中，所述基底 100 的材料还可以为透光塑料等其它透光材料。

可选地，在本申请的一些实施例中，所述芯片 103 可以是经过再布线层（Redistribution Layer, RDL）处理和微凸点工艺处理后的芯片。

可选地，在本申请的一些实施例中，所述芯片 103 可以是倒装芯片（Flip Chip）。

可选地，在本申请的一些实施例中，所述芯片 103 的厚度小于或等于所述槽状结构 101 的深度，进而保证所述芯片 103 能够完全集成设置在所述基底 100 内。

可选地，在本申请的一些实施例中，所述槽状结构 101 的深度大于 100 微米（ μm ）。应理解，所述槽状结构 101 的深度大于 100 微米（ μm ）仅为示例性描述，本申请实施例不限于此。例如，也可以根据集成装置的应用场景确定所述槽状结构 101 的深度。

可选地，在本申请的一些实施例中，所述薄膜晶体管器件 105 至少覆盖所述槽状结构 101 的开口。

例如，所述薄膜晶体管器件 105 在所述基底 100 的上表面所在平面内的最大宽度大于所述槽状结构 101 的开口在所述基底 100 的上表面所在平面内的最大宽度。

又例如，沿某一方向上，所述薄膜晶体管器件 105 在所述基底 100 的上表面所在平面内的宽度大于所述槽状结构 101 的开口在所述基底 100 的上表面所在平面内的宽度。

可选地，在本申请的一些实施例中，所述槽状结构 101 的侧面与所述槽

状结构 101 的下表面形成的角度大于预设角度，由此，能够降低将所述芯片 103 安装在所述槽状结构 101 时的操作难度。

可选地，在本申请的一些实施例中，所述至少一条连接线 102 采用的材料为以下材料中的任一种：钼-铝-钼（Mo-Al-Mo）结构金属材料，钛-铝-钛（Ti-Al-Ti）结构金属材料、导电玻璃材料和金属材料。其中，导电玻璃可以是氧化铟锡（Indium Tin Oxide, ITO）导电玻璃。

应理解，本申请实施例对所述至少一条连接线 102 的数量和具体布线方式不作特殊限制，只要上述所述至少一条连接线 102 可以满足将所述芯片 103 连接至所述薄膜晶体管器件 105 的要求便可。

应理解，在其他实施例中，所述基底 100 也可称为衬底 100 或者基板 100。

应理解，本申请实施例中的薄膜晶体管器件 105 可以是在基板 100 上制备的各种不同的薄膜。例如，半导体主动层、介电层和金属电极层。应理解，本申请实施例对所述薄膜晶体管器件 105 的制造工艺不做具体限定。例如，所述薄膜晶体管器件 105 的制造工艺可以是现有技术的制作工艺。

图 2 是本申请实施例的薄膜晶体管器件 105 的示例性截面图。

如图 2 所示，所述薄膜晶体管器件 105 可以是具有底栅结构的薄膜晶体管器件。

所述薄膜晶体管器件 105 的栅极 106 可以与驱动扫描芯片相连，所述驱动扫描芯片与外部电源相连，用于为集成装置提供扫描电压。所述薄膜晶体管器件 105 的漏极 109 可以与所述薄膜晶体管器件 105 的内部器件连接，所述薄膜晶体管器件的源极 108 可以与图 1 所示的至少一条连接线 102 相连，所述薄膜晶体管器件 105 的漏极 109 和所述薄膜晶体管器件 105 的源极 108 之间存在沟道区 107。

可选地，在本申请的一些实施例中，所述沟道区 107 的材料包括但不限于：非晶硅（a-Si）材料、铟镓锌氧化物（Indium Gallium Zinc Oxide, IGZO），以及低温多晶硅（low temperature poly-silicon, LTPS）。例如，氧化铟锡或氧化锌等透光材料。

可选地，在本申请的一些实施例中，如图 2 所示，所述薄膜晶体管器件 105 还可以包括：电介质层 111。

所述电介质层包括但不限于：氧化物和氮化物等绝缘电介质层。

可选地，如图 2 所示，在本申请的一些实施例中，图 1 所示的所述集成

装置还可以包括光电二极管 110。

所述光电二极管 110 是各种光电检测系统中用于实现光电转换的元件，所述光电二极管 110 具体用于将光信号（例如，红外光信号、可见光信号及紫外光信号）转变成为电信号。进一步地，所述光电二极管 110 可以将转换的电信号发送给薄膜晶体管器件 105，最终由所述薄膜晶体管器件 105 输出所述电信号。应理解，在其他实施例中，所述光电二极管 110 又称为光电感应单元或光探测器。

如图 2 所示，所述光电二极管 110 可以设置在所述基底 100 的上方，所述光电二极管 110 与所述薄膜晶体管器件 105 内的电极层相连。例如，所述光电二极管 110 与所述薄膜晶体管器件 105 内的电极层的漏极 109 相连。

可选地，在本申请的一些实施例中，图 1 所示的集成装置可以包括多个如图 2 所示的光电二极管 110，多个所述光电二极管 110 可以呈阵列式分布。其中，每个光电二极管 110 与所述薄膜晶体管器件 105 的电极层中的一个漏极相连。

可选地，在本申请的一些实施例中，可以根据需要探测的光的波长范围、工艺能力等参数确定所述光电二极管 110 的结构以及具体材料构成。但本申请实施例不限于此。

可选地，在本申请的一些实施例中，所述光电二极管 110 可以是 PIN 型光电二极管或 PN 型光电二极管。

以所述光电二极管 110 为 PIN 型光电二极管为例，所述光电二极管 110 可以包括：自下而上的 N 型掺杂半导体层、本征半导体层、P 型掺杂半导体层。其中，N 型掺杂半导体层作为光电二极管 110 的阴极，本征半导体层作为光电二极管 110 的光吸收层，P 型掺杂半导体层作为光电二极管 110 的阳极。

应理解，所述 PIN 型光电二极管也可称 PIN 结二极管、PIN 二极管。

可选地，如图 2 所示，在本申请的一些实施例中，所述薄膜晶体管器件 105 还可以包括：

连接层 112，所述连接层 112 连接至外部器件和/或所述至少一条连接线 102。本申请实施例中，所述连接层 112 不仅能够实现所述薄膜晶体管器件 105 内部各个层之间的连接，还能够实现所述薄膜晶体管器件 105 和外部器件的连接以及所述芯片 103 和外部器件的连接，进而实现了集成装置的电性

互联功能。换句话说，所述芯片 103 和所述薄膜晶体管器件 105 可以通过所述连接层 112 实现与其他外围电路或者所述芯片 103 所属设备的其他元件的电性互连和信号传输。

所述连接层 112 的材料可以是金属，也可以是 ITO 等透明导电材料。本申请实施例对所述连接层 112 的具体材料不做特殊限定。

本申请实施例中，可以根据所述薄膜晶体管器件 105 内部各个层之间的连接需求、所述薄膜晶体管器件内部各个层与所述芯片 103 之间的连接需求、以及所述薄膜晶体管器件 105 内部各个层与外部器件的连接需求确定所述连接层 112 的层数。但本申请实施例对所述连接层 112 的具体层数不做限定。

本申请实施例中，可以从基底 100 的上表面引出所述连接层 112，也可以从所述薄膜晶体管器件 105 的任意层引出所述连接层 112。可选地，若从薄膜晶体管器件 105 的上表面引出所述连接层 112，所述连接层 112 的材料可以采用透明导电材料。例如 ITO。由此保证光的正常传输。

可选地，如图 1 和图 2 所示，所述芯片 103 上可以设置有至少一个焊盘。

可选地，在本申请的一些实施例中，所述芯片 103 通过导电胶与所述至少一条连接线 102 相连。其中，所述导电胶包括但不限于：

各向异性导电膜（Anisotropic Conductive Film，ACF）和各向异性导电粘合剂（Anisotropic Conductive Adhesive，ACA）。

应理解，所述芯片 103 通过导电胶与所述至少一条连接线 102 相连仅为示例性描述，本申请实施例不限于此。例如，所述芯片 103 也可以通过焊接的方式与所述至少一条连接线 102 相连。又例如，所述芯片 103 也可以直接键合（Bonding）在所述至少一条连接线 102 上。

可选地，在本申请的一些实施例中，所述芯片 103 的下表面上设置有所述至少一个焊盘。所述至少一个焊盘可以均匀地或者不均匀地分布在芯片 103 的下表面。例如，如图 2 所示的焊盘 104。由此，所述芯片 103 可以通过导电胶与所述至少一个焊盘相连。

本申请实施例中，通过所述至少一个焊盘和所述至少一条连接线 102 可以实现集成在所述基底 100 中的所述芯片 103 与外界器件以及薄膜晶体管器件 105 的电连接，但本申请实施例对所述至少一个焊盘的具体形式不作限定。比如所述至少一个焊盘可以是用于与柔性印刷电路（Flexible Printed Circuit，FPC）电连接的焊点或者锡球或者任何形式的连接端。

需要说明的是，本申请实施例中的芯片 103 在进入本集成工艺流程之前可以是已经在其一表面制备有焊盘（Pad）的芯片，例如，如图 1 所示的焊盘 104，所述焊盘 104 通过所述至少一条连接线 102 电连接至薄膜晶体管器件 105。所述焊盘 104 可以理解为芯片 103 与外界连接的管脚。在本申请实
5 施例中，芯片 103 的下表面即为进入本集成工艺流程之前表面已制备有焊盘的一面，与所述芯片 103 的下表面相对的一面即为芯片 103 的上表面。

应理解，图 1 所示的焊盘 104 位于芯片 103 的下表面仅为示例，本申请实施例不限于此。例如，所述芯片 103 的上表面上设置有所述至少一个焊盘。进一步地，所述芯片 103 的下表面可以和所述槽状结构 101 的底面直接进行
10 接触。又例如，也可以在所述芯片 103 的侧表面设置所述至少一个焊盘。

可选地，在本申请的一些实施例中，所述至少一个焊盘和所述至少一条连接线 102 一一对应。换句话说，可以根据所述至少一个焊盘的布置方式布置所述至少一条连接线 102。

应理解，本申请实施例对所述芯片 103 在所述槽状结构 101 内的摆放位
15 置以及摆放形式不做具体限定。

例如，所述芯片 103 可以是包括沿基底 100 的上表面的平行方向和/或垂直方向排列的多个芯片。即可以将沿基底 100 的上表面的平行方向和/或垂直方向排列的多个芯片封装在所述槽状结构 101 内。可选地，所述多个芯片 103 之间可以通过电连接的方式实现信号的传输。

20 可选地，在本申请的一些实施例中，所述芯片 103 包括数据驱动芯片，所述数据驱动芯片可以通过所述至少一条连接线 102 连接至所述薄膜晶体管器件 105 内的电极层。例如，所述数据驱动芯片可以通过所述至少一条连接线 102 连接至所述电极层内的源极。

25 可选地，在本申请的一些实施例中，所述芯片 103 包括扫描驱动芯片，所述扫描驱动芯片可以通过所述至少一条连接线 102 连接至所述薄膜晶体管器件 105 内的电极层。例如，所述扫描驱动芯片可以通过所述至少一条连接线 102 连接至所述电极层内的栅极。

可选地，如图 1 所示，在本申请的一些实施例中，所述集成装置还可以包括：

30 所述槽状结构 101 内的填充材料，所述填充材料用于将所述芯片 103 固定在所述槽状结构 101 内。

可选地，在本申请的一些实施例中，所述填充材料的热膨胀系数（Coefficient of thermal expansion, CTE）与所述基底 100 的热膨胀系数的差值小于或等于预设阈值。

5 可选地，在本申请的一些实施例中，所述填充材料和所述基底 100 的材料可以为同一种材料。

可选地，在本申请的一些实施例中，所述填充材料可以为环氧树脂注塑化合物（Epoxy Molding Compound, EMC）材料。

10 可选地，在本申请的一些实施例中，所述填充材料在固化前可流动，由此保证所述填充材料填充到所述槽状结构 101 并固化后，所述槽状结构 101 内的所述填充材料的上表面是平整表面。

在本申请的描述中，术语“上”、“下”等指示的方位或位置关系为基于附图所示的方位或位置关系，仅是为了便于描述本申请而不是要求本申请必须以特定的方位构造和操作，因此不能理解为对本申请的限制。

15 举例来说，在图 1 所示的实施例中，所述芯片 103 的下表面在进入本集成工艺流程之前制备有焊盘，用于与基板 100 的槽状结构 101 的底部贴合。但本申请实施例不限于此。例如，在其他可替代实施例中，图 1 所示的芯片 103 也可以在所述芯片的上表面制备焊盘，由此，在将所述芯片 103 固定到所述槽状结构 101 内时，可以将上表面与所述槽状结构 101 的底部贴合。

20 可选地，在本申请的一些实施例中，所述至少一条连接线 102 设置在所述基底 100 和所述填充材料之间。

25 可选地，在本申请的一些实施例中，所述至少一条连接线 102 设置在所述填充材料的上表面和所述槽状结构 101 的上表面。例如，所述芯片 103 的焊盘位于所述芯片 103 的上表面且所述填充材料的上表面低于所述芯片 103 的上表面时，所述至少一条连接线 102 可以在充填完所述充填材料后设置在所述填充材料的上表面和所述槽状结构 101 的上表面。

可选地，在本申请的一些实施例中，所述填充材料完整填充所述槽状结构 101。

可选地，在本申请的一些实施例中，所述填充材料部分填充所述槽状结构 101。

30 图 3 是本申请实施例的集成装置的平面截面图。

可选地，如图 3 所示，在本申请的一些实施例中，所述集成装置还包括

至少一个连接端 113, 所述至少一个连接端 113 用于与外界器件电连接, 所述至少一个连接端 113 设置在所述基底 100 的上方, 所述至少一个连接端 113 使得所述集成装置可以与其他外围电路或者所述集成装置所属设备的其他元件的电性互连和信号传输。

5 可选地, 在本申请的一些实施例中, 所述至少一个连接端 113 中的一个连接端 113 与所述至少一条连接线 102 中的一条连接线 102 相连。

可选地, 在本申请的一些实施例中, 所述至少一个连接端 113 与所述薄膜晶体管器件 105 内的电极层相连。

可选地, 在本申请的一些实施例中, 所述连接端为焊盘或锡球。

10 应理解, 在图 3 所示的实施例中, 所述集成装置包括 6 个芯片 103 以及每个芯片 103 通过一条连接线 102 连接至一个连接端 113, 但本申请实施例不限于此。

可选地, 在本申请实施例还提供了一种显示装置, 所述显示装置可以包括上述集成装置。例如, 液晶显示装置。

15 所述液晶显示装置可以包括液晶面板和用于给所述液晶面板提供光源的背光模组。所述液晶面板可以包括上文所述的集成装置(包括多个薄膜晶体管)、以及纵横交错的扫描线和数据线, 每一行的扫描线控制一行的 TFT 的栅极, 每一列的数据线连接一列 TFT 的源极, 每个 TFT 的漏极连接一个像素电极以形成像素电容, 像素电容包括相对置的像素电极和公共电极, 像
20 素电极连接到 TFT 的漏极, 公共电极可以连接到一个恒定的电压信号。像素电极和公共电极之间充满了液晶分子, 通过调整数据线的输出电压就可以控制像素电极和公共电极之间的压差, 从而调整液晶分子的偏转角度, 实现光通量的控制。

25 可选地, 本申请实施例还提供了一种电子设备, 所述电子设备可以包括上述显示装置。例如, 所述电子设备可以是电视、手机、平板电脑或电子书等终端设备。

图 4 是本申请实施例的制备集成装置的方法的示意图。应理解, 图 4 所示的方法 200 可以用于制备图 1 至图 3 所示的集成装置。图 4 所示的方法 200 也可以按照图 5 至图 9、图 1 的顺序制备图 1 至图 3 所示的集成装置。
30 下面结合图 1、图 4 至图 9 对本申请实施例的制备集成装置的方法进行说明。

如图 4 所示, 所述制备集成装置的方法 200 可以包括:

S210, 在基底的上表面形成槽状结构。

可选地, 在本申请的一些实施例中, 所述 S210 可以具体包括:

通过光刻工艺确定所述槽状结构的位置; 在所述槽状结构的位置, 通过刻蚀工艺形成所述槽状结构。

5 例如, 图 5 是本申请实施例的开槽前的基底的示例性截面图。图 6 是本申请实施例的开槽后的基底的示例性截面图。结合图 5 和图 6 来说, 本申请实施例中, 可以通过光刻工艺在图 5 所示的基底的 100 上确定出如图 6 所示的槽状结构 101 的位置, 然后在所述槽状结构 101 的位置, 通过刻蚀工艺形成所述槽状结构 101。

10 可选地, 在本申请的一些实施例中, 所述刻蚀工艺包括但不限于以下工艺中的至少一种: 干法刻蚀工艺、湿法刻蚀工艺和激光刻蚀工艺。

可选地, 在本申请的一些实施例中, 所述干法蚀刻 (dry etching) 工艺可以包括以下刻蚀工艺中的至少一种: 采用将四氟甲烷 (CF_4) 和六氟化硫 (SF_6) 用作蚀刻气体 (etching gas) 的反应性离子蚀刻 (ion etching)、化学
15 干法蚀刻 (chemical dry etching) 以及等离子体蚀刻 (plasma etching) 等。

可选地, 在本申请的一些实施例中, 还可以通过改变蚀刻气体的混合比可以改变蚀刻速度。

可选地, 在本申请的一些实施例中, 所述湿法刻蚀工艺的化学原料可以包括但不限于含氢氟酸的刻蚀液。

20 可选地, 在本申请的一些实施例中, 采用干法刻蚀与湿法刻蚀相结合的刻蚀方法, 或者采用激光刻蚀结合湿法刻蚀的方法, 能够有效保证刻蚀的形状以及底面平整度等。

S220, 在所述槽状结构内设置至少一个连接线。

可选地, 在本申请的一些实施例中, 所述 S220 可以具体包括:

25 通过沉积的方式或电镀的方式, 在所述槽状结构内形成连接线所在层; 通过光刻工艺在所述连接线所在层上确定至少一条连接线的位置; 在所述连接线所在层中除所述至少一条连接线的位置进行刻蚀, 形成所述至少一条连接线。

30 例如, 图 7 是在图 6 所示的基底的槽状结构内设置至少一条连接线后形成的结构的示例性截面图。结合图 6 和图 7 来说, 本申请实施例中, 可以通过沉积的方式或电镀的方式, 在图 6 所示的槽状结构 101 内如图 7 所示的至

少一条连接线 102 所在的位置形成导电层；通过光刻工艺在所述导电层上确定如图 7 所示的至少一条连接线 102 的位置；刻蚀所述导电层上的除所述至少一条连接线 102 的部分，以形成图 7 所示的至少一条连接线 102。

5 可选地，在本申请的一些实施例中，所述芯片的厚度小于或等于所述槽状结构的深度。

可选地，在本申请的一些实施例中，所述槽状结构的深度大于 100 微米 um。

可选地，在本申请的一些实施例中，所述槽状结构的侧面与所述槽状结构的下表面形成的角度大于预设角度。

10 可选地，在本申请的一些实施例中，所述沉积的方式可以包括：

物理气相沉积（Physical Vapor Deposition, PVD）方式和化学气相沉积（Chemical Vapor Deposition, CVD）方式以及电镀的方式。

可选地，在本申请的一些实施例中，所述至少一条连接线采用的材料为以下材料中的任一种：

15 钼-铝-钼（Mo-Al-Mo）结构金属材料，钛-铝-钛（Ti-Al-Ti）结构金属材料、导电玻璃材料和金属材料。

S230，将芯片设置在所述槽状结构内。

可选地，在本申请的一些实施例中，所述芯片可以通过与所述至少一条连接线绑定（bonding）的方式，固定设置在所述槽状结构内。

20 可选地，在本申请的一些实施例中，所述芯片通过导电胶与所述至少一条连接线相连。

可选地，在本申请的一些实施例中，所述芯片设置有至少一个焊盘。

25 例如，图 8 是将芯片 103 和图 7 所示的结构内的至少一条连接线 102 绑定后形成的结构的示例性截面图。如图 8 所示，芯片 103 上设置的至少一个焊盘 104，所述至少一个焊盘 104 可以与所述至少一条连接线 102 上的靠近所述槽状结构 101 的底部的一端相连。

可选地，在本申请的一些实施例中，所述芯片的下表面上设置有所述至少一个焊盘。

30 可选地，在本申请的一些实施例中，所述芯片的上表面上设置有所述至少一个焊盘。

可选地，在本申请的一些实施例中，所述至少一个焊盘和所述至少一条

连接线一一对应。

可选地，在本申请的一些实施例中，所述芯片包括数据驱动芯片，所述数据驱动芯片通过所述至少一条连接线连接至所述薄膜晶体管器件内的电极层。

5 可选地，在本申请的一些实施例中，所述芯片包括扫描驱动芯片，所述扫描驱动芯片通过所述至少一条连接线连接至所述薄膜晶体管器件内的电极层。

应理解，本申请实施例对所述芯片在所述槽状结构内的摆放位置以及摆放方式不做具体限定。

10 S240，在所述基底的上方设置薄膜晶体管器件，所述芯片通过所述至少一条连接线与所述薄膜晶体管器件连接。

例如，如图 1 所示，可以在所述基底 100 的上方设置薄膜晶体管器件 105，所述芯片 103 与所述至少一条连接线 102 的靠近所述槽状结构 101 的底部的一端相连，所述至少一条连接线 102 的另一端与所述薄膜晶体管器件 105 相
15 连。

应理解，本申请实施例对在所述基底的上方设置所述薄膜晶体管器件的具体工艺和所述薄膜晶体管器件的具体用途不做限定。

例如，在所述基底的上方设置所述薄膜晶体管器件的具体工艺包括但不限于：基于非晶硅（amorphous silicon, a-Si）的 TFT 工艺、基于低温多晶硅
20 （Low Temperature Poly-silicon, LTPS）技术的 TFT 工艺以及基于氧化铟镓锌（Indium Gallium Zinc oxide, IGZO）的 TFT 工艺。

又例如，所述薄膜晶体管器件的用途可以包括但不限于：平板显示器件、光电平板感应器件或温度平板感应器件。

可选地，在本申请的一些实施例中，所述在所述基底 100 的上方设置薄
25 膜晶体管器件之前，所述方法 200 还可包括：

采用充填材料充填所述槽状结构，所述填充材料用于将所述芯片固定在所述槽状结构内。

例如，图 9 是填充图 8 所示的结构内的槽状结构 101 后形成的结构的示例性截面图。如图 9 所示，在所述基底 100 上方设置薄膜晶体管器件之前，
30 先采用充填材料充填所述槽状结构 101，所述填充材料用于将所述芯片 103 固定在所述槽状结构 101 内，然后在所述槽状结构 101 内的填充材料和所述

基底 101 的上方，设置所述薄膜晶体管器件。

可选地，在本申请的一些实施例中，所述填充材料的热膨胀系数与所述基底的热膨胀系数的差值小于或等于预设阈值。

5 可选地，在本申请的一些实施例中，所述填充材料和所述基底的材料为同一种材料。

可选地，在本申请的一些实施例中，所述填充材料可以为环氧树脂注塑化合物（Epoxy Molding Compound, EMC）材料。

可选地，在本申请的一些实施例中，所述填充材料在固化前可流动。

10 可选地，在本申请的一些实施例中，所述至少一条连接线设置在所述基底和所述填充材料之间。

可选地，在本申请的一些实施例中，所述至少一条连接线设置在所述填充材料和所述槽状结构的上表面。

可选地，在本申请的一些实施例中，采用所述填充材料完整填充所述槽状结构。

15 可选地，在本申请的一些实施例中，采用填充材料部分填充所述槽状结构。

可选地，在本申请的一些实施例中，所述方法还包括：

在所述薄膜晶体管器件内设置连接层，所述连接层连接至外部器件和/或所述至少一条连接线。

20 例如，如图 2 所示，可以在所述薄膜晶体管器件 105 内设置连接层 112，所述连接层 112 连接至外部器件和/或所述至少一条连接线。

可选地，在本申请的一些实施例中，所述方法 200 还可包括：

在所述基板的上方设置光电二极管，所述光电二极管与所述薄膜晶体管器件内的电极层相连。

25 例如，如图 2 所示，可以在所述薄膜晶体管器件 105 内设置光电二极管 110，所述光电二极管 110 与所述薄膜晶体管器件 105 内的电极层相连。

可选地，在本申请的一些实施例中，所述基底采用的材料为玻璃材料或聚酰亚胺材料。

可选地，在本申请的一些实施例中，所述方法 200 还可包括：

30 在所述基底的上方设置至少一个连接端，所述至少一个连接端用于与外界器件电连接。

例如，如图 3 所示，可以在所述基底 100 的上表面设置平行排列的至少一连接端 113。

可选地，在本申请的一些实施例中，所述至少一个连接端中的一个连接端与所述至少一条连接线 102 中的一条连接线 102 相连。

5 可选地，在本申请的一些实施例中，所述至少一个连接端与所述薄膜晶体管器件 105 内的电极层相连。

在一些可能的实现方式中，所述连接端为焊盘或锡球。

应理解，方法实施例与集成装置的实施例可以相互对应，类似的描述可以参照集成装置的具体实施例。为了简洁，在此不再赘述。

10 还应理解，上述列举的制备集成装置的方法 200 的各实施例，可以通过机器人或者数控加工方式来执行，用于执行所述方法 200 的设备软件或工艺可以通过执行保存在存储器中的计算机程序代码来执行上述方法 200。

需要说明的是，在不冲突的前提下，本申请描述的各个实施例和/或各个实施例中的技术特征可以任意的相互组合，组合之后得到的技术方案也应落
15 入本申请的保护范围。

应理解，在本申请的各种实施例中，上述各过程的序号的大小并不意味着执行顺序的先后，各过程的执行顺序应以其功能和内在逻辑确定，而不应对本申请实施例的实施过程构成任何限定。

例如，本申请实施例中，可以将填充材料填充到所述槽状结构 101 后再
20 设置所述至少一条连接线 102，也可以设置好所述至少一条连接线 102 后再将所述芯片 103 固定在所述槽状结构 101 内。

本领域普通技术人员可以意识到，结合本文中所公开的实施例描述的各示例的单元及算法步骤，能够以电子硬件、或者计算机软件和电子硬件的结合来实现。这些功能究竟以硬件还是软件方式来执行，取决于技术方案的特
25 定应用和设计约束条件。专业技术人员可以对每个特定的应用来使用不同方法来实现所描述的功能，但是这种实现不应认为超出本申请的范围。

在本申请所提供的几个实施例中，应该理解到，所揭露的集成装置、集成装置内的部件和制备集成装置的方法，可以通过其它的方式实现。例如，以上所描述的集成装置实施例仅仅是示例性的，例如，所述部件的划分，仅仅为一种逻辑功能划分，实际实现时可以有另外的划分方式，例如多个部件
30 或组件可以结合或者可以集成到另一个系统，或一些特征可以忽略，或不执

行。另一点，所显示或讨论的相互之间的耦合或直接耦合或通信连接可以是通过一些接口，器件或部件的间接耦合或通信连接，可以是电性，机械或其它的形式。

5 以上所述，仅为本申请的具体实施方式，但本申请的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本申请揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本申请的保护范围之内。因此，本申请的保护范围应以所述权利要求的保护范围为准。

权利要求

1. 一种包括薄膜晶体管器件的集成装置，其特征在于，包括：

基底、芯片和薄膜晶体管器件；

5 所述薄膜晶体管器件设置在所述基底的上方；

其中，所述基底的上表面向下延伸形成有槽状结构，所述槽状结构内设置有至少一条连接线，所述芯片设置在所述槽状结构内，并通过所述至少一条连接线与所述薄膜晶体管器件连接。

2. 根据权利要求1所述的集成装置，其特征在于，所述薄膜晶体管器件
10 至少覆盖所述槽状结构的开口。

3. 根据权利要求1或2所述的集成装置，其特征在于，所述芯片的厚度小于或等于所述槽状结构的深度。

4. 根据权利要求3所述的集成装置，其特征在于，所述槽状结构的深度大于100微米um。

15 5. 根据权利要求1至4中任一项所述的集成装置，其特征在于，所述槽状结构的侧面与所述槽状结构的下表面形成的角度大于预设角度。

6. 根据权利要求1至5中任一项所述的集成装置，其特征在于，所述至少一条连接线采用的材料为以下材料中的任一种：

20 钼-铝-钼 Mo-Al-Mo 结构金属材料，钛-铝-钛 Ti-Al-Ti 结构金属材料、导电玻璃材料和金属材料。

7. 根据权利要求1至6中任一项所述的集成装置，其特征在于，所述芯片通过导电胶与所述至少一条连接线相连。

8. 根据权利要求1至7中任一项所述的集成装置，其特征在于，所述芯片设置有至少一个焊盘。

25 9. 根据权利要求8所述的集成装置，其特征在于，所述芯片的下表面上设置有所述至少一个焊盘。

10. 根据权利要求8所述的集成装置，其特征在于，所述芯片的上表面上设置有所述至少一个焊盘。

30 11. 根据权利要求8所述的集成装置，其特征在于，所述至少一个焊盘和所述至少一条连接线一一对应。

12. 根据权利要求1至11中任一项所述的集成装置，其特征在于，所述

芯片包括数据驱动芯片，所述数据驱动芯片通过所述至少一条连接线连接至所述薄膜晶体管器件内的电极层。

13. 根据权利要求 1 至 12 中任一项所述的集成装置，其特征在于，所述芯片包括扫描驱动芯片，所述扫描驱动芯片通过所述至少一条连接线连接至所述薄膜晶体管器件内的电极层。

14. 根据权利要求 1 至 13 中任一项所述的集成装置，其特征在于，所述集成装置还包括：

所述槽状结构内的填充材料，所述填充材料用于将所述芯片固定在所述槽状结构内。

15. 根据权利要求 14 所述的集成装置，其特征在于，所述填充材料的热膨胀系数与所述基底的热膨胀系数的差值小于或等于预设阈值。

16. 根据权利要求 14 所述的集成装置，其特征在于，所述填充材料和所述基底的材料为同一种材料。

17. 根据权利要求 14 所述的集成装置，其特征在于，所述填充材料在固化前可流动。

18. 根据权利要求 14 所述的集成装置，其特征在于，所述至少一条连接线设置在所述基底和所述填充材料之间。

19. 根据权利要求 14 所述的集成装置，其特征在于，所述至少一条连接线设置在所述填充材料的上表面和所述槽状结构的上表面。

20. 根据权利要求 14 所述的集成装置，其特征在于，所述填充材料完整填充所述槽状结构。

21. 根据权利要求 14 所述的集成装置，其特征在于，所述填充材料部分填充所述槽状结构。

22. 根据权利要求 1 至 21 中任一项所述的集成装置，其特征在于，所述薄膜晶体管器件包括：

连接层，所述连接层连接至外部器件和/或所述至少一条连接线。

23. 根据权利要求 1 至 22 中任一项所述的集成装置，其特征在于，所述集成装置还包括：

光电二极管，所述光电二极管设置在所述基底的上方，所述光电二极管与所述薄膜晶体管器件内的电极层相连。

24. 根据权利要求 1 至 23 中任一项所述的集成装置，其特征在于，所述

基底采用的材料为玻璃材料或聚酰亚胺材料。

25. 根据权利要求 1 至 24 中任一项所述的集成装置，其特征在于，所述集成装置还包括：

5 至少一个连接端，所述至少一个连接端用于与外界器件电连接，所述至少一个连接端设置在所述基底的上方。

26. 根据权利要求 25 所述的集成装置，其特征在于，所述至少一个连接端中的一个连接端与所述至少一条连接线中的一条连接线相连。

27. 根据权利要求 25 所述的集成装置，其特征在于，所述至少一个连接端与所述薄膜晶体管器件内的电极层相连。

10 28. 根据权利要求 25 所述的集成装置，其特征在于，所述连接端为焊盘或锡球。

29. 一种显示装置，其特征在于，包括：

权利要求 1 至 28 中任一项所述的集成装置。

30. 一种电子设备，其特征在于，包括：

15 权利要求 29 所述的显示装置。

31. 一种制备包括薄膜晶体管器件的集成装置的方法，其特征在于，包括：

在基底的上表面形成槽状结构；

在所述槽状结构内设置至少一个连接线；

20 将芯片设置在所述槽状结构内；

在所述基底的上方制备薄膜晶体管器件，所述芯片通过所述至少一条连接线与所述薄膜晶体管器件连接。

32. 根据权利要求 31 所述的方法，其特征在于，所述在基底的上表面形成槽状结构，包括：

25 通过光刻工艺确定所述槽状结构的位置；

在所述槽状结构的位置，通过刻蚀工艺形成所述槽状结构。

33. 根据权利要求 31 或 32 所述的方法，其特征在于，所述刻蚀工艺包括以下工艺中的至少一种：

干法刻蚀工艺、湿法刻蚀工艺和激光刻蚀工艺。

30 34. 根据权利要求 31 至 33 中任一项所述的方法，其特征在于，所述芯片的厚度小于或等于所述槽状结构的深度。

35. 根据权利要求 34 所述的方法, 其特征在于, 所述槽状结构的深度大于 100 微米 μm 。

36. 根据权利要求 31 至 35 中任一项所述的方法, 其特征在于, 所述槽状结构的侧面与所述槽状结构的下表面形成的角度大于预设角度。

5 37. 根据权利要求 31 至 36 中任一项所述的方法, 其特征在于, 所述在所述槽状结构内设置至少一个连接线, 包括:

通过沉积的方式或电镀的方式, 在所述槽状结构内形成连接线所在层;

通过光刻工艺在所述连接线所在层上确定至少一条连接线的位置;

10 在所述连接线所在层中除所述至少一条连接线的位置进行刻蚀, 形成所述至少一条连接线。

38. 根据权利要求 37 所述的方法, 其特征在于, 所述沉积的方式包括: 物理气相沉积 PVD 方式和化学气相沉积 CVD 方式。

39. 根据权利要求 31 至 38 中任一项所述的方法, 其特征在于, 所述至少一条连接线采用的材料为以下材料中的任一种:

15 钼-铝-钼 Mo-Al-Mo 结构金属材料, 钛-铝-钛 Ti-Al-Ti 结构金属材料、导电玻璃材料和金属材料。

40. 根据权利要求 31 至 39 中任一项所述的方法, 其特征在于, 所述芯片通过导电胶与所述至少一条连接线相连。

20 41. 根据权利要求 31 至 40 中任一项所述的方法, 其特征在于, 所述芯片设置有至少一个焊盘。

42. 根据权利要求 41 所述的方法, 其特征在于, 所述芯片的下表面上设置有所述至少一个焊盘。

43. 根据权利要求 41 所述的方法, 其特征在于, 所述芯片的上表面上设置有所述至少一个焊盘。

25 44. 根据权利要求 41 所述的方法, 其特征在于, 所述至少一个焊盘和所述至少一条连接线一一对应。

45. 根据权利要求 31 至 44 中任一项所述的方法, 其特征在于, 所述芯片包括数据驱动芯片, 所述数据驱动芯片通过所述至少一条连接线连接至所述薄膜晶体管器件内的电极层。

30 46. 根据权利要求 31 至 45 中任一项所述的方法, 其特征在于, 所述芯片包括扫描驱动芯片, 所述扫描驱动芯片通过所述至少一条连接线连接至所

述薄膜晶体管器件内的电极层。

47. 根据权利要求 31 至 46 中任一项所述的方法，其特征在于，所述在所述基底的上方制备薄膜晶体管器件之前，所述方法还包括：

5 采用充填材料充填所述槽状结构，所述填充材料用于将所述芯片固定在所述槽状结构内。

48. 根据权利要求 47 所述的方法，其特征在于，所述填充材料的热膨胀系数与所述基底的热膨胀系数的差值小于或等于预设阈值。

49. 根据权利要求 47 所述的方法，其特征在于，所述填充材料和所述基底的材料为同一种材料。

10 50. 根据权利要求 47 所述的方法，其特征在于，所述填充材料在固化前可流动。

51. 根据权利要求 47 所述的方法，其特征在于，所述至少一条连接线设置在所述基底和所述填充材料之间。

15 52. 根据权利要求 47 所述的方法，其特征在于，所述至少一条连接线设置在所述填充材料和所述槽状结构的上表面。

53. 根据权利要求 47 所述的方法，其特征在于，所述采用充填材料充填所述槽状结构，包括：

采用所述填充材料完整填充所述槽状结构。

20 54. 根据权利要求 47 所述的方法，其特征在于，所述采用充填材料充填所述槽状结构，包括：

采用填充材料部分填充所述槽状结构。

55. 根据权利要求 31 至 54 中任一项所述的方法，其特征在于，所述方法还包括：

25 在所述薄膜晶体管器件内设置连接层，所述连接层连接至外部器件和/或所述至少一条连接线。

56. 根据权利要求 31 至 55 中任一项所述的方法，其特征在于，所述方法还包括：

在所述基板的上方设置光电二极管，所述光电二极管与所述薄膜晶体管器件内的电极层相连。

30 57. 根据权利要求 31 至 56 中任一项所述的方法，其特征在于，所述基底采用的材料为玻璃材料或聚酰亚胺材料。

58. 根据权利要求 31 至 57 中任一项所述的方法，其特征在于，所述方法还包括：

在所述基底的上方设置至少一个连接端，所述至少一个连接端用于与外界器件电连接。

5 59. 根据权利要求 58 所述的方法，其特征在于，所述至少一个连接端中的一个连接端与所述至少一条连接线中的一条连接线相连。

60. 根据权利要求 58 所述的方法，其特征在于，所述至少一个连接端与所述薄膜晶体管器件内的电极层相连。

10 61. 根据权利要求 58 所述的方法，其特征在于，所述连接端为焊盘或锡球。

62. 一种显示装置，其特征在于，包括：

根据权利要求 31 至 61 中任一项所述的方法制备的包括薄膜晶体管器件的集成装置。

63. 一种电子设备，其特征在于，包括：

15 权利要求 62 所述的显示装置。

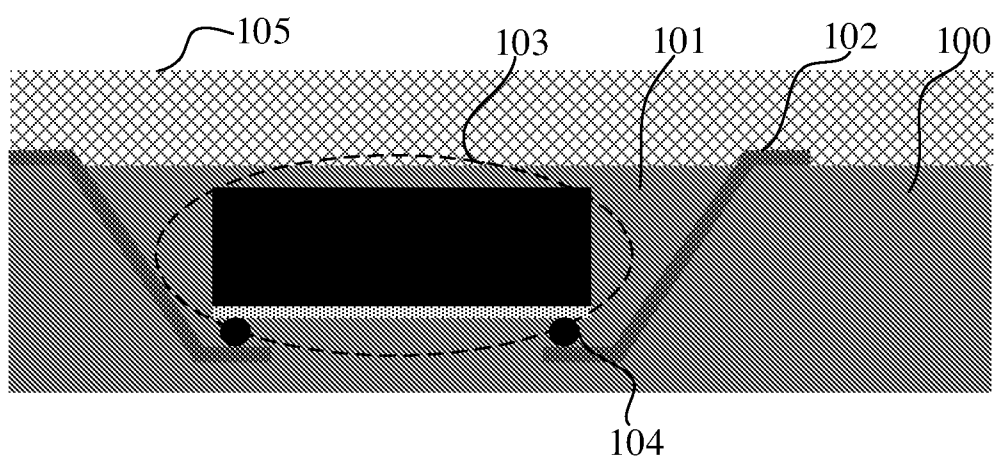


图 1

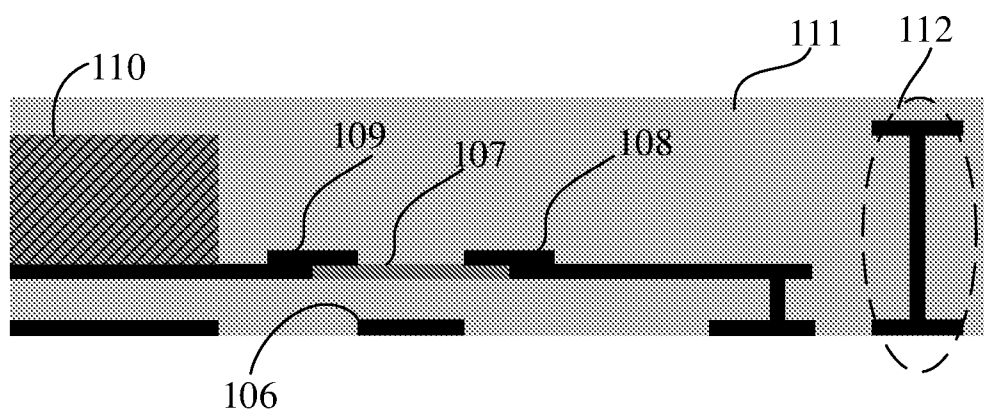


图 2

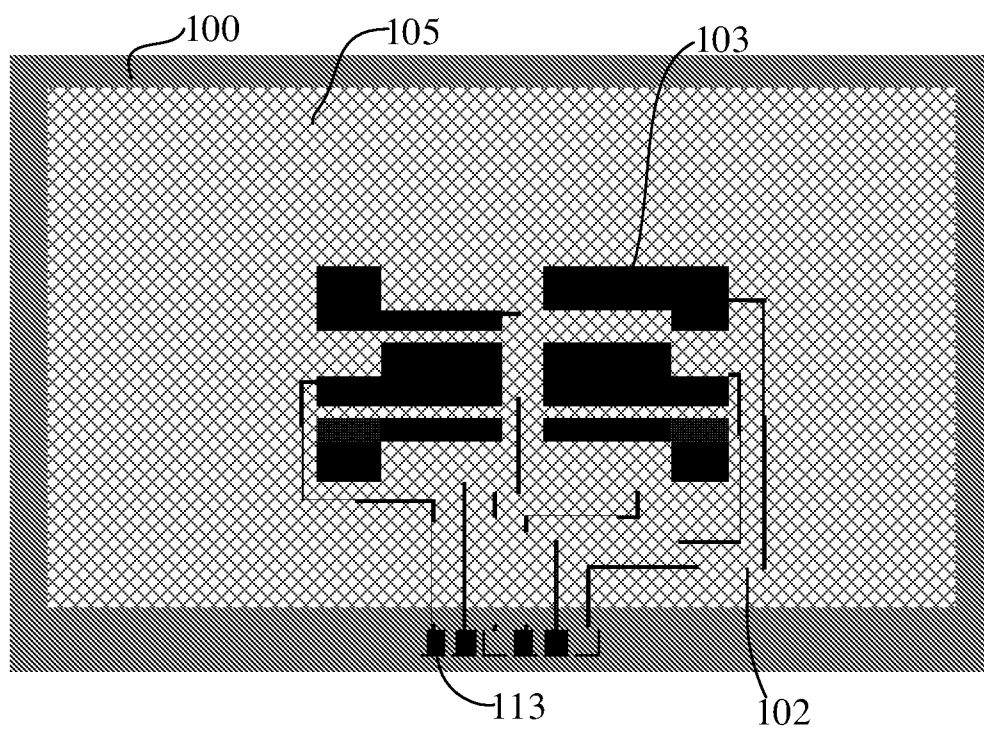


图 3

200

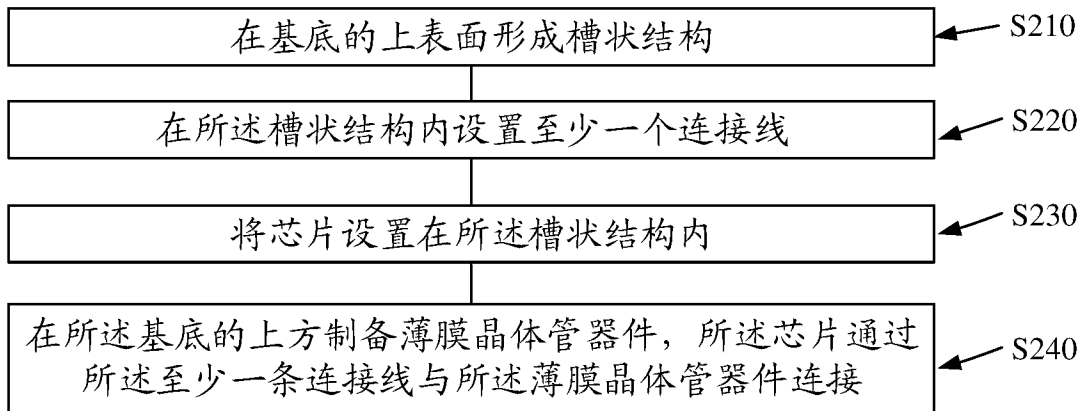


图 4

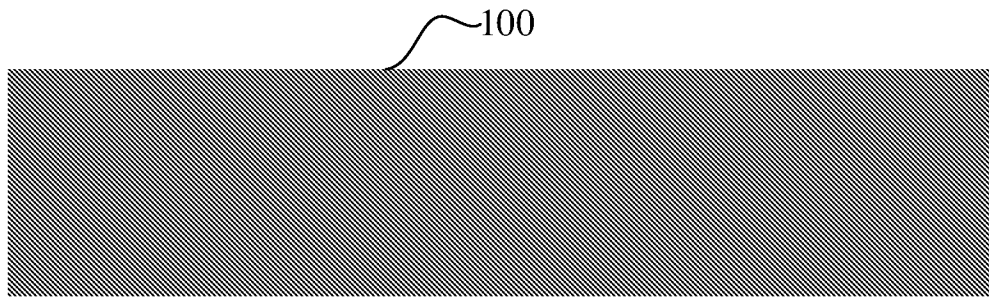


图 5

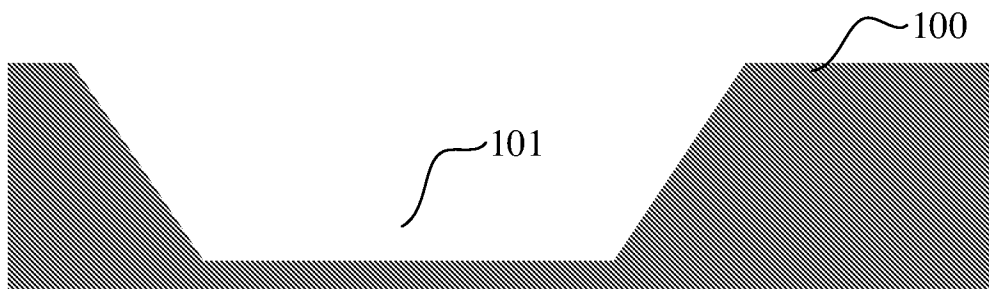


图 6

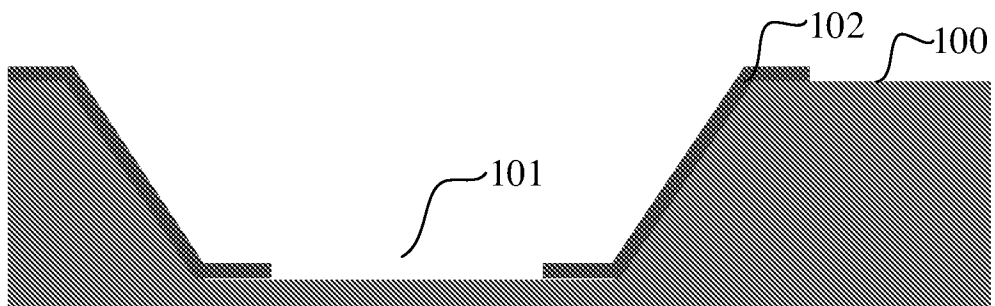


图 7

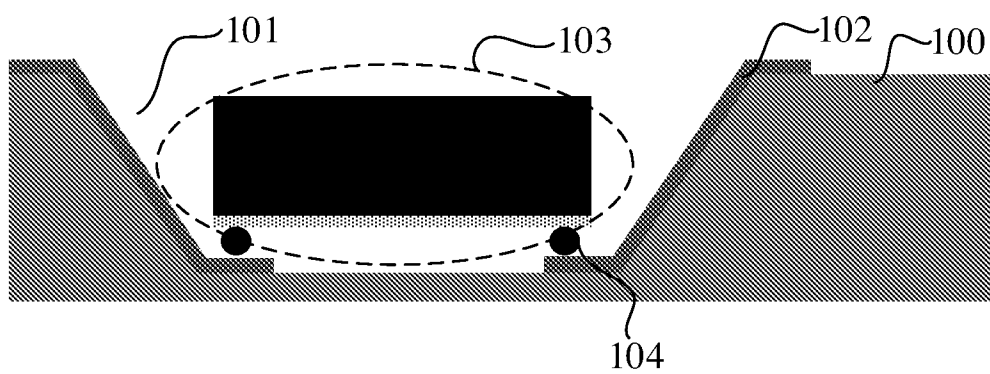


图 8

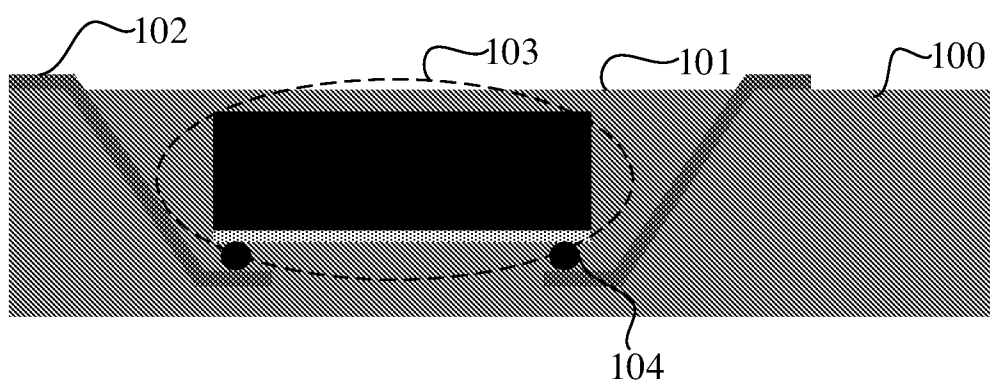


图 9

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/110508

A. CLASSIFICATION OF SUBJECT MATTER

H01L 51/52(2006.01)i; H01L 51/56(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC, CNPAT, CNKI: 王文轩, (薄膜 2w 晶体管), 沟槽, 晶体管, 芯片, 显示, (thin 2w film), transistor?, trench, display, IC, LED, TFT

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 106898706 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 27 June 2017 (2017-06-27) description, paragraphs [0042]-[0075], and figures 2-7	1-63
A	US 2017179192 A1 (HONG KONG BEIDA JADE BIRD DISPLAY LIMITED) 22 June 2017 (2017-06-22) entire document	1-63
A	CN 108183156 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 19 June 2018 (2018-06-19) entire document	1-63
A	CN 106898633 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 27 June 2017 (2017-06-27) entire document	1-63

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

11 June 2019

Date of mailing of the international search report

02 July 2019

Name and mailing address of the ISA/CN

National Intellectual Property Administration, PRC (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Authorized officer

Facsimile No. (86-10)62019451

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2018/110508

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	106898706	A	27 June 2017	US	10276550	B2	30 April 2019
				US	2018301442	A1	18 October 2018
				WO	2018152895	A1	30 August 2018
US	2017179192	A1	22 June 2017	US	10079264	B2	18 September 2018
				CN	109314083	A	05 February 2019
				WO	2017112674	A1	29 June 2017
				EP	3394884	A1	31 October 2018
				TW	201732770	A	16 September 2017
CN	108183156	A	19 June 2018	None			
CN	106898633	A	27 June 2017	US	2018301441	A1	18 October 2018
				WO	2018152894	A1	30 August 2018
				US	10249602	B2	02 April 2019

国际检索报告

国际申请号

PCT/CN2018/110508

A. 主题的分类

H01L 51/52 (2006.01) i; H01L 51/56 (2006.01) i

按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献 (标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))

WPI, EPDOC, CNPAT, CNKI: 王文轩, (薄膜 2w 晶体管), 沟槽, 晶体管, 芯片, 显示, (thin 2w film), transistor?, trench, display, IC, LED, TFT

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 106898706 A (深圳市华星光电技术有限公司) 2017年 6月 27日 (2017 - 06 - 27) 说明书第[0042]-[0075]段, 图2-7	1-63
A	US 2017179192 A1 (HONG KONG BEIDA JADE BIRD DISPLAY LIMITED) 2017年 6月 22日 (2017 - 06 - 22) 全文	1-63
A	CN 108183156 A (深圳市华星光电技术有限公司) 2018年 6月 19日 (2018 - 06 - 19) 全文	1-63
A	CN 106898633 A (深圳市华星光电技术有限公司) 2017年 6月 27日 (2017 - 06 - 27) 全文	1-63

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2019年 6月 11日

国际检索报告邮寄日期

2019年 7月 2日

ISA/CN的名称和邮寄地址

中国国家知识产权局 (ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

赵凤瑗

电话号码 (86-10) 53961478

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/110508

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	106898706	A	2017年 6月 27日	US	10276550	B2	2019年 4月 30日
				US	2018301442	A1	2018年 10月 18日
				WO	2018152895	A1	2018年 8月 30日
US	2017179192	A1	2017年 6月 22日	US	10079264	B2	2018年 9月 18日
				CN	109314083	A	2019年 2月 5日
				WO	2017112674	A1	2017年 6月 29日
				EP	3394884	A1	2018年 10月 31日
				TW	201732770	A	2017年 9月 16日
CN	108183156	A	2018年 6月 19日	无			
CN	106898633	A	2017年 6月 27日	US	2018301441	A1	2018年 10月 18日
				WO	2018152894	A1	2018年 8月 30日
				US	10249602	B2	2019年 4月 2日