

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成29年10月26日 (2017.10.26)

【公表番号】特表2016-506082(P2016-506082A)

【公表日】平成28年2月25日 (2016.2.25)

【年通号数】公開・登録公報2016-012

【出願番号】特願2015-550821(P2015-550821)

【国際特許分類】

H 0 1 L 29/78 (2006.01)

H 0 1 L 29/06 (2006.01)

H 0 1 L 21/336 (2006.01)

【F I】

H 0 1 L 29/78 6 5 2 H

H 0 1 L 29/78 6 5 3 A

H 0 1 L 29/06 3 0 1 F

H 0 1 L 29/06 3 0 1 V

H 0 1 L 29/78 6 5 8 A

【誤訳訂正書】

【提出日】平成29年9月14日 (2017.9.14)

【誤訳訂正 1】

【訂正対象書類名】明細書

【訂正対象項目名】0 0 8 1

【訂正方法】変更

【訂正の内容】

【0 0 8 1】

概念 2 6。フィールドプレート絶縁体領域の厚さ、及びフィールドプレート領域とフィールドリング領域の間のコンタクトエリアの厚さは、ドレイン電圧がピンチオフ電圧より大きいときに、各フィールドプレート領域が異なる電位にフロートするように選択される、概念 2 1 ~ 2 5 のいずれか 1 つによる金属酸化膜半導体電界効果トランジスタ。

【誤訳訂正 2】

【訂正対象書類名】特許請求の範囲

【訂正対象項目名】全文

【訂正方法】変更

【訂正の内容】

【特許請求の範囲】

【請求項 1】

複数のフィールドプレート絶縁体領域、

前記複数のフィールドプレート絶縁体領域の間に散在する、複数のフィールドプレート領域、及び

前記複数のフィールドプレート領域が結合されたフィールドリング領域

を含むフィールドプレート積層体と、

ゲート絶縁体領域によって取り囲まれたゲート領域を含むゲート構造体と、

ソース領域と、

ドリフト領域と、

前記ゲート構造体、前記ソース領域、前記ドリフト領域、及び前記フィールドリング領域の間に配置されたボディ領域と

を備え、

前記複数のフィールドプレート絶縁体領域の少なくとも一つの厚さ、及び前記複数のフ

フィールドプレート領域の少なくとも一つと前記フィールドリング領域の間のコンタクトエリアの厚さは、ドレイン電圧がピンチオフ電圧より大きいときに、各フィールドプレート領域が異なる電位にフロートするように選択されている、装置。

【請求項 2】

前記フィールドリング領域を介して、前記複数のフィールドプレート領域のそれぞれと、前記ボディ領域とが結合している、請求項 1 に記載の装置。

【請求項 3】

前記ドリフト領域は、リン又は砒素で中濃度ドーブされたエピタキシャルシリコンを備え、

前記複数のボディ領域は、ボロンで中濃度ドーブされたシリコンを備え、

前記複数のソース領域は、リン又は砒素で高濃度ドーブされたシリコンを備え、

前記複数のゲート領域は、リン又は砒素で高濃度ドーブされたポリシリコンを備え、

前記複数のフィールドプレート領域は、ボロンで高濃度ドーブされたポリシリコンを備え、

前記複数のフィールドリング領域は、ボロンで高濃度ドーブされたエピタキシャルシリコンを備える、

請求項 1 に記載の装置。

【請求項 4】

前記ドリフト領域は、ボロンで中濃度ドーブされたエピタキシャルシリコンを備え、

前記複数のボディ領域は、リン又は砒素で中濃度ドーブされたシリコンを備え、

前記複数のソース領域は、ボロンで高濃度ドーブされたシリコンを備え、

前記複数のゲート領域は、ボロンで高濃度ドーブされたポリシリコンを備え、

前記複数のフィールドプレート領域は、リン又は砒素で高濃度ドーブされたポリシリコンを備え、

前記複数のフィールドリング領域は、リン又は砒素で高濃度ドーブされたエピタキシャルシリコンを備える、

請求項 1 に記載の装置。

【請求項 5】

前記フィールドプレート積層体の深さは、前記ゲート構造体の深さより大きい、請求項 1 に記載の装置。

【請求項 6】

第 1 のタイプのドーパントで中濃度ドーブされた半導体層を、前記第 1 のタイプのドーパントで高濃度ドーブされた半導体層上に形成するステップと、

前記第 1 のタイプのドーパントで中濃度ドーブされた前記半導体層内に、複数のフィールドプレート積層体トレンチを形成するステップと、

前記フィールドプレート積層体トレンチの側壁に沿って、前記第 1 のタイプのドーパントで中濃度ドーブされた前記半導体層内に、第 2 のタイプのドーパントで高濃度ドーブされた半導体領域を形成するステップと、

前記フィールドプレート積層体トレンチ内に、第 1 の誘電体層を形成するステップであって、前記第 1 の誘電体層は、底部と 2 つの側部とを有する、ステップと、

前記フィールドプレート積層体トレンチ内の前記第 1 の誘電体層上に、前記第 2 のタイプのドーパントで高濃度ドーブされた第 1 の半導体層を形成するステップであって、前記第 1 の半導体層の第 1 の部分は、前記第 2 のタイプのドーパントで高濃度ドーブされた前記半導体領域の第 1 の部分と接触し、前記第 1 の半導体層の第 2 の部分は、前記第 1 の誘電体層の前記底部及び前記 2 つの側部内に配置されている、ステップと、

前記フィールドプレート積層体トレンチ内に、前記第 2 のタイプのドーパントで高濃度ドーブされた前記第 1 の半導体層上に、第 2 の誘電体層を形成するステップと、

前記フィールドプレート積層体トレンチ内の前記第 2 の誘電体層上に、前記第 2 のタイプのドーパントで高濃度ドーブされた第 2 の半導体層を形成するステップであって、前記第 2 の半導体層の一部分は、前記第 2 のタイプのドーパントで高濃度ドーブされた前記半

導体領域の第 2 の部分に接触する、ステップと、

前記第 1 のタイプのドーパントで低濃度ドーブされた前記半導体層内に、複数のゲートトレンチを形成するステップと、

前記ゲートトレンチ内に誘電体層を形成するステップと、

前記ゲートトレンチ内の前記誘電体層上に、前記第 1 のタイプのドーパントで高濃度ドーブされた半導体層を形成するステップと、

前記第 1 のタイプのドーパントで中濃度ドーブされた前記半導体層内に、前記第 1 のタイプのドーパントで高濃度ドーブされた前記半導体層と反対側に、且つ前記ゲートトレンチ内の前記誘電体層と、前記フィールドプレート積層体トレンチの側壁に沿って前記第 2 のタイプのドーパントで高濃度ドーブされた前記半導体領域の間に、前記第 2 のタイプのドーパントで中濃度ドーブされた半導体領域を形成するステップと、

前記第 2 のタイプのドーパントで中濃度ドーブされた前記半導体領域内に、前記第 1 のタイプのドーパントで低濃度ドーブされた前記半導体層と反対側に、前記ゲートトレンチ内の前記誘電体層に隣接するが、前記フィールドプレート積層体トレンチの側壁に沿って前記第 2 のタイプのドーパントで高濃度ドーブされた前記半導体領域からは前記第 2 のタイプのドーパントで中濃度ドーブされた前記半導体領域によって分離された、前記第 1 のタイプのドーパントで高濃度ドーブされた半導体領域を形成するステップと

を含み、

ソースとドレイン間のチャンネルにおける電位降下プロファイルに応じて、前記第 1 の半導体層及び前記第 2 の半導体層は、ソース領域及びドレイン領域に対するそれらの位置に応じて異なる電位にフロートされている、方法。

【請求項 7】

前記フィールドプレート積層体トレンチ内に、前記第 2 のタイプのドーパントで高濃度ドーブされた前記第 2 の半導体層上に、第 3 の誘電体層を形成するステップと、

前記フィールドプレート積層体トレンチ内の前記第 3 の誘電体層上に、前記第 2 のタイプのドーパントで高濃度ドーブされた第 3 の半導体層を形成するステップであって、前記第 3 の半導体層の一部分は、前記第 2 のタイプのドーパントで高濃度ドーブされた前記半導体領域の第 3 の部分に接触する、ステップと

をさらに含み、

ソースとドレイン間のチャンネルにおける電位降下プロファイルに応じて、前記第 1 の半導体層、前記第 2 の半導体層及び前記第 3 の半導体層は、ソース領域及びドレイン領域に対するそれらの位置に応じて異なる電位にフロートされている、請求項 6 に記載の方法。

【請求項 8】

前記フィールドプレート積層体トレンチ内の、前記第 2 のタイプのドーパントで高濃度ドーブされた前記第 3 の半導体層上に、第 4 の誘電体層を形成するステップと、

前記フィールドプレート積層体トレンチ内の、前記第 4 の誘電体層上に、前記第 2 のタイプのドーパントで高濃度ドーブされた第 4 の半導体層を形成するステップと

をさらに含む、請求項 7 に記載の方法。

【請求項 9】

前記フィールドプレート積層体トレンチ内に、第 1 の誘電体層及び第 1 の半導体層を形成する前記ステップが、

前記フィールドプレート積層体トレンチ内に、第 1 の誘電体層を成長させるサブステップと、

前記フィールドプレート積層体トレンチ内に、前記第 2 のタイプのドーパントで高濃度ドーブされた前記第 1 の半導体層の一部分を堆積するサブステップと、

前記フィールドプレート積層体トレンチ内の、前記第 2 のタイプのドーパントで高濃度ドーブされた前記第 1 の半導体層の前記部分を、第 1 の所定の厚さまでエッチバックするサブステップと、

前記フィールドプレート積層体トレンチ内の前記第 1 の誘電体層を、前記フィールドプレート積層体トレンチ内の前記第 2 のタイプのドーパントで高濃度ドーブされた前記第 1

の半導体層の前記部分の前記第 1 の所定の厚さまで、エッチバックするサブステップと、
前記フィールドプレート積層体トレンチ内に、前記第 2 のタイプのドーパントで高濃度ドーパされた前記第 1 の半導体層の他の部分を堆積するサブステップと、

前記フィールドプレート積層体トレンチ内の、前記第 2 のタイプのドーパントで高濃度ドーパされた前記第 1 の半導体層の前記他の部分を、第 2 の所定の厚さまでエッチバックするサブステップであって、前記第 2 の所定の厚さの前記第 2 のタイプのドーパントで高濃度ドーパされた前記第 1 の半導体層の前記他の部分は、前記第 2 のタイプのドーパントで高濃度ドーパされた前記半導体領域の前記第 1 の部分に接触する、サブステップと
を含む、請求項 6 に記載の方法。

【請求項 10】

前記フィールドプレート積層体トレンチの側壁に沿って、前記第 1 のタイプのドーパントで低濃度ドーパされた前記半導体層内に、前記第 2 のタイプのドーパントで高濃度ドーパされた半導体領域を形成する前記ステップが、前記フィールドプレート積層体トレンチの側壁に沿って、前記第 1 のタイプのドーパントで低濃度ドーパされた前記半導体層内に、前記第 2 のタイプのドーパントを傾斜注入するサブステップを含む、請求項 6 に記載の方法。

【請求項 11】

前記フィールドプレート積層体トレンチの側壁に沿って、前記第 1 のタイプのドーパントで低濃度ドーパされた前記半導体層内に、前記第 2 のタイプのドーパントで高濃度ドーパされた半導体領域を形成する前記ステップが、

前記フィールドプレート積層体トレンチにおいて、前記第 2 のタイプのドーパントで高濃度ドーパされた前記第 1 の半導体層の前記部分に隣接する前記フィールドプレート積層体トレンチの側壁に沿って、前記第 1 のタイプのドーパントで低濃度ドーパされた前記半導体層内に、前記第 2 のタイプのドーパントで高濃度ドーパされた第 1 の半導体領域を形成するサブステップと、

前記フィールドプレート積層体トレンチにおいて、前記第 2 のタイプのドーパントで高濃度ドーパされた前記第 2 の半導体層の前記部分に隣接する前記フィールドプレート積層体トレンチの側壁に沿って、前記第 2 のタイプのドーパントで中濃度ドーパされた前記半導体領域内に、前記第 2 のタイプのドーパントで高濃度ドーパされた第 2 の半導体領域を形成するサブステップと

をさらに含む、請求項 6 に記載の方法。

【請求項 12】

前記フィールドプレート積層体トレンチの側壁に沿って、前記第 1 のタイプのドーパントで低濃度ドーパされた前記半導体層内に、前記第 1 のタイプのドーパントで高濃度ドーパされた第 1 の半導体領域を形成する前記サブステップ、及び前記フィールドプレート積層体トレンチの側壁に沿って、前記第 2 のタイプのドーパントで中濃度ドーパされた前記半導体領域内に、前記第 2 のタイプのドーパントで高濃度ドーパされた第 2 の半導体領域を形成する前記サブステップが、前記フィールドプレート積層体トレンチ内の前記第 2 のタイプのドーパントで高濃度ドーパされた前記第 1 の半導体層、及び前記フィールドプレート積層体トレンチ内の前記第 2 のタイプのドーパントで高濃度ドーパされた前記第 2 の半導体層から、前記第 2 のタイプのドーパントを外方拡散させることを含む、請求項 11 に記載の方法。

【請求項 13】

高濃度第 1 タイプドーパ半導体を備えるドレイン領域と、

前記ドレイン領域上に配置されたドリフト領域であって、中濃度第 1 タイプドーパ半導体を備えるドリフト領域と、

前記ドリフト領域上に、ドレイン領域と反対側に配置された複数のボディ領域であって、中濃度第 2 タイプドーパ半導体を備える複数のボディ領域と、

前記複数のボディ領域上に、前記ドリフト領域と反対側に配置された複数のソース領域であって、前記複数のソース領域は、高濃度第 1 タイプドーパ半導体を備え、前記複数の

ソース領域、前記複数のボディ領域、及び前記ドリフト領域は、複数のゲート構造体に隣接する、複数のソース領域と、

複数のゲート構造体であって、各ゲート構造体が、

前記複数のソース領域及び前記複数のボディ領域を貫いて延び、前記ドリフト領域内に部分的に延びる、複数の実質的に平行な細長いゲート領域、及び

前記複数のゲート領域と前記複数のソース領域、前記複数のボディ領域と前記ドリフト領域のそれぞれの1つの間にそれぞれが配置された複数のゲート絶縁体領域、

を含む、前記複数のゲート構造体と、

複数のフィールドプレート構造体であって、各フィールドプレート構造体は、前記ボディ領域を貫いて、前記ドリフト領域に延びて配置され、各ゲート構造体は、1組のフィールドプレート構造体の間に配置され、各フィールドプレート構造体は、

複数のフィールドプレート絶縁体領域、

高濃度第2タイプドープ半導体を備え、前記複数のフィールドプレート絶縁体領域の間に散在する、複数のフィールドプレート領域、及び

前記複数のフィールドプレート領域と前記隣接するドリフト領域との間に配置され、前記複数のフィールドプレート領域に結合された、フィールドリング領域

を含む、複数のフィールドプレート構造体と

を備え、

ソースとドレイン間のチャンネルにおける電位降下プロファイルに応じて、前記隣接するフィールドプレート領域は、前記ソース領域及びドレイン領域に対するそれらの位置に応じて異なる電位にフロートされている、装置。