

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2022 年 1 月 20 日 (20.01.2022)



(10) 国际公布号
WO 2022/012200 A1

- (51) 国际专利分类号:
GI1C 17/18 (2006.01)
- (21) 国际申请号: PCT/CN2021/097849
- (22) 国际申请日: 2021 年 6 月 2 日 (02.06.2021)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
202010687680.4 2020 年 7 月 16 日 (16.07.2020) CN
- (71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。
- (72) 发明人: 季汝敏 (JI, Rumin); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。
- (74) 代理人: 北京律智知识产权代理有限公司 (BEIJING INTELLEGAL INTELLECTUAL PROPERTY AGENT LTD.); 中国北京市朝阳区慧忠路 5 号 B1605、B1606、B1607, Beijing 100101 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB,

GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告 (条约第 21 条 (3))。

(54) Title: ANTIFUSE STORAGE UNIT STATE DETECTION CIRCUIT AND MEMORY

(54) 发明名称: 反熔丝存储单元状态检测电路及存储器

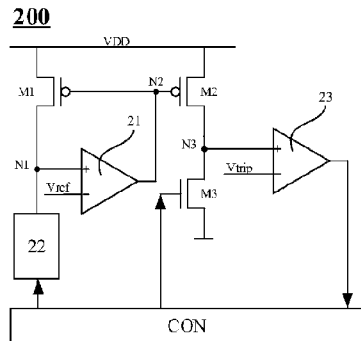


图 2

(57) Abstract: An antifuse storage unit state detection circuit (200) and a memory. The circuit comprises: an amplifier (21), having a first input end connected to a first reference voltage, a second input end connected to a first node, and an output end connected to a second node; an antifuse storage unit array (22), comprising a plurality of antifuse storage unit sub-arrays having bit lines all connected to the first node, and word lines all connected to a controller, the antifuse storage unit sub-arrays comprising a plurality of antifuse storage units (111); a first switch element, having a first end connected to a power source, a second end connected to the first node, and a control end connected to the second node; a second switch element, having a first end connected to the power source, a second end connected to a third node, and a control end connected to the second node; a third switch element, having a first end connected to the third node, a second end which is grounded, and a control end connected to the controller; a comparator (23), having a first input end connected to the third node, and a second input end connected to a second reference voltage. The detection circuit increases the accuracy of antifuse storage unit storage state detection.

(57) 摘要：一种反熔丝存储单元状态检测电路(200)及存储器，电路包括：放大器(21)，第一输入端连接第一参考电压，第二输入端连接第一节点，输出端连接第二节点；反熔丝存储单元阵列(22)，包括多个位线均连接第一节点、字线均连接控制器的反熔丝存储单元子阵列，反熔丝存储单元子阵列包括多个反熔丝存储单元(111)；第一开关元件，第一端连接电源，第二端连接第一节点，控制端连接第二节点；第二开关元件，第一端连接电源，第二端连接第三节点，控制端连接第二节点；第三开关元件，第一端连接第三节点，第二端接地，控制端连接控制器；比较器(23)，第一输入端连接第三节点，第二输入端连接第二参考电压。该检测电路可以提高反熔丝存储单元存储状态检测的准确度。

反熔丝存储单元状态检测电路及存储器

交叉引用

本公开要求于 2020 年 07 月 16 日提交的申请号为 202010687680.4、名称为“反熔丝存储单元状态检测电路及存储器”的中国专利申请的优先权，该中国专利申请的全部内容通过引用全部并入本文。

技术领域

本公开涉及集成电路技术领域，示例性而言，涉及一种反熔丝存储单元状态检测电路及应用该电路的存储器。

背景技术

现有技术往往通过简单的逻辑门电路对反熔丝存储单元的存储状态进行检测。参见图 1，以字线连接 FsBlin3 信号的反熔丝存储单元 11 为例：如果在编程的时候对该反熔丝存储单元进行烧录，该反熔丝存储单元由未存储状态转变为存储状态，通路电阻降低到较小值（几十千欧姆到几百千欧姆），则当该反熔丝存储单元被选中时，通路电流流经存储状态下的等效电阻，在节点 Node1 上产生较低的电压，使逻辑门 12 输出信号 D_out 为高电平；反之，如果在编程的时候没有对该反熔丝存储单元进行烧录，该反熔丝存储单元在通路中的等效电阻会比较大（几兆欧姆到几百兆欧姆），那么固定电路在该通路上产生的压降将超过逻辑门 12 的翻转点，使得逻辑门 12 的输出信号 D_out 为低电平。

在实际生产中，反熔丝存储单元在未存储状态下的电阻通常会在一个较宽的范围内波动，工艺、电压、温度等因素发生变化也会使得逻辑门电路的翻转点在较宽的范围内变化，这些因素都可能会导致对反熔丝存储单元的存储状态检测发生错误，例如将烧录过的反熔丝存储单元误判为未烧录反熔丝存储单元，或者将未烧录反熔丝存储单元误判为已烧录反熔丝存储单元，造成良率下降。

需要说明的是，在上述背景技术部分公开的信息仅用于加强对本公开的背景的理解，因此可以包括不构成对本领域普通技术人员已知的现有技术的信息。

发明内容

本公开的目的在于提供一种反熔丝存储单元状态检测电路及应用该电路的存储器，用于至少在一定程度上克服由于相关技术的限制和缺陷而导致的反熔丝存储单元的存储状态检测结果不准确的问题。

根据本公开的第一方面，提供一种反熔丝存储单元状态检测电路，包括：放大器，第一输入端连接第一参考电压，第二输入端连接第一节点，输出端连接第二节点；反熔丝存储单元阵列，包括多个反熔丝存储单元子阵列，所述多个反熔丝存储单元子阵列的位线均

连接所述第一节点，所述多个反熔丝存储单元子阵列的字线均连接控制器，所述反熔丝存储单元子阵列包括多个反熔丝存储单元；第一开关元件，第一端连接电源，第二端连接所述第一节点，控制端连接所述第二节点；第二开关元件，第一端连接所述电源，第二端连接第三节点，控制端连接所述第二节点；第三开关元件，第一端连接所述第三节点，第二端接地，控制端连接所述控制器；比较器，第一输入端连接所述第三节点，第二输入端连接第二参考电压。

在本公开的一种示例性实施例中，所述控制器设置为：在第一时间点输出第一控制信号检测所述反熔丝存储单元的存储状态，输出第二控制信号控制所述第三开关元件关断；在第二时间点获取所述比较器的输出信号以确定所述反熔丝存储单元的存储状态；其中，所述第二时间点在该第一时间点之后。

在本公开的一种示例性实施例中，所述第二时间点根据以下方式确定：获取所述反熔丝存储单元的击穿后的最大电阻和未被击穿时的最小电阻；根据所述电源、所述最大电阻和所述最小电阻确定所述第一节点的第一电压变化线和第二电压变化线；将所述第一电压变化线与所述第二电压变化线的差值达到预设阈值的时间点设置为所述第二时间点。

在本公开的一种示例性实施例中，所述第二参考电压根据以下方式确定：确定所述第一电压变化线在所述第二时间点的第一电压值和所述第二电压变化线在所述第二时间点的第二电压值；将所述第一电压值和所述第二电压值的平均值设置为所述第二参考电压。

在本公开的一种示例性实施例中，还包括：检测电容，第一端连接所述第三节点，第二端接地。

在本公开的一种示例性实施例中，还包括：触发器，输入端连接所述比较器的输出端，第一输出端和第二输出端均连接所述控制器。

在本公开的一种示例性实施例中，所述反熔丝存储单元包括：选择开关元件，所述选择开关元件的第一端作为所述反熔丝存储单元的位线；反熔丝元件，所述反熔丝元件的第一端连接于所述选择开关元件的第二端；所述选择开关元件的控制端和所述反熔丝元件的控制端均连接于所述控制器。

在本公开的一种示例性实施例中，所述第一开关元件、所述第二开关元件均为 P 型晶体管，所述放大器的第一输入端为同相输入端，所述放大器的第二输入端为反相输入端；或者，所述第一开关元件、所述第二开关元件均为 N 型晶体管，所述放大器的第一输入端为反相输入端，所述放大器的第二输入端为同相输入端。

在本公开的一种示例性实施例中，所述获取所述比较器的输出信号包括：在所述第二时间点控制所述比较器为使能状态以读取所述比较器的输出信号。

根据本公开的第二方面，提供一种存储器，包括如上述任意一项所述的反熔丝存储单元状态检测电路。

本公开实施例通过使用放大器、第一开关元件和第二开关元件，将待测反熔丝存储单元的电阻转换成线性电流源对第三节点充电，在第二时间点将第三节点的电压与第二参考

电压比较得出反熔丝存储单元阵列中当前待测反熔丝存储单元的电阻值,可以使得用于检测反熔丝存储单元的存储状态的电压翻转点得到精确控制,避免相关技术中由于反熔丝存储单元的电阻偏移和逻辑门的翻转电压偏移导致的反熔丝存储单元的存储状态误判。

应当理解的是,以上的一般描述和后文的细节描述仅是示例性和解释性的,并不能限制本公开。

附图说明

此处的附图被并入说明书中并构成本说明书的一部分,示出了符合本公开的实施例,并与说明书一起用于解释本公开的原理。显而易见地,下面描述中的附图仅仅是本公开的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

图 1 是现有技术中反熔丝存储单元状态检测电路的示意图。

图 2 是本公开示例性实施例中反熔丝存储单元状态检测电路的结构示意图。

图 3 是应用于图 2 所示电路的控制器 CON 的检测方法的流程图。

图 4 是图 2 所示电路的等效电路示意图。

图 5 是本公开实施例确定第二时间点的方式的示意图。

图 6 是第一电压变化线和第二电压变化线的示意图。

图 7 是本公开另一个实施例中反熔丝存储单元状态检测电路的结构示意图。

图 8 是本公开再一个实施例中反熔丝存储单元状态检测电路的结构示意图。

图 9 是本公开再一个实施例中反熔丝存储单元状态检测电路的结构示意图。

图 10 是图 9 所示电路对应的检测方法的流程图。

图 11 是本公开一个实施例中反熔丝存储单元的结构示意图。

图 12 是本公开一个实施例中比较器的示意图。

具体实施方式

现在将参考附图更全面地描述示例实施方式。然而,示例实施方式能够以多种形式实施,且不应被理解为限于在此阐述的范例;相反,提供这些实施方式使得本公开将更加全面和完整,并将示例实施方式的构思全面地传达给本领域的技术人员。所描述的特征、结构或特性可以以任何合适的方式结合在一个或更多实施方式中。在下面的描述中,提供许多具体细节从而给出对本公开的实施方式的充分理解。然而,本领域技术人员将意识到,可以实践本公开的技术方案而省略所述特定细节中的一个或更多,或者可以采用其它的方法、组元、装置、步骤等。在其它情况下,不详细示出或描述公知技术方案以避免喧宾夺主而使得本公开的各方面变得模糊。

此外,附图仅为本公开的示意性图解,图中相同的附图标记表示相同或类似的部分,因而将省略对它们的重复描述。附图中所示的一些方框图是功能实体,不一定必须与物理或逻辑上独立的实体相对应。可以采用软件形式来实现这些功能实体,或在一个或多个硬

件模块或集成电路中实现这些功能实体，或在不同网络和/或处理器装置和/或微控制器装置中实现这些功能实体。

下面结合附图对本公开示例实施方式进行详细说明。

图 2 是本公开示例性实施例中反熔丝存储单元状态检测电路的结构示意图。

5 参考图 2，反熔丝存储单元状态检测电路 200 可以包括：

放大器 21，第一输入端连接第一参考电压 V_{ref} ，第二输入端连接第一节点 N1，输出端连接第二节点 N2；

10 反熔丝存储单元阵列 22，包括多个反熔丝存储单元子阵列，多个反熔丝存储单元子阵列的位线连接第一节点 N1，多个反熔丝存储单元子阵列的字线均连接控制器 CON，所述反熔丝存储单元子阵列包括多个反熔丝存储单元；

第一开关元件 M1，第一端连接电源 VDD，第二端连接第一节点 N1，控制端连接第二节点 N2；

第二开关元件 M2，第一端连接电源 VDD，第二端连接第三节点 N3，控制端连接第二节点 N2；

15 第三开关元件 M3，第一端连接第三节点 N3，第二端接地，控制端连接控制器 CON；比较器 23，第一输入端连接第三节点 N3，第二输入端连接第二参考电压 V_{trip} 。

图 2 所示的反熔丝存储单元阵列 22 和反熔丝存储单元的结构请参见图 11，图 11 中示意出 3 个反熔丝存储单元子阵列，对应 3 条位线，每个反熔丝存储单元子阵列包括多个反熔丝单元 111，每个反熔丝单元 111 包括一个选择开关元件 M 和一个反熔丝元件 F。

20 在一个实施例中，第一开关元件 M1、第二开关元件 M2 均为 P 型晶体管，放大器 21 的第一输入端为同相输入端，第二输入端为反相输入端。在另一个实施例中，第一开关元件 M1、第二开关元件 M2 均为 N 型晶体管，放大器 21 的第一输入端为反相输入端，第二输入端为同相输入端。本领域技术人员可以根据第一开关元件 M1 和第二开关元件 M2 的设置自行确定放大器的连接方式，本公开不以此为限。

25 可以理解的是，第三开关元件 M3 的默认状态为导通，以在通过比较器 23 进行电压检测之前维持第三节点 N3 的电压为零。

控制器 CON 不仅包括对反熔丝存储单元中选择开关元件 M 的控制逻辑电路，也包括对比较器 23 输出结果的进一步处理的处理逻辑电路。例如，在图 11 中，控制逻辑电路会使得 Xadd_00 到 Xadd_nn 逐一有效，从而逐一检测反熔丝元件 F_00 到 F_nn 的状态，而处理逻辑电路则会利用 F_00 到 F_nn 的状态去做冗余替换等操作。

30 图 3 是应用于图 2 所示电路的控制器 CON 的检测方法的流程图。

参考图 3，控制器 CON 可以设置为执行检测方法 300，检测方法 300 可以包括：

步骤 S1，在第一时间点输出第一控制信号检测所述反熔丝存储单元的存储状态，输出第二控制信号控制所述第三开关元件关断；

35 步骤 S2，在第二时间点获取所述比较器的输出信号以确定所述反熔丝存储单元的存

储状态；

其中，第二时间点在第一时间点之后。

图 4 是图 2 所示电路的等效电路示意图。下面将结合图 2~图 4 对图 3 所述控制方法进行说明。

5 参考图 4，在本公开实施例中，使用放大器 21、第一开关元件 M1 和第二开关元件 M2，将待测反熔丝存储单元的电阻转换成线性电流源对第三节点充电，以通过对第三节点电位的检测和比较实现对待测反熔丝存储单元的电阻（即存储状态）的检测。

在一个实施例中，可以利用第三节点 N3 存在的寄生电容 C1 来检测第三节点 N3 的电压。

10 在第一时间点通过第一控制信号选中待测反熔丝存储单元后，第一节点 N1 所在通路的电阻发生变化，第一节点 N1 的电压下降。第一开关元件 M1 的源漏电压发生变化，通过放大器 21 的反馈电路产生第一电流，该第一电流与待测反熔丝存储单元的电阻负相关。第一电流的产生会改变第一开关元件 M1 栅极所在的第二节点 N2 的电压。当控制第二开关元件 M2 工作在饱和状态时，流经第二开关元件 M2 和第三节点 N3 的第二电流与第二
15 开关元件 M2 的栅极所在的第二节点 N2 的电压负相关。即，第二电流与待测反熔丝存储单元的电阻负相关，待测反熔丝存储单元的电阻越大，第二电流越小；待测反熔丝存储单元的电阻越小，第二电流越大。

在输出第二控制信号控制第三开关元件 M3 关断后，第二电流通过寄生电容 C1 对第三节点 N3 充电，最终将第三节点 N3 的电压从零提升到电源 VDD。第二电流越大，第三
20 节点 N3 的充电时间越短，第三节点 N3 的电压变化速度越快；第二电流越小，第三节点 N3 的充电时间越长，第三节点 N3 的电压变化速度越慢。通过以上分析可知，待测反熔丝存储单元的电阻越大，第二电流越小，第三节点 N3 的电压变化速度越慢；待测反熔丝存储单元的电阻越小，第二电流越大，第三节点 N3 的电压变化速度越快。

通过在合适的第二时间点使用比较器 23 将第三节点 N3 的电压与合适的第二参考电压 Vtrip 相比较，可以判断待测反熔丝存储单元的电阻，即待测反熔丝存储单元的存储状态。
25

获取比较器 23 的输出信号的方法既可以为将比较器 23 设置为使能状态并在第二时间点读取比较器 23 的输出信号，也可以为在第二时间点通过比较器 23 的使能引脚控制比较器 23 在第二时间点转变为使能状态并读取比较器 23 的输出信号，输出第三节点 N3 的电压和第二参考电压 Vtrip 的比较结果。
30

在合适的时间点采用合适的第二参考电压和比较器进行检测，可以使比较器的翻转点得到精确控制，防止电阻偏移或者逻辑门自身翻转点偏移导致的存储状态检测错误。因此，本公开实施例中，对第二时间点的选择和对第二参考电压 Vtrip 的电压值的设置是实现精确检测的重要手段。

35 图 5 是本公开实施例确定第三时间点的方式的示意图。

参考图 5, 在本公开的一种示例性实施例中, 第二时间点可以根据以下方式确定:

步骤 S51, 获取所述反熔丝存储单元的击穿后的最大电阻和未被击穿时的最小电阻;

步骤 S52, 根据所述电源、所述最大电阻和所述最小电阻确定所述第一节点的第一电压变化线 and 第二电压变化线;

5 步骤 S53, 将所述第一电压变化线与所述第二电压变化线的差值达到预设阈值的时间点设置为所述第二时间点。

在本公开实施例中, 第二时间点 T2 与第一时间点 T1 的差值与第一电压变化线 and 第二电压变化线的差值相关。

图 6 是第一电压变化线 and 第二电压变化线的示意图。

10 设反熔丝存储单元在未被击穿时的最小电阻为 R1, 在击穿后的最大电阻为 R2, R1 可以通过检测多个反熔丝存储单元在未被击穿时的电阻得出, R2 可以通过检测多个反熔丝存储单元在击穿后的电阻得出。上述 R1 和 R2 都是统计结果, 当反熔丝存储单元在研发和生产过程中, 会对 R1 和 R2 进行统计分析, 以此确定 R1 和 R2 的具体值。

参考图 6, 在通路电阻包括 R1 时, 随时间 t 的变化第三节点 N3 的电压 $V1(t)$ 从第一
15 时间点 T1 开始由 0 上升至 VDD 的第一电压变化线为:

$$V1(t) = I_1(t) * t / C1 \quad (1)$$

其中, $I_1(t)$ 是在通路电阻包括 R1 时的第二电流。这里假设第三节点 N3 的等效电容约等于 C1。

在通路电阻包括 R2 时, 随时间 t 的变化第三节点 N3 的电压 $V2(t)$ 从第一时间点 T1
20 开始由 0 上升至 VDD 的第二电压变化线为:

$$V2(t) = I_2(t) * t / C1 \quad (2)$$

其中, $I_2(t)$ 是在通路电阻包括 R2 时的第二电流。

由公式 (1) 和 (2) 可知, $V2(t)$ 较 $V1(t)$ 的值大, 则第一电压变化线 and 第二电压变化线的差值 $\Delta V(t)$ 为:

$$25 \quad \Delta V(t) = V2(t) - V1(t) = (I_2(t) - I_1(t)) * t / C1 \quad (3)$$

确定 $\Delta V(t)$ 等于预设阈值的时间点, 即可得到第二时间点。预设阈值可以根据比较器 23 的参数确定, 例如, 大于比较器 23 的差分输入电压阈值的二倍。预设阈值越大, 检测准确度越高; 预设阈值越小, 检测时间越短。因此, 本领域技术人员可以根据实际情况自行调整预设阈值的设置数值, 以实现检测准确度和检测时间的共同最优方案。

30 可以理解的是, 在开始检测时, 可以通过多种方式控制第三节点 N3 的电压为零, 以利于准确检测。

在本公开的一种示例性实施例中, 还可以根据图 6 所示线确定参考电压 V_{trip} 。可以首先确定第一电压变化线 $V1(t)$ 在第二时间点 T2 的第一电压值 $V1(T2)$ 和第二电压变化线 $V2(t)$ 在第二时间点 T2 的第二电压值 $V2(T2)$; 然后将第一电压值 $V1(T2)$ 和
35 第二电压值 $V2(T2)$ 的平均值设置为参考电压 V_{trip} , 即:

$$V_{trip} = \frac{V1(T2) + V2(T2)}{2} \quad (4)$$

通过上述方式计算第二时间点并根据第二时间点确定用于控制比较器翻转点的参考电压 V_{trip} ，可以在检测比较器输出信号时获得更加准确的检测结果，有效提高检测精度。

图 7 是本公开另一个实施例中反熔丝存储单元状态检测电路的结构示意图。

5 参考图 7，为了减小第三节点 N3 的寄生电容容值偏差造成的放电线随机偏差，可以对第三节点 N3 添加一个额外的电容 C2。即，检测电路 200 还可以包括：

检测电容 C2，检测电容 C2 的第一端连接第三节点 N3，第二端接地。

10 检测电容 C2 的作用与寄生电容 C1 相同，均是为了检测第三节点 N3 的电压。在检测电容 C2 的容值与寄生电容 C1 的容值相差较大时，可以将第三节点 N3 处的等效电容看作是检测电容 C2，此时公式 (1) ~ (4) 涉及的 C1 可以替换为 C2。

图 8 是本公开再一个实施例中反熔丝存储单元状态检测电路的结构示意图。

参考图 8，在本公开的其他实施例中，检测电路 200 还可以包括：

触发器 24，触发器 24 的输入端连接比较器 23 的输出端，触发器 24 的第一输出端和第二输出端均连接控制器 CON。

15 触发器 24 例如可以为 D 触发器，用于对比较器 23 的输出信号进行锁存，以方便控制器 CON 读取。本领域技术人员可以自行设置触发器 24 的型号，本公开不以此为限。

可以理解的是，检测电容 C2 或触发器 24 的设置不影响图 3 所示控制方法的实施，不影响第二时间点和第二参考电容的选取逻辑。

图 9 是本公开再一个实施例中反熔丝存储单元状态检测电路的结构示意图。

20 参考图 9，在一个实施例中，第三节点 N3 可以用于连接多个位线，反熔丝存储单元阵列 22 可以包括：

多个反熔丝存储单元子阵列 22m (m 为位线序号)，每个反熔丝存储单元子阵列 22m 对应一条位线 BLm，每个反熔丝存储单元子阵列 22m 包括多个反熔丝存储单元；

25 与反熔丝存储单元子阵列 22m 对应的多个第四开关元件 M4m，每个第四开关元件 M4m 的第一端连接对应的反熔丝存储单元子阵列 22m 的位线 BLm，每个第四开关元件 M4m 的第二端连接第三节点 N3，每个第四开关元件 M4m 的控制端连接控制器 CON，第四开关元件 M4m 的默认状态为关断状态。

30 其中，每个反熔丝存储单元子阵列 22m 例如可以包括连接在一条位线上的 16 个反熔丝存储单元，即一系列反熔丝存储单元。在一些实施例中，一条位线对应一个第一开关元件 M1、一个第二开关元件 M2、一个放大器 21 和一个比较器 23。

通过在第一节点连接多个反熔丝存储单元子阵列 22m，可以实现对多个反熔丝存储单元子阵列 22m 中的反熔丝存储单元的存储状态的检测，示例性方式如图 10 所示。

图 10 是图 9 示电路对应的检测方法的流程图。

参考图 10，在图 9 所示电路中，控制器 CON 可以设置为执行以下方法：

步骤 S1, 在第一时间点输出第一控制信号检测所述反熔丝存储单元的存储状态, 输出第二控制信号控制所述第三开关元件关断;

步骤 S101, 在第三时间点对该反熔丝存储单元对应的第四开关元件输出第三控制信号以控制该第四开关元件导通;

5 步骤 S2, 在第二时间点获取比较器的输出信号以确定该反熔丝存储单元的存储状态; 其中, 第一时间点和第三时间点均在第二时间点之前。

即图 3 所示的方法还可以包括步骤 S101, 步骤 S101 与步骤 S1 的顺序可以调换。

在图 10 所示实施例中, 第三时间点可以在第一时间点之前, 也可以在第一时间点之后, 还可以与第一时间点相等, 只要第三时间点和第一时间点均在第二时间点之前即可, 10 以在第二时间点开始检测第三节点 N3 的电压前开启放电通路。

当第四开关元件为 P 型晶体管时, 第三控制信号为低电平; 当第四开关元件为 N 型晶体管时, 第三控制信号为高电平。当第四开关元件为其他类型的元件时, 第三控制信号也可以为其他类型的信号, 本公开对此不作特殊限制。

图 11 本公开实施例中反熔丝存储单元的示意图。

15 参考图 11, 反熔丝存储单元 111 可以包括:

选择开关元件 M, 选择开关元件 M 的第一端作为反熔丝存储单元 111 的位线;

反熔丝元件 F, 反熔丝元件 F 的第一端连接于选择开关元件 M 的第二端;

其中, 选择开关元件 M 的控制端和反熔丝元件 F 的控制端均连接于控制器。

图 12 是本公开一个实施例中比较器 23 的示意图。

20 参考图 12, 在一个实施例中, 可以使用差分放大器实现比较器 23 的功能, 在比较器 23 中采用自偏置电路。差分放大器采用简单的两级比较器, 可以准确控制翻转点, 通过自偏置电路以避免过多的偏置电流走线。

本公开实施例提供的反熔丝存储单元状态检测电路和反熔丝存储单元状态检测方法, 通过在第一时间点通过放大器、第一开关元件、第二开关元件、待测反熔丝存储单元的电阻构建恒流源, 对第三节点 N3 充电, 在第二时间点检测第三节点的电压, 使用比较器将 25 第三节点的电压与第二参考电压进行比较, 可以精确控制比较器的输出翻转点。通过计算反熔丝存储单元未被击穿时的最小电阻 R1 和击穿后的最大电阻 R2, 并确定第三节点电压在 R1 和 R2 下的电压变化线的差值最大的时间点, 可以确定状态检测最准确的第二时间点, 通过使用第二时间点对应的两条电压变化线的值的平均值作为参考电压, 可以使比 30 较器的输出更为准确, 避免相关技术中由于反熔丝存储单元的电阻偏移和逻辑门的翻转电压偏移导致的反熔丝存储单元的存储状态误判。

根据本公开的一个方面, 提供一种存储器, 包括如上述任意一项所述的反熔丝存储单元状态检测电路。该存储器例如可以是 DRAM 存储器。

应当注意, 尽管在上文详细描述中提及了用于动作执行的设备的若干模块或者单元, 35 但是这种划分并非强制性的。实际上, 根据本公开的实施方式, 上文描述的两个或更多模

块或者单元的特征和功能可以在一个模块或者单元中具体化。反之，上文描述的一个模块或者单元的特征和功能可以进一步划分为由多个模块或者单元来具体化。

- 5 本领域技术人员在考虑说明书及实践这里公开的发明后，将容易想到本公开的其它实施方案。本申请旨在涵盖本公开的任何变型、用途或者适应性变化，这些变型、用途或者适应性变化遵循本公开的一般性原理并包括本公开未公开的本技术领域中的公知常识或惯用技术手段。说明书和实施例仅被视为示例性的，本公开的真正范围和构思由权利要求指出。

工业实用性

- 10 本公开实施例通过使用放大器、第一开关元件和第二开关元件，将待测反熔丝存储单元的电阻转换成线性电流源对第三节点充电，在第二时间点将第三节点的电压与第二参考电压比较得出反熔丝存储单元阵列中当前待测反熔丝存储单元的电阻值，可以使得用于检测反熔丝存储单元的存储状态的电压翻转点得到精确控制，避免相关技术中由于反熔丝存储单元的电阻偏移和逻辑门的翻转电压偏移导致的反熔丝存储单元的存储状态误判。

权利要求

1.一种反熔丝存储单元状态检测电路，包括：

放大器，第一输入端连接第一参考电压，第二输入端连接第一节点，输出端连接第二
5 节点；

反熔丝存储单元阵列，包括多个反熔丝存储单元子阵列，所述多个反熔丝存储单元子阵列的位线均连接所述第一节点，所述多个反熔丝存储单元子阵列的字线均连接控制器，所述反熔丝存储单元子阵列包括多个反熔丝存储单元；

第一开关元件，第一端连接电源，第二端连接所述第一节点，控制端连接所述第二
10 节点；

第二开关元件，第一端连接所述电源，第二端连接第三节点，控制端连接所述第二
节点；

第三开关元件，第一端连接所述第三节点，第二端接地，控制端连接所述控制器；
比较器，第一输入端连接所述第三节点，第二输入端连接第二参考电压。

15 2.如权利要求1所述的反熔丝存储单元状态检测电路，其中，所述控制器设置为：

在第一时间点输出第一控制信号检测所述反熔丝存储单元的存储状态，输出第二控制
信号控制所述第三开关元件关断；

在第二时间点获取所述比较器的输出信号以确定所述反熔丝存储单元的存储状态；
其中，所述第二时间点在所述第一时间点之后。

20 3.如权利要求2所述的反熔丝存储单元状态检测电路，其中，所述第二时间点根据以下
方式确定：

获取所述反熔丝存储单元的击穿后的最大电阻和未被击穿时的最小电阻；

根据所述电源、所述最大电阻和所述最小电阻确定所述第一节点的第一电压变化线和
第二电压变化线；

25 将所述第一电压变化线与所述第二电压变化线的差值达到预设阈值的时间点设置为
所述第二时间点。

4.如权利要求3所述的反熔丝存储单元状态检测电路，其中，所述第二参考电压根据
以下方式确定：

30 确定所述第一电压变化线在所述第二时间点的第一电压值和所述第二电压变化线在
所述第二时间点的第二电压值；

将所述第一电压值和所述第二电压值的平均值设置为所述第二参考电压。

5.如权利要求1所述的反熔丝存储单元状态检测电路，其中，还包括：

检测电容，第一端连接所述第三节点，第二端接地。

6.如权利要求1所述的反熔丝存储单元状态检测电路，其中，还包括：

35 触发器，输入端连接所述比较器的输出端，第一输出端和第二输出端均连接所述控制

器。

7.如权利要求 1 所述的反熔丝存储单元状态检测电路，其中，所述反熔丝存储单元包括：

选择开关元件，所述选择开关元件的第一端作为所述反熔丝存储单元的位线；

5 反熔丝元件，所述反熔丝元件的第一端连接于所述选择开关元件的第二端；

所述选择开关元件的控制端和所述反熔丝元件的控制端均连接于所述控制器。

8.如权利要求 1 所述的反熔丝存储单元状态检测电路，其中，所述第一开关元件、所述第二开关元件均为 P 型晶体管，所述放大器的第一输入端为同相输入端，所述放大器的第二输入端为反相输入端；或者，所述第一开关元件、所述第二开关元件均为 N 型晶体管，所述放大器的第一输入端为反相输入端，所述放大器的第二输入端为同相输入端。

10

9.如权利要求 2 所述的反熔丝存储单元状态检测电路，其中，所述获取所述比较器的输出信号包括：

在所述第二时间点控制所述比较器为使能状态以读取所述比较器的输出信号。

10.一种存储器，包括如权利要求 1~9 任一项所述的反熔丝存储单元状态检测电路。

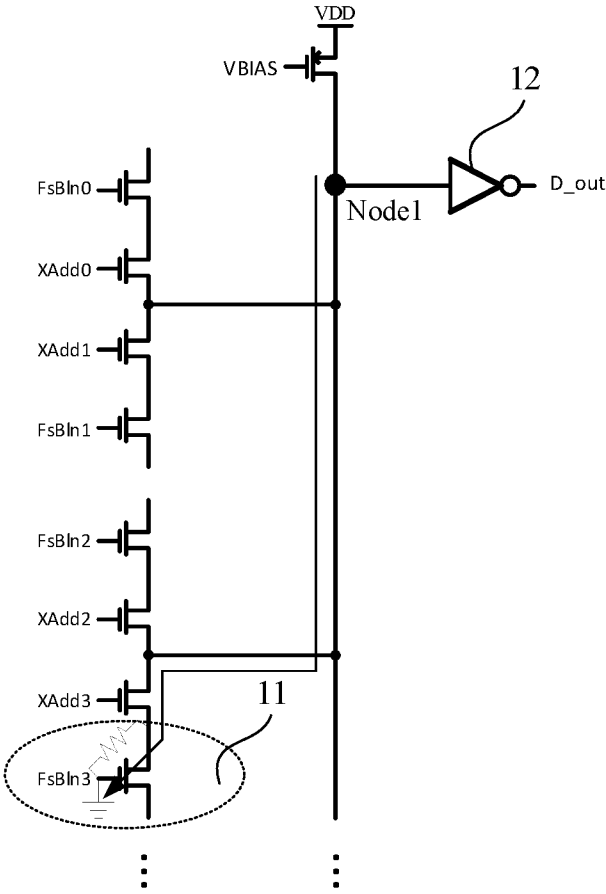


图 1

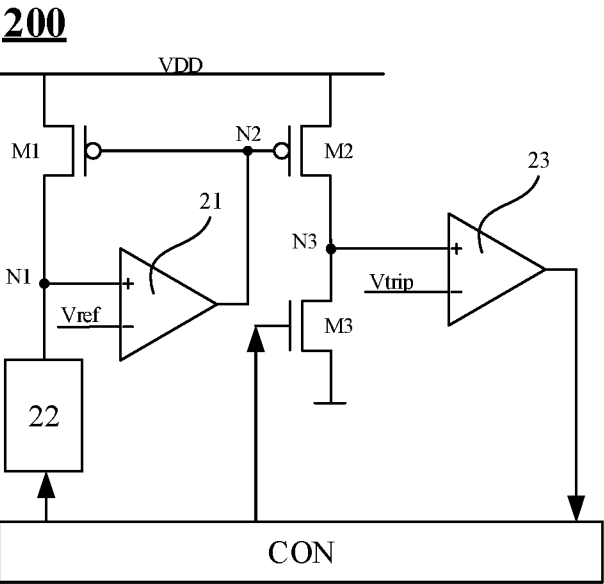


图 2

300

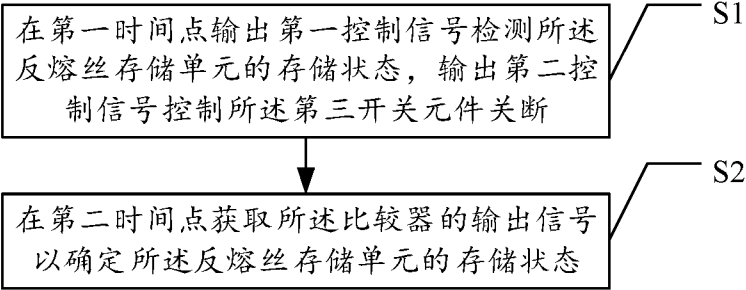


图 3

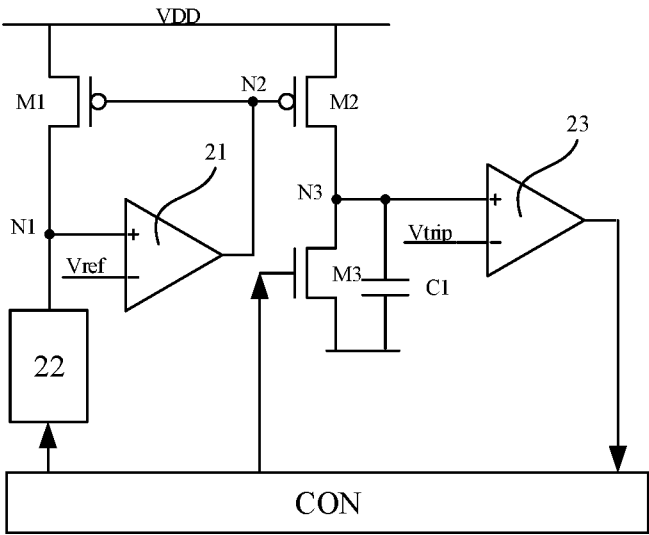


图 4

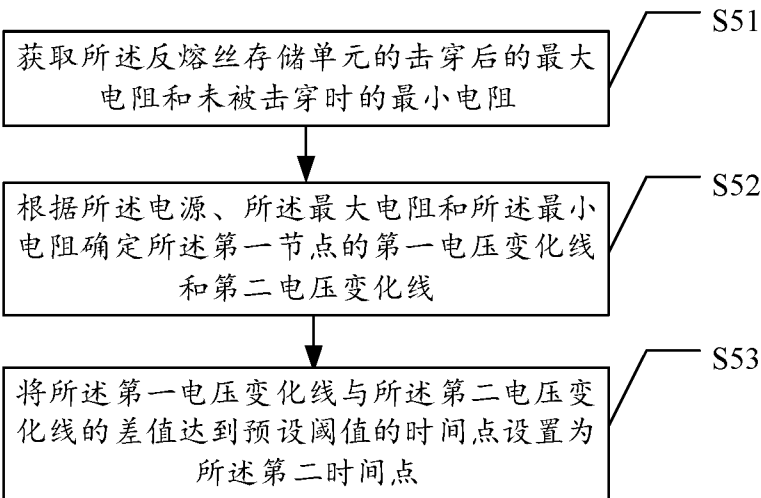


图 5

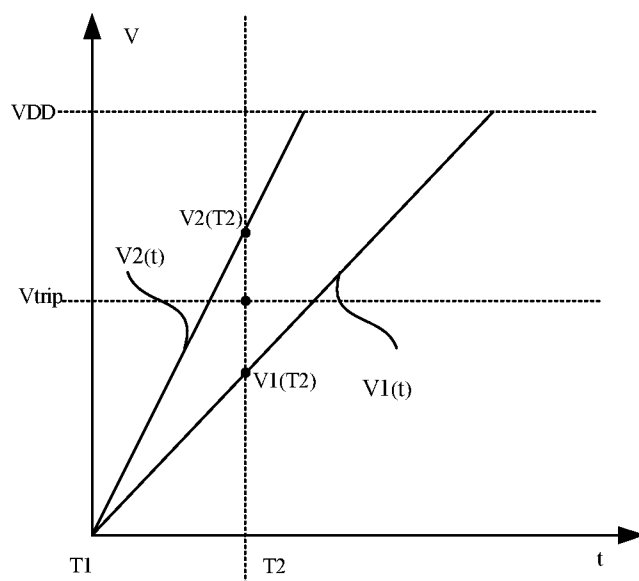


图 6

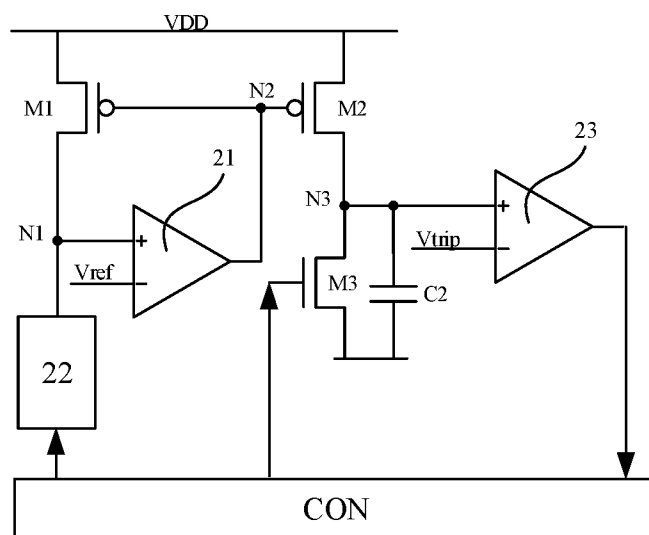


图 7

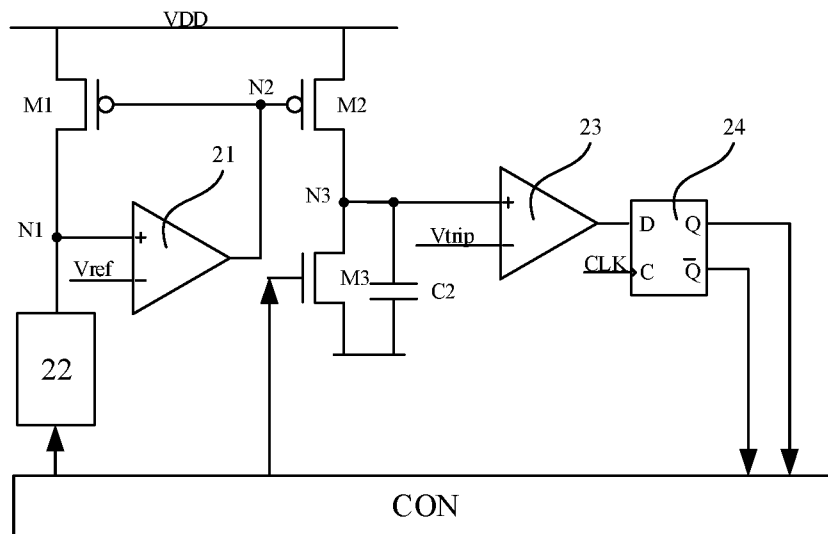


图 8

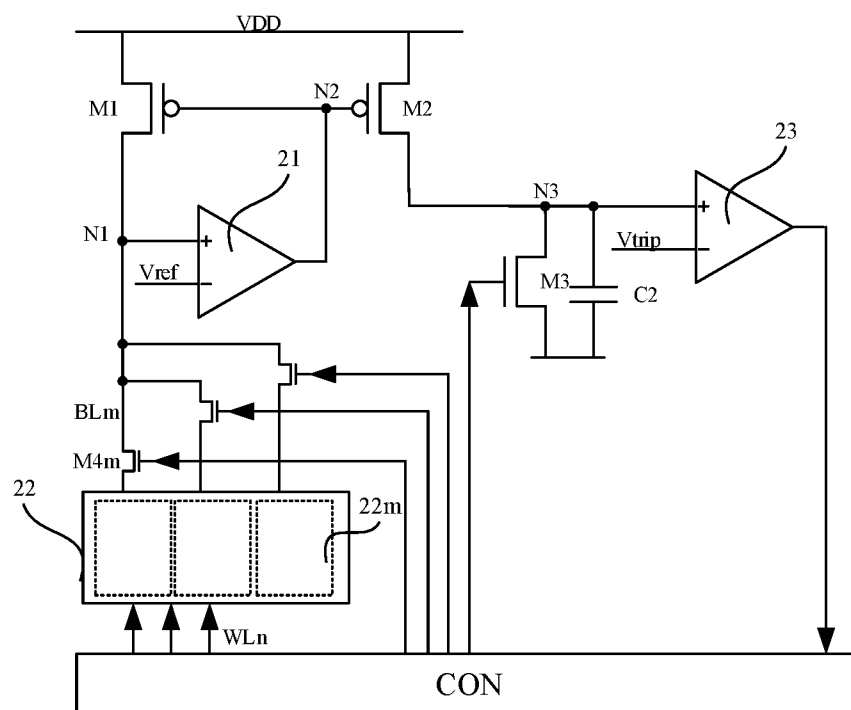


图 9

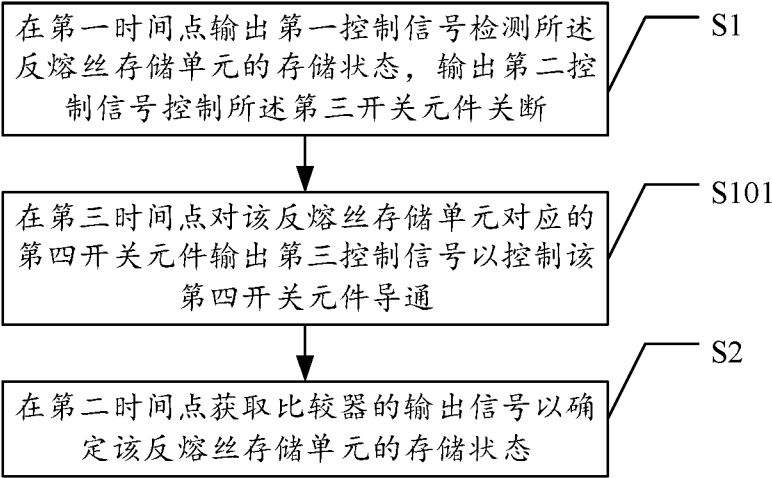


图 10

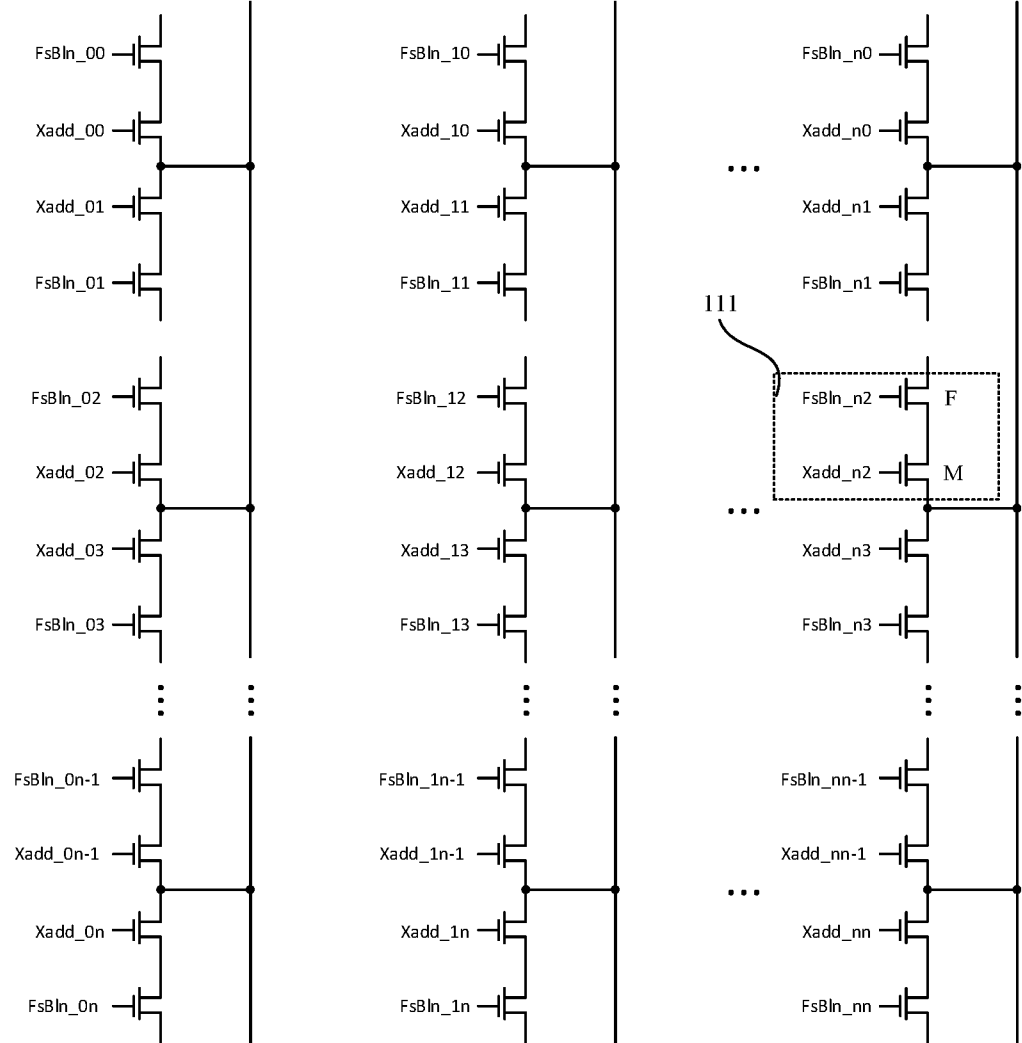


图 11

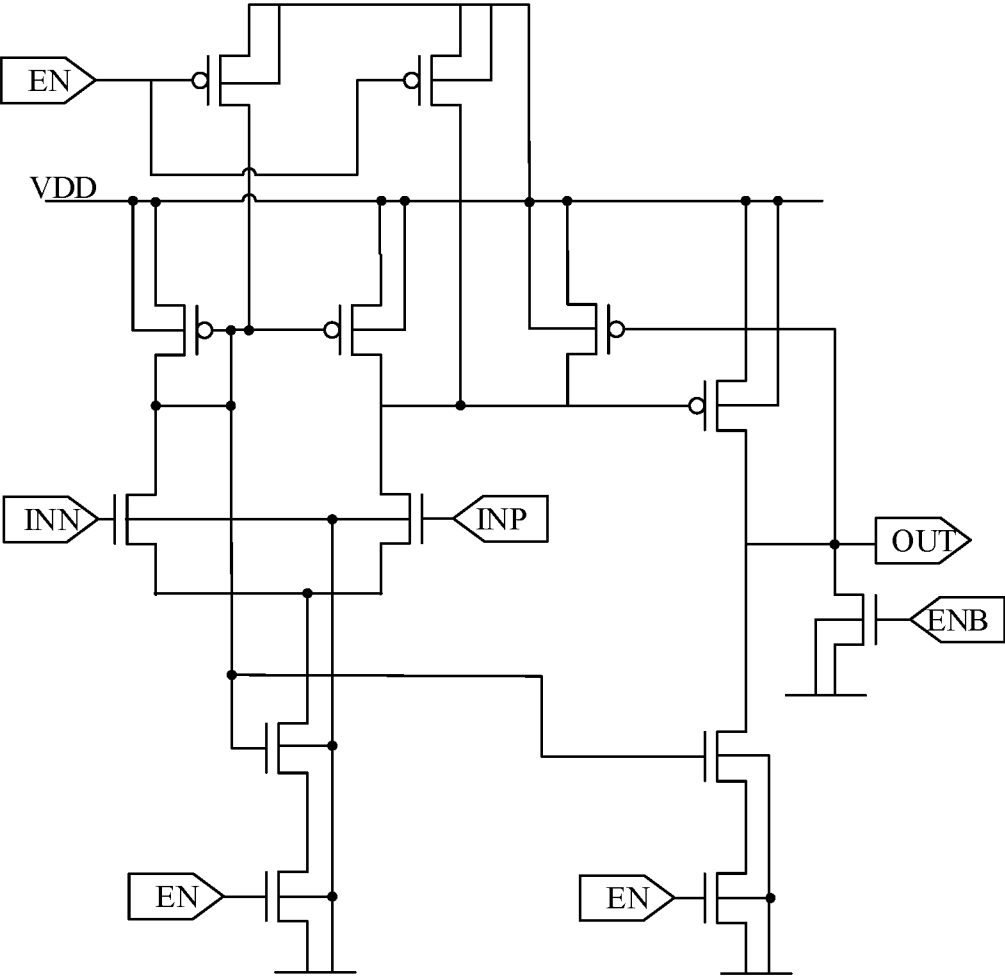


图 12

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/097849

A. CLASSIFICATION OF SUBJECT MATTER

G11C 17/18(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC, CNPAT, CNKI: 反熔丝, 检测, 存储状态, 存储器, 存储单元, 放大器, 比较器, 开关, 晶体管, antifuse, sense, detect+, memory state, memory cell, amplifier, comparator, switch, transistor

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 104217744 A (EMEMORY TECHNOLOGY INC.) 17 December 2014 (2014-12-17) description, paragraphs [0002]-[0009], figure 1	1-2, 5-10
A	CN 210639992 U (CHANGXIN MEMORY TECHNOLOGIES, INC.) 29 May 2020 (2020-05-29) entire document	1-10
A	CN 210925501 U (CHANGXIN MEMORY TECHNOLOGIES, INC.) 03 July 2020 (2020-07-03) entire document	1-10
A	CN 110544500 A (EMEMORY TECHNOLOGY INC.) 06 December 2019 (2019-12-06) entire document	1-10
A	CN 108288479 A (SK HYNIX INC.) 17 July 2018 (2018-07-17) entire document	1-10
A	CN 108154894 A (SK HYNIX INC.) 12 June 2018 (2018-06-12) entire document	1-10
A	US 2010118595 A1 (SAMSUNG ELECTRONICS CO., LTD.) 13 May 2010 (2010-05-13) entire document	1-10

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

05 August 2021

Date of mailing of the international search report

26 August 2021

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088
China

Authorized officer

Facsimile No. (86-10)62019451

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/097849

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	104217744	A	17 December 2014	US	2014355353	A1	04 December 2014
				TW	201447907	A	16 December 2014
				CN	104217744	B	09 June 2017
				US	9099191	B2	04 August 2015
				TW	I508094	B	11 November 2015
CN	210639992	U	29 May 2020	None			
CN	210925501	U	03 July 2020	None			
CN	110544500	A	06 December 2019	EP	3576341	A1	04 December 2019
				US	2019372456	A1	05 December 2019
				US	2019369966	A1	05 December 2019
				JP	2019207692	A	05 December 2019
				US	10693369	B2	23 June 2020
				CN	110544495	A	06 December 2019
				TW	I669714	B	21 August 2019
CN	108288479	A	17 July 2018	US	10403344	B2	03 September 2019
				US	2018197590	A1	12 July 2018
				TW	201841156	A	16 November 2018
				KR	20180082138	A	18 July 2018
CN	108154894	A	12 June 2018	US	2018158523	A1	07 June 2018
				US	10121537	B2	06 November 2018
				KR	20180063514	A	12 June 2018
US	2010118595	A1	13 May 2010	US	8243542	B2	14 August 2012

国际检索报告

国际申请号

PCT/CN2021/097849

A. 主题的分类

G11C 17/18(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G11C

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

WPI, EPDOC, CNPAT, CNKI: 反熔丝, 检测, 存储状态, 存储器, 存储单元, 放大器, 比较器, 开关, 晶体管, antifuse, sense, detect+, memory state, memory cell, amplifier, comparator, switch, transistor

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 104217744 A (力旺电子股份有限公司) 2014年 12月 17日 (2014 - 12 - 17) 说明书第[0002]-[0009]段, 图1	1-2、5-10
A	CN 210639992 U (长鑫存储技术有限公司) 2020年 5月 29日 (2020 - 05 - 29) 全文	1-10
A	CN 210925501 U (长鑫存储技术有限公司) 2020年 7月 3日 (2020 - 07 - 03) 全文	1-10
A	CN 110544500 A (力旺电子股份有限公司) 2019年 12月 6日 (2019 - 12 - 06) 全文	1-10
A	CN 108288479 A (爱思开海力士有限公司) 2018年 7月 17日 (2018 - 07 - 17) 全文	1-10
A	CN 108154894 A (爱思开海力士有限公司) 2018年 6月 12日 (2018 - 06 - 12) 全文	1-10
A	US 2010118595 A1 (SAMSUNG ELECTRONICS CO., LTD.) 2010年 5月 13日 (2010 - 05 - 13) 全文	1-10

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2021年 8月 5日

国际检索报告邮寄日期

2021年 8月 26日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国 北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

授权官员

樊春燕

电话号码 86-(010)-53961286

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/097849

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	104217744	A	2014年 12月 17日	US	2014355353	A1	2014年 12月 4日
				TW	201447907	A	2014年 12月 16日
				CN	104217744	B	2017年 6月 9日
				US	9099191	B2	2015年 8月 4日
				TW	I508094	B	2015年 11月 11日
CN	210639992	U	2020年 5月 29日	无			
CN	210925501	U	2020年 7月 3日	无			
CN	110544500	A	2019年 12月 6日	EP	3576341	A1	2019年 12月 4日
				US	2019372456	A1	2019年 12月 5日
				US	2019369966	A1	2019年 12月 5日
				JP	2019207692	A	2019年 12月 5日
				US	10693369	B2	2020年 6月 23日
				CN	110544495	A	2019年 12月 6日
				TW	I669714	B	2019年 8月 21日
CN	108288479	A	2018年 7月 17日	US	10403344	B2	2019年 9月 3日
				US	2018197590	A1	2018年 7月 12日
				TW	201841156	A	2018年 11月 16日
				KR	20180082138	A	2018年 7月 18日
CN	108154894	A	2018年 6月 12日	US	2018158523	A1	2018年 6月 7日
				US	10121537	B2	2018年 11月 6日
				KR	20180063514	A	2018年 6月 12日
US	2010118595	A1	2010年 5月 13日	US	8243542	B2	2012年 8月 14日