(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年6月13日(13.06.2024)

WIPO | PCT

(10) 国際公開番号
WO 2024/122495 A1

(51) 国際特許分類:
H01L 21/02 (2006.01)

(21) 国際出願番号： PCT/JP2023/043286

(22) 国際出願日： 2023年12月4日(04.12.2023)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2022-194283 2022年12月5日(05.12.2022) JP

(71) 出願人: 京セラ株式会社 (**KYOCERA CORPORATION**) [JP/JP]; 〒6128501 京都府京都市伏見区竹田鳥羽殿町６番地 Kyoto (JP).

(72) 発明者: 村川 賢太郎 (**MURAKAWA, Kentaro**); 〒6128501 京都府京都市伏見区竹田鳥羽殿町６番地 京セラ株式会社内 Kyoto (JP). 宇佐川 元久 (**USAGAWA, Motohisa**); 〒6128501 京都府京都市伏見区竹田鳥羽殿町６番地 京セラ株式会社内 Kyoto (JP). 北林 知紘 (**KITABAYASHI, Tomohiro**); 〒6128501 京都府京都市伏見区竹田鳥羽殿町６番地 京セラ株式会社内 Kyoto (JP). 太田 幸介 (**OTA, Kosuke**); 〒6128501 京都府京都市伏見区竹田鳥羽殿町６番地 京セラ株式会社内 Kyoto (JP). 川口 佳伸 (**KAWAGUCHI, Yoshinobu**); 〒6128501 京都府京都市伏見区竹田鳥羽殿町６番地 京セラ株式会社内 Kyoto (JP). 神川 剛 (**KAMIKAWA, Takeshi**); 〒6128501 京都府京都市伏見区竹田鳥羽殿町６番地 京セラ株式会社内 Kyoto (JP).

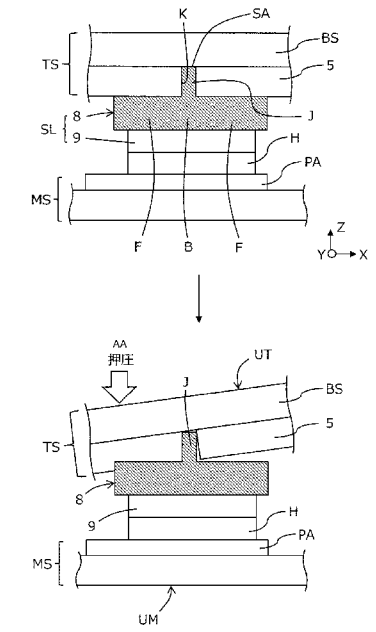
(74) 代理人: 弁理士法人 HARAKENZO WORLD PATENT & TRADEMARK (**HARAKENZO WORLD PATENT & TRADEMARK**); 〒5300041 大阪府大阪市北区天神橋２丁目北２番６号 大和南森町ビル Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,

(54) **Title:** MANUFACTURING METHOD AND MANUFACTURING DEVICE FOR SEMICONDUCTOR ELEMENT

(54) 発明の名称： 半導体素子の製造方法および製造装置

[図4]



(57) **Abstract:** This manufacturing method for a semiconductor element includes: a step in which a plurality of elements SL, each including a semiconductor layer 8 grown on a growth substrate TS, are bonded to a surface of a support substrate MS; a step in which external force is applied to a rear surface UF of either the growth substrate TS or the support substrate MS, the external force providing unevenly distributed pressure within a plane; and a step in which the plurality of elements SL bonded to the support substrate MS are separated from the growth substrate TS.

(57) 要約：本半導体素子の製造方法は、成長用基板ＴＳ上に成長した半導体層８をそれぞれが含む複数の素子ＳＬを支持基板ＭＳの表面に接合する工程と、成長用基板ＴＳおよび支持基板ＭＳの一方の裏面ＵＦに、面内不均一な押圧分布となるような外力を加える工程と、支持基板ＭＳに接合する複数の素子ＳＬを、成長用基板ＴＳから剥離する工程とを含む。

［続葉有］

WO 2024/122495 A1

HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

明　細　書

発明の名称 ： 半導体素子の製造方法および製造装置

技術分野

[0001]　本開示は、半導体素子の製造方法および製造装置に関する。

背景技術

[0002]　特許文献１には、マスクパターンを有する成長用基板上に、ＥＬＯ（Epitaxial Lateral Overgrowth）法を用いて複数の半導体層（例えばＧａＮ層）を形成し、各半導体層をダイシングテープを用いて成長用基板から剥離する手法が開示されている。

先行技術文献

特許文献

[0003] 特許文献1：特開２０１３－２５１３０４号公報

発明の概要

[0004]　本開示にかかる半導体素子の製造方法は、成長用基板上に成長した半導体層をそれぞれが含む複数の素子を支持基板の表面に接合する工程と、前記成長用基板および前記支持基板の一方の裏面に、面内不均一な押圧分布となるような外力を加える工程と、前記支持基板に接合する前記複数の素子を、前記成長用基板から剥離する工程とを含む。

図面の簡単な説明

[0005] [図1]本実施形態に係る半導体素子の製造方法を示すフローチャートである。

[図2]成長用基板および複数の素子を示す平面図である。

[図3]本実施形態に係る半導体素子の製造方法を示す断面図である。

[図4]本実施形態に係る半導体素子の製造方法を示す断面図である。

[図5]本実施形態に係る半導体素子の製造方法を示す断面図である。

[図6]本実施形態に係る半導体素子の製造方法を示す平面図である。

[図7]本実施形態に係る半導体素子の製造方法を示す断面図である。

[図8]本実施形態に係る半導体素子の製造方法を示す断面図である。

[図9]本実施形態に係る半導体素子の製造方法を示す断面図である。

[図10]本実施形態に係る半導体素子の製造方法を示す断面図である。

[図11]本実施形態に係る半導体素子の製造方法を示す断面図である。

[図12]本実施形態に係る半導体素子の製造方法を示す断面図である。

[図13]本実施形態に係る半導体素子の製造方法を示す断面図である。

[図14]本実施形態に係る半導体素子の製造装置を示す断面図である。

[図15]本実施形態に係る半導体素子の製造装置を示す断面図である。

[図16]本実施形態に係る半導体素子の製造方法を示すフローチャートである。

[図17]本実施形態に係る半導体素子の製造方法を示す断面図である。

[図18]本実施形態に係る半導体素子の製造方法を示す断面図である。

[図19]本実施形態に係る半導体素子の製造装置を示す断面図である。

[図20]本実施形態に係る半導体素子の製造装置を示す断面図である。

[図21]実施形態に係る半導体基板の構成を示す平面図である。

[図22]実施形態に係る半導体基板の構成を示す平面図である。

[図23]図２１および図２２の断面図である。

[図24]実施形態に係る半導体基板の構成を示す断面図である。

[図25]実施形態に係る半導体基板の構成を示す断面図である。

発明を実施するための形態

[0006] 図１は、本実施形態に係る半導体素子の製造方法を示すフローチャートである。図２は、成長用基板および複数の素子を示す平面図である。図３～図５は、本実施形態に係る半導体素子の製造方法を示す断面図である。図６は、本実施形態に係る半導体素子の製造方法を示す平面図である。図１～図６に示すように、本実施形態に係る半導体素子の製造方法は、それぞれが成長用基板ＴＳ上に成長した半導体層８を含む複数の素子ＳＬを支持基板ＭＳの表面に接合する工程（Ｓ１０）と、成長用基板ＴＳおよび支持基板ＭＳの一方の裏面ＵＦに、面内不均一な押圧分布となるような外力を加える工程（Ｓ２０）と、支持基板ＭＳに接合する複数の素子ＳＬを、成長用基板ＴＳから

剥離する工程（Ｓ３０）とを含む。

[0007] 図４に示すように、複数の素子ＳＬを支持基板ＭＳの表面に接合した状態において、例えば成長用基板ＴＳの裏面ＵＴに面内不均一な押圧分布となるような外力を加えることで、素子ＳＬが成長用基板ＴＳに対して傾き、結合部Ｊを容易に破断させることができる。具体的には、第１方向Ｘについて押圧が変化する押圧分布とすることで、成長用基板ＴＳとの結合部Ｊが成長用基板ＴＳの法線に対して傾き、成長用基板ＴＳおよび結合部Ｊの界面近傍にせん断応力が集中して結合部Ｊが破断する。なお、支持基板ＭＳの裏面ＵＭには、面内均一で時間的に変化しない押圧分布となるような外力を加えるとよい。

[0008] これまでは、成長用基板上の複数の素子を支持基板へ転写するプロセスの歩留まりが低いという問題があったが、本実施形態に係る半導体素子の製造方法によれば、複数の素子ＳＬを支持基板ＭＳに転写する際の歩留まりが改善する。

[0009] 成長用基板ＴＳおよび支持基板ＭＳは剛性基板であってよい。成長用基板ＴＳおよび支持基板ＭＳそれぞれがシリコン系基板（例えば、Ｓｉ基板、ＳｉＣ基板）を含んでいてもよい。成長用基板ＴＳは、ベース基板ＢＳと、マスク部５および開口部Ｋを含むマスクパターン６とを備えてよい。素子ＳＬおよび支持基板ＭＳを接合する接合材が剛性を有していてもよい。これにより、歩留まりをより高めることができる。

[0010] 半導体層８は、主成分として窒化物半導体を含む。窒化物半導体は、例えば、ＡｌｘＧａｙＩｎｚＮ（０≦ｘ≦１；０≦ｙ≦１；０≦ｚ≦１；ｘ＋ｙ＋ｚ＝１）と表すことができ、具体例として、ＧａＮ系半導体、ＡｌＮ（窒化アルミニウム）、ＩｎＡｌＮ（窒化インジウムアルミニウム）、ＩｎＮ（窒化インジウム）を挙げることができる。ＧａＮ系半導体とは、ガリウム原子（Ｇａ）および窒素原子（Ｎ）を含む半導体であり、典型的な例として、ＧａＮ、ＡｌＧａＮ、ＡｌＧａＩｎＮ、ＩｎＧａＮを挙げることができる。

[0011] 半導体層８は、ドープ型（例えば、ドナーを含むｎ型）でもノンドープ型

でもよい。成長用基板ＴＳは主基板１を含む。主基板１および下地層４を含めてベース基板ＢＳと呼びことがある。成長用基板ＴＳは、第１方向Ｘにストライプ状に並ぶ複数のシード領域ＳＡを含み、複数の素子ＳＬそれぞれが複数のシード領域ＳＡに繋がっていてよい。

[0012] 複数の素子ＳＬは、第１方向Ｘに離間形成されていてよく、隣り合う２つの素子ＳＬの間にギャップ（間隙）ＧＰが形成されてよい。第１方向Ｘは、半導体層８（ＧａＮ等の窒化物半導体）のａ軸方向（＜１１－２０＞方向）であってよい。第２方向Ｙは、半導体層８のｍ軸方向（＜１－１００＞方向）であってよい。第３方向Ｚ（半導体層８の厚さ方向）は、半導体層８のｃ軸方向（＜０００１＞方向）であってよい。

[0013] 図２～図４に示すように、半導体層８は、開口部Ｋ下に露出した下地層４（シード領域ＳＡ）を起点として、ＥＬＯ（Epitaxial Lateral Overgrowth）法によって形成することができる。下地層４は、例えば、ＡｌＮ層の単層でもよいし、ＡｌＮ層（下層）とＧａＮ層（上層）の複層でもよいし、Ａｌ層（下層）とＡｌＮ層（上層）の複層でもよい。開口部Ｋ内に位置する結合部Ｊは、初期形成層であり、露出した下地層４（シード領域ＳＡ）と結合する。半導体層８のうち、開口部Ｋの上方に位置する基部Ｂは、貫通転位が多い転位継承部となり、マスク部５の上方に位置するウィング部Ｆは、転位継承部と比較して貫通転位密度が小さい低欠陥部となる。

[0014] ベース基板ＢＳは、半導体層８と格子定数の異なる異種基板である主基板１を有してもよい。半導体層８がＧａＮ系半導体を含み、異種基板である主基板１がシリコン基板であってもよい。異種基板としては、シリコン基板のほかに、サファイア（Al_2O_3）基板、シリコンカーバイド（ＳｉＣ）基板等を挙げることができる。主基板１の面方位は、例えば、シリコン基板の（１１１）面、サファイア基板の（０００１）面、ＳｉＣ基板の６Ｈ－ＳｉＣ（０００１）面である。これらは例示であって、半導体層８をＥＬＯ法で成長させることができる基板および面方位であればよい。

[0015] マスクパターン６は、マスク部５および開口部Ｋを含む。開口部Ｋは下地

層４の一部（シード領域ＳＡ）を露出させ、半導体層８の成長を開始させる、成長開始用ホールとして機能し、マスク部５は、半導体層８を横方向成長させるための選択成長マスク（堆積抑制マスク）として機能してもよく、マスク部５の表面は、成長抑制領域（非シード領域）ＤＡとなる。

[0016] マスク部５として、例えば、シリコン酸化膜（ＳｉＯｘ）、窒化チタン膜（ＴｉＮ等）、シリコン窒化膜（ＳｉＮｘ）、シリコン酸窒化膜（ＳｉＯＮ）、および高融点（例えば１０００度以上）をもつ金属膜のいずれか１つを含む単層膜、またはこれらの少なくとも２つを含む積層膜を用いることができる。シリコン基板、窒化シリコン基板等を熱酸化処理を施して得られる熱酸化膜をマスク部５として用いてもよい。マスク部５として、シリコン酸化膜およびシリコン窒化膜をこの順に形成した積層膜を用いることができる。半導体層８に接する上層膜はシリコン窒化膜としてもよい。

[0017] 素子ＳＬは、半導体層８上に位置する機能層９を含んでよく、機能層９は、活性層およびｐ型層並びに電極（例えばアノードおよびカソード）を含んでよい。活性層が量子井戸構造であってもよい。半導体層８並びに活性層およびｐ型層をＧａＮ系半導体とし、これらをＭＯＣＶＤ装置で連続形成してもよい。

[0018] 支持基板ＭＳがサブマウント基板であってよく、電極パットＰＡ・ＰＣを含んでもよい。素子ＳＬおよび電極パットＰＡを半田Ｈを介して接合してもよい。素子ＳＬのアノードと電極パットＰＡとが半田Ｈを介して接合されてもよい。半田ＨがＳｎ－Ａｕ合金であってもよい。

[0019] 図３および図６に示すように、図１のステップＳ１０は、選択転写であってよい。すなわち、支持基板ＭＳに接合される複数の素子ＳＬは、成長用基板ＴＳ上の全素子の中から選択された選択素子群ＳＧであってよい。

[0020] 図１～図５では、成長用基板ＴＳのマスク部５を除去することなく、複数の素子ＳＬ（選択素子群）を、支持基板ＭＳに接合する。この場合、図４に示すように、素子ＳＬを成長用基板ＴＳに対して傾けたときに、素子ＳＬの一部がマスク部５にめり込んでもよい。図７は、本実施形態に係る半導体素

子の製造方法を示す断面図である。図７に示すように、成長用基板ＴＳのマスク部５をウェットエッチング等で除去した後に、複数の素子ＳＬ（選択素子群）を支持基板ＭＳに接合し、素子ＳＬを成長用基板ＴＳに対して傾けて結合部Ｊを破断させてもよい。

[0021] 図８および図９は、本実施形態に係る半導体素子の製造方法を示す断面図である。図３および図４では成長用基板ＴＳの裏面ＵＦに外力を加えているが、これに限定されない。図８および図９に示すように、複数の素子ＳＬを支持基板ＭＳの表面に接合した状態において、支持基板ＭＳの裏面ＵＭに面内不均一な押圧分布となるような外力を加えることで、素子ＳＬが成長用基板ＴＳに対して傾き、結合部Ｊを容易に破断させることができる。具体的には、第１方向Ｘについて押圧が変化する押圧分布とすることで、成長用基板ＴＳとの結合部Ｊが成長用基板ＴＳの法線に対して傾き、成長用基板ＴＳおよび結合部Ｊの界面近傍にせん断応力が集中して結合部Ｊが破断する。成長用基板ＴＳの裏面ＵＴには、面内均一で時間的に変化しない押圧分布となるような外力を加えるとよい。

[0022] 図１０は、本実施形態に係る半導体素子の製造方法を示す断面図である。図１０に示すように、成長用基板ＴＳの裏面の押圧分布を時間的に変化させてもよい。例えば、成長用基板ＴＳの裏面に、第１方向Ｘに直交する軸（Ｙ方向、半導体層８のｍ軸）まわりに所定のプラス角度だけ傾けたプレートＰＴを圧接させた後、所定のマイナス角度だけ傾けたプレートＰＴを圧接させる。所定のプラス角度は、１°～３°、所定のマイナス角度は、－１°～－３°であってよい。これにより、選択素子群ＳＧ（選択転写の対象たる複数の素子ＳＬ）を成長用基板ＴＳに対してプラス方向およびマイナス方向に傾けることができ、選択素子群ＳＧにプラス方向の傾きで破断しなかった結合部Ｊ（図４参照）があったとしても、マイナス方向の傾きで破断させることができ、選択素子群ＳＧの転写歩留まりを高めることができる。ここで、１°未満だと傾きが足りずに歩留まりが低下し、３°以上だと成長用基板ＴＳからプレートＰＴが浮いてしまい適切に力を加えられなくなるおそれがある

。

[0023] 図１１は、本実施形態に係る半導体素子の製造方法を示す断面図である。図１１に示すように、支持基板ＭＳの裏面の押圧分布を時間的に変化させてもよい。例えば、支持基板ＭＳの裏面に、第１方向Ｘに直交する軸（Ｙ方向、半導体層８のｍ軸）まわりに所定のプラス角度だけ傾けたプレートＰＴを圧接させた後、所定のマイナス角度だけ傾けたプレートＰＴを圧接させる。所定のプラス角度は、１°～３°、所定のマイナス角度は、－１°～－３°であってよい。これにより、選択素子群ＳＧ（選択転写の対象たる複数の素子ＳＬ）を成長用基板ＴＳに対してプラス方向およびマイナス方向に傾けることができ、選択素子群ＳＧにプラス方向の傾きで破断しなかった結合部Ｊ（図４参照）があったとしても、マイナス方向の傾きで破断させることができ、選択素子群ＳＧの転写歩留まりを高めることができる。

[0024] 図１２は、本実施形態に係る半導体素子の製造方法を示す断面図である。図１２に示すように、成長用基板ＴＳの裏面に圧接させたローラＲを、第１方向Ｘに移動させることで、成長用基板ＴＳの裏面の押圧分布を時間的に変化させてもよい。これにより、選択素子群ＳＧ（選択転写の対象たる複数の素子ＳＬ）を成長用基板ＴＳに対してプラス方向およびマイナス方向に傾けることができ、選択素子群ＳＧにプラス方向の傾きで破断しなかった結合部Ｊ（図４参照）があったとしても、マイナス方向の傾きで破断させることができ、選択素子群ＳＧの転写歩留まりを高めることができる。選択素子群ＳＧの転写後に成長用基板ＴＳがローラＲに吸着されてもよい。

[0025] 図１３は、本実施形態に係る半導体素子の製造方法を示す断面図である。図１３に示すように、支持基板ＭＳの裏面に圧接させたローラＲを、第１方向Ｘに移動させることで、支持基板ＭＳの裏面の押圧分布を時間的に変化させてもよい。これにより、選択素子群ＳＧ（選択転写の対象たる複数の素子ＳＬ）を成長用基板ＴＳに対してプラス方向およびマイナス方向に傾けることができ、選択素子群ＳＧにプラス方向の傾きで破断しなかった結合部Ｊ（図４参照）があったとしても、マイナス方向の傾きで破断させることができ

、選択素子群ＳＧの転写歩留まりを高めることができる。選択素子群ＳＧの転写後に（選択素子群ＳＧを含む）支持基板ＭＳがローラＲに吸着されてもよい。

[0026] 図１４は、本実施形態に係る半導体素子の製造装置を示す断面図である。図１４に示すように、半導体素子の製造装置５０は、ワーク３０を下面から吸着保持し搬送できる装置Ｇ１と、ワーク３０の上面から圧縮方向の力を加えながら傾きを変化させうるプレートＰＴを駆動する装置Ｇ２とを備えてよい。装置Ｇ１は、Ｘ方向移動、Ｙ方向移動、およびＸＹ平面内の回転が可能であり、プレートＰＴに対してワーク３０の位置および選択素子群ＳＧの向きを合わせる。装置Ｇ２は、Ｚ方向移動およびＸＺ平面内の回転が可能である。半導体素子の製造装置５０は、ワーク３０に力を加えたのち、ワーク上面とワーク下面を吸着保持したまま離していくことで、選択素子群ＳＧを成長用基板ＴＳから剥離する。

[0027] 図１５は、本実施形態に係る半導体素子の製造装置を示す断面図である。図１５に示すように、半導体素子の製造装置５０は、ワーク３０を下面から吸着保持し搬送できる装置Ｇ１と、ワーク３０の上面から圧縮方向の力を加えるローラＲを駆動する装置Ｇ３とを備えてよい。装置Ｇ１は、Ｘ方向移動、Ｙ方向移動、およびＸＹ平面内の回転が可能であり、ローラＲに対してワーク３０の位置および選択素子群ＳＧの向きを合わせる。半導体素子の製造装置５０は、装置Ｇ１をＸ方向に移動させることでローラＲによる圧縮方向の力を支持基板ＭＳの一端から他端まで加える。ローラＲは吸着状態とし、ワーク３０に力を加えたのち、ワーク上側（支持基板ＭＳおよび選択素子群ＳＧ）はローラＲ側へ吸着されることで剥離を行う。図１５では、ローラＲの押圧を支持基板ＭＳに加えているがこれに限定されず、ローラＲの押圧を成長用基板ＴＳに加えてもよい。

[0028] 図１６は、本実施形態に係る半導体素子の製造方法を示すフローチャートである。図１６に示すように、本実施形態に係る半導体素子の製造方法は、それぞれが成長用基板ＴＳ上に成長した半導体層８を含む複数の素子ＳＬを

、支持基板ＭＳの表面に接合する工程（Ｓ６０）と、成長用基板ＴＳおよび支持基板ＭＳの一方に、基板厚さ方向と直交する第１方向（Ｘ方向）の外力を加える工程（Ｓ７０）と、支持基板ＭＳに接合する複数の素子ＳＬを、成長用基板ＴＳから剥離する工程（Ｓ８０）とを含む。

[0029] 図１７および図１８は、本実施形態に係る半導体素子の製造方法を示す断面図である。図１７に示すように、成長用基板ＴＳに第１方向（Ｘ方向）の外力を加えてもよい。この場合、支持基板ＭＳに第１方向と逆方向（－Ｘ方向）の外力を加えてもよい。また、図１８に示すように、支持基板ＭＳに第１方向（Ｘ方向）の外力を加えてもよい。この場合、成長用基板ＴＳに第１方向と逆方向（－Ｘ方向）の外力を加えてもよい。

[0030] 図１９は、本実施形態に係る半導体素子の製造装置を示す断面図である。図１９に示すように、半導体素子の製造装置５０は、ワーク３０を下面から吸着保持し搬送できる装置Ｇ１と、ワーク３０の上面を吸着保持するとともに、ワーク３０に第１方向（Ｘ方向）の力を加える圧力部ＰＢを有する装置Ｇ４とを備えてよい。ワーク３０の上面および下面を吸着保持した状態で圧力部ＰＢによって成長用基板ＴＳに第１方向（Ｘ方向）の外力を加えた後、ワーク上面とワーク下面を吸着保持したまま離していくことで、選択素子群ＳＧを成長用基板ＴＳから剥離する。図１９では、成長用基板ＴＳに第１方向（Ｘ方向）の外力を加えているが、これに限定されない。支持基板ＭＳに第１方向（Ｘ方向）の外力を加えてもよい。

[0031] 図２０は、本実施形態に係る半導体素子の製造装置を示す断面図である。図２０に示すように、半導体素子の製造装置５０は、ワーク３０を下面から吸着保持し搬送できる装置Ｇ１と、ワーク３０の上面を吸着保持しながら、第１方向（Ｘ方向）に移動する装置Ｇ５とを備えてよい。半導体素子の製造装置５０では、ワーク３０の上面および下面を吸着保持した状態で、装置Ｇ５が第１方向（Ｘ方向）に微小量移動するとともに、装置Ｇ１が第１方向の逆方向（－Ｘ方向）に微小量移動し、その後にワーク上面とワーク下面を吸着保持したまま離していくことで、選択素子群ＳＧを成長用基板ＴＳから剥

離する。

[0032] 図２１および図２２は、本実施形態に係る半導体基板の構成を示す平面図である。図２３は、図２１および図２２の断面図である。図２１～図２３に示すように、成長用基板および半導体素子を含む半導体基板１０では、半導体層８のウィング部Ｆ（片翼）を含む素子ＳＬがアノードＥＡおよびカソードＥＣを含み、素子ＳＬが、シード領域ＳＡ上に位置するテザー部ＴＺを介して成長用基板（テンプレート基板）ＴＳに保持されてよい。この場合、テザー部ＴＺと、ウィング部Ｆ（片翼）およびこれに重畳する機能層９との境界ＣＬを、本実施形態に係る半導体素子の製造方法を用いて断つ（破断させる）ことで素子ＳＬを成長用基板ＴＳから分離することができる。素子ＳＬは、発光ダイオード（ＬＥＤ）であってよい。テザー部ＴＺは、中央部に１個設けてもよいし（図２１）、間隔をあけて複数設けてもよい（図２２）。図２１～図２３に示す半導体基板１０では、半導体層８およびこれに重畳する機能層９のうち、シード領域ＳＡ上に位置する領域をパターニングする（ドライエッチング等で部分的に除去する）ことでテザー部ＴＺが形成される。

[0033] 図２４および図２５は、本実施形態に係る半導体基板の構成を示す断面図である。図２４に示すように、半導体層８のウィング部Ｆ（片翼）と成長用基板ＴＳとの間に空隙ＶＳを設けてもよい。図２４の半導体基板１０では、下地層４を畝状（リッジ状）に形成し、下地層４の側面をマスク部５で覆うことで、半導体層８のウィング部Ｆを、成長用基板ＴＳから浮かした状態で横方向成長させることができる。

[0034] 本実施形態に係る半導体素子の製造方法を用いて、図２４の半導体基板１０から、半導体層８（両翼含む）とこれに重なる機能層９とを備える素子ＳＬを得てもよいし、ウィング部Ｆとこれに重なる機能層９とを備える素子ＳＬを得てもよい。図２１・図２２のようなテザー構造（シード領域ＳＡ上の半導体層８および機能層９がパターニングされた構造）を形成した後に、成長用基板ＴＳから素子ＳＬを分離してもよい。

[0035] 図２５に示すように、半導体層８のウィング部Ｆ（片翼）と成長用基板ＴＳとの間に空隙ＶＳを設けてもよい。図２５の半導体基板１０では、成長用基板ＴＳ上に、畝状の隆起部Ｒ（例えばＧａＮ系半導体部）および隆起部Ｒに接する成長抑制膜７（例えば窒化珪素膜）を連続形成した後に、半導体層８（窒化物半導体層）のウィング部Ｆを、成長用基板ＴＳから浮かした状態で横方向成長させることができる。図２５の成長用基板ＴＳ（テンプレート基板）では、下地層４に、改質領域４Ｄおよび非改質領域４Ｓが形成され、非改質領域４Ｓがシード領域ＳＡとして機能し、改質領域４Ｄが成長抑制領域（非シード領域）ＤＡとして機能する。改質領域４Ｄは、下地層４（例えば、ＡＩＮ層）にプラズマ処理等を施して形成することができる。

[0036] 本実施形態に係る半導体素子の製造方法を用いて、図２５の半導体基板１０から、半導体層８（両翼含む）およびこれに重なる機能層９を備える素子ＳＬを得てもよいし、ウィング部Ｆおよびこれに重なる機能層９とを備える素子ＳＬを得てもよい。図２１・図２２のようなテザー構造（シード領域ＳＡ上の半導体層８および機能層９がパターニングされた構造）を形成した後に、成長用基板ＴＳから素子ＳＬを分離してもよい。

[0037] （附記）

以上の開示は例示および説明を目的とするものであり、限定を目的とするものではない。これら例示および説明に基づけば、多くの変形形態が当業者にとって自明となるのであるから、これら変形形態も実施形態に含まれることに留意されたい。

符号の説明

[0038] １　主基板

４　下地層

５　マスク部

６　マスクパターン

８　半導体層

３０　ワーク

５０　半導体素子の製造装置

Ｋ　開口部

Ｂ　基部

Ｆ　ウィング部

Ｊ　結合部

Ｈ　半田

ＳＧ　選択素子群

Ｇ１～Ｇ５　装置

ＰＡ・ＰＣ　パッド電極

ＳＬ　素子

ＳＡ　シード領域

ＭＳ　支持基板

ＴＳ　成長用基板

請求の範囲

[請求項1] それぞれが成長用基板上に成長した半導体層を含む複数の素子を、支持基板の表面に接合する工程と、

前記成長用基板および前記支持基板の一方の裏面に、面内不均一な押圧分布となるような外力を加える工程と、

前記支持基板に接合する前記複数の素子を、前記成長用基板から剥離する工程とを含む、半導体素子の製造方法。

[請求項2] 前記押圧分布を時間的に変化させる、請求項１に記載の半導体素子の製造方法。

[請求項3] 前記外力によって前記複数の素子を前記成長用基板に対して傾け、前記成長用基板との結合部を破断させる、請求項１に記載の半導体素子の製造方法。

[請求項4] 前記成長用基板および前記支持基板の他方の裏面には、面内均一で時間的に変化しない押圧分布となるような外力を加える、請求項１に記載の半導体素子の製造方法。

[請求項5] 前記成長用基板および前記支持基板は剛性基板である、請求項１に記載の半導体素子の製造方法。

[請求項6] 前記成長用基板は、第１方向にストライプ状に並ぶ複数のシード領域を含み、

前記複数の素子それぞれが前記複数のシード領域に繋がる、請求項１に記載の半導体素子の製造方法。

[請求項7] 前記複数の素子は、前記第１方向に離間形成されている、請求項６に記載の半導体素子の製造方法。

[請求項8] 前記押圧分布においては、前記第１方向に押圧が変化する、請求項６に記載の半導体素子の製造方法。

[請求項9] 前記成長用基板および前記支持基板の一方の裏面に、前記第１方向に直交する軸まわりに所定のプラス角度だけ傾けたプレートを圧接させる、請求項６に記載の半導体素子の製造方法。

[請求項10] 前記成長用基板および前記支持基板の一方の裏面に、前記所定のプラス角度だけ傾けたプレートを圧接させた後に、所定のマイナス角度だけ傾けたプレートを圧接させる、請求項９に記載の半導体素子の製造方法。

[請求項11] 前記所定のプラス角度は、１°～３°である、請求項９に記載の半導体素子の製造方法。

[請求項12] 前記成長用基板および前記支持基板の一方の裏面に圧接させたローラを、前記第１方向に移動させる、請求項６に記載の半導体素子の製造方法。

[請求項13] 前記成長用基板は、前記複数のシード領域の間に位置するマスク部を含み、

前記マスク部を除去することなく、前記複数の素子を、前記成長用基板から剥離する、請求項６に記載の半導体素子の製造方法。

[請求項14] 前記複数の素子は、前記成長用基板上に位置する素子群の中から選択的に前記支持基板に接合される、請求項１に記載の半導体素子の製造方法。

[請求項15] それぞれが成長用基板上に成長した半導体層を含む複数の素子を、前記成長用基板から剥離する、半導体素子の製造装置であって、

前記複数の素子を支持する支持基板および前記成長用基板の一方の裏面に、面内不均一な押圧分布となるような外力を加える、半導体素子の製造装置。

[請求項16] 前記押圧分布を時間的に変化させる、請求項１５に記載の半導体素子の製造装置。

[請求項17] プレートおよび前記プレートの駆動機構を備え、

前記駆動機構は、前記裏面に対してプラス方向に傾けた前記プレートを前記裏面に圧接させた後、前記裏面に対してマイナス方向に傾けた前記プレートを前記裏面に圧接させる、請求項１６に記載の半導体素子の製造装置。

[請求項18] ローラおよび前記ローラの駆動機構を備え、

前記駆動機構は、前記ローラを、前記成長用基板および前記支持基板の一方の裏面に圧接しながら回転させる、請求項１６に記載の半導体素子の製造装置。

[請求項19] 前記成長用基板および前記支持基板を、前記ローラの回転方向に応じた向きに移動させるワーク移動機構を備える、請求項１８に記載の半導体素子の製造装置。

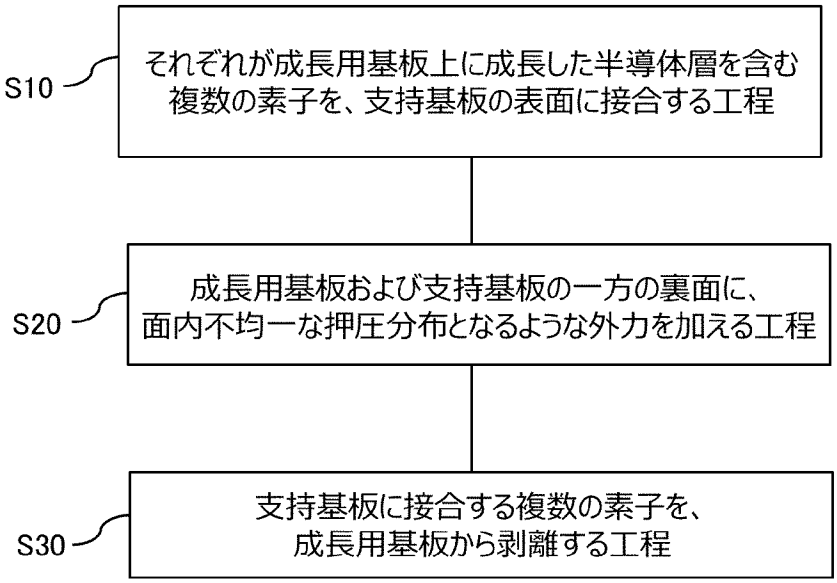
[請求項20] それぞれが成長用基板上に成長した半導体層を含む複数の素子を、支持基板の表面に接合する工程と、

前記成長用基板および前記支持基板の一方に、基板厚さ方向と直交する第１方向の外力を加える工程と、

前記支持基板に接合する前記複数の素子を、前記成長用基板から剥離する工程とを含む、半導体素子の製造方法。

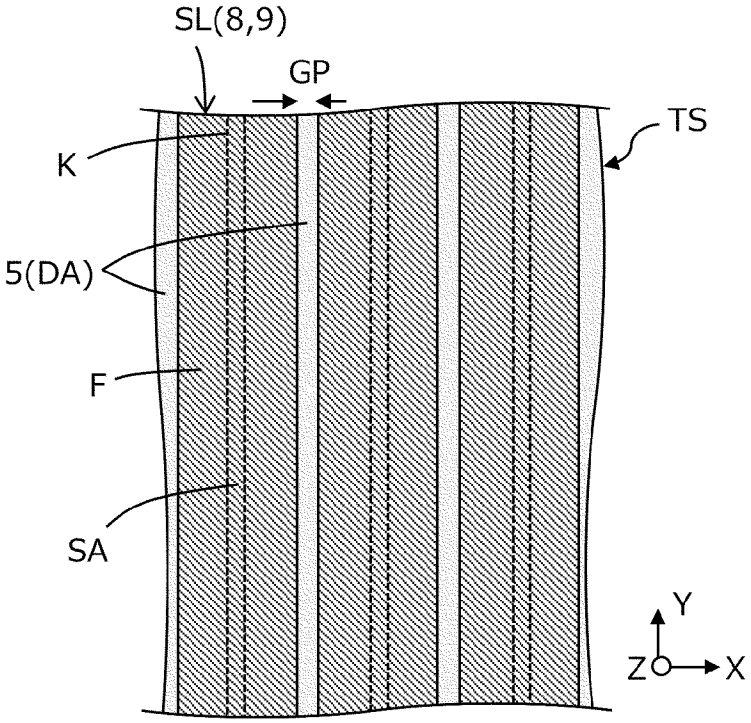
[図1]

図 1


S10
それぞれが成長用基板上に成長した半導体層を含む
複数の素子を、支持基板の表面に接合する工程
S20
成長用基板および支持基板の一方の裏面に、
面内不均一な押圧分布となるような外力を加える工程
S30
支持基板に接合する複数の素子を、
成長用基板から剥離する工程

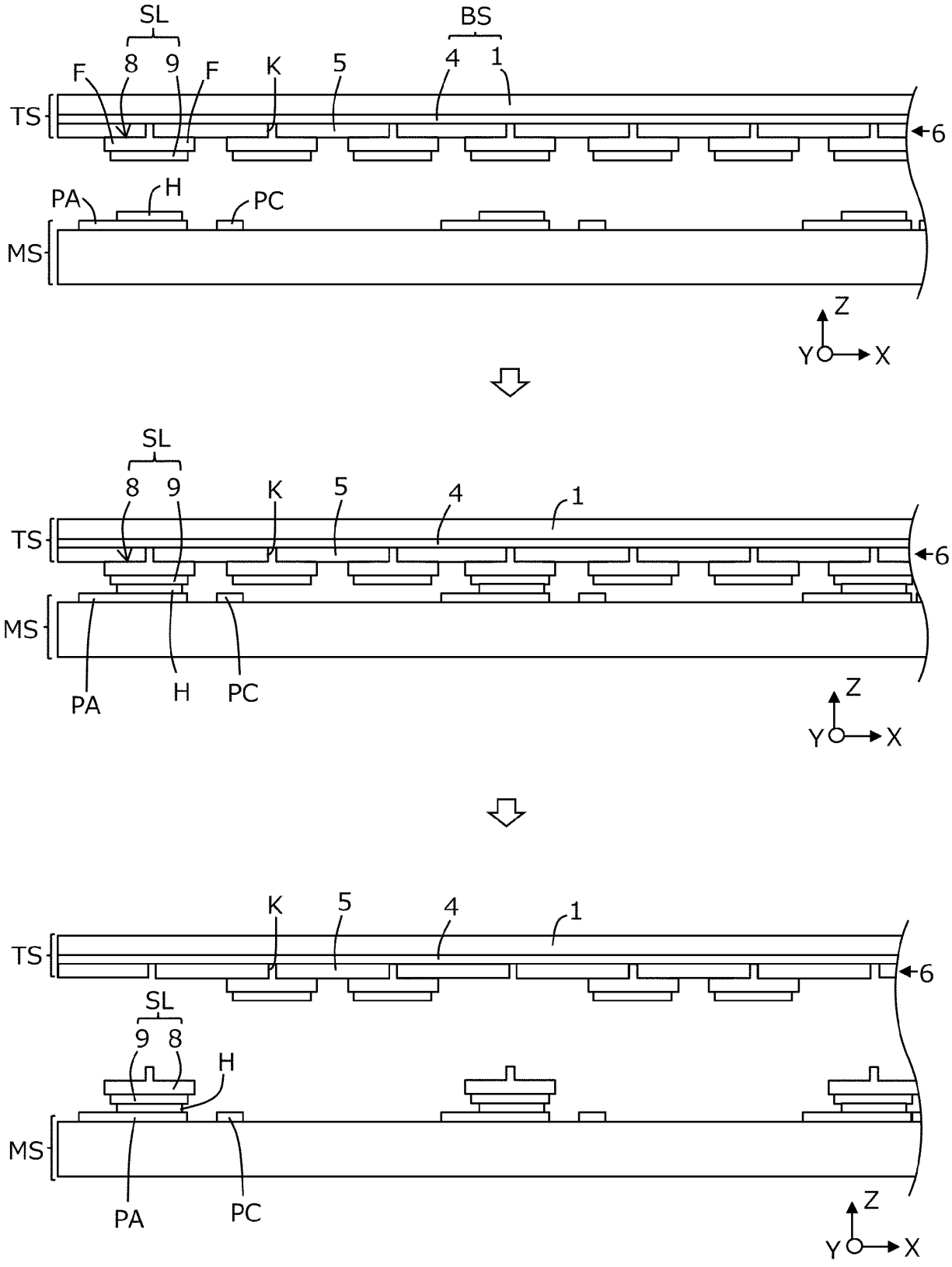
[図2]

図 2


SL(8,9)
GP
TS
K
5(DA)
F
SA
Y
Z
X

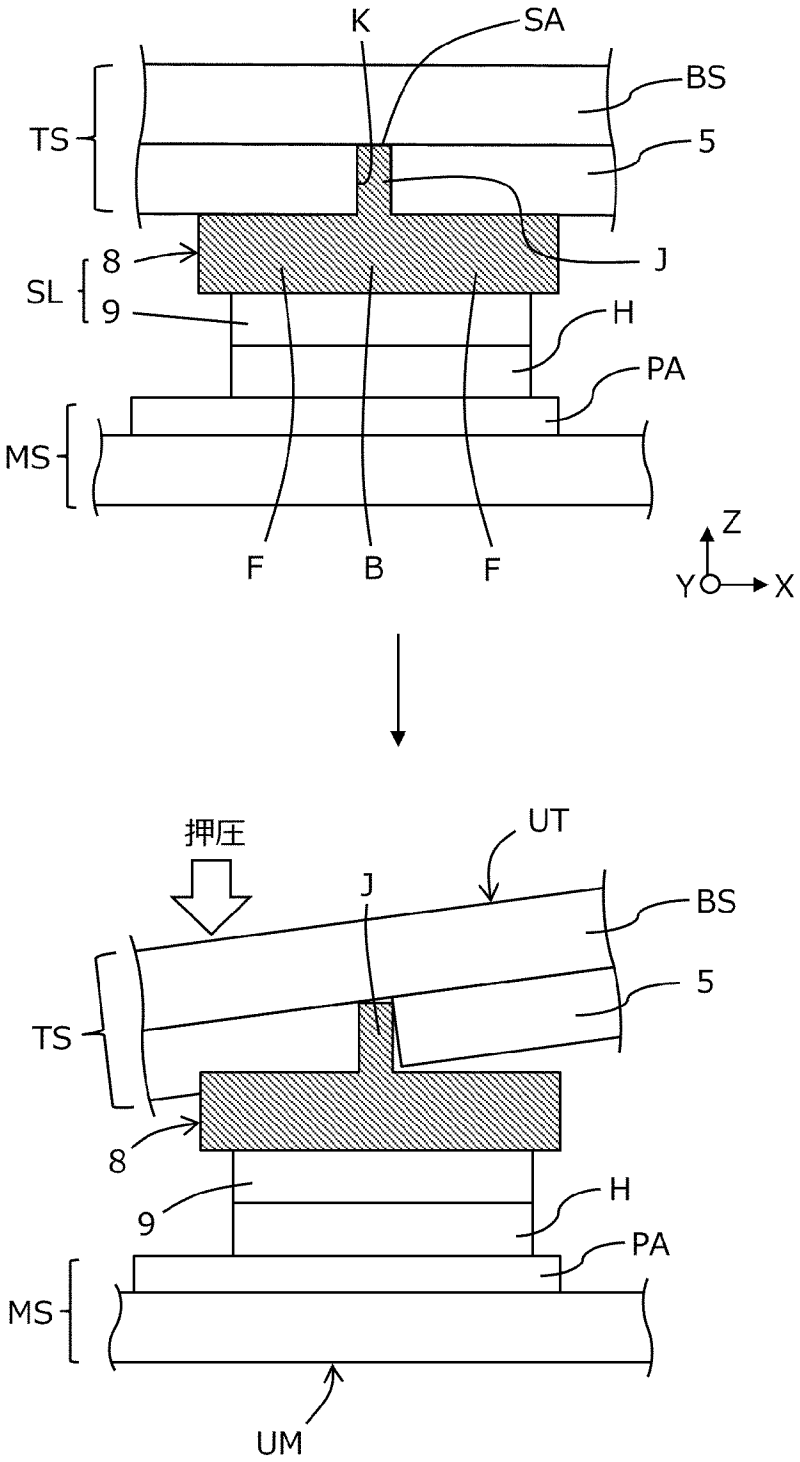
[図3]

図 3


SL
BS
F
8
9
F
K
5
4
1
TS
6
PA
H
PC
MS
Z
Y
X
SL
8
9
K
5
4
1
TS
6
MS
PA
H
PC
Z
Y
X
K
5
4
1
TS
6
SL
9
8
H
MS
PA
PC
Z
Y
X

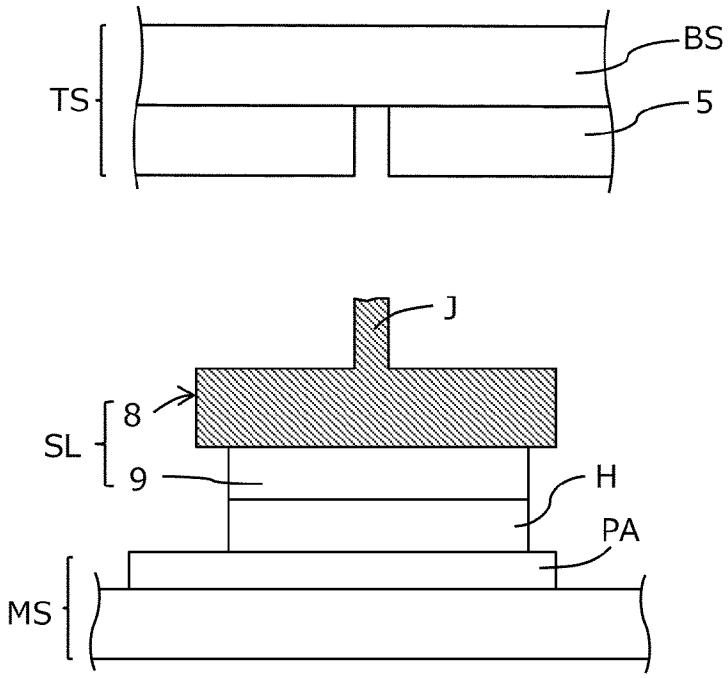
[図4]

図 4



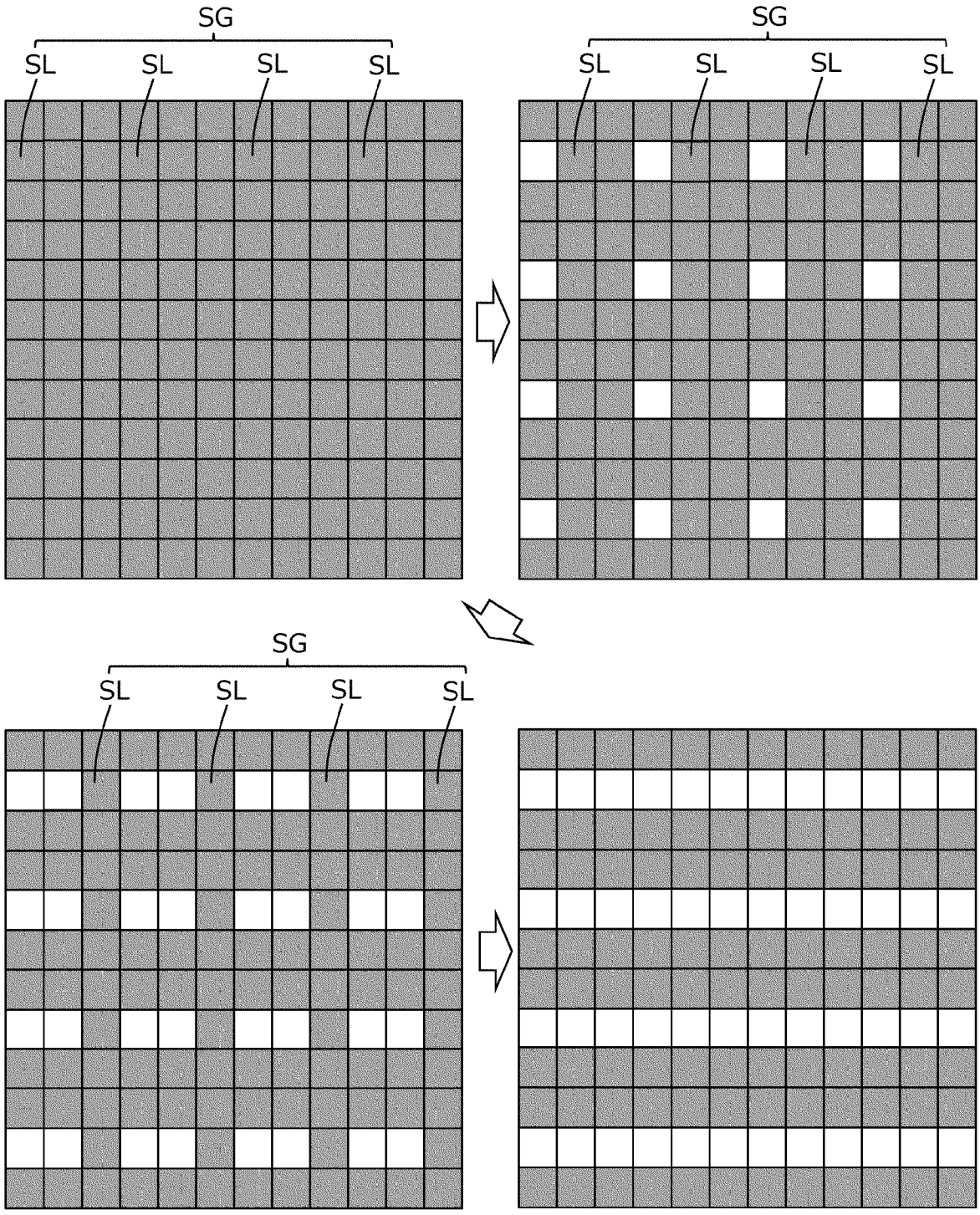
[図5]

図 5



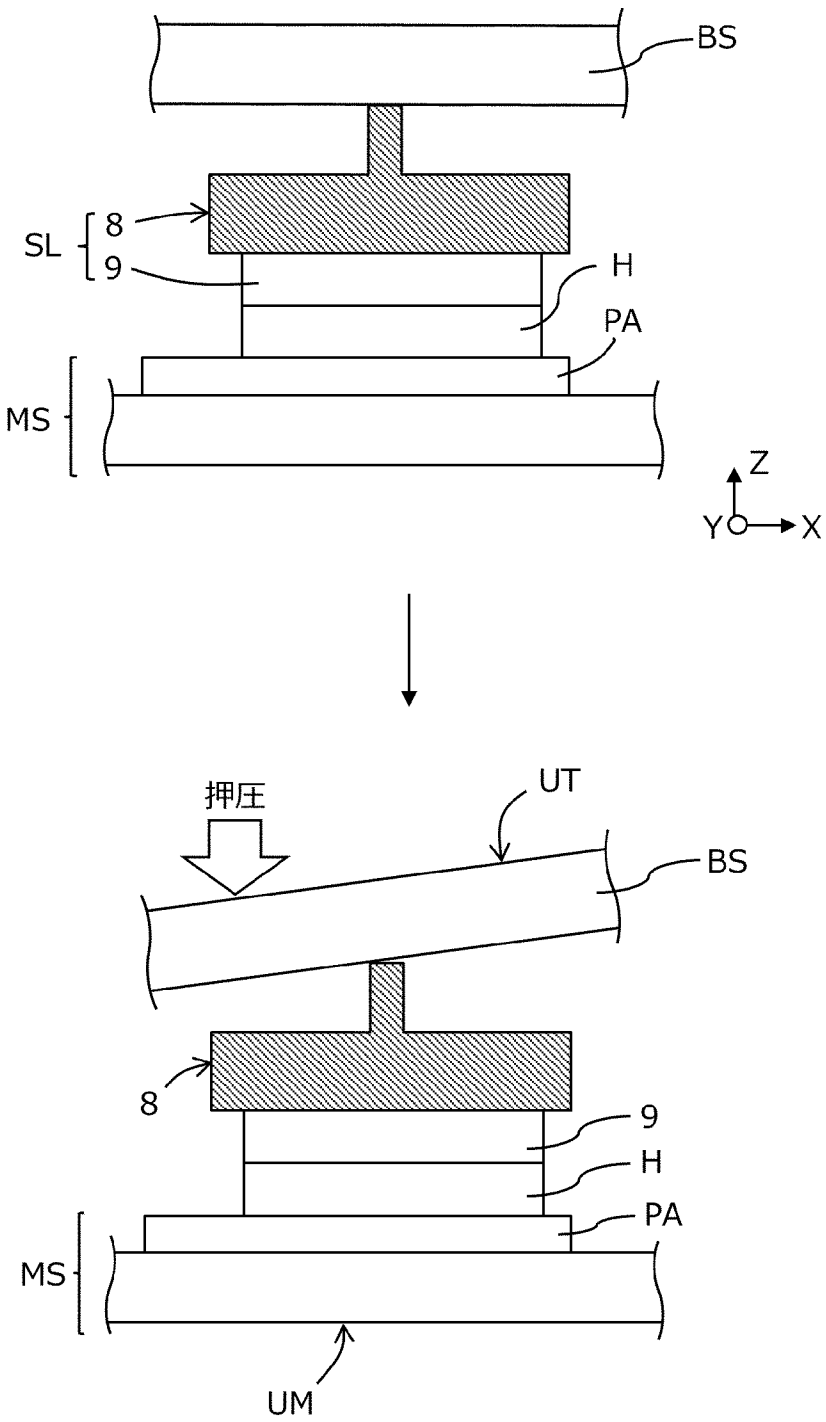
[図6]

図 6



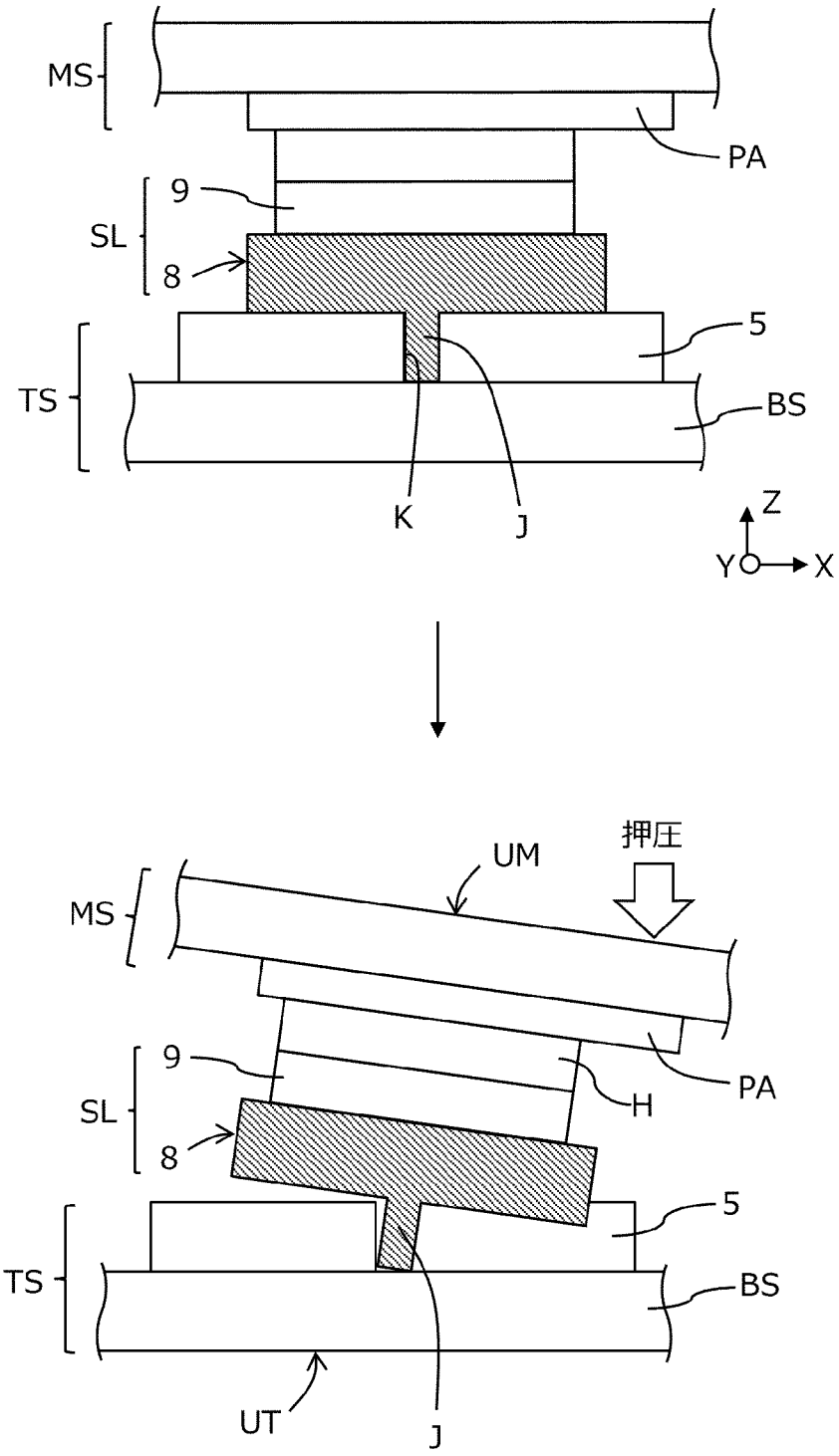
[図7]

図 7



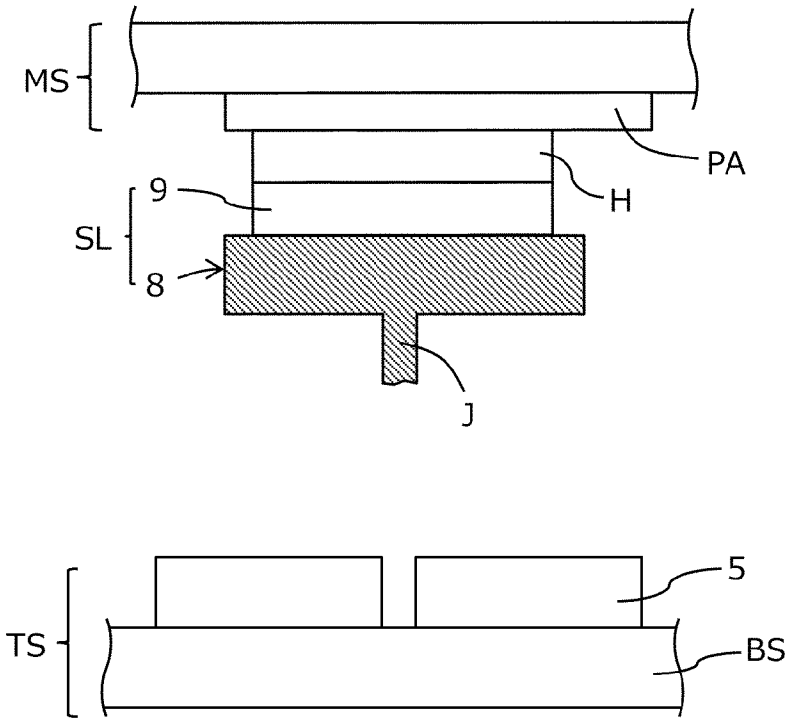
[図8]

図 8



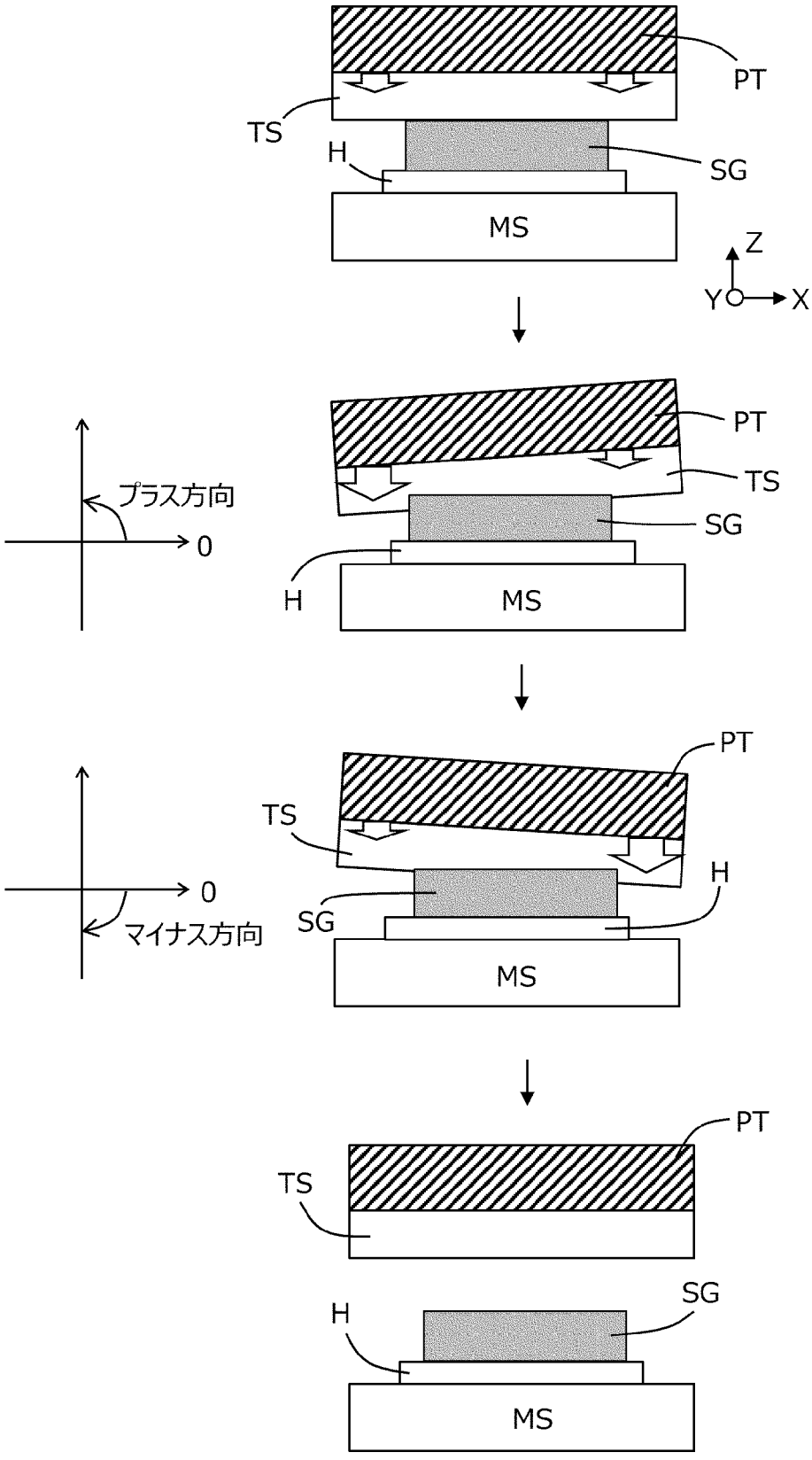
[図9]

図 9



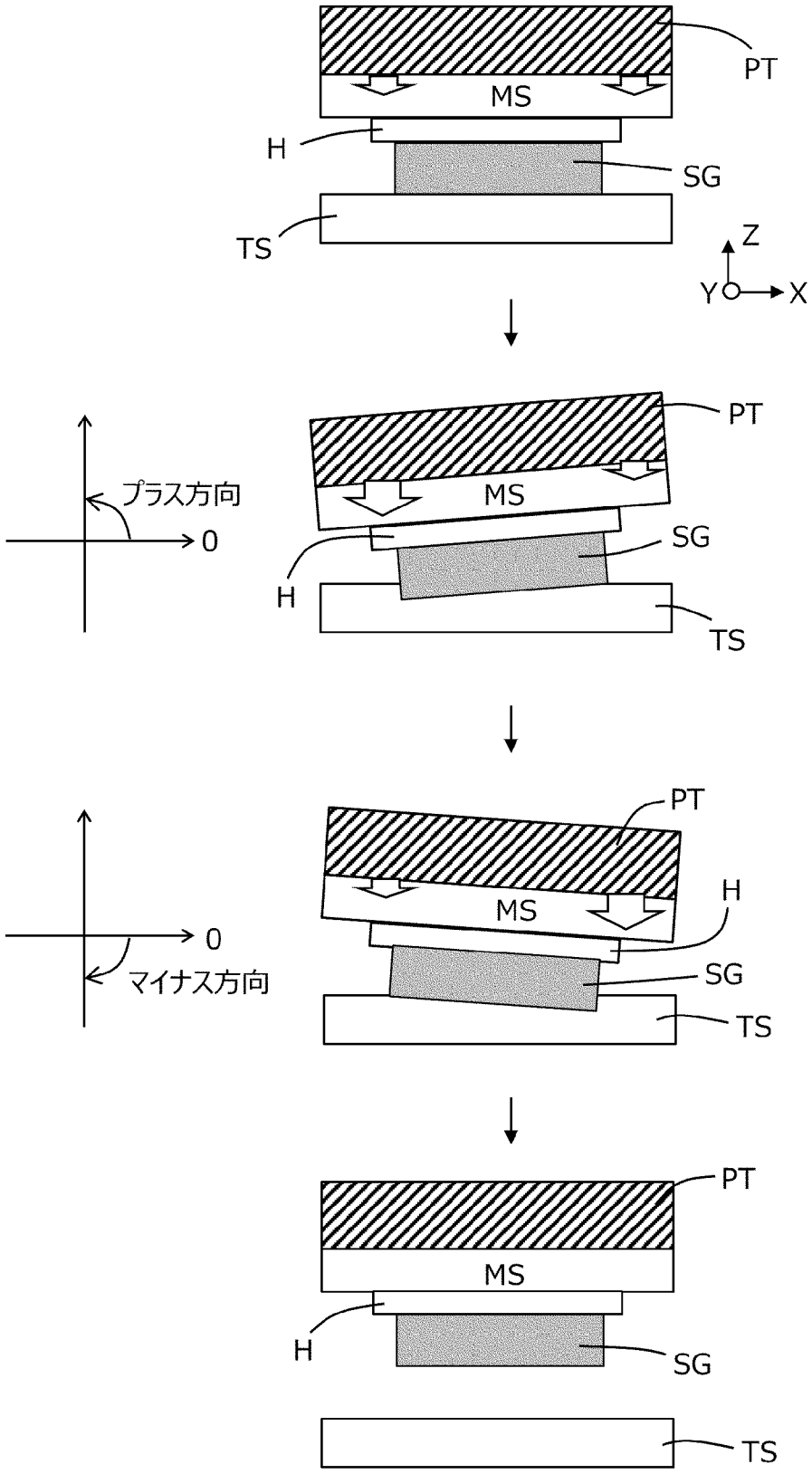
[図10]

図 10


PT
TS
H
SG
MS
Z
Y
X
プラス方向
0
PT
TS
SG
H
MS
0
マイナス方向
PT
TS
H
SG
MS
PT
TS
SG
H
MS

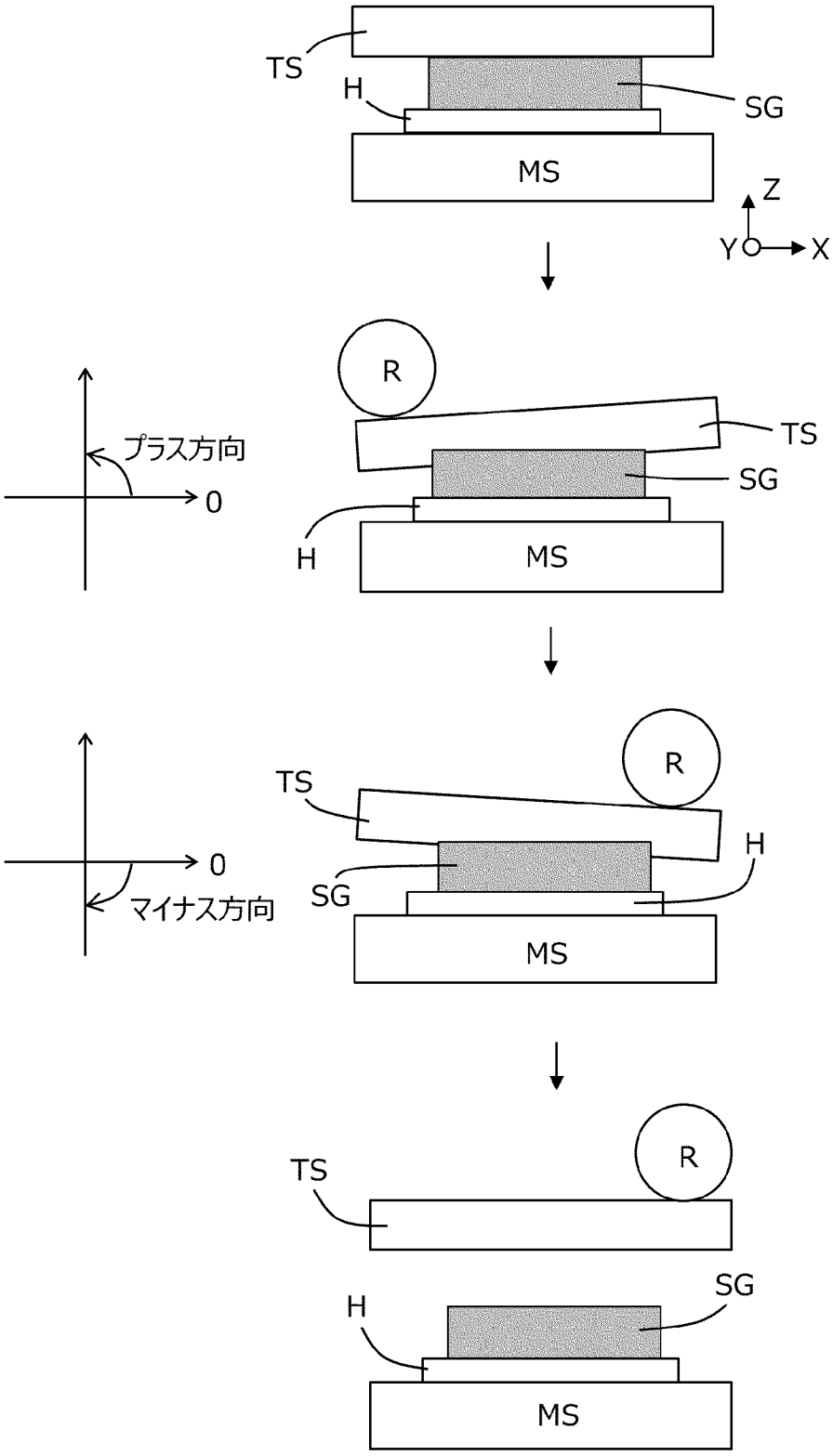
[図11]

図 11


PT
MS
H
SG
TS
Z
Y
X
プラス方向
0
PT
MS
SG
H
TS
0
マイナス方向
PT
MS
H
SG
TS
PT
MS
H
SG
TS

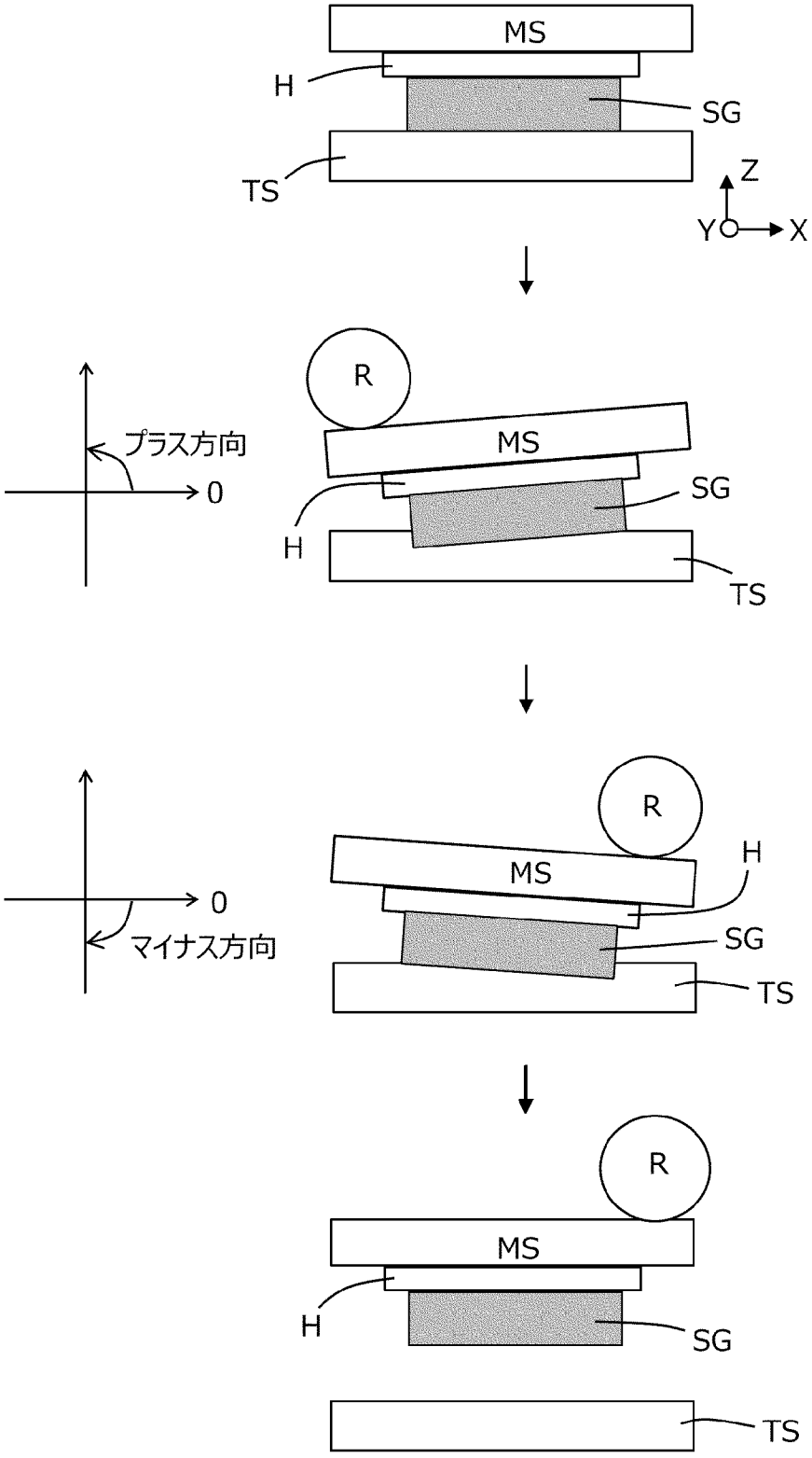
[図12]

図 12



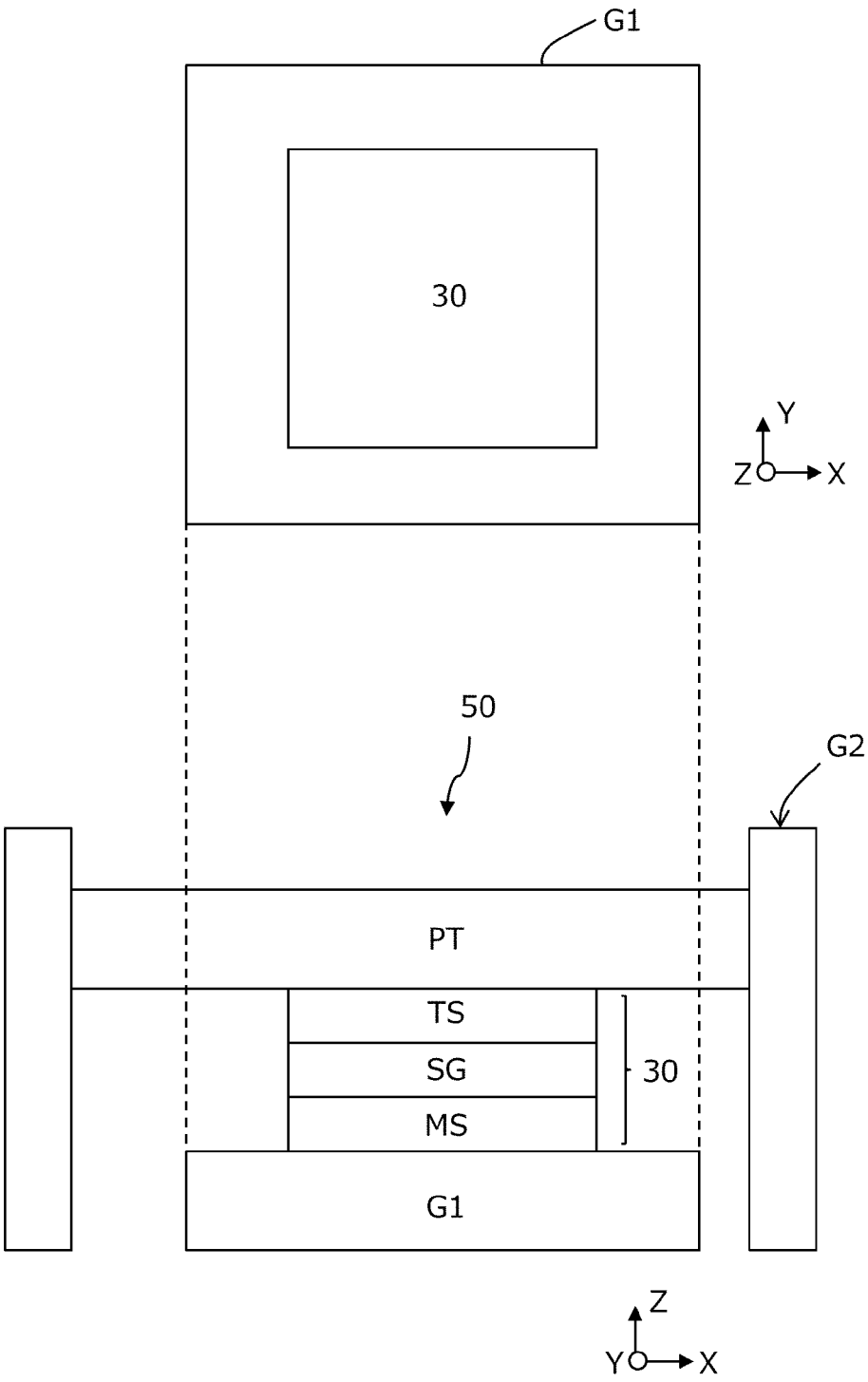
[図13]

図 13



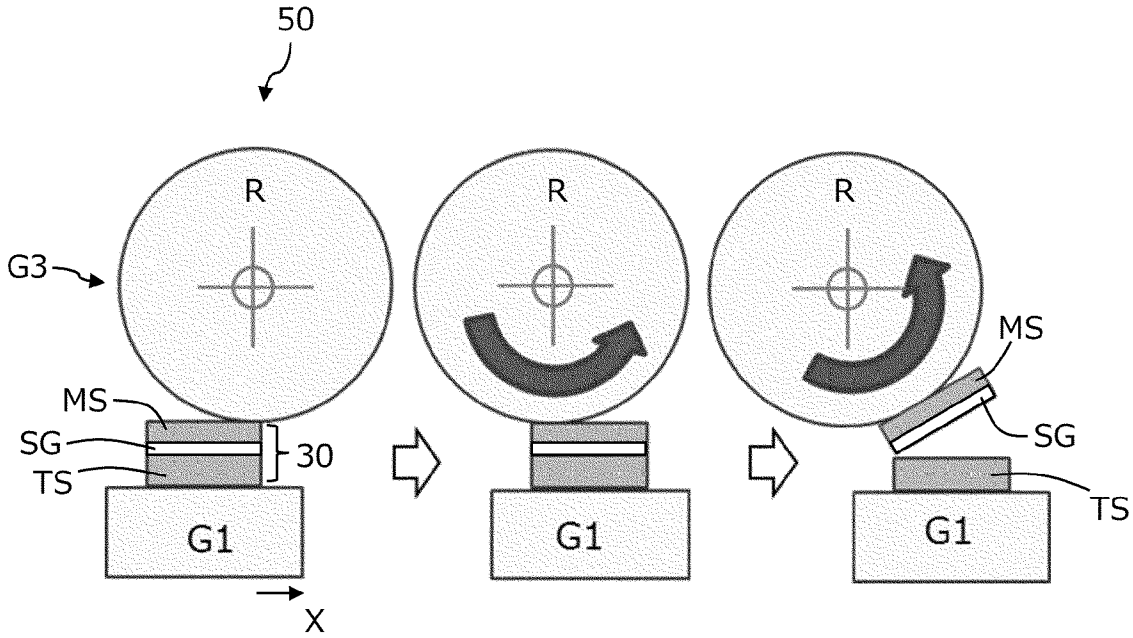
[図14]

図 14



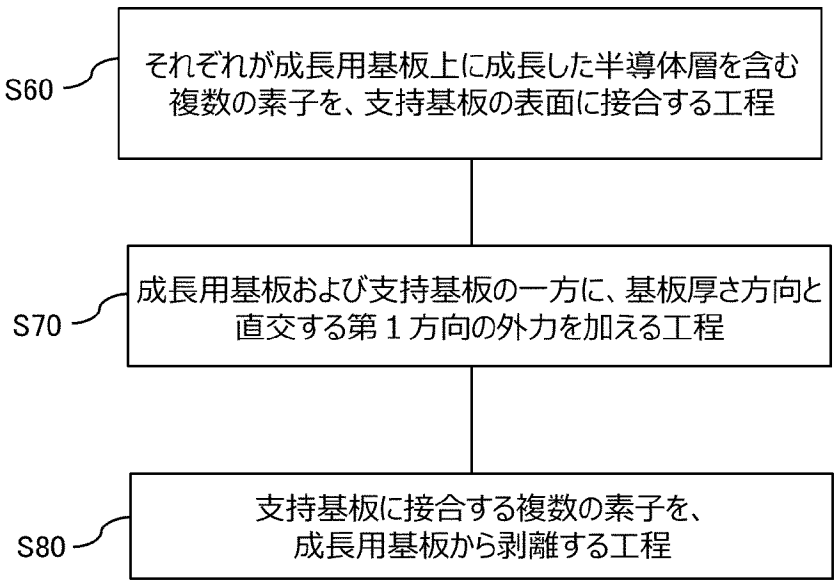
[図15]

図 15



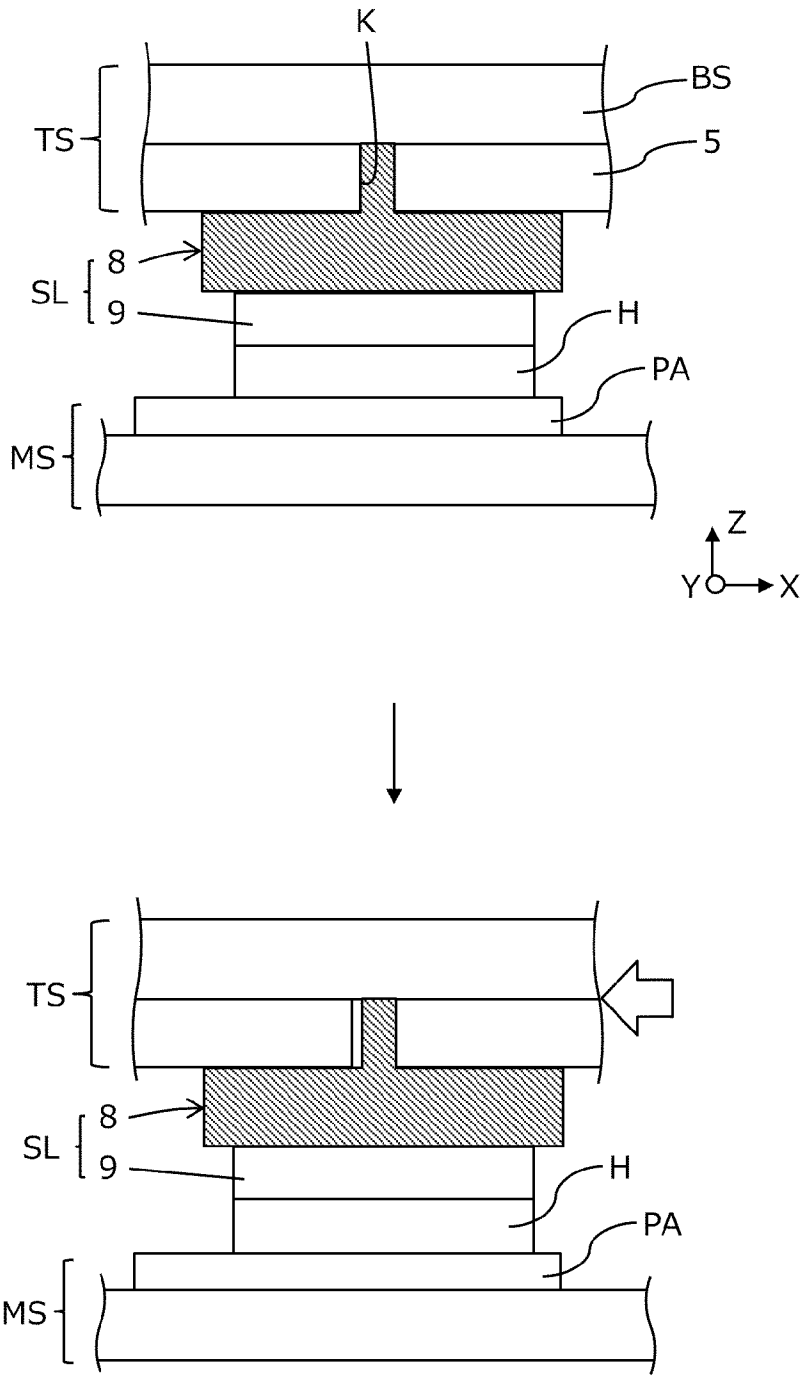
[図16]

図 16



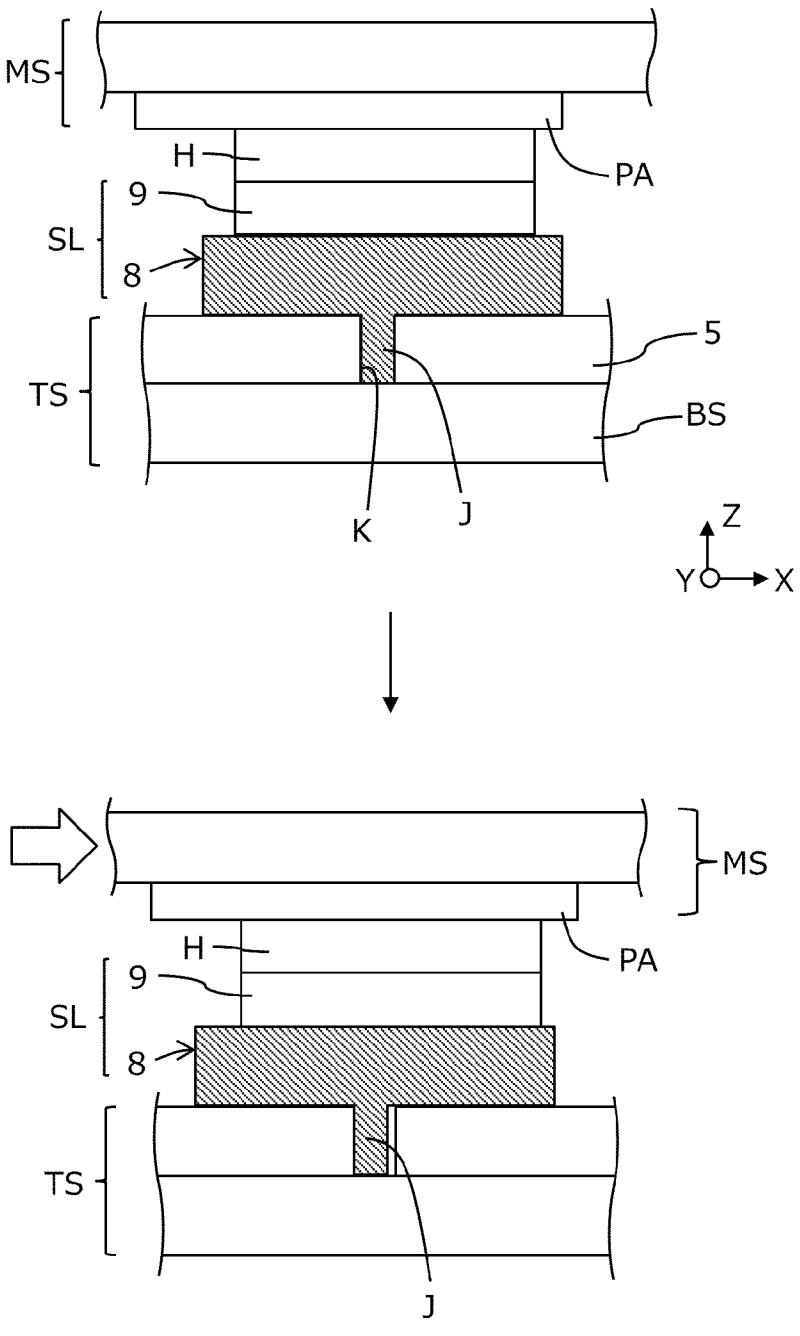
[図17]

図 17



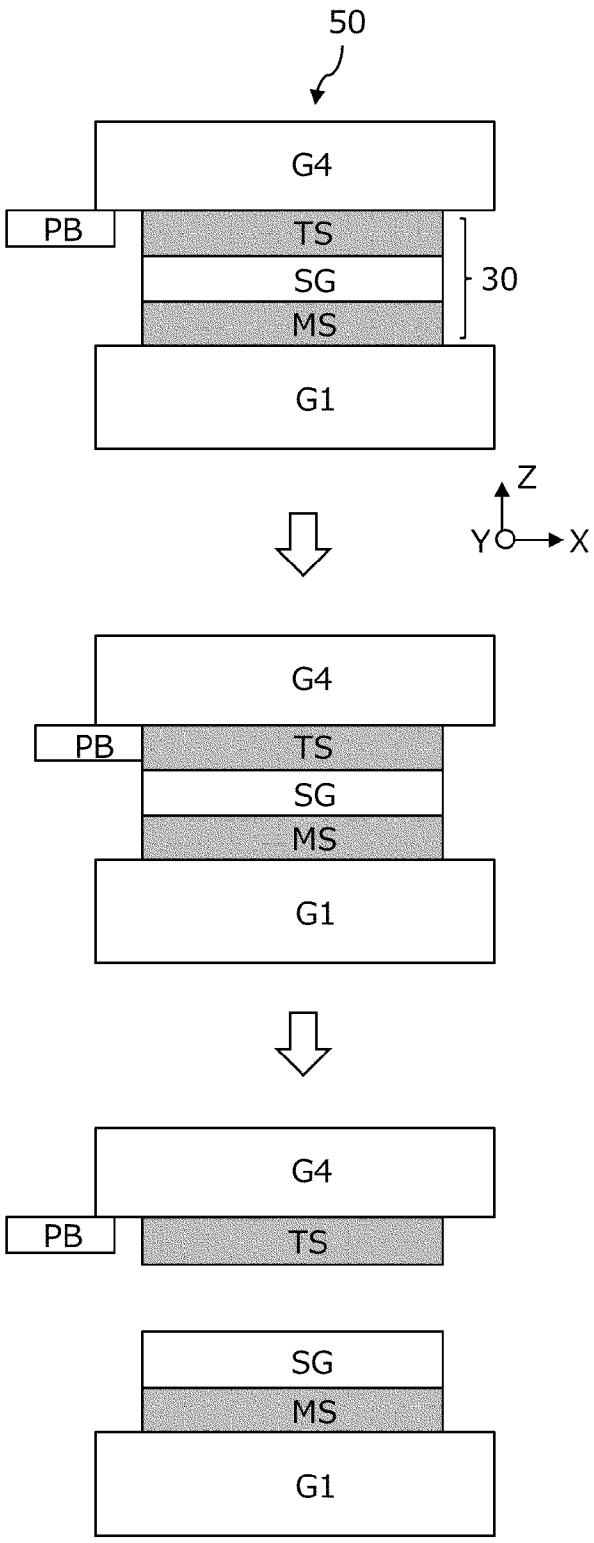
[図18]

図 18



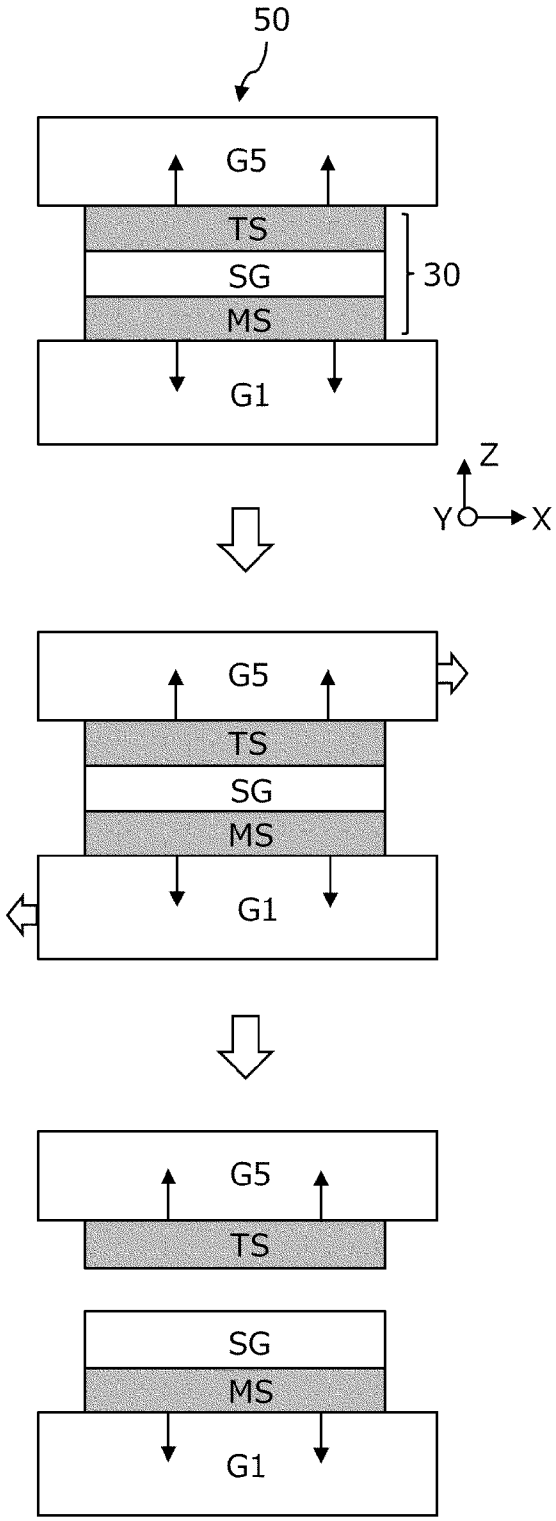
[図19]

図 19



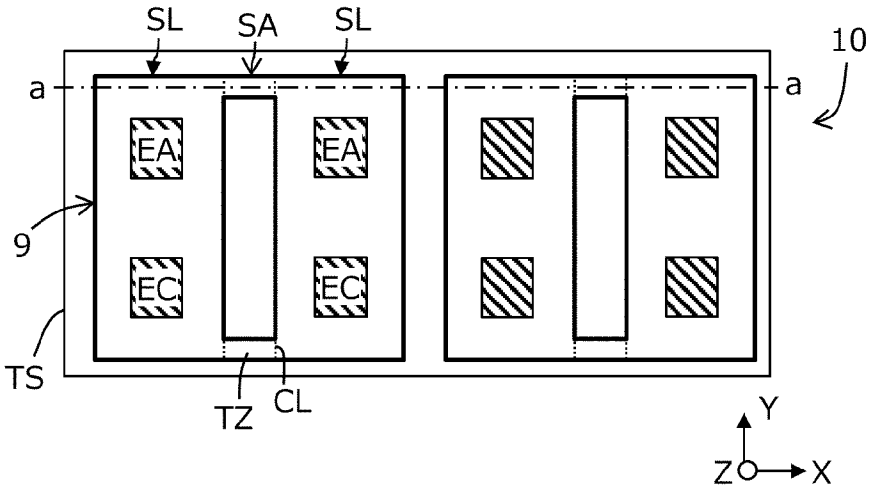
[図20]

図 20



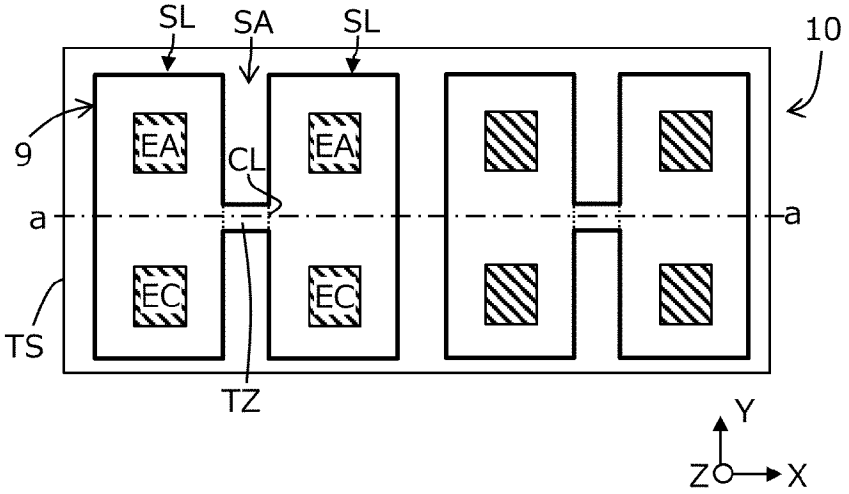
[図21]

図 21



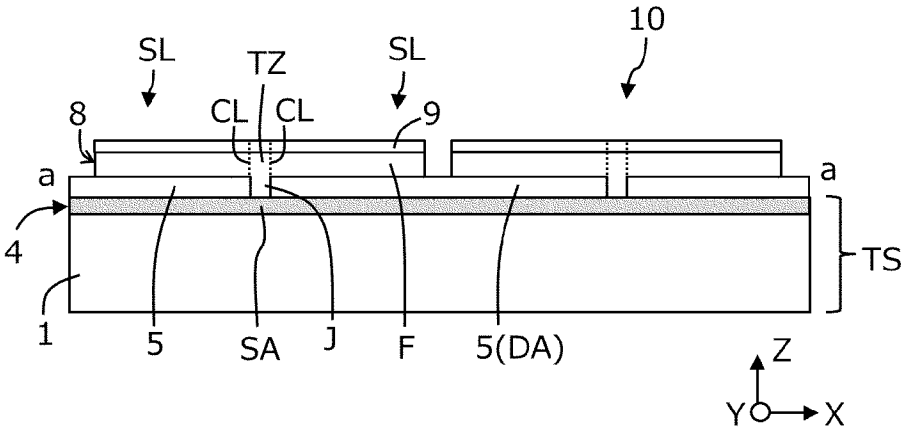
[図22]

図 22



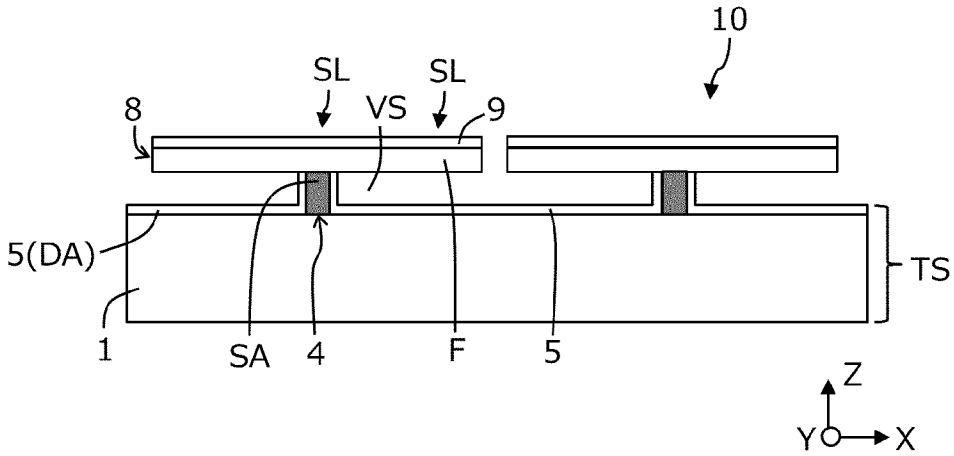
[図23]

図 23



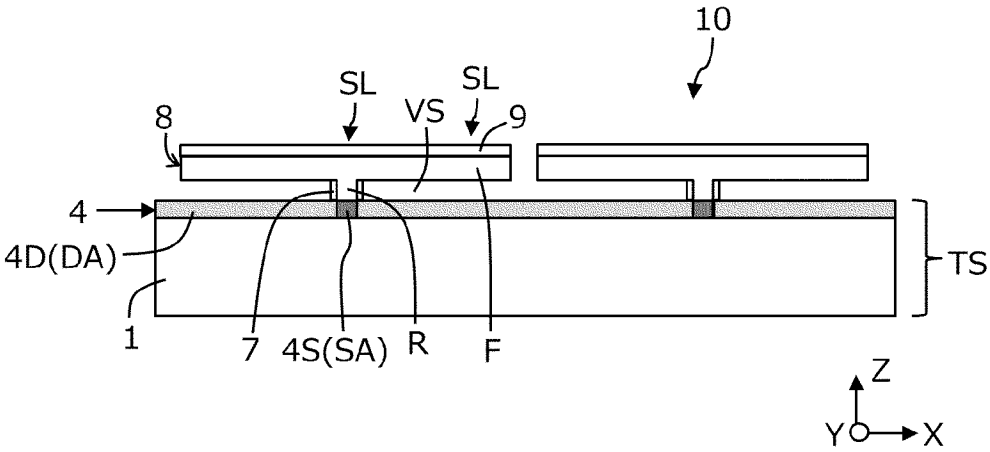
[図24]

図 24



[図25]

図 25



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2023/043286

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/02(2006.01)i
FI: H01L21/02 C; H01L21/02 B

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2024
Registered utility model specifications of Japan 1996-2024
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2022-523861 A (THE REGENTS OF THE UNIVERSITY OF CALIFORNIA) 26 April 2022 (2022-04-26) paragraphs [0003], [0064]-[0150], fig. 1-13	20
A		1-19
A	WO 2020/175684 A1 (KYOCERA CORP.) 03 September 2020 (2020-09-03) paragraphs [0010], [0011], [0016]-[0050], fig. 1-14	1-20
A	JP 2021-145052 A (KYOCERA CORP.) 24 September 2021 (2021-09-24) paragraphs [0008], [0011]-[0056], fig. 1	1-20
A	JP 2019-134101 A (KYOCERA CORP.) 08 August 2019 (2019-08-08) paragraphs [0006], [0008]-[0046], fig. 1-15	1-20
A	JP 2021-503713 A (XIAMEN SAN'AN OPTOELECTRONICS TECHNOLOGY CO., LTD.) 12 February 2021 (2021-02-12) paragraphs [0008], [0029]-[0050], fig. 1-10	1-20

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
18 January 2024	**30 January 2024**

Name and mailing address of the ISA/JP	Authorized officer
Japan Patent Office (ISA/JP) **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2023/043286

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2022-523861 A	26 April 2022	US 2022/0181210 A1 paragraphs [0014], [0100]-[0224], fig. 1-13 WO 2020/186080 A1 CN 113767452 A	
WO 2020/175684 A1	03 September 2020	US 2022/0140179 A1 paragraphs [0010], [0011], [0036]-[0070], fig. 1-14 EP 3933886 A1 CN 113490995 A	
JP 2021-145052 A	24 September 2021	(Family: none)	
JP 2019-134101 A	08 August 2019	US 2019/0237324 A1 paragraphs [0006], [0023]-[0068], fig. 1-15	
JP 2021-503713 A	12 February 2021	US 2020/0273848 A1 paragraphs [0009], [0019]-[0045], fig. 1-10 WO 2019/095659 A1 CN 107978548 A KR 10-2020-0065078 A	

国際調査報告

国際出願番号
PCT/JP2023/043286

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 21/02(2006.01)i
FI: H01L21/02 C; H01L21/02 B

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L21/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２４年
日本国実用新案登録公報	１９９６－２０２４年
日本国登録実用新案公報	１９９４－２０２４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2022-523861 A (ザ リージェンツ オブ ザ ユニバーシティ オブ カリフォルニア) 26.04.2022 (2022-04-26) 段落[0003],[0064]-[0150], 図1-13	20
A		1-19
A	WO 2020/175684 A1 (京セラ株式会社) 03.09.2020 (2020-09-03) 段落[0010]-[0011],[0016]-[0050], 図1-14	1-20
A	JP 2021-145052 A (京セラ株式会社) 24.09.2021 (2021-09-24) 段落[0008],[0011]-[0056], 図1	1-20
A	JP 2019-134101 A (京セラ株式会社) 08.08.2019 (2019-08-08) 段落[0006],[0008]-[0046], 図1-15	1-20
A	JP 2021-503713 A (廈門市三安光電科技有限公司) 12.02.2021 (2021-02-12) 段落[0008],[0029]-[0050], 図1-10	1-20

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

＊ 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“D” 国際出願で出願人が先行技術文献として記載した文献
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
18.01.2024	30.01.2024

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）

小池　英敏 5F 8396

電話番号 03-3581-1101 内線 3516

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2023/043286

引用文献	公表日	パテントファミリー文献	公表日
JP 2022-523861 A	26.04.2022	US 2022/0181210 A1 段落[0014],[0100]-[0224], 図1-13 WO 2020/186080 A1 CN 113767452 A	
WO 2020/175684 A1	03.09.2020	US 2022/0140179 A1 段落[0010]-[0011],[0036]-[0070], 図1-14 EP 3933886 A1 CN 113490995 A	
JP 2021-145052 A	24.09.2021	（ファミリーなし）	
JP 2019-134101 A	08.08.2019	US 2019/0237324 A1 段落[0006],[0023]-[0068], 図1-15	
JP 2021-503713 A	12.02.2021	US 2020/0273848 A1 段落[0009],[0019]-[0045], 図1-10 WO 2019/095659 A1 CN 107978548 A KR 10-2020-0065078 A	