

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5243984号
(P5243984)

(45) 発行日 平成25年7月24日(2013.7.24)

(24) 登録日 平成25年4月12日(2013.4.12)

(51) Int.Cl. F I
 HO 1 L 27/148 (2006.01) HO 1 L 27/14 B
 HO 4 N 5/369 (2011.01) HO 4 N 5/335 6 9 0

請求項の数 3 (全 11 頁)

(21) 出願番号	特願2009-20927 (P2009-20927)	(73) 特許権者	000236436
(22) 出願日	平成21年1月30日(2009.1.30)		浜松ホトニクス株式会社
(65) 公開番号	特開2010-177588 (P2010-177588A)		静岡県浜松市東区市野町1126番地の1
(43) 公開日	平成22年8月12日(2010.8.12)	(74) 代理人	100088155
審査請求日	平成23年10月12日(2011.10.12)		弁理士 長谷川 芳樹
		(74) 代理人	100092657
			弁理士 寺崎 史朗
		(74) 代理人	100124291
			弁理士 石田 悟
		(72) 発明者	鈴木 久則
			静岡県浜松市東区市野町1126番地の1
			浜松ホトニクス株式会社内
		(72) 発明者	米田 康人
			静岡県浜松市東区市野町1126番地の1
			浜松ホトニクス株式会社内
			最終頁に続く

(54) 【発明の名称】 電子増倍機能内蔵型の固体撮像素子

(57) 【特許請求の範囲】

【請求項1】

P型の半導体基板と、
 前記半導体基板の上に成長したP型のエピタキシャル層と、
 前記エピタキシャル層内に形成された撮像領域と、
 前記エピタキシャル層内に形成されたN型の半導体領域を有し、前記撮像領域からの信号を転送する水平シフトレジスタと、
 前記エピタキシャル層内に形成されたP型のウェル領域と、
 を備え、
 N型の前記半導体領域は、前記ウェル領域内に延びており、
 前記ウェル領域内のP型不純物濃度は、前記エピタキシャル層内のP型不純物濃度よりも高く、
 前記ウェル領域において前記水平シフトレジスタからの電子を増倍する増倍レジスタが形成されている、
 ことを特徴とする電子増倍機能内蔵型の固体撮像素子。

【請求項2】

前記増倍レジスタは、
 前記ウェル領域内に形成されたN型の前記半導体領域と、
 前記半導体領域上に形成された絶縁層と、
 前記絶縁層上に隣接して形成された複数の転送電極と、

前記転送電極間に配置され直流電位が印加されるDC電極と、
を備えることを特徴とする請求項1に記載の電子増倍機能内蔵型の固体撮像素子。

【請求項3】

前記絶縁層は、単一のSiO₂層のみからなる、
ことを特徴とする請求項2に記載の電子増倍機能内蔵型の固体撮像素子。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電子増倍機能内蔵型の固体撮像素子に関するものである。

【背景技術】

【0002】

従来、増倍レジスタを有する固体撮像素子が知られている（例えば、下記特許文献1～3参照）。このような固体撮像素子においては、撮像領域から読み出された電荷を、水平シフトレジスタを介して増倍レジスタに転送している。増倍レジスタは、半導体層上に形成された絶縁層と、絶縁層上に形成された転送電極とを備えているが、ある電極（DC電極）に直流電位を与えて固定した状態で、次段の転送電極（増倍電極）の電位を大きく上昇させると、これらの電極間の電荷転送時において、電子増倍が行われるとされている。

20

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特許3862850号公報

【特許文献2】特表2007-533130号公報

【特許文献3】特開2001-127277号公報

【発明の概要】

30

【発明が解決しようとする課題】

【0004】

しかしながら、本願発明者らは、上述の構造の増倍レジスタを鋭意検討した結果、光に対する感度をあげつつ、解像度をよくするため、高抵抗のエピタキシャル層を有する基板を使った場合には、電子増倍が殆ど行われぬ旨を発見した。

【0005】

本発明は、高抵抗のエピタキシャル層を有する基板を用いても電子増倍が十分に行われる電子増倍機能内蔵型の固体撮像素子を提供することを目的とする。

【課題を解決するための手段】

【0006】

40

上述の課題を解決するため、本発明に係る電子増倍機能内蔵型の固体撮像素子は、P型の半導体基板と、半導体基板上に成長したP型のエピタキシャル層と、エピタキシャル層内に形成された撮像領域と、エピタキシャル層内に形成されたN型の半導体領域を有し、撮像領域からの信号を転送する水平シフトレジスタと、エピタキシャル層内に形成されたP型のウェル領域とを備え、N型の前記半導体領域は、ウェル領域内に延びており、ウェル領域内のP型不純物濃度は、エピタキシャル層内のP型不純物濃度よりも高く、ウェル領域において水平シフトレジスタからの電子を増倍する増倍レジスタが形成されていることを特徴とする。

【0007】

エピタキシャル層は、結晶性に優れていることで知られている。したがって、P型のエ

50

ピタキシャル層にN型の半導体領域を形成した場合、水平シフトレジスタにおける電子は結晶性の優れた半導体内において転送されるので、電子転送が高精度に行われる。このように転送された電子は、増倍レジスタ内に入るが、増倍レジスタの周囲には、エピタキシャル層よりも相対的に高濃度のP型のウェル領域が存在している。本願発明者らは、このような場合においては、増倍レジスタにおける転送電極直下の電位変化が急峻になり、電子増倍率が著しく向上する旨を発見した。

【0008】

また、増倍レジスタは、ウェル領域内に形成されたN型の前記半導体領域と、上記半導体領域上に形成された絶縁層と、この絶縁層上に隣接して形成された複数の転送電極と、転送電極間に配置され直流電位が印加されるDC電極とを備えることが好ましい。

10

【0009】

すなわち、直流電位が印加されるDC電極と、次段の転送電極（増倍電極）との間における、N型の半導体領域内の電位変化が急峻になり、顕著に電子増倍が行われる。

【0010】

また、上記絶縁層は、単一のSiO₂層のみからなることが好ましい。絶縁層は、その機械的耐性と電氣的耐圧の向上を目的として、Si₃N₄層とSiO₂層の2層構造を採用することが好ましいと考えられた。しかしながら、当初の予想に反して、このような絶縁層を用いた場合、増倍レジスタにおけるゲインが劣化した。一方、絶縁層が、単一のSiO₂層のみからなる場合、ゲインの劣化が生じないという予想を超える結果が得られた。

20

【発明の効果】

【0011】

本発明の電子増倍機能内蔵型の固体撮像素子によれば、高抵抗のエピタキシャル層を用いても電子増倍が十分に行われる。

【図面の簡単な説明】

【0012】

【図1】固体撮像素子の平面図である。

【図2】図1に示した固体撮像素子のII-II矢印断面図である。

【図3】図1に示した固体撮像素子のIII-III矢印断面図である。

【図4】固体撮像素子の詳細な接続関係を示す平面図である。

30

【図5】図4に示した固体撮像素子のV-V矢印断面図である。

【図6】駆動/読出回路と固体撮像素子の接続関係を示すブロック図である。

【図7】増倍レジスタにおけるポテンシャル図である。

【図8】固体撮像素子を使用した時間と相対ゲインの関係を示すグラフである。

【発明を実施するための形態】

【0013】

以下、実施の形態に係る電子増倍機能内蔵型の固体撮像素子について説明する。なお、同一要素には同一符号を用いることとし、重複する説明は省略する。

【0014】

図1は裏面入射型の固体撮像素子100の平面図である。

40

【0015】

半導体基板には絶縁層2が形成されており、絶縁層2の表面上には複数の垂直電荷転送電極が形成され、これらは垂直シフトレジスタを構成している。垂直シフトレジスタの形成された領域は撮像領域VRであって、本例の場合はCCD撮像領域である。なお、撮像領域VRは、MOS型のイメージセンサから構成してもよい。

【0016】

撮像領域VRの一辺には、水平シフトレジスタHRが隣接して設けられており、水平シフトレジスタHRから増倍レジスタEMに至る電荷転送経路内には、コーナーレジスタCRが配置されている。コーナーレジスタCRの構造は、水平シフトレジスタHRと同一であるが、電荷転送方向が円弧を描くように曲がっている。増倍レジスタEMの出力端には

50

、アンプAMPが電氣的に接続されており、アンプAMPの出力端子OSから取得された画像信号が画素ごとに順次読み出される。

【0017】

絶縁層2が形成された半導体基板の裏面側の中央部は、矩形状にエッチングされており、凹部DPが形成されている。凹部DPの形成された側は、基板の裏面であり、イメージは固体撮像素子の裏面側に入射する。

【0018】

図2は、図1に示した固体撮像素子のII-II矢印断面図である。

【0019】

固体撮像素子100は、P型の半導体基板1Aと、半導体基板1A上に成長したP型のエピタキシャル層1Bと、エピタキシャル層1B内に形成された撮像領域VRと、エピタキシャル層1B内に形成されたN型の半導体領域1Cを有しており、埋め込みチャンネル型のCCDが構成されている。光像hは、基板裏面側から入射する。半導体基板1Aは裏面側からエッチングされ、凹部DPを構成している。なお、半導体基板1A、エピタキシャル層1B及び半導体領域1Cを含んだ全体を半導体基板1とする。半導体基板1上に絶縁層2が形成され、絶縁層2上に転送電極3が設けられている。エピタキシャル層1Bの一部にはP型のコンタクト領域1Gが形成されており、コンタクト領域1Gには電極E1が設けられている。電極E1にグランド電位などの基準電位を与えると、P型の半導体基板1Aとエピタキシャル層1Bの電位が決定される。

【0020】

撮像領域VRにおいて、転送される電子は、図2の紙面に垂直な方向に進行する。なお、N型の半導体領域内には、電荷転送方向に沿って伸びた複数のP型半導体領域からなるアイソレーションIS(図4参照)が形成され、垂直シフトレジスタの各チャンネルを画成しているが、説明の簡略化のため、同図ではアイソレーションを示していない。

【0021】

図3は、図1に示した固体撮像素子のIII-III矢印断面図である。

【0022】

撮像領域VRに設けられた転送電極3A、3Bは交互に配置されており、これらは一部領域が重なっているが、隣接する転送電極3A、3B間には絶縁層5が介在し、電氣的に分離されている。撮像領域VRからの信号は水平シフトレジスタHRによって転送される。また、水平シフトレジスタHRの隣には、増倍レジスタEM(同図では電極群のみをEMとして模式的に示している)が位置している。増倍レジスタEMの位置におけるエピタキシャル層1B内にはP型のウェル領域1Dが形成されており、N型の半導体領域1Cは、ウェル領域1D内にも伸びている。ウェル領域1D内のP型不純物濃度は、エピタキシャル層1B内のP型不純物濃度よりも高い。

【0023】

半導体基板1は凹部DPの形成された薄板部と、その周囲の厚板部からなる。厚板部においては、光の入射によって内部で発生したキャリアは、表面側に到達する前に消滅する。特に、半導体基板1AのP型不純物濃度は、エピタキシャル層1Bよりも十分に高濃度であるので、キャリアの走行距離も短くなる。水平シフトレジスタHR、コーナーレジスタCR(図1参照)及び増倍レジスタEMは、少なくとも薄板部よりも外側の領域に形成され、好ましくは厚板部の領域に形成されている。したがって、厚板部において発生したキャリアが、これらのレジスタ内に混入することはない。

【0024】

図4は、固体撮像素子の詳細な接続関係を示す平面図である。

【0025】

撮像領域VRは、垂直方向に沿って交互に配置された垂直転送電極3A、3Bを備えている。各転送電極3A、3Bは水平方向に伸びており、隣接するもの同士は若干重なっている。本例においては、転送電極3には、3相の駆動電圧(P1V、P2V、P3V)が与えられている。この駆動電圧の印加により、転送電極直下に蓄積された電子が、垂直方

10

20

30

40

50

向に転送される。なお、同図においては、FFT（フル・フレーム・トランスファー）方式のCCDが示されているが、これは蓄積領域を更に含むFT（フレーム・トランスファー）方式のCCD、或いは、IT（インターライン・トランスファー）方式のCCDに置換することもできる。

【0026】

撮像領域VRには、各垂直電荷転送チャンネルCH1～CH10を分離するためのP型のアイソレーションISが形成されている。撮像領域VRを構成するチャンネルCH1～CH10において光の入射に应答して発生した電荷は、垂直方向へ転送され、チャンネル毎に水平シフトレジスタHRの各転送電極6の直下に流れ込む。

【0027】

なお、撮像領域VRと水平シフトレジスタHRとの間には、ゲート電圧TGが与えられる転送電極（トランスファーゲート）が設けられており、ゲート電圧TGを制御することで、撮像領域VRから水平シフトレジスタHRに流れ込む電荷量を制御することができる。

【0028】

水平シフトレジスタHRを構成している転送電極6A、6Bは、水平方向に沿って交互に配置され、一部分が重なっている。なお、いずれのレジスタにおいても、隣接する転送電極3A、3B、6A、6B、7A、7B、8A、8B間には、絶縁層2の上に形成された絶縁層5（図5参照）が介在しており、これらは電氣的に分離されている。転送電極6には、3相の駆動電圧（P1HA、P2HA、P3HA）が与えられ、転送電極6の直下の電子は、水平方向に転送される。水平シフトレジスタHRには、円弧状に曲がったコーナーレジスタCRが連続している。コーナーレジスタCRを構成している転送電極7A、7Bは、円弧に沿って交互に配置され、一部分が重なっている。転送電極7には、水平シフトレジスタに与えられるものと共通の3相の駆動電圧（P1HA、P2HA、P3HA）が与えられ、転送電極7の直下の電子は、円弧に沿って、増倍レジスタEMまで転送される。

【0029】

増倍レジスタEMでは、転送電極8A、8Bを水平方向に沿って交互に配置しており、一部分が重なっている。転送電極8には、3相の駆動電圧（P1HB、P2HB、P3HB）が与えられ、転送電極8の直下の電子は、水平方向に転送される。4つ組の転送電極8のうち、3つの転送電極8には駆動電圧が与えられるが、残りの1つの転送電極8は、DC電極であって直流電位DCBが与えられる。本例では、水平方向に順次隣接する4つ組の転送電極8、すなわち、第1番目、第2番目、第3番目、第4番目の転送電極8がある場合、2番目に位置するものをDC電極として、これに直流電位DCBを与える。

【0030】

転送電極8に与えられる電位は正電位であるが、第1番目の転送電極8に適当な正電位（P1HB）を印加し、ポテンシャル井戸を深くし（電位を上げる；図7参照）、この井戸内に電子を蓄積しておく。第3番目の転送電極8にも大きな正電位（P2HBの最大値＞P2HAの最大値）を与え、ポテンシャル井戸を深くしておき、第2番目の転送電極8に与えられる一定の電位（DCB）は、これらの電位（P1HB、P2HB）よりも低く、第1番目と第3番目の井戸の間にポテンシャル障壁を形成する。この状態で、第1番目のポテンシャル井戸を浅くしていくと（電位を下げる；図7参照）、ポテンシャル井戸から溢れた電子が、ポテンシャル障壁を越えて、第3番目の転送電極のポテンシャル井戸（ポテンシャル深さA）内に落ちる。この電子の落下の際、電子増倍が行われる。第1番目のポテンシャルの電位は、更に下げて（上方向）、蓄積された電子が完全に第3番目のポテンシャル井戸に転送されるようにする。なお、ポテンシャルの向きは下向きが正である。

【0031】

この増倍された電子は、第4番目の転送電極8の直下のポテンシャル井戸を深くしながら、第3番目の転送電極8の直下のポテンシャル井戸を浅くすることで、第4番目のポテ

10

20

30

40

50

ンシャル井戸に移動させることができる。同様に、第4番目のポテンシャル井戸に蓄積された電子は、第3番目から第4番目の電荷転送を行った方法と同じ方法を用いて、次の組の第1番目のポテンシャル井戸に移動させ、蓄積される。以下、上記と同一の手法を用いて、次の組においても、増倍・転送工程を繰り返す。なお、本例では、電荷転送には、3相駆動が用いられているが、これは4相駆動としたり、2相駆動とすることも可能である。

【0032】

増倍された電子は、最終的に高濃度のN型半導体領域FDに流れ込む。半導体領域FDは、アンプAMPに接続されている。このアンプAMPは半導体基板1内に作りこまれたフローティング・ディフュージョン・アンプである。

10

【0033】

図5は、図4に示した固体撮像素子のV-V矢印断面図である。なお、図6は、駆動/読出回路200と固体撮像素子100の接続関係を示すブロック図である。駆動/読出回路200から、各種の信号が固体撮像素子100に与えられる。なお、電荷読出部の説明においては、便宜上、各要素と信号は同一符号を用いることとする。

【0034】

まず、信号読出部の構成について説明する。信号読出部の半導体領域FDには、アンプAMPが接続されている。半導体領域FD内の電荷量に応じて、トランジスタQBのゲート電位が変動し、これに応じて、出力ドレインODからトランジスタQBを介して抵抗Rを流れる電流量が変化する。すなわち、半導体領域FDに蓄積された電荷量に応じて、抵抗Rの両端値の電圧(出力電圧)OSが変化し、これが読み出されることとなる。

20

【0035】

1つの画素からの電荷が読み出された後、リセットゲートRGにリセット電圧RGが入力され、リセットドレインRDを介して半導体領域FDの電位がリセットされる。ここで、リセットドレインRDのポテンシャルは正であるため、リセット時には、電子を蓄積可能なポテンシャル井戸が半導体領域FD内に形成される。リセット後には、リセットゲートRGの電位を制御して、トランジスタQAをオフし、半導体領域FDの電位をフローティングレベルにしておく。

【0036】

なお、半導体領域FD内に電荷を流入させる前は、手前の信号ゲートSGの電位を上げて、ここに電荷を蓄積し、且つ、出力ゲートOGの電位は固定して、信号ゲートSGの直下領域から半導体領域FD内に電荷が流れ込まないように障壁を形成しておく。その後、出力ゲートOGの電位は固定したまま、信号ゲートSGの電位を下げれば、信号ゲートSGの直下に蓄積された電荷が、半導体領域FD内に流れ込む。

30

【0037】

次に、増倍レジスタEMについて説明する。ウェル領域1Dにおいては増倍レジスタEMが形成されているが、増倍レジスタEMは、水平シフトレジスタHRからの電子を増倍する。

【0038】

エピタキシャル層は、結晶性に優れていることで知られている。特に、低不純物濃度の場合には結晶性は高くなる。したがって、P型のエピタキシャル層1BにN型の半導体領域を1C形成した場合、垂直シフトレジスタ、水平シフトレジスタHR、及びコーナーレジスタCRにおける電子は、結晶性の優れた半導体内において転送され、ノイズが少なくなり、電子転送が高精度に行われる。このように転送された電子は、増倍レジスタEMの半導体領域1C内に入る。また、低不純物濃度のため空乏層が広がりやすく感度が高くなる。空乏層内で発生した電子は電界によるドリフトで動くため、走行する間に拡散により広がることなく、解像度もよくなる。

40

【0039】

増倍レジスタEMは、ウェル領域1D内に形成されたN型の半導体領域1Cと、半導体領域1C上に形成された絶縁層2と、絶縁層2上に隣接して形成された複数の転送電極8

50

と、転送電極 8 間に配置され直流電位 D C B (図 4 及び図 7 参照) が印加される D C 電極 8 とを備えている。増倍レジスタ E M の周囲には、エピタキシャル層 1 B よりも相対的に高濃度の P 型のウェル領域 1 D が存在している。なお、エピタキシャル層 1 B は基板全面に形成されているが、N 型の半導体領域 1 C は、撮像領域 V R、水平シフトレジスタ H R、コーナーレジスタ C R、増倍レジスタ E M の形成された領域のみに選択的に形成されている。

【 0 0 4 0 】

図 7 は、増倍レジスタ E M におけるポテンシャル図である。

【 0 0 4 1 】

上記構造の場合、同図に示すように、増倍レジスタ E M における転送電極 8 の直下の半導体領域内の電位変化が急峻になり、電子増倍率が著しく向上する。すなわち、直流電位 D C B が印加される D C 電極 8 と、電位 P 2 H B が与えられる次段の転送電極 (増倍電極) 8 との間における、N 型の半導体領域 1 C 内の電位変化が急峻になり、顕著に電子増倍が行われる。

10

【 0 0 4 2 】

直流電位 D C B が与えられる第 2 番目のポテンシャルを超えて、第 1 番目のポテンシャル井戸 (電位 P 1 H B) から、第 3 番目のポテンシャル井戸 (電位 P 2 H B) に電子が流れ込む際に、電子増倍が行われる。仮に、P 型のウェル領域 1 D (図 5 参照) が無い場合には、同図の点線 P R I で示されるように、ポテンシャル変化が緩慢になり、十分な電子増倍が行えなくなる。高抵抗のエピタキシャル層を用いたときに、P 型のウェル領域 1 D がない場合は増倍が殆ど行われぬが、ある場合には 1 段当たりの増倍率は 1 . 0 1 以上であった。

20

【 0 0 4 3 】

なお、上述の実施形態における半導体層内の P 型不純物濃度 C_p 、N 型不純物濃度 C_n の範囲は、以下の場合が好適である。

・ P 型半導体基板 1 A の不純物濃度 $C_p (1 A) = 1 \times 10^{17} \sim 1 \times 10^{19} / \text{cm}^3$

・ P 型エピタキシャル層 1 B の不純物濃度 $C_p (1 B) = 1 \times 10^{11} \sim 1 \times 10^{16} / \text{cm}^3$

・ N 型半導体領域 1 C の不純物濃度 $C_n (1 C) = 1 \times 10^{12} \sim 1 \times 10^{17} / \text{cm}^3$

・ P 型ウェル領域 1 D の不純物濃度 $C_p (1 D) = 1 \times 10^{12} \sim 1 \times 10^{17} / \text{cm}^3$

30

ここで、不純物濃度 C は以下の関係を満たしている。

・ $C_p (1 A) > C_n (1 C) > C_p (1 B)$

・ $C_p (1 A) > C_p (1 D) > C_p (1 B)$

【 0 0 4 4 】

ここで、P 型半導体基板 1 A の厚み $t (1 A)$ 、P 型エピタキシャル層 1 B の厚み $t (1 B)$ 、N 型半導体領域 1 C の厚み $t (1 C)$ 、P 型ウェル領域 1 D の厚み $t (1 D)$ は、以下の関係を満たしている。

・ $t (1 A) > t (1 B) > t (1 D) > t (1 C)$

【 0 0 4 5 】

なお、上述の半導体の材料は Si であるが、本例における P 型エピタキシャル層 1 B の比抵抗は $100 \text{ } \Omega \cdot \text{cm}$ であり、通常使われる $10 \text{ } \Omega \cdot \text{cm}$ に対して高い値である。

40

【 0 0 4 6 】

次に、絶縁層 2 の材料について説明する。

【 0 0 4 7 】

図 8 は、固体撮像素子を使用した時間と相対ゲインの関係を示すグラフである。

【 0 0 4 8 】

図 5 に示した実施例に係る絶縁層 2 は、単一の SiO_2 層のみからなる。比較例となる絶縁層は、 Si_3N_4 層 / SiO_2 層の 2 層構造を採用した。単一の SiO_2 層と Si_3N_4 層 / SiO_2 層の 2 層で同じ厚みで比較している。 SiO_2 層は、Si の熱酸化膜である。また、 Si_3N_4 層は、LPCVD 法で形成されたものである。転送電極の材料は

50

Pをドーピングしたポリシリコンである。

【0049】

比較例の絶縁層を用いた場合、撮像時間の経過と共に、増倍レジスタにおける相対ゲインが徐々に低下した。一方、絶縁層2が、単一のSiO₂層のみからなる実施例の場合、5時間の経過後においても、ゲインの劣化が生じないという予想を超える結果が得られた。

【0050】

この現象を検討するに、2層構造の絶縁層の場合、Si₃N₄層/SiO₂層の界面に電荷がトラップされ、トラップされた電荷に起因する電界が増倍レジスタEMの特性に悪影響を与えているものと推定される。

10

【産業上の利用可能性】

【0051】

本発明は、高性能な電子増倍を行うことで、微弱な光像を撮像することが可能な電子増倍機能内蔵型の固体撮像素子に適用することができる。

【0052】

なお、上述の形態は、半導体基板をエッチングすることなく、表面入射型の固体撮像素子に適用することも可能である。

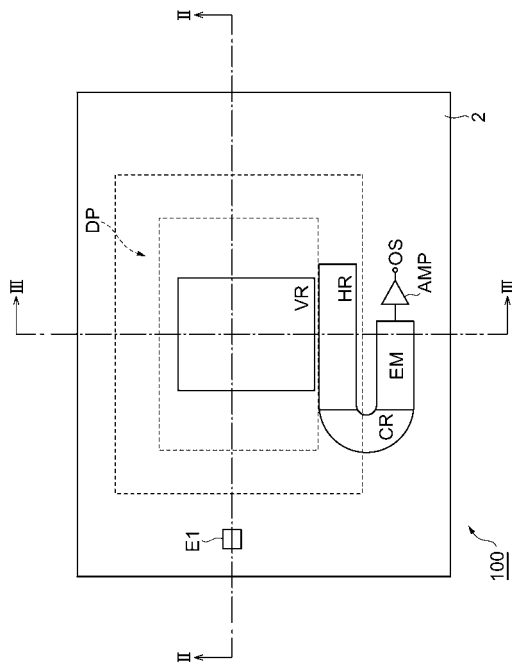
【符号の説明】

【0053】

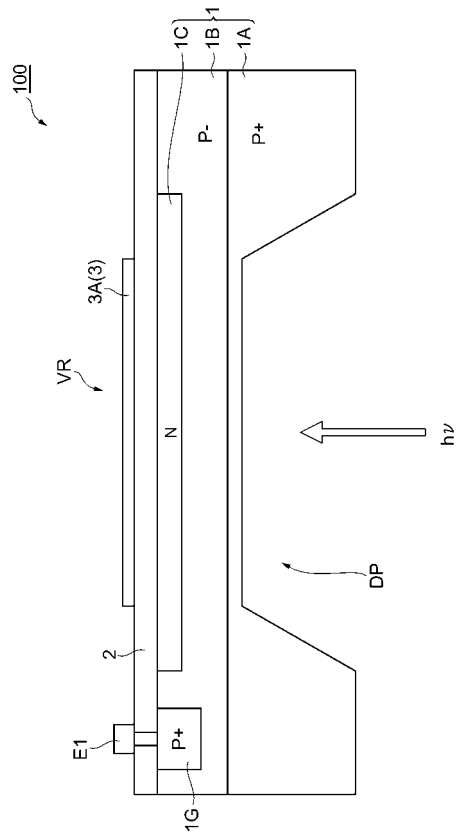
1A...半導体基板、1B...エピタキシャル層、VR...撮像領域、1C...N型の半導体領域、HR...水平シフトレジスタ、1D...P型のウェル領域、EM...増倍レジスタ。

20

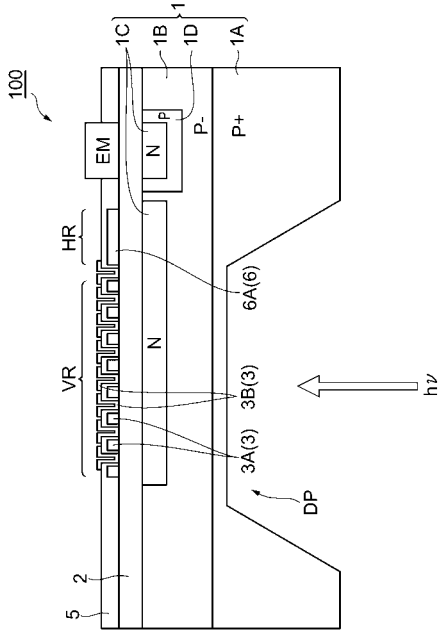
【図1】



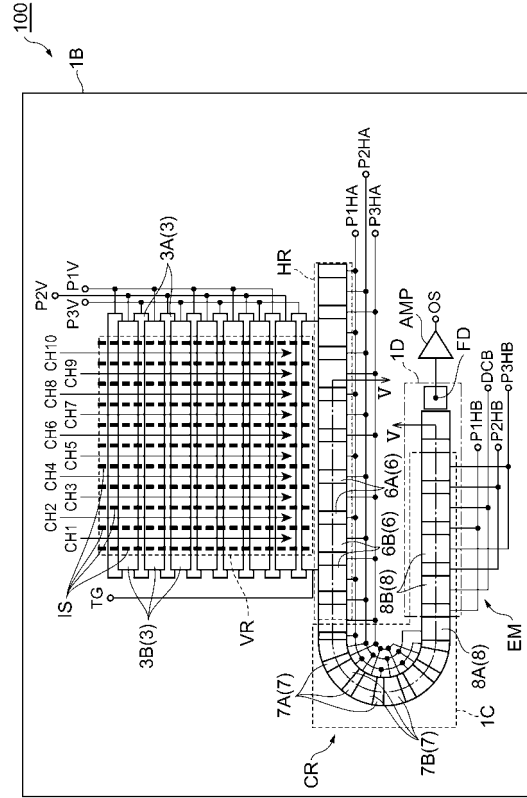
【図2】



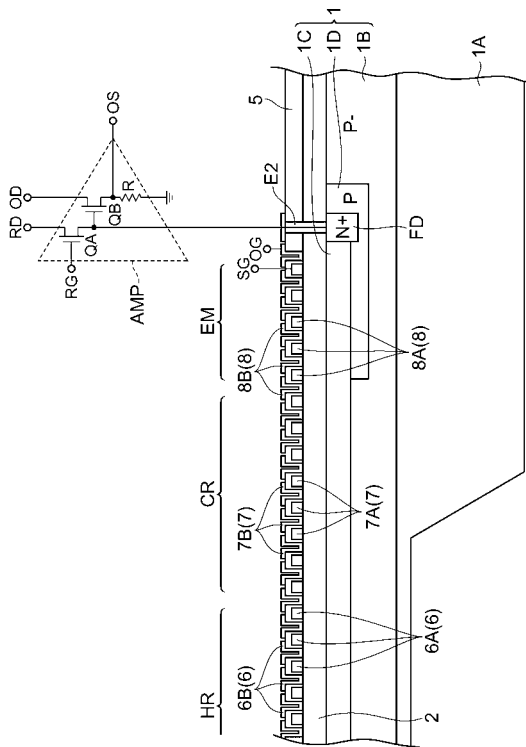
【 図 3 】



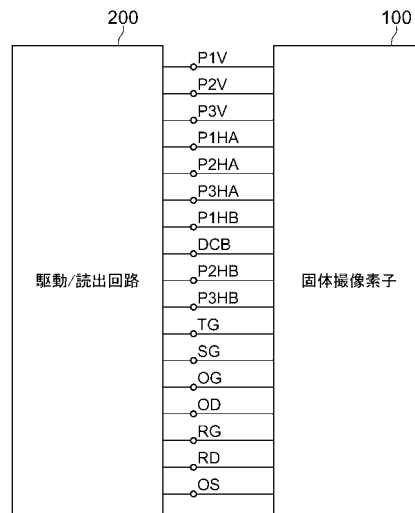
【 図 4 】



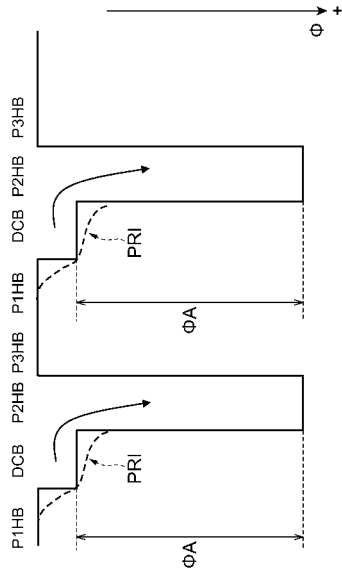
【 図 5 】



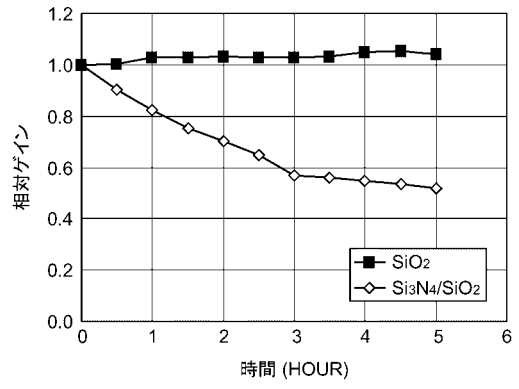
【 図 6 】



【 図 7 】



【 図 8 】



フロントページの続き

- (72)発明者 高木 慎一郎
静岡県浜松市東区市野町1126番地の1 浜松ホトニクス株式会社内
- (72)発明者 前田 堅太郎
静岡県浜松市東区市野町1126番地の1 浜松ホトニクス株式会社内
- (72)発明者 村松 雅治
静岡県浜松市東区市野町1126番地の1 浜松ホトニクス株式会社内

審査官 多賀 和宏

- (56)参考文献 特開平04-335573(JP,A)
特開平05-211180(JP,A)
特開2003-051510(JP,A)
特表2007-533130(JP,A)

- (58)調査した分野(Int.Cl., DB名)
- | | |
|------|--------|
| H01L | 27/148 |
| H04N | 5/369 |