

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成21年11月19日 (2009.11.19)

【公開番号】特開2007-151092(P2007-151092A)

【公開日】平成19年6月14日 (2007.6.14)

【年通号数】公開・登録公報2007-022

【出願番号】特願2006-281331(P2006-281331)

【国際特許分類】

H 0 3 K 3/356 (2006.01)

G 1 1 C 19/28 (2006.01)

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/04 (2006.01)

G 0 2 F 1/1345 (2006.01)

G 1 1 C 19/00 (2006.01)

G 0 9 G 3/36 (2006.01)

G 0 9 G 3/20 (2006.01)

G 0 9 G 3/30 (2006.01)

【 F I 】

H 0 3 K 3/356 B

G 1 1 C 19/28 D

H 0 1 L 27/04 H

G 0 2 F 1/1345

G 1 1 C 19/00 J

G 0 9 G 3/36

G 0 9 G 3/20 6 2 2 E

G 0 9 G 3/20 6 2 3 H

G 0 9 G 3/20 6 2 2 Q

G 0 9 G 3/20 6 1 1 C

G 0 9 G 3/20 6 7 0 K

G 0 9 G 3/30 J

【手続補正書】

【提出日】平成21年9月29日 (2009.9.29)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】半導体装置、シフトレジスタ、表示装置

【手続補正 2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 4 のトランジスタとを有し、

前記第 1 のトランジスタは、ソースとドレインのうち一方が第 1 の配線に電氣的に接続

され、ソースとドレインのうち他方が前記第 2 のトランジスタのゲート電極と前記第 3 のトランジスタのソースとドレインのうち他方に電氣的に接続され、ゲート電極が第 5 の配線に電氣的に接続され、

前記第 2 のトランジスタは、ソースとドレインのうち一方が第 3 の配線に電氣的に接続され、ソースとドレインのうち他方が第 6 の配線に電氣的に接続され、

前記第 3 のトランジスタは、ソースとドレインのうち一方が第 2 の配線に電氣的に接続され、前記ソースとドレインのうち他方が前記第 2 のトランジスタのゲート電極に電氣的に接続され、ゲート電極が第 4 の配線に電氣的に接続され、

前記第 4 のトランジスタは、ソースとドレインのうち一方が前記第 2 の配線に電氣的に接続され、ソースとドレインのうち他方が前記第 6 の配線に電氣的に接続され、ゲート電極が前記第 4 の配線に電氣的に接続されていることを特徴とする半導体装置。

【請求項 2】

第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 4 のトランジスタとを有し、

前記第 1 のトランジスタは、ソースとドレインのうち一方が第 5 の配線に電氣的に接続され、ソースとドレインのうち他方が前記第 2 のトランジスタのゲート電極と前記第 3 のトランジスタのソースとドレインのうち他方に電氣的に接続され、ゲート電極が前記第 5 の配線に電氣的に接続され、

前記第 2 のトランジスタは、ソースとドレインのうち一方が第 3 の配線に電氣的に接続され、ソースとドレインのうち他方が第 6 の配線に電氣的に接続され、

前記第 3 のトランジスタは、ソースとドレインのうち一方が第 2 の配線に電氣的に接続され、前記ソースとドレインのうち他方が前記第 2 のトランジスタのゲート電極に電氣的に接続され、ゲート電極が第 4 の配線に電氣的に接続され、

前記第 4 のトランジスタは、ソースとドレインのうち一方が前記第 2 の配線に電氣的に接続され、ソースとドレインのうち他方が前記第 6 の配線に電氣的に接続され、ゲート電極が前記第 4 の配線に電氣的に接続されていることを特徴とする半導体装置。

【請求項 3】

請求項 1 において、

前記第 1 の配線には正電源 (VDD) が与えられ、

前記第 2 の配線には第 2 のクロック信号 (CK2) が供給され、

前記第 3 の配線には第 1 のクロック信号 (CK1) が供給され、

前記第 4 の配線には負電源 (VSS) が与えられ、

前記第 5 の配線にはスタートパルス (SSP) が供給され、

前記第 6 の配線は出力端子 (OUT) に電氣的に接続されていることを特徴とする半導体装置。

【請求項 4】

請求項 2 において、

前記第 2 の配線には第 2 のクロック信号 (CK2) が供給され、

前記第 3 の配線には第 1 のクロック信号 (CK1) が供給され、

前記第 4 の配線には負電源 (VSS) が与えられ、

前記第 5 の配線にはスタートパルス (SSP) が供給され、

前記第 6 の配線は出力端子 (OUT) に電氣的に接続されていることを特徴とする半導体装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一項において、

前記第 1 のトランジスタと、前記第 2 のトランジスタと、前記第 3 のトランジスタと、前記第 4 のトランジスタとは、Nチャネル型トランジスタであることを特徴とする半導体装置。

【請求項 6】

請求項 1 乃至請求項 4 のいずれか一項において、

前記第 1 のトランジスタの半導体層と、前記第 2 のトランジスタの半導体層と、前記第 3 のトランジスタの半導体層と、前記第 4 のトランジスタの半導体層とは、アモルファスシリコンであることを特徴とする半導体装置。

【請求項 7】

第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 4 のトランジスタと、第 5 のトランジスタとを有し、

前記第 1 のトランジスタは、ソースとドレインのうち一方が第 1 の配線に電氣的に接続され、ソースとドレインのうち他方が前記第 2 のトランジスタのゲート電極と前記第 3 のトランジスタのソースとドレインのうち他方に電氣的に接続され、ゲート電極が第 5 の配線に電氣的に接続され、

前記第 2 のトランジスタは、ソースとドレインのうち一方が第 3 の配線に電氣的に接続され、ソースとドレインのうち他方が第 6 の配線に電氣的に接続され、

前記第 3 のトランジスタは、ソースとドレインのうち一方が第 2 の配線に電氣的に接続され、前記ソースとドレインのうち他方が前記第 2 のトランジスタのゲート電極に電氣的に接続され、ゲート電極が第 4 の配線に電氣的に接続され、

前記第 4 のトランジスタは、ソースとドレインのうち一方が前記第 2 の配線に電氣的に接続され、ソースとドレインのうち他方が前記第 6 の配線に電氣的に接続され、ゲート電極が前記第 4 の配線に電氣的に接続され、

前記第 5 のトランジスタは、ソースとドレインのうち一方が前記第 2 の配線に電氣的に接続され、ソースとドレインのうち他方が前記第 6 の配線に電氣的に接続され、ゲート電極が第 7 の配線に電氣的に接続されていることを特徴とする半導体装置。

【請求項 8】

第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 4 のトランジスタと、第 5 のトランジスタとを有し、

前記第 1 のトランジスタは、ソースとドレインのうち一方が第 5 の配線に電氣的に接続され、ソースとドレインのうち他方が前記第 2 のトランジスタのゲート電極と前記第 3 のトランジスタのソースとドレインのうち他方に電氣的に接続され、ゲート電極が前記第 5 の配線に電氣的に接続され、

前記第 2 のトランジスタは、ソースとドレインのうち一方が第 3 の配線に電氣的に接続され、ソースとドレインのうち他方が第 6 の配線に電氣的に接続され、

前記第 3 のトランジスタは、ソースとドレインのうち一方が第 2 の配線に電氣的に接続され、前記ソースとドレインのうち他方が第 2 のトランジスタのゲート電極に電氣的に接続され、ゲート電極が第 4 の配線に電氣的に接続され、

前記第 4 のトランジスタは、ソースとドレインのうち一方が前記第 2 の配線に電氣的に接続され、ソースとドレインのうち他方が前記第 6 の配線に電氣的に接続され、ゲート電極が前記第 4 の配線に電氣的に接続され、

前記第 5 のトランジスタは、ソースとドレインのうち一方が前記第 2 の配線に電氣的に接続され、ソースとドレインのうち他方が前記第 6 の配線に電氣的に接続され、ゲート電極が第 7 の配線に電氣的に接続されていることを特徴とする半導体装置。

【請求項 9】

請求項 7 において、

前記第 1 の配線には正電源 (VDD) が与えられ、

前記第 2 の配線には第 2 のクロック信号 (CK2) が供給され、

前記第 3 の配線には第 1 のクロック信号 (CK1) が供給され、

前記第 4 の配線には負電源 (VSS) が与えられ、

前記第 5 の配線にはスタートパルス (SSP) が供給され、

前記第 6 の配線は出力端子 (OUT) に電氣的に接続されており、

前記第 7 の配線には第 3 のクロック信号 (CK3) が供給されることを特徴とする半導体装置。

【請求項 10】

請求項 8 において、

前記第 2 の配線には第 2 のクロック信号 (CK2) が供給され、

前記第 3 の配線には第 1 のクロック信号 (CK1) が供給され、

前記第 4 の配線には負電源 (VSS) が与えられ、

前記第 5 の配線にはスタートパルス (SSP) が供給され、

前記第 6 の配線は出力端子 (OUT) に電氣的に接続されており、

前記第 7 の配線には第 3 のクロック信号 (CK3) が供給されることを特徴とする半導体装置。

【請求項 11】

請求項 7 乃至 10 のいずれか一項において、

前記第 1 のトランジスタと、前記第 2 のトランジスタと、前記第 3 のトランジスタと、前記第 4 のトランジスタと、前記第 5 のトランジスタは、Nチャネル型トランジスタであることを特徴とする半導体装置。

【請求項 12】

請求項 7 乃至 11 のいずれか一項において、

前記第 1 のトランジスタの半導体層と、前記第 2 のトランジスタの半導体層と、前記第 3 のトランジスタの半導体層と、前記第 4 のトランジスタの半導体層と、前記第 5 のトランジスタの半導体層は、アモルファスシリコンであることを特徴とする半導体装置。

【請求項 13】

請求項 1 乃至請求項 12 のいずれか一項において、

前記第 2 のトランジスタのソースとドレインのうち他方と、前記第 2 のトランジスタのゲート電極との間に、容量素子が配置されていることを特徴とする半導体装置。

【請求項 14】

請求項 1 乃至請求項 13 のいずれか一項に記載の半導体装置を有するシフトレジスタ。

【請求項 15】

請求項 14 に記載のシフトレジスタと、マトリクス状に配置された複数の画素とを有し、前記複数の画素は、前記シフトレジスタによって駆動されることを特徴とする表示装置。

【請求項 16】

請求項 14 に記載のシフトレジスタと同じ構成を有する第 1 のシフトレジスタ及び第 2 のシフトレジスタと、マトリクス状に配置された複数の画素を有し、前記複数の画素は、前記第 1 のシフトレジスタ及び前記第 2 のシフトレジスタによって走査され、前記第 1 のシフトレジスタが前記複数の画素を走査するタイミングと、前記第 2 のシフトレジスタが前記複数の画素を選択するタイミングとは、同じであることを特徴とする表示装置。