

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成21年11月19日(2009.11.19)

【公開番号】特開2007-151092(P2007-151092A)

【公開日】平成19年6月14日(2007.6.14)

【年通号数】公開・登録公報2007-022

【出願番号】特願2006-281331(P2006-281331)

【国際特許分類】

H 03 K	3/356	(2006.01)
G 11 C	19/28	(2006.01)
H 01 L	21/822	(2006.01)
H 01 L	27/04	(2006.01)
G 02 F	1/1345	(2006.01)
G 11 C	19/00	(2006.01)
G 09 G	3/36	(2006.01)
G 09 G	3/20	(2006.01)
G 09 G	3/30	(2006.01)

【F I】

H 03 K	3/356	B
G 11 C	19/28	D
H 01 L	27/04	H
G 02 F	1/1345	
G 11 C	19/00	J
G 09 G	3/36	
G 09 G	3/20	6 2 2 E
G 09 G	3/20	6 2 3 H
G 09 G	3/20	6 2 2 Q
G 09 G	3/20	6 1 1 C
G 09 G	3/20	6 7 0 K
G 09 G	3/30	J

【手続補正書】

【提出日】平成21年9月29日(2009.9.29)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】半導体装置、シフトレジスタ、表示装置

【手続補正2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタとを有し、

前記第1のトランジスタは、ソースとドレインのうち一方が第1の配線に電気的に接続

され、ソースとドレインのうち他方が前記第2のトランジスタのゲート電極と前記第3のトランジスタのソースとドレインのうち他方に電気的に接続され、ゲート電極が第5の配線に電気的に接続され、

前記第2のトランジスタは、ソースとドレインのうち一方が第3の配線に電気的に接続され、ソースとドレインのうち他方が第6の配線に電気的に接続され、

前記第3のトランジスタは、ソースとドレインのうち一方が第2の配線に電気的に接続され、前記ソースとドレインのうち他方が前記第2のトランジスタのゲート電極に電気的に接続され、ゲート電極が第4の配線に電気的に接続され、

前記第4のトランジスタは、ソースとドレインのうち一方が前記第2の配線に電気的に接続され、ソースとドレインのうち他方が前記第6の配線に電気的に接続され、ゲート電極が前記第4の配線に電気的に接続されていることを特徴とする半導体装置。

#### 【請求項2】

第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタとを有し、

前記第1のトランジスタは、ソースとドレインのうち一方が第5の配線に電気的に接続され、ソースとドレインのうち他方が前記第2のトランジスタのゲート電極と前記第3のトランジスタのソースとドレインのうち他方に電気的に接続され、ゲート電極が前記第5の配線に電気的に接続され、

前記第2のトランジスタは、ソースとドレインのうち一方が第3の配線に電気的に接続され、ソースとドレインのうち他方が第6の配線に電気的に接続され、

前記第3のトランジスタは、ソースとドレインのうち一方が第2の配線に電気的に接続され、前記ソースとドレインのうち他方が前記第2のトランジスタのゲート電極に電気的に接続され、ゲート電極が第4の配線に電気的に接続され、

前記第4のトランジスタは、ソースとドレインのうち一方が前記第2の配線に電気的に接続され、ソースとドレインのうち他方が前記第6の配線に電気的に接続され、ゲート電極が前記第4の配線に電気的に接続されていることを特徴とする半導体装置。

#### 【請求項3】

請求項1において、

前記第1の配線には正電源(VDD)が与えられ、

前記第2の配線には第2のクロック信号(CK2)が供給され、

前記第3の配線には第1のクロック信号(CK1)が供給され、

前記第4の配線には負電源(VSS)が与えられ、

前記第5の配線にはスタートパルス(SSP)が供給され、

前記第6の配線は出力端子(OUT)に電気的に接続されていることを特徴とする半導体装置。

#### 【請求項4】

請求項2において、

前記第2の配線には第2のクロック信号(CK2)が供給され、

前記第3の配線には第1のクロック信号(CK1)が供給され、

前記第4の配線には負電源(VSS)が与えられ、

前記第5の配線にはスタートパルス(SSP)が供給され、

前記第6の配線は出力端子(OUT)に電気的に接続されていることを特徴とする半導体装置。

#### 【請求項5】

請求項1乃至請求項4のいずれか一項において、

前記第1のトランジスタと、前記第2のトランジスタと、前記第3のトランジスタと、前記第4のトランジスタとは、Nチャネル型トランジスタであることを特徴とする半導体装置。

#### 【請求項6】

請求項1乃至請求項4のいずれか一項において、

前記第1のトランジスタの半導体層と、前記第2のトランジスタの半導体層と、前記第3のトランジスタの半導体層と、前記第4のトランジスタの半導体層とは、アモルファスシリコンであることを特徴とする半導体装置。

#### 【請求項7】

第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、第5のトランジスタとを有し、

前記第1のトランジスタは、ソースとドレインのうち一方が第1の配線に電気的に接続され、ソースとドレインのうち他方が前記第2のトランジスタのゲート電極と前記第3のトランジスタのソースとドレインのうち他方に電気的に接続され、ゲート電極が第5の配線に電気的に接続され、

前記第2のトランジスタは、ソースとドレインのうち一方が第3の配線に電気的に接続され、ソースとドレインのうち他方が第6の配線に電気的に接続され、

前記第3のトランジスタは、ソースとドレインのうち一方が第2の配線に電気的に接続され、前記ソースとドレインのうち他方が前記第2のトランジスタのゲート電極に電気的に接続され、ゲート電極が第4の配線に電気的に接続され、

前記第4のトランジスタは、ソースとドレインのうち一方が前記第2の配線に電気的に接続され、ソースとドレインのうち他方が前記第6の配線に電気的に接続され、ゲート電極が前記第4の配線に電気的に接続され、

前記第5のトランジスタは、ソースとドレインのうち一方が前記第2の配線に電気的に接続され、ソースとドレインのうち他方が前記第6の配線に電気的に接続され、ゲート電極が第7の配線に電気的に接続されていることを特徴とする半導体装置。

#### 【請求項8】

第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、第5のトランジスタとを有し、

前記第1のトランジスタは、ソースとドレインのうち一方が第5の配線に電気的に接続され、ソースとドレインのうち他方が前記第2のトランジスタのゲート電極と前記第3のトランジスタのソースとドレインのうち他方に電気的に接続され、ゲート電極が前記第5の配線に電気的に接続され、

前記第2のトランジスタは、ソースとドレインのうち一方が第3の配線に電気的に接続され、ソースとドレインのうち他方が第6の配線に電気的に接続され、

前記第3のトランジスタは、ソースとドレインのうち一方が第2の配線に電気的に接続され、前記ソースとドレインのうち他方が第2のトランジスタのゲート電極に電気的に接続され、ゲート電極が第4の配線に電気的に接続され、

前記第4のトランジスタは、ソースとドレインのうち一方が前記第2の配線に電気的に接続され、ソースとドレインのうち他方が前記第6の配線に電気的に接続され、ゲート電極が前記第4の配線に電気的に接続され、

前記第5のトランジスタは、ソースとドレインのうち一方が前記第2の配線に電気的に接続され、ソースとドレインのうち他方が前記第6の配線に電気的に接続され、ゲート電極が第7の配線に電気的に接続されていることを特徴とする半導体装置。

#### 【請求項9】

請求項7において、

前記第1の配線には正電源(VDD)が与えられ、

前記第2の配線には第2のクロック信号(CK2)が供給され、

前記第3の配線には第1のクロック信号(CK1)が供給され、

前記第4の配線には負電源(VSS)が与えられ、

前記第5の配線にはスタートパルス(SSP)が供給され、

前記第6の配線は出力端子(OUT)に電気的に接続されており、

前記第7の配線には第3のクロック信号(CK3)が供給されることを特徴とする半導体装置。

#### 【請求項10】

請求項 8 において、前記第2の配線には第2のクロック信号(CK2)が供給され、前記第3の配線には第1のクロック信号(CK1)が供給され、前記第4の配線には負電源(VSS)が与えられ、前記第5の配線にはスタートパルス(SSP)が供給され、前記第6の配線は出力端子(OUT)に電気的に接続されており、前記第7の配線には第3のクロック信号(CK3)が供給されることを特徴とする半導体装置。**【請求項 1 1】**請求項7乃至10のいずれか一項において、

前記第1のトランジスタと、前記第2のトランジスタと、前記第3のトランジスタと、前記第4のトランジスタと、前記第5のトランジスタは、Nチャネル型トランジスタであることを特徴とする半導体装置。

**【請求項 1 2】**請求項7乃至11のいずれか一項において、

前記第1のトランジスタの半導体層と、前記第2のトランジスタの半導体層と、前記第3のトランジスタの半導体層と、前記第4のトランジスタの半導体層と、前記第5のトランジスタの半導体層は、アモルファスシリコンであることを特徴とする半導体装置。

**【請求項 1 3】**請求項1乃至請求項12のいずれか一項において、

前記第2のトランジスタのソースとドレインのうち他方と、前記第2のトランジスタのゲート電極との間に、容量素子が配置されていることを特徴とする半導体装置。

**【請求項 1 4】**請求項1乃至請求項13のいずれか一項に記載の半導体装置を有するシフトレジスタ。**【請求項 1 5】**

請求項14に記載のシフトレジスタと、マトリクス状に配置された複数の画素とを有し、前記複数の画素は、前記シフトレジスタによって駆動されることを特徴とする表示装置。

**【請求項 1 6】**

請求項14に記載のシフトレジスタと同じ構成を有する第1のシフトレジスタ及び第2のシフトレジスタと、マトリクス状に配置された複数の画素を有し、前記複数の画素は、前記第1のシフトレジスタ及び前記第2のシフトレジスタによって走査され、前記第1のシフトレジスタが前記複数の画素を走査するタイミングと、前記第2のシフトレジスタが前記複数の画素を選択するタイミングとは、同じであることを特徴とする表示装置。