

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 2 月 29 日 (29.02.2024)



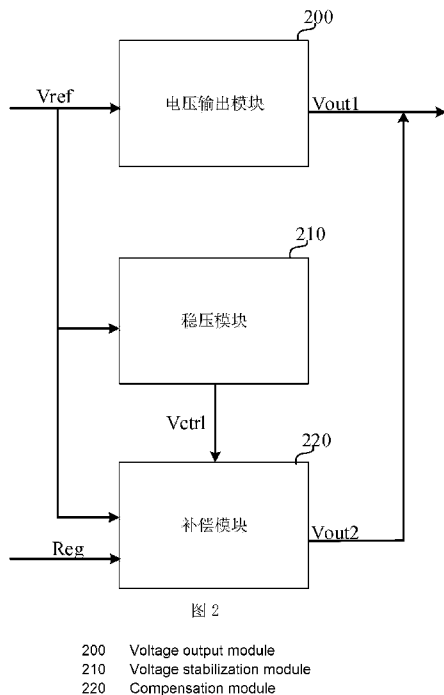
(10) 国际公布号
WO 2024/040758 A1

- (51) 国际专利分类号:
GI1C 11/4074 (2006.01)
- (21) 国际申请号: PCT/CN2022/132407
- (22) 国际申请日: 2022 年 11 月 17 日 (17.11.2022)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
202211037861.8 2022年8月26日 (26.08.2022) CN
- (71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。
- (72) 发明人: 秦建勇 (QIN, Jianyong); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

- (74) 代理人: 北京名华博信知识产权代理有限公司 (BOXIN CHINA INTELLECTUAL PROPERTY); 中国北京市海淀区黑泉路8号1幢4层101-10号, Beijing 100192 (CN)。
- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。
- (84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚

(54) Title: VOLTAGE GENERATION CIRCUIT AND MEMORY

(54) 发明名称: 电压生成电路及存储器



(57) Abstract: The present disclosure relates to the technical field of semiconductor circuit design, and provides a voltage generation circuit and a memory. The voltage generation circuit comprises: a voltage output module, configured to receive a reference voltage, generate a first output voltage, and provide the first output voltage to a power supply node, the power supply node being used to be connected to a load so as to supply power to the load; a voltage stabilization module, configured to receive the reference voltage, and generate and output a control signal; a compensation module, configured to receive a power supply voltage, a flag signal and a control signal, connect in response to the flag signal, and provide a second output voltage to the power supply node in response to a control signal-based voltage value, so as to cause the voltage of the power supply node to return to the first output voltage, the flag signal indicating that the load is in operation. The accuracy of the voltage generation circuit can be improved.

(57) 摘要: 本公开提供一种电压生成电路及存储器, 涉及半导体电路设计技术领域, 电压生成电路包括: 电压输出模块, 被配置为, 接收参考电压, 生成第一输出电压并向供电节点提供第一输出电压, 且供电节点用于与负载连接以向负载供电; 稳压模块, 被配置为, 接收参考电压, 生成并输出控制信号; 补偿模块, 被配置为, 接收电源电压、标志信号和控制信号, 并响应于标志信号导通, 以及响应于基于控制信号的电压值向供电节点提供第二输出电压, 以使供电节点的电压恢复至第一输出电压, 标志信号表征负载处于工作期间, 可以提高电压生成电路的精确度。

(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

电压生成电路及存储器

本公开基于申请号为 202211037861.8、申请日为 2022 年 08 月 26 日、申请名称为“电压生成电路及存储器”的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本公开作为参考。

技术领域

本公开涉及但不限于一种电压生成电路及存储器。

背景技术

动态随机存储器（Dynamic Random Access Memory，DRAM）由于其存储密度高、传输速度快等特点，广泛应用于现代电子系统中。随着半导体技术的发展，DRAM 技术越来越先进，存储单元的集成度越来越高；同时，各种不同的应用对 DRAM 的性能、功耗和可靠性等也都要求越来越高。

由于存储单元的集成度越来越高，存储单元对应的控制电路中需要连接更多的元器件以实现对其存储单元的逐一控制，然而随着存储单元的导通，控制电路会产生电压波动，导致提供给存储单元的电压不够精确，因此有必要提供一种电压生成电路以提高电压生成电路的精确度。

发明内容

以下是对本公开详细描述的主题的概述。本概述并非是为了限制权利要求的保护范围。

本公开实施例提供一种电压生成电路及存储器，至少可以提高电压生成电路的精确度。

根据本公开一些实施例，本公开实施例一方面提供一种电压生成电路，包括：电压输出模块，被配置为，接收参考电压，生成第一输出电压并向供电节点提供所述第一输出电压，且所述供电节点用于与负载连接以向所述负载供电；稳压模块，被配置为，接收所述参考电压，生成并输出控制信号；补偿模块，被配置为，接收电源电压、标志信号和所述控制信号，并响应于所述标志信号导通，以及响应于基于所述控制信号的电压值向所述供电节点提供第二输出电压，以使所述供电节点的电压恢复至所述第一输出电压，所述标志信号表征所述负载处于工作期间。

在一些实施例中，所述补偿模块包括：开关单元，用于接收所述标志信号，并基于所述标志信号输出所述电源电压；调节单元，与所述开关单元连接，用于接收所述电源电压和所述控制信号，以基于所述控制信号的电压值调整所述补偿模块的输出幅值。

在一些实施例中，所述开关单元包括：第一 PMOS 管，所述第一 PMOS 管的栅极接收所述标志信号，源极连接工作电源；所述调节单元包括：第一 NMOS 管，所述第一 NMOS 管的栅极接收所述控制信号，所述第一 NMOS 管的漏极连接所述第一 PMOS 管的漏极，所述第一 NMOS 管的源极连接所述供电节点以提供所述第二输出电压。

在一些实施例中，所述稳压模块包括：第一运算放大器，所述第一运算放大器的正相输入端接收所述参考电压，所述第一运算放大器的输出端输出所述控制信号；第一电阻，所述第一电阻的一端接地，另一端连接所述第一运算放大器的反相输入端；第二 PMOS 管，所述第二 PMOS 管的源极与电源电压连接；第二 NMOS 管，所述第二 NMOS 管的栅极与所述第一运算放大器的输出端连接，所述第二 NMOS 管的漏极与所述第二 PMOS 管的漏极连接；第二电阻，所述第二电阻的一端与所述第一运算放大器的反相输入端连接，另一端与所述第二 NMOS 管的源极连接。

在一些实施例中，所述第一 NMOS 管沟道的宽长比与所述第二 NMOS 管沟道的宽长比相等。

在一些实施例中，所述电压生成电路还包括：第一电压生成模块，接收所述参考电压并生成用于驱动所述第一运算放大器工作的驱动电压。

在一些实施例中，所述驱动电压的电压值大于所述控制信号对应的电压值与所述第二 NMOS 管的开启电压的电压值之和。

在一些实施例中，还包括：标志信号生成模块，被配置为，基于使能信号生成所述标志信号，所述使能信号用于控制所述负载工作。

在一些实施例中，所述电压输出模块包括：第二运算放大器，所述第二运算放大器的反相输入端接收所述参考电压；第三电阻，所述第三电阻的一端接地，另一端连接所述第二运算放大器的正相输入端；第三 PMOS 管，所述第三 PMOS 管的栅极与所述第二运算放大器的输出端连接，源极连接工作电源，所述第三 PMOS 管的漏极输出所述第一输出电压；第四电阻，所述第四电阻的一端连接所述第二运算放大器的正相输入端，另一端与所述第三 PMOS 管的漏极连接。

在一些实施例中，所述第三 PMOS 管源极连接的工作电源的电压值与所述第二运算放大器的驱动电压的电压值相等。

在一些实施例中，还包括：第二电压生成模块，所述第二电压生成模块用于提供所述参考电压。

在一些实施例中，还包括：电容，所述电容一端与所述电压输出模块的输出端连接，另一端接地。

根据本公开一些实施例，本公开实施例另一方面还提供一种存储器，包括：上述电压生成电路；负载，所述负载与所述供电节点连接，所述负载响应于使能信号工作。

在阅读并理解了附图和详细描述后，可以明白其他方面。

附图说明

一个或多个实施例通过与之对应的附图中的图片进行示例性说明，这些示例性说明并不构成对实施例的限定，除非有特别申明，附图中的图不构成比例限制；为了更清楚地说明本公开实施例或传统技术中的技术方案，下面将对实施例中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 为本公开一实施例提供的一种电压生成电路的结构示意图；

图 2 为本公开另一实施例提供的一种电压生成电路的结构示意图；

图 3 为本公开另一实施例提供的一种电压生成电路的具体结构示意图；

图 4 为本公开另一实施例提供的一种电压输出模块的具体结构示意图；

图 5 为本公开另一实施例提供的一种标志信号生成模块的结构示意图；

图 6 为本公开另一实施例提供的一种信号波动图。

附图标记：

100、带隙基准电压生成模块；110、参考电压生成模块；120、稳压电路模块；130、负载模块；140、运算放大器；150、第五电阻；160、PMOS 管；

200、电压输出模块；201、第二运算放大器；202、第三电阻；203、第三 PMOS 管；204、第四电阻；210、稳压模块；211、第一运算放大器；212、第一电阻；213、第二 PMOS 管；214、第二 NMOS 管；220、补偿模块；221、开关单元；222、调节单元；223、第一 PMOS 管；224、第一 NMOS 管；230、第一电压生成模块；240、标志信号生成模块；250、第二电压生成模块；251、第一电压生成单元；252、第二电压生成单元；260、电容；270、电阻；280、负载。

具体实施方式

下面将结合本公开实施例中的附图，对公开实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例是本公开一部分实施例，而不是全部的实施例。基于本公开中的实施例，本领域技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本公开保护的范围。需要说明的是，在不冲突的情况下，本公开中的实施例及实施例中的特征可以相互任意组合。

由背景技术可知，参考图 1，图 1 中提供的电路为现有技术中提供的一种电压生成电路，其中，现有技术中提供的电压生成电路包括：带隙基准电压生成模块 100 及参考电压生成模块 110 以提供参考电压；多个稳压电路模块 120，及与每一稳压电路模块 120 一一对应连接的负载模块 130，其中，多个稳压电路模块 120 包括：运算放大器 140，运算放大器 140 的反相输入端接收参考电压；第五电阻 150，第五电阻 150 的一端接地，另一端连接运算放大器 140 的正相输入端；PMOS 管 160，PMOS 管 160 的栅极与运算放大器 140 的输出端连接，源极连接工作电源；第六电阻 170，第六电阻 170 的一端连接运算放大器 140 的正相输入端，另一端与 PMOS 管 160 的漏极连接，通过稳压电路模块 120 可以向负载模块 130 提供输出电压，进而控制负载模块 130 的导通。

总的来说，通过带隙基准电压生成模块 100 生成带隙基准电压并向参考电压生成模块 110 输出带隙基准电压，参考电压生成模块 110 接收带隙基准电压生成并输出参考电压，稳压电路模块 120 接收参考电压并向负载模块 130 输出目标输出电压。

然而，当负载模块 130 导通的时候，负载模块 130 消耗一部分的输出电压，使得负载模块 130 与稳压电路模块 120 的连接节点提供的输出电压减小，导致提供给负载模块 130 的电压低于预设值，进而导致负载模块 130 的部分器件可能无法正常工作。

本公开实施提供一种电压生成电路及存储器，通过电压输出模块接收参考电压向供电节点提供第一输出电压，并通过供电节点向负载供电，通过稳压模块向补偿模块输出控制信号，通过补偿模块向接收电源电压、标志信号及控制信号向供电节点提供第二输出电压以使供电节点的电压恢复至第一输出电压，从而可以使得负载工作时，供电节点向负载提供的电压稳定为第一输出电压，从而可以提高电压生成电路的精确度。

下面将结合附图对本公开的各实施例进行详细的阐述。然而，本领域的普通技术人员可以理解，在本公开各实施例中，为了使读者更好地理解本公开而提出了许多技术细节。但是，即使没有这些技术细节和基于以下各实施例的种种变化和修改，也可以实现本公开所要求保护的技术方案。

参考图 2 至图 6，其中图 2 为本公开实施例提供的一种电路结构示意图，图 3 为本公开实施例提供的一种稳压模块、补偿模块及第二电压生成模块的具体结构示意图，图 4 为本公开实施例提供的电压输出模块的具体结构示意图，图 5 为本公开实施例提供的标志信号生成模块的结构示意图，图 6 为本公开实施例提供的一种信号波动图，电压生成电路，包括：

电压输出模块 200，被配置为，接收参考电压 V_{ref} ，生成第一输出电压 V_{out1} 并向供电节点提供第一输出电压 V_{out1} ，且供电节点用于与负载连接以向负载供电。

稳压模块 210，被配置为，接收参考电压 V_{ref} ，生成并输出控制信号 V_{ctrl} 。

补偿模块 220，被配置为，接收电源电压 V_{Pwr} 、标志信号 Reg 和控制信号 V_{ctrl} ，并响应于标志信号 Reg 导通，以及响应于基于控制信号 V_{ctrl} 的电压值向供电节点提供第二输出电压 V_{out2} ，以使供电节点的电压恢复至第一输出电压 V_{out1} ，标志信号 Reg 表征负载处于工作期间。

具体的，当负载处于工作期间，接收来自电压输出模块 200 的第一输出电压 V_{out1} 并导通，由于负载导通导致供电节点的第一输出电压 V_{out1} 被消耗，导致供电节点的

第一输出电压 V_{out1} 的电压值下降,同时,稳压模块 210 工作并接收参考电压 V_{ref} 向补偿模块 220 提供控制信号 V_{ctrl} ,补偿模块 220 接收电源电压 V_{Pwr} 、标志信号 Reg 和控制信号 V_{ctrl} ,并响应于标志信号 Reg 导通,且根据控制信号 V_{ctrl} 的电压值生成并输出第二输出电压 V_{out2} ,供电节点接收来自补偿模块的第二输出电压 V_{out2} 从而补偿被负载消耗的第一输出电压 V_{out1} ,使得供电节点向负载提供的电压稳定在第一输出电压 V_{out1} ,从而使负载接收的电压信号不会因为自身的开启导致的波动,且可以使得电压生成电路向负载提供的电压稳定在第一输出电压 V_{out1} ,从而可以提高电压生成电路的精确性。

需要说明的是,上述实施例中的补偿模块 220 响应于标志信号导通,标志信号 Reg 可以基于使能信号 En 生成,在另一些实施例中,补偿模块 220 还可以设置为直接基于使能信号 En 导通。

对于补偿模块 220,在一些实施例中,补偿模块 220 可以包括:开关单元 221,用于接收标志信号 Reg ,并基于标志信号 Reg 输出电源电压 V_{Pwr} ;调节单元 222,与开关单元 221 连接,用于接收电源电压 V_{Pwr} 和控制信号 V_{ctrl} ,以基于控制信号 V_{ctrl} 的电压值调整补偿模块 220 的输出幅值。通过开关单元 221 可以控制补偿模块 220 是否工作,也就是说,当负载处于工作的时候,开关单元 221 才接收标志信号 Reg ,并向调节单元 222 输出电源电压 V_{Pwr} ,调节单元 222 可以始终处于待开启状态,当接收到调节单元 222 提供的电源电压 V_{Pwr} 时导通,并根据控制信号 V_{ctrl} 的电压值调整补偿模块 220 的输出幅值,从而可以向供电节点提供第二输出电压 V_{out2} ,从而使得供电节点的电压值恢复至第一输出电压 V_{out1} ,进而可以提高电压生成电路提供的电压值的精确性。

在一些实施例中,开关单元 221 可以包括:第一 PMOS 管 223,第一 PMOS 管 223 的栅极接收标志信号 Reg ,源极连接工作电源;调节单元 222 包括:第一 NMOS 管 224,第一 NMOS 管 224 的栅极接收控制信号 V_{ctrl} ,第一 NMOS 管 224 的漏极连接第一 PMOS 管 223 的漏极,第一 NMOS 管 224 的源极连接供电节点以提供第二输出电压 V_{out2} 。

可以理解的是,工作电源可以用于提供电源电压 V_{Pwr} ,标志信号 Reg 可以包括两种状态,其中一者为高电平状态,另一者为低电平状态,当第一 PMOS 管 223 的栅极接收到的标志信号 Reg 为低电平状态时,第一 PMOS 管 223 导通,第一 PMOS 管 223 向第一 NMOS 管 224 的漏极提供电源电压 V_{Pwr} ,当第一 NMOS 管 224 的漏极接收到电源电压 V_{Pwr} ,栅极接收到控制信号 V_{ctrl} ,第一 NMOS 管 224 导通,并通过源极向供电节点提供第二输出电压 V_{out2} ,从而使得供电节点的电压值恢复至第一输出电压 V_{out1} ,进而可以提高电压生成电路提供的电压值的精确性。

在一些实施例中,电压生成电路可以包括多个补偿模块 220 及多个供电节点,且每一补偿模块 220 与一供电节点对应连接,通过多个供电节点向不同的负载 280 提供第二输出电压 V_{out2} ,从而使得每一负载 280 都有与之对应的补偿模块 220,且通过多个补偿模块 220 并联可以减小电压生成电路的版图面积,且电压生成电路具有更快的响应速度。

在一些实施例中,稳压模块 210 可以包括:第一运算放大器 211,第一运算放大器 211 的正相输入端接收参考电压 V_{ref} ,第一运算放大器 211 的输出端输出控制信号 V_{ctrl} ;第一电阻 212,第一电阻 212 的一端接地,另一端连接第一运算放大器 211 的反相输入端;第二 PMOS 管 213,第二 PMOS 管 213 的源极与电源电压 V_{Pwr} 连接;第二 NMOS 管 214,第二 NMOS 管 214 的栅极与第一运算放大器 211 的输出端连接,第二 NMOS 管 214 的漏极与第二 PMOS 管 213 的漏极连接;第二电阻 215,第二电阻 215 的一端与第一运算放大器 211 的反相输入端连接,另一端与第二 NMOS 管 214 的

源极连接。

具体的，稳压模块 210 的稳压原理为：当输出电压降低时，通过第一电阻 212 及第二电阻 215 的分压作用，提供给第一运算放大器 211 反相输入端的电压减小，然而第一运算放大器 211 的正相输入端连接的参考电压 V_{ref} 的电压值是稳定的，因此，第一运算放大器 211 的输出端输出电压相应增加，第二 NMOS 管 214 的栅极电压增加，稳压模块 210 的输出电压相应增加，抑制了输出电压的降低，从而保持稳定的输出。

本公开实施例中，第二 PMOS 管 213 的源极与电源电压 V_{Pwr} 连接，栅极可以接地，因此，第二 PMOS 管 213 始终导通，从通过第二 PMOS 管 213 的漏极向第二 NMOS 管的漏极提供电源电压 V_{Pwr} ，第二 NMOS 管 214 的栅极与第一运算放大器 211 的输出端连接，当向第一运算放大器 211 提供参考电压 V_{ref} 时，第二 NMOS 管 214 导通，整个稳压模块 210 开始工作。

可以理解的是，稳压模块 210 的输出电压可以是第三输出电压 V_{out3} ，第三输出电压 V_{out3} 的电压值可以是 $V_{out3} = V_{ref} * (R1 + R2) / R1$ ，其中 V_{ref} 表示参考电压 V_{ref} 的电压值， $R1$ 表示第一电阻 212 的阻值， $R2$ 表示第二电阻 215 的阻值， $*$ 表示数学中的相乘运算， $/$ 表示数学中的除以运算。

稳压模块 210 提供的控制信号 V_{ctrl} 与第二 NMOS 管 214 的栅极相连，因此，控制信号 V_{ctrl} 的电压值 $V_{ctrl} = V_{out3} + V_{th}$ ，其中 V_{out3} 表示稳压模块 210 可以提供的第三输出电压的电压值， V_{th} 表示第二 NMOS 管 214 的阈值电压。

在一些实施例中，第一 NMOS 管 224 沟道的宽长比与第二 NMOS 管 214 沟道的宽长比相等，可以理解的是，第一 NMOS 管 224 沟道的宽长比与第二 NMOS 管 214 沟道的宽长比相等也就是说第一 NMOS 管 224 的阈值电压与第二 NMOS 管 214 的阈值电压相等，也就是说，当第一 NMOS 管 224 的栅极接收稳压模块 210 提供的控制信号 V_{ctrl} 时，通过第一 NMOS 管 224 的源极输出的电压值为 V_{ctrl} 减去第一 NMOS 管 224 的阈值电压，也就是等于第三输出电压 V_{out3} 的电压值，也就是说第二输出电压 V_{out2} 的电压值与第三输出电压 V_{out3} 的电压值相等，然而第三输出电压 V_{out3} 的电压值与第一输出电压 V_{out1} 的电压值相等，也就是说通过控制第一 NMOS 管 224 沟道的宽长比与第二 NMOS 管 214 沟道的宽长比相等可以控制第二输出电压 V_{out2} 的电压值与第一输出电压 V_{out1} 的电压值相等，从而可以提高电压生成电路的精确性，使得电压生成电路提供给供电节点的电压值稳定在第一输出电压 V_{out1} 。

需要说明的是，上述第一 NMOS 管 224 沟道的宽长比与第二 NMOS 管 214 沟道的宽长比相等，指的是理想相等，实际上来说第一 NMOS 管 224 沟道的宽长比与第二 NMOS 管 214 沟道的宽长比可能存在一定的偏差，然而该偏压需要在预设偏差范围内，也就是说补偿模块 220 的实际输出电压与理想的第二输出电压 V_{out2} 之间的电压差在预设范围内；换句话说，补偿模块 220 的实际输出电压可以略大于或者略小于理想的第二输出电压 V_{out2} ，当补偿模块 220 的实际输出电压高于理想的第二输出电压 V_{out2} 较多时，补偿模块 220 可能产生较大的噪声，当补偿模块 220 的实际输出电压低于理想的第二输出电压 V_{out2} 较多时，稳定供电节点的电压恢复至第一输出电压 V_{out1} 的能力较差，改善效果不佳。

在一些实施例中，电压生成电路还包括：第一电压生成模块 230，接收参考电压 V_{ref} 并生成用于驱动第一运算放大器 211 工作的驱动电压 V_{hv} 。驱动电压 V_{hv} 的电压值大于控制信号 V_{ctrl} 对应的电压值与第一运算放大器 211 内部串接于驱动电压所在的电源端和第一运算放大器 211 输出端之间的 NMOS 管的阈值电压之和。通过向第一运算放大器 211 提供上述驱动电压以作为电源电压，可以保证第一运算放大器 211 能够有效所需的控制信号 V_{ctrl} 。可以理解的是，当第一运算放大器的输出端与电源端之间串接有多个 MOS 管时，驱动电压 V_{hv} 的电压应当大于控制信号 V_{ctrl} 对应的电

压值和该多个 MOS 管对应的阈值电压的总和，即，使得第一运算放大器 211 的输出电压的最大值大于控制信号 V_{ctrl} 对应的电压值。

在一些实施例中，电压生成电路还可以包括：标志信号生成模块 240，被配置为，基于使能信号 En 生成标志信号 Reg ，使能信号 En 用于控制负载 280 工作。本公开实施例中，标志信号生成模块 240 可以将使能信号 En 转换为对应的标志信号 Reg ，例如，向标志信号生成模块 240 提供第一使能信号 $En1$ 、第二使能信号 $En2$ 及第三使能信号 $En3$ ，通过标志信号生成模块 240 可以生成对应的第一标志信号 $Reg1$ 、第二标志信号 $Reg2$ 及第三标志信号 $Reg3$ ，且不同的使能信号 En 可以提供给不同的负载，使能信号 En 对应的标志信号 Reg 可以提供给与对应负载 280 连接的补偿模块 220，从而当第一使能信号 $En1$ 对应负载 280 导通时，接收第一标志信号 $Reg1$ 的补偿模块 220 开始工作，以向负载 280 提供第二输出电压 V_{out2} ，从而可以补偿与负载 280 对应的供电节点的电压。

在一些实施例中，参考图 4，电压输出模块 200 可以包括：第二运算放大器 201，第二运算放大器 201 的反相输入端接收参考电压 V_{ref} ；第三电阻 202，第三电阻 202 的一端接地，另一端连接第二运算放大器 201 的正相输入端；第三 PMOS 管 203，第三 PMOS 管 203 的栅极与第二运算放大器 201 的输出端连接，源极连接工作电源，第三 PMOS 管 203 的漏极输出第一输出电压 V_{out1} ；第四电阻 204，第四电阻 204 的一端连接第二运算放大器 201 的正相输入端，另一端与第三 PMOS 管 203 的漏极连接。

可以理解的是，电压输出模块 200 的工作原理为：当电压输出模块 200 的输出电压降低时，通过第三电阻 202 及第四电阻 204 的分压作用，提供给第二运算放大器 201 正相输入端的电压减小，然而第二运算放大器 201 的反相输入端接入的参考电压 V_{ref} 的电压值是稳定的，因此，第二运算放大器 201 的输出端的电压相应减小，第三 PMOS 管 203 的栅极电压减小，电压输出模块 200 的输出电压相应增加，抑制了输出电压的降低，从而保持稳定的输出。

在一些实施例中，第三 PMOS 管 203 源极连接的工作电源的电压值与第二运算放大器 201 的驱动电压的电压值相等，换句话说，第三 PMOS 管 203 源极与第二运算放大器 201 可以与同一工作电源连接，降低设置不同电源造成的复杂度。

在一些实施例中，第一运算放大器 211 的规格还可以与第二运算放大器 201 的规格相同，从而可以减少第三输出电压 V_{out3} 和第一输出电压 V_{out1} 之间的差异，从而可以减少基于控制信号 V_{ctrl} 生成的第二输出电压 V_{out2} 与第一输出电压 V_{out1} 之间的差异，从而使得供电节点的电压恢复至第一输出电压 V_{out1} 。

在一些实施例中，电压生成电路还可以包括：第二电压生成模块 250，第二电压生成模块 250 用于提供参考电压 V_{ref} ，通过第二电压生成模块 250 可以向电压输出模块 200、稳压模块 210 及第一电压生成模块 230 提供参考电压 V_{ref} 。

在一些实施例中，第二电压生成模块 250 可以包括：第一电压生成单元 251 及第二电压生成单元 252，通过第一电压生成单元 251 可以生成带隙基准电压 V_{bgr} ，第二电压生成单元 252 可以接收带隙基准电压 V_{bgr} 生成参考电压 V_{ref} ，在存储器中，带隙基准电压 V_{bgr} 为稳定的电压信号，电压值的大小不受温度的影响，因此，通过第一电压生成单元 251 提供的带隙基准电压 V_{bgr} ，不受温度的影响，从而生成稳定的参考电压 V_{ref} 。

在一些实施例中，电压生成电路还可以包括：电容 260，电容一端与电压输出模块 200 的输出端连接，另一端接地。通过设置电容 260 可以起到滤波的作用，从而可以减少电压生成电路提供的电压的可靠性。

在一些实施例中，电压生成电路还可以包括：电阻 270，电阻 270 的一端与电压输出模块 200 的输出端连接，另一端与供电节点连接，通过设置电阻 270 可以提高电

压生成电路的安全性，降低电源网络中不同电压节点之间的影响。

参考图 3 及图 6，其中图 6 为电压生成电路的信号波动图，具体的，始终提供依据具有高电平电源电压 VP_{wr} 以使稳压模块 210 及标志信号生成模块 240 开始工作，并向负载 280 及标志信号生成模块 240 提供使能信号 En ，当使能信号 En 为高电平，负载 280 导通，使得与负载 280 连接的供电节点的电压产生波动，且当使能信号 En 为高电平，同步标志信号生成模块 240 向补偿模块 220 提供标志信号 Reg ，以使补偿模块 220 工作，并向供电节点提供第二输出电压 V_{out2} ，补偿供电节点的电压，可以参考供电节点的电压波动图，当使能信号为低电平时，供电节点接收来自电压输出模块 200 的第一输出电压 V_{out1} ，电压上升，使能信号 En 变为高电平，负载 280 导通，导致供电节点的电压被消耗，开始下降，通过补偿模块 220 工作对供电节点进行补偿，减缓供电节点的电压下降，当使能信号 En 重新变为低电平时，负载关闭，标志信号

Reg 变低，补偿模块 220 关闭，供电节点接收自电压输出模块 200 的第一输出电压 V_{out1} ，电压上升。

本公开实施例相较于图 1 对应的现有技术而言，具有更小的版图面积、更小的电源电压 VP_{wr} 到第一输出电压 V_{out1} 的电源容限幅度、且消耗更少的电源功耗、更快的响应速度及更高的精确度。

本公开实施例通过电压输出模块 200 向供电节点提供第一输出电压 V_{out1} ，当负载工作导致供电节点电压下降，通过稳压模块 210 工作并接收参考电压 V_{ref} 向补偿模块 220 提供控制信号 V_{ctrl} ，通过补偿模块 220 接收电源电压 VP_{wr} 、标志信号 Reg 和控制信号 V_{ctrl} ，并响应于标志信号 Reg 导通，且根据控制信号 V_{ctrl} 的电压值生成并向供电节点输出第二输出电压 V_{out2} ，从而补偿供电节点上被负载消耗的第一输出电压 V_{out1} ，使得电压生成电路向负载提供的电压稳定在第一输出电压 V_{out1} ，从而可以提高电压生成电路的精确性。

值得一提的是，本实施例中所涉及到的各单元均为逻辑单元，在实际应用中，一个逻辑单元可以是一个物理单元，也可以是一个物理单元的一部分，还可以以多个物理单元的组合实现。此外，为了突出本申请的创新部分，本实施例中并没有将与解决本申请所提出的技术问题关系不太密切的单元引入，但这并不表明本实施例中不存在其它的单元。

需要说明的是，上述实施例所提供的电源提供电路中所揭露的特征，在不冲突的情况下可以任意组合，可以得到新的电源提供电路实施例。

本公开另一实施例还提供一种存储器，可以包括上述电压生成电路，以下将结合附图对本公开实施例提供的存储器进行说明，需要说明的是，与前述实施例相同或者相应的部分可以参考前述实施例的响应说明，以下将不做赘述。

参考图 2 至图 6，本公开实施例提供的存储器包括：如上述的电压生成电路；负载 280，负载 280 与供电节点连接，负载 280 响应于使能信号 En 工作。

本公开实施例通过电压输出模块 200 向供电节点提供第一输出电压 V_{out1} ，当负载 280 工作导致供电节点电压下降，通过稳压模块 210 工作并接收参考电压 V_{ref} 向补偿模块 220 提供控制信号 V_{ctrl} ，通过补偿模块 220 接收电源电压 VP_{wr} 、标志信号 Reg 和控制信号 V_{ctrl} ，并响应于标志信号 Reg 导通，且根据控制信号 V_{ctrl} 的电压值生成并向供电节点输出第二输出电压 V_{out2} ，从而补偿供电节点上被负载 280 消耗的第一输出电压 V_{out1} ，使得电压生成电路向负载 280 提供的电压稳定在第一输出电压 V_{out1} ，从而可以提高电压生成电路的精确性。

在一些实施例中，负载 280 的数量为多个，且不同的负载 280 响应于不同的使能信号 En 工作；电压生成电路具有多个供电节点，且每一供电节点与一负载 280 连接；电压生成电路包括多个补偿模块 220，且每一补偿模块 220 响应于相应的标志信号 Reg

向相应的供电节点提供第二输出电压 V_{out2} 。以负载 280 的数量为 3 个为例，3 个负载 280 可以分为第一负载、第二负载及第三负载，第一负载、第二负载及第三负载连接在不同的供电节点上，且每一供电节点与不同的补偿模块 220 对应连接，通过不同的补偿模块 220 向不同的负载分别提供第二输出电压 V_{out2} ，从而可以使每一负载 280 都有对应的补偿模块 220 进行补偿。

在一些实施例中，多个负载 280 可以同时导通，相应的多个补偿模块 220 也同时导通；在另一些实施例中，多个负载 280 可以择一导通，相应的，与导通负载连接的补偿模块 220 对应导通。

总的来说，存储器的工作原理为：当负载 280 处于工作状态时，负载 280 会消耗部分电压输出模块 200 提供给供电节点的第一输出电压 V_{out1} ，从而会导致供电节点的电压下降，当负载 280 处于工作状态时，同时补偿模块 220 接收到标志信号 Reg ，并基于控制信号 V_{ctrl} 生成第二输出电压 V_{out2} ，并向供电节点提供第二输出电压 V_{out2} ，从而对负载 280 消耗的第一输出电压 V_{out1} 进行补偿，使得供电节点的电压恢复，从而保证电压生成电路向供电节点提供电压的稳定性及精确性。

参考图 6 所示的信号波动图，当向负载 280 提供使能信号 En 时，也就是图 6 中的使能信号 En 为高电平时，负载 280 开始工作，负载 280 工作的一瞬间，由于负载 280 工作消耗供电节点的部分电压，导致供电节点的电压下降，向负载 280 提供使能信号 En 的同时，同步向标志信号生成模块 240 提供使能信号 En ，通过标志信号生成模块 240 生成标志信号 Reg ，并将标志信号 Reg 提供给补偿模块 220，补偿模块 220 接收到标志信号 Reg 开始工作，从而使得补偿模块 220 输出第二输出电压 V_{out2} ，对供电节点进行补偿，从而可以供电节点的电压下降幅度减小，可以提高电压生成电路的精确性，当负载 280 停止工作，也就是使能信号 En 从高电平变为低电平，供电节点的电压不再被消耗，补偿模块 220 不再接收到标志信号 Reg ，补偿模块停止工作，供电节点的电压接收电压输出模块 200 提供的第一输出电压 V_{out1} 电压上升。

在一些实施例中，图 6 所示的信号波动图可以是某一负载 280 在一定时间内接收到的使能信号 En 及与该负载 280 对应连接的补偿模块 220 接收到标志信号 Reg ，也就是说，该负载 280 在一定时间内间隔一定的时间开启一次；在另一些实施例中，图 6 所示的信号波动图还可以是存储器整体的信号波动图，也就是说，存储器内的负载 280 择一导通，存储器内的负载 280 依次接收到使能信号 En ，并响应于使能信号 En 导通，且存储器内的负载 280 在其中一者导通时，其余的负载 280 均处于关闭状态。

需要说明的是，存储器可以是基于半导体装置或组件的存储单元或装置。例如，存储器装置可以是易失性存储器，例如动态随机存取存储器 DRAM、同步动态随机存取存储器 SDRAM、双倍数据速率同步动态随机存取存储器 DDR SDRAM、低功率双倍数据速率同步动态随机存取存储器 LPDDR SDRAM、图形双倍数据速率同步动态随机存取存储器 GDDR SDRAM、双倍数据速率类型双同步动态随机存取存储器 DDR2 SDRAM、双倍数据速率类型三同步动态随机存取存储器 DDR3 SDRAM、双倍数据速率第四代同步动态随机存取存储器 DDR4 SDRAM、晶闸管随机存取存储器 TRAM 等；或者可以是非易失性存储器，例如相变随机存取存储器 PRAM、磁性随机存取存储器 MRAM、电阻式随机存取存储器 RRAM 等。

本公开实施例通过上述实施例提供的电压生成电路进行供电，以向负载 280 提供更稳定的第一输出电压 V_{out1} ，且第一输出电压 V_{out1} 更精确，从而可以提高存储器的响应速度及精确性。

本领域的普通技术人员可以理解，上述各实施方式是实现本公开的具体实施例，而在实际应用中，可以在形式上和细节上对其作各种改变，而不偏离本公开实施例的精神和范围。任何本领域技术人员，在不脱离本公开实施例的精神和范围内，均可作

各自更动与修改，因此本公开实施例的保护范围应当以权利要求限定的范围为准。

工业实用性

本公开实施例所提供的电压生成电路及存储器中，通过电压输出模块向供电节点提供第一输出电压，进而向负载供电，通过稳压模块可以输出控制信号，通过补偿模块接收电源电压、标志信号和控制信号，并相应于标志信号导通，以及响应于基于控制信号的电压值向供电节点提供第二输出电压，以使供电节点的电压恢复至第一输出电压，从而可以提高电压生成电路的精确度。

权利要求

1、一种电压生成电路，包括：

电压输出模块，被配置为，接收参考电压，生成第一输出电压并向供电节点提供所述第一输出电压，且所述供电节点用于与负载连接以向所述负载供电；

稳压模块，被配置为，接收所述参考电压，生成并输出控制信号；

补偿模块，被配置为，接收电源电压、标志信号和所述控制信号，并响应于所述标志信号导通，以及响应于基于所述控制信号的电压值向所述供电节点提供第二输出电压，以使所述供电节点的电压恢复至所述第一输出电压，所述标志信号表征所述负载处于工作期间。

2、根据权利要求1所述的电压生成电路，其中，所述补偿模块包括：

开关单元，用于接收所述标志信号，并基于所述标志信号输出所述电源电压；

调节单元，与所述开关单元连接，用于接收所述电源电压和所述控制信号，以基于所述控制信号的电压值调整所述补偿模块的输出幅值。

3、根据权利要求2所述的电压生成电路，其中，所述开关单元包括：第一PMOS管，所述第一PMOS管的栅极接收所述标志信号，源极连接工作电源；

所述调节单元包括：第一NMOS管，所述第一NMOS管的栅极接收所述控制信号，所述第一NMOS管的漏极连接所述第一PMOS管的漏极，所述第一NMOS管的源极连接所述供电节点以提供所述第二输出电压。

4、根据权利要求3所述的电压生成电路，其中，所述稳压模块包括：

第一运算放大器，所述第一运算放大器的正相输入端接收所述参考电压，所述第一运算放大器的输出端输出所述控制信号；

第一电阻，所述第一电阻的一端接地，另一端连接所述第一运算放大器的反相输入端；

第二PMOS管，所述第二PMOS管的源极与电源电压连接；

第二NMOS管，所述第二NMOS管的栅极与所述第一运算放大器的输出端连接，所述第二NMOS管的漏极与所述第二PMOS管的漏极连接；

第二电阻，所述第二电阻的一端与所述第一运算放大器的反相输入端连接，另一端与所述第二NMOS管的源极连接。

5、根据权利要求4所述的电压生成电路，其中，所述第一NMOS管沟道的宽长比与所述第二NMOS管沟道的宽长比相等。

6、根据权利要求4所述的电压生成电路，还包括：第一电压生成模块，接收所述参考电压并生成用于驱动所述第一运算放大器工作的驱动电压。

7、根据权利要求6所述的电压生成电路，其中，所述驱动电压的电压值大于所述控制信号对应的电压值与所述第二NMOS管的开启电压的电压值之和。

8、根据权利要求1所述的电压生成电路，还包括：标志信号生成模块，被配置为，基于使能信号生成所述标志信号，所述使能信号用于控制所述负载工作。

9、根据权利要求1所述的电压生成电路，其中，所述电压输出模块包括：

第二运算放大器，所述第二运算放大器的反相输入端接收所述参考电压；

第三电阻，所述第三电阻的一端接地，另一端连接所述第二运算放大器的正相输入端；

第三 PMOS 管，所述第三 PMOS 管的栅极与所述第二运算放大器的输出端连接，源极连接工作电源，所述第三 PMOS 管的漏极输出所述第一输出电压；

第四电阻，所述第四电阻的一端连接所述第二运算放大器的正相输入端，另一端与所述第三 PMOS 管的漏极连接。

10、根据权利要求 9 所述的电压生成电路，其中，所述第三 PMOS 管源极连接的工作电源的电压值与所述第二运算放大器的驱动电压的电压值相等。

11、根据权利要求 1 所述的电压生成电路，还包括：第二电压生成模块，所述第二电压生成模块用于提供所述参考电压。

12、根据权利要求 1 所述的电压生成电路，还包括：电容，所述电容一端与所述电压输出模块的输出端连接，另一端接地。

13、一种存储器，包括：

如权利要求 1-12 任一项所述的电压生成电路；

负载，所述负载与所述供电节点连接，所述负载响应于使能信号工作。

14、根据权利要求 13 所述的存储器，其中，所述负载的数量为多个，且不同的所述负载响应于不同的所述使能信号工作；

所述电压生成电路具有多个所述供电节点，且每一所述供电节点与一所述负载连接；

所述电压生成电路包括多个所述补偿模块，且每一所述补偿模块响应于相应的所述标志信号向相应的所述供电节点提供所述第二输出电压。

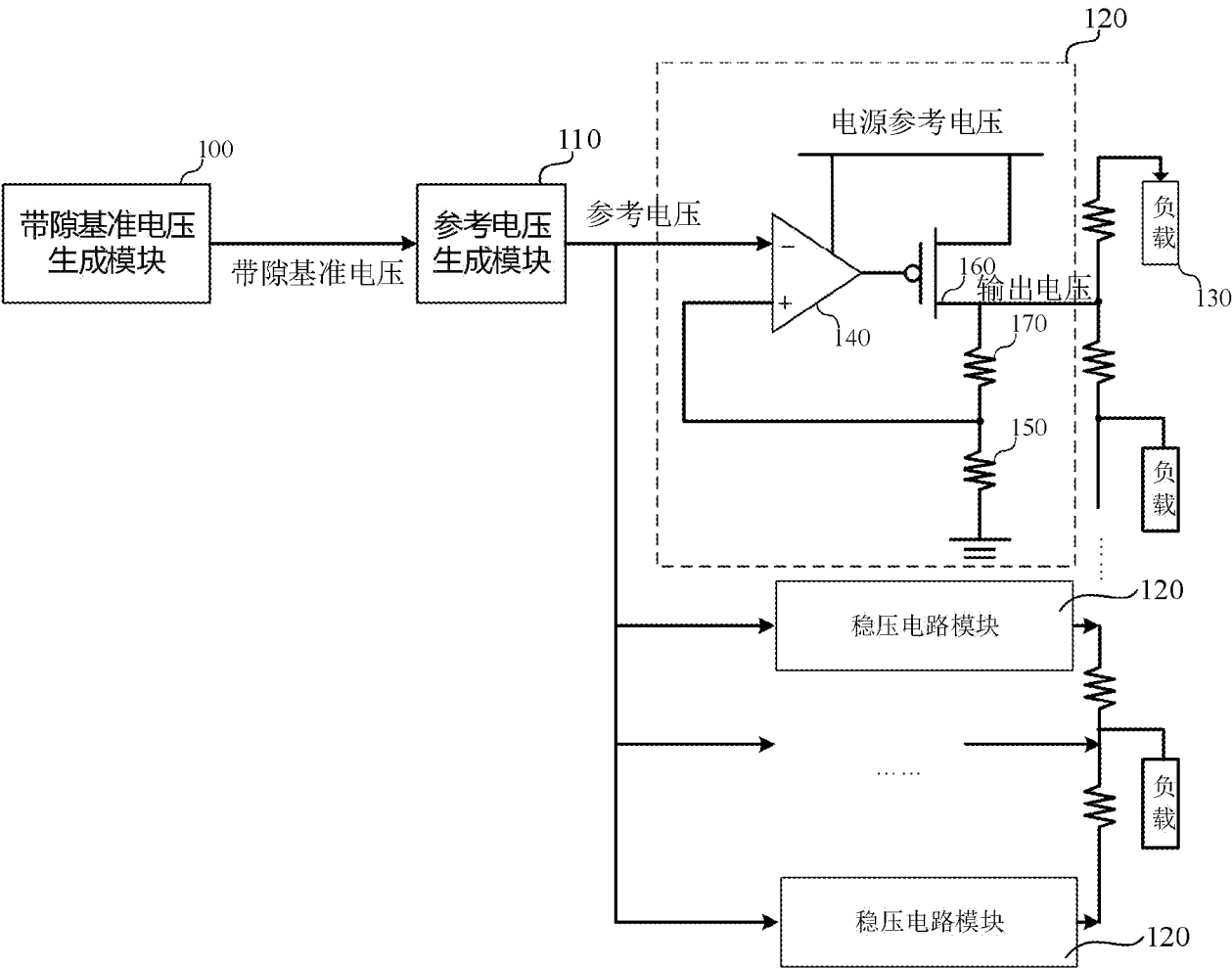


图 1

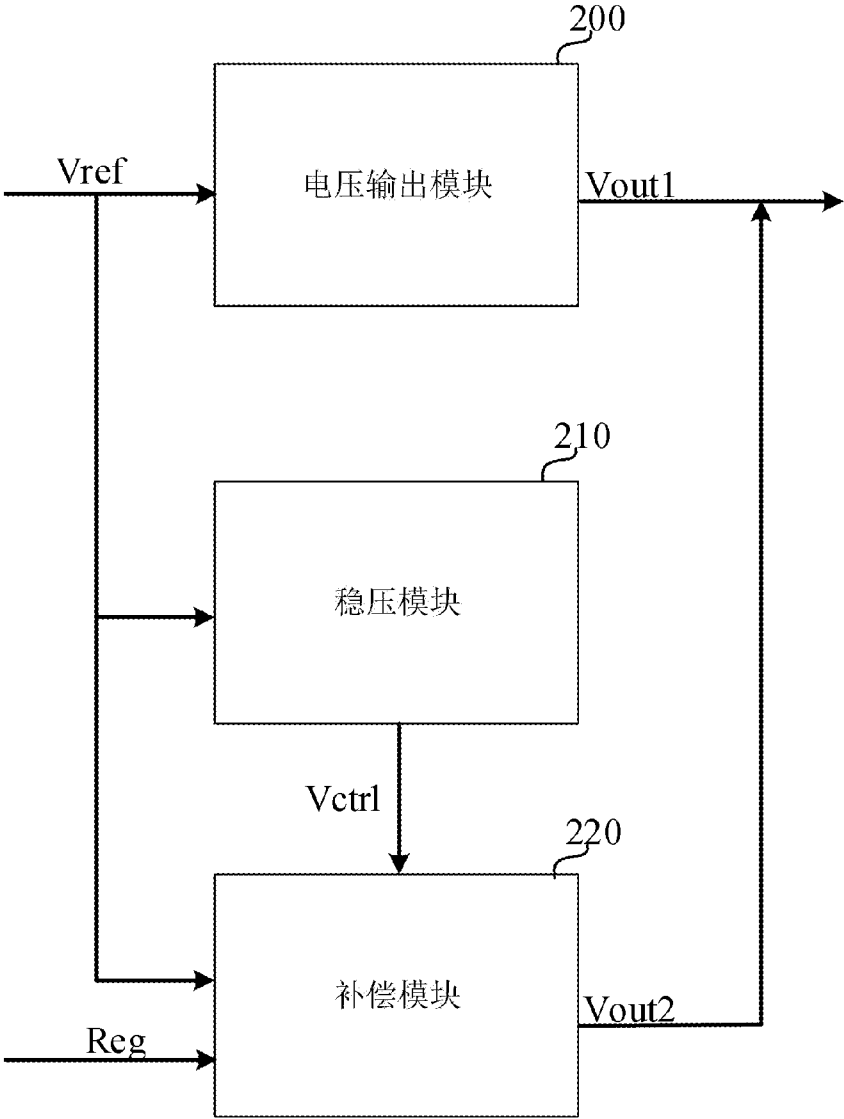


图 2

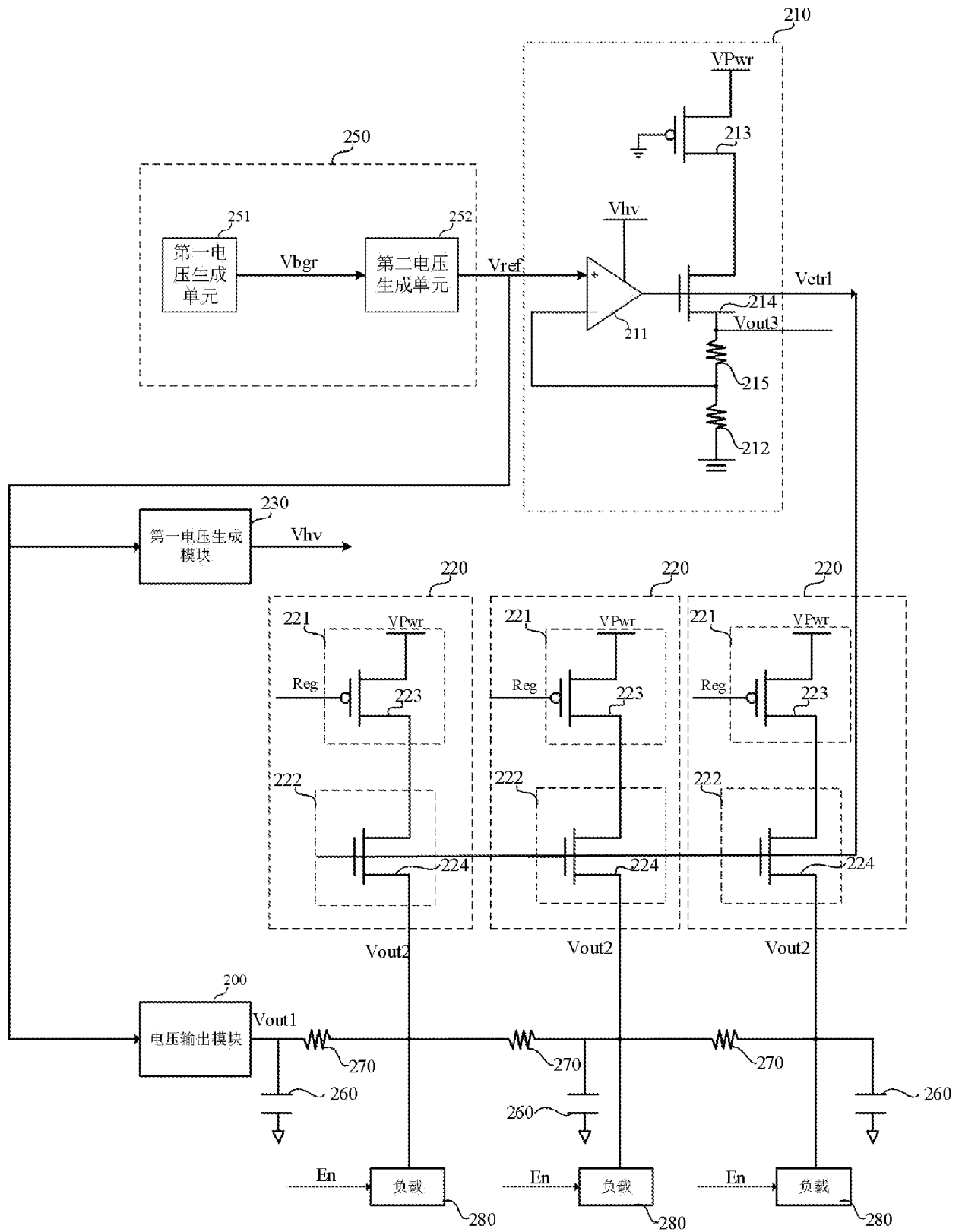


图 3

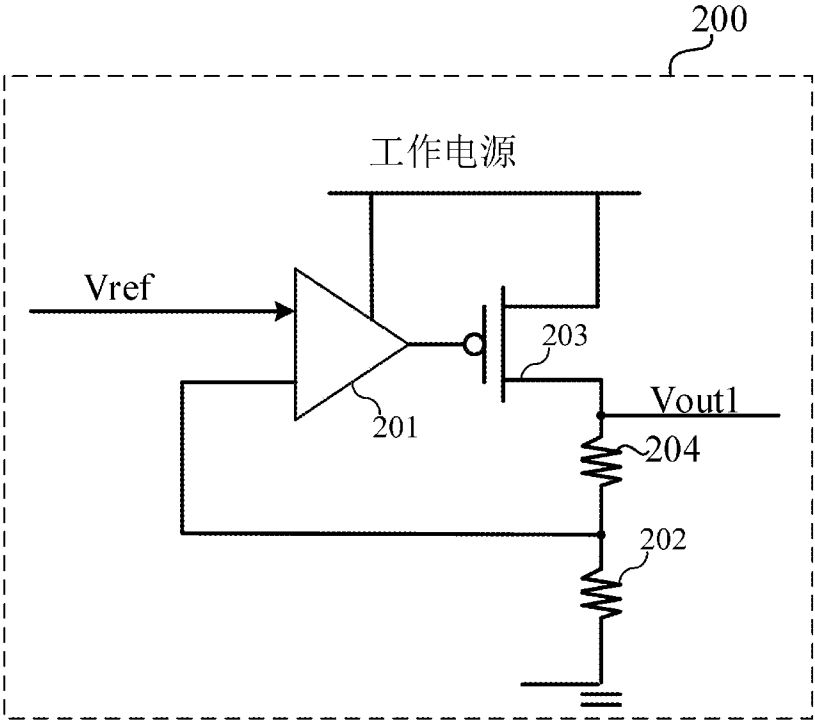


图 4

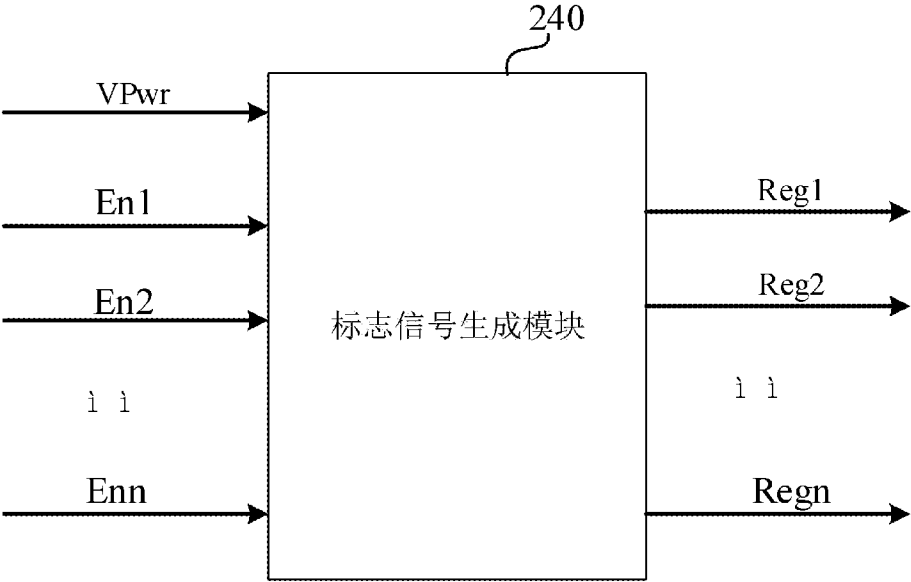


图 5

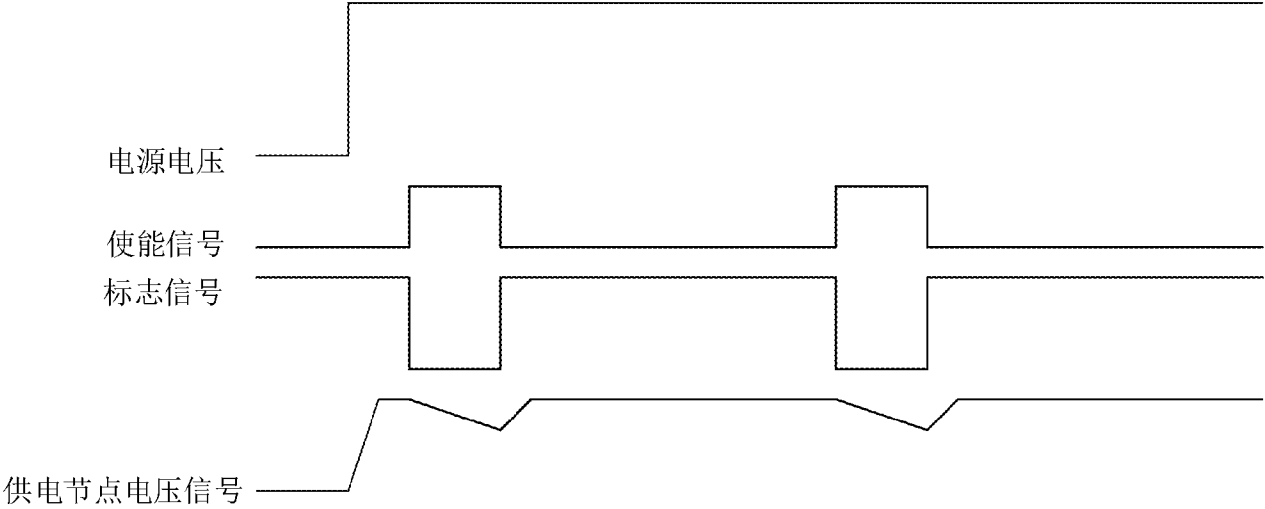


图 6

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/132407

A. CLASSIFICATION OF SUBJECT MATTER G11C 11/4074(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G11C Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) CNTXT, ENTXT, ENTXTC, CNKI, VEN: 补偿, 参考, 存储器, 电压生成, 控制, 稳压, compensat+, reference, control		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 102385910 A (SHANGHAI GRACE SEMICONDUCTOR MANUFACTURING CORP.) 21 March 2012 (2012-03-21) entire document	1-14
A	CN 109270978 A (CHINA AVIATION CHONGQING MICROELECTRONICS CO., LTD.) 25 January 2019 (2019-01-25) entire document	1-14
A	WO 2022105890 A1 (VANCHIP TIANJIN TECHNOLOGY CO., LTD.) 27 May 2022 (2022-05-27) entire document	1-14
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 06 May 2023		Date of mailing of the international search report 19 May 2023
Name and mailing address of the ISA/CN China National Intellectual Property Administration (ISA/CN) China No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2022/132407

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	102385910	A	21 March 2012	CN	102385910	B	14 December 2016
CN	109270978	A	25 January 2019	CN	109270978	B	22 December 2020
WO	2022105890	A1	27 May 2022	None			

国际检索报告

国际申请号

PCT/CN2022/132407

A. 主题的分类

G11C 11/4074(2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G11C

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNTXT, ENTXT, ENTXTC, CNKI, VEN:补偿, 参考, 存储器, 电压生成, 控制, 稳压, compensat+, reference, control

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 102385910 A (上海宏力半导体制造有限公司) 2012年3月21日 (2012 - 03 - 21) 全文	1-14
A	CN 109270978 A (中航(重庆)微电子有限公司) 2019年1月25日 (2019 - 01 - 25) 全文	1-14
A	WO 2022105890 A1 (VANCHIP TIANJIN TECH CO LTD) 2022年5月27日 (2022 - 05 - 27) 全文	1-14

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2023年5月6日

国际检索报告邮寄日期

2023年5月19日

ISA/CN的名称和邮寄地址

中国国家知识产权局

中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

魏婷婷

电话号码 (+86) 010-62411341

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2022/132407

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	102385910	A	2012年3月21日	CN 102385910 B	2016年12月14日
CN	109270978	A	2019年1月25日	CN 109270978 B	2020年12月22日
WO	2022105890	A1	2022年5月27日	无	