附件 1. 第 85107070 號專利申請案

中文說明書(含申請專利範圍)修正本　民國 89 年 08 月修正

申請日期	85 年 6 月 12 日
案號	85107070
類別	906F 1/16

修正補充 本 89 年 8 月 15 日 A4 C4

公告本

(以上各欄由本局填註)

發明 ~~新型~~ 專利說明書 439024

一、發明 ~~新型~~ 名稱	中文	輸出電路
	英文	
二、發明 ~~創作~~ 人	姓名	(1) 茂原宏 (2) 衣笠昌典
	國籍	(1) 日本　(2) 日本
	住、居所	(1) 日本國大分縣大分市大字松岡三五〇〇番地東芝若竹寮 (2) 日本國橫浜市旭區さちが丘一四八－四－五一六
三、申請人	姓名(名稱)	(1) 東芝股份有限公司 株式会社東芝
	國籍	(1) 日本
	住、居所(事務所)	(1) 日本國神奈川縣川崎市幸區堀川町七二番地
	代表人姓名	(1) 佐藤文夫

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

439024

A6
B6

（由本局填寫）

承辦人代碼：
大　　類：
IPC分類：

本案已向：

國（地區）　申請專利，申請日期：　　案號：　　，□有　□無主張優先權

日本　　1995 年　6 月　2 日　　P07-136767　　☑無主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明（1）

【發明之詳細說明】

【產業上之利用範圍】

此發明係有關於半導體積體電路中，輸出信號之輸出電路者。

【習知技術】

圖25係顯示以兩電源驅動這種習知輸出電路時之應用之典型連接例的電路圖。圖之中，輸出電路51係對應輸入信號IN產生信號，輸出電路52係對應此輸出電路51之輸出信號產生信號OUT。信號線53中供給輸出電路51之輸出信號，此信號線53係連接於上述輸出電路52之輸入端子。上述兩輸出電路51、52係對應各輸入端子之信號，決定輸出狀態。又，信號線53係爲防止輸出電路51之輸出信號之傳送反射，以阻抗54做爲終端。然而，在此，上述輸出電路51、52中供給電源電位Vcc，輸出電路51之電源端子係經由開關，選擇供給Vcc或接地電位之任一電位。然後，圖25之例中，經由開關SW選擇接地電位。然而，輸出電路51內，二極體55則以圖示之極性插入電源和輸出端子之間。

然而，做爲上述兩輸出電路51、52，使用CMOS構成者時，如圖26所示，於該輸出段設置P通道和N通道MOS電晶體。因此，信號線53中，連接有P通道MOS電晶體61之P型汲極擴散層，和N通道

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（2）

ＭＯＳ電晶體６２之Ｎ型汲極擴散層，於Ｐ通道ＭＯＳ電晶體６１之汲極和反向閘（基板）間，ＰＮ接合之二極體６３則寄生地加以形成。然後，前述圖２５中之二極體５５係顯示此ＰＮ接合之二極體６３者。

現在，連接於圖２５中之一方輸出電路５１之電源端子的開關ＳＷ選擇如圖２５所示之接地電位。此時，於供予阻抗５４之電源電位Ｖｃｃ和上述二極體５５之內建電位ＶＦ間，成立ＶＦ＜Ｖｃｃ之關係時，上述二極體５５則呈順偏壓狀態，如圖２５所示，藉由此阻抗５４和此二極體５５及開關ＳＷ，由Ｖｃｃ流入電流Ｉ至接地電位。

爲不流入如此之電流，令輸出電路５１之輸出段僅以Ｎ通道ＭＯＳ電晶體構成。令此例以圖２７所示。此輸出段中，設有２個Ｎ通道ＭＯＳ電晶體６２、６４。一方之Ｎ通道ＭＯＳ電晶體６４之閘控制信號係經由反轉輸入信號之反相器６５加以供給。其他Ｎ通道ＭＯＳ電晶體６２之閘控制信號中供給輸入信號。

但是，如圖２７中，輸出段僅以Ｎ通道ＭＯＳ電晶體所構成時，於信號線５３雖可輸出接地電位，但於輸出電源電位Ｖｃｃ時，則會經由Ｎ通道ＭＯＳ電晶體６４，僅就臨限電壓分降低電位之故，無法直接輸出電源電位Ｖｃｃ，而使輸出準位下降。

如此，在於以往，進行信號線之阻抗終端時，於輸出電路供給與該阻抗之終端前電位（圖２５之例爲Ｖｃｃ）

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

五、發明說明（ 3）

不同值之電源電位時，於該2點間介由阻抗會產生電流流入之不合宜情形。又，爲使不流入如此之電流，此時則會產生輸出不進行最大擺動之不合宜情形。

接著，對於輸出電路構成呈雙狀態時，說明以往之問題點。於電腦等之電子機器中，信號係傳達至共通之匯流排線。圖28係顯示匯流排線應用之典型連接例的電路圖。匯流排線71中由爲輸出電路之2個雙狀態緩衝電路72、73各別輸出信號。上述兩雙狀態緩衝電路72、73係皆呈CMOS構成，可進行信號EN1、EN2則經由活化，令對應於輸入信號IN1、IN2的信號輸出至上述匯流排線71，可進行信號EN1、EN2非活化時，輸出皆呈高阻抗。

然而，在此，上述雙狀態緩衝電路73中雖供給電源電位Vcc，一方之雙狀態緩衝電路72之電源端子係經由開關SW，選擇供予Vcc或接地電位之任一電位。圖28中，選擇接地電位。然而，於雙狀態緩衝電路72內，二極體74則以圖示之極性，插入電源和輸出端子間。

然而，做爲上述雙狀態緩衝電路使用CMOS構成者時，如圖29所示於該輸出段設置P通道及N通道MOS電晶體81、82。然而，P通道MOS電晶體81之閘控制信號係經由供予反轉輸入信號IN和可進行信號EN（EN1、EN2）之反相器83之輸出的NOR電路85形成。因此，輸出節點86中，連接P通道MOS電晶體81之P型汲極擴散層，和N通道MOS電晶體82之N

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（4）

型汲極擴散層，於輸出節點86和P通道MOS電晶體81之反向閘間，寄生形成pn接合二極體87。前述25中之二極體74係顯示此pn接合二極體87。

現在，考量連接圖28中之一方之雙狀態緩衝電路72之電源端子的開關，圖28所示選擇接地電位之情形。此時，如圖28所示，令電源電位Vcc準位由另一方之雙狀態緩衝電路73輸出時，於上述電源電位Vcc，和MOS電晶體81之汲極擴散層和反向閘間之二極體74之內建電位VF間，成立VF＜Vcc時，藉由此二極體74及開關SW，由Vcc於接地電位流入電流I。

考量爲使不流入電流，令連接於輸出節點86之輸出段，僅以N通道MOS電晶體構成者。此例示於圖30。於此雙狀態緩衝電路之輸出段中，設置2個N通道MOS電晶體82，83。一方之MOS電晶體88之閘控制信號係經由供予反轉可進行信號EN和輸入信號IN之反相器83之輸出的NOR電路89加以形成。另一方之N通道MOS電晶體82之閘控制信號係與圖29時同樣地，經由供予可進行信號EN和輸入信號IN的NOR電路85加以形成。

但是，令如圖30之輸出段，僅以N通道MOS電晶體構成時，由輸出節點86雖可輸出接地電位，但是無法直接令電源電位Vcc輸出，下降N通道MOS電晶體之臨限值分之信號準位。

如此地，在於以往，藉由匯流排線，連接於複數之輸

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 5）

出電路加以使用時，至少一個輸出電路電源呈接地電位，該電路關閉時，透過由其他之輸出電路關閉之輸出電路之寄生二極體，產生電流流通之不合宜。又，爲不使電流流動，此時輸出會產生有最大擺動的不合宜。

【爲解決發明之課題】

此發明係提供考量上述之情事而進行者，其目的係令輸出可最大擺動，且輸出阻抗終端時，或連接複數之輸出加以使用時，令至少一個之輸出電路電源降至接地電位時，可防止由電源向接地電位，經由寄生二極體流入不需之電流的輸出電路。

【爲解決課題之手段】

第1之發明之輸出電路係具有源極、汲極、閘極及反向極，於閘極供給控制信號，汲極連接於輸出端子，於源極和反向極間插入電位分離之ＭＯＳ電晶體，和上述ＭＯＳ電晶體之反閘和閘極間加以插入，上述ＭＯＳ電晶體之源極、汲極間之電流通路之一端及另一端之電位關係呈第1狀態時呈關閉狀態，一端及另一端之電位關係與上述第1狀態不同之第2狀態時呈開啓狀態地加以控制之開關手段爲特徵者。

第2之發明之輸出電路係具備選擇性供給之第1之電源電位和第2之電源電位的電源節點，和具有源極、汲極、閘極及反向極，於閘極供給控制信號，源極、汲極間之

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 6）

電流通路則插入上述電源節點和輸出端子間，源極和反向閘間具有電位分離之第1MOS電晶體，和源極、汲極、閘極及反向極，源極、汲極間之電流通路則插入上述第1MOS電晶體之反向閘和閘極間，於上述電源節點供給第1之電源電位時呈關閉狀態，於上述電源節點供給第2之電源電位時，呈開啓狀態地，具備與被控制之上述第1MOS電晶體同一極性之第2MOS電晶體爲特徵者。

第3之發明之輸出電路係具備選擇性供給之第1之電源電位和第2之電源電位的第1電源節點，和供給上述第2之電源電位的第2電源節點，和具有源極、汲極、閘極及反向極，於閘極供給控制信號，源極、汲極間之電流通路則插入上述第1電源節點和輸出端子間，源極和反向閘間爲電位分離之第1極性之第1MOS電晶體，和具有源極、汲極及閘極，源極、汲極間之電流通路則插入上述第1MOS電晶體之反向閘和閘極間，閘極連接於上述第1電源節點之第1極性之第2MOS電晶體，和具有源極、汲極及閘極，源極、汲極間之電流通路之一端則連接於上述輸出端子，閘極連接於上述第1電源節點之第1極性之第3MOS電晶體，和具有源極、汲極及閘極，源極、汲極間之電流通路則插入上述第3之MOS電晶體之源極、汲極間之電流通路之另一端和上述第2之電源節點間，閘極則連接於上述第1之電源節點之第2極性之第4MOS電晶體，和插入上述第1電源節點和第2電源節點之間，對應第1之輸入信號，令需供予上述第1MOS電晶體之

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 7）

閘極之上述控制信號產生於輸出節點之第1控制信號產生手段，和具有源極、汲極及閘極，源極、汲極間之電流通路於上述第1控制信號產生手段中，連接於上述第1電源節點和上述輸出節點間之電流通路中途，閘極連接於上述第3及第4電晶體之源極、汲極間之電流通路之共通連接點之第1極性之第5ＭＯＳ電晶體，和具有源極、汲極及閘極，源極、汲極間之電流通路於上述第1控制信號產生手段內，連接於上述輸出節點和第2電源節點間之電流通路中途的第2極性之第6ＭＯＳ電晶體，和上述第1之電源節點和上述第2之電源節點的電壓做爲電源電壓加以供給，對應第2之輸入信號，產生需供予上述第6ＭＯＳ電晶體之閘極之控制信號之第2控制信號產生手段爲特徵者。

第4之發明之輸出電路係具備選擇性供給之第1之電源電位和第2之電源電位的第1電源節點，和供給上述第2之電源電位的第2電源節點，和具有源極、汲極、閘極及反向極，於閘極供給控制信號，源極、汲極間之電流通路則插入上述第1電源節點和輸出端子間，源極和反向閘間爲電位分離之第1極性之第1ＭＯＳ電晶體，和具有源極、汲極及閘極，源極、汲極間之電流通路則插入上述第1ＭＯＳ電晶體之閘和上述輸出端子間，閘極連接於上述第1電源節點之第1極性之第2ＭＯＳ電晶體，和具有源極、汲極及閘極，源極、汲極間之電流通路之一端則連接於上述輸出端子，閘極連接於上述第1電源節點之第1極

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 8）

性之第3ＭＯＳ電晶體，和具有源極、汲極及閘極，源極、汲極間之電流通路則插入上述第3之ＭＯＳ電晶體之源極、汲極間之電流通路之另一端和上述第2之電源節點間，閘極則連接於上述第1之電源節點之第2極性之第4ＭＯＳ電晶體，和插入上述第1電源節點和第2電源節點之間，對應第1之輸入信號，令需供予上述第1ＭＯＳ電晶體之閘極之上述控制信號產生於輸出節點之第1控制信號產生手段，和具有源極、汲極及閘極，源極、汲極間之電流通路於上述第1控制信號產生手段中，連接於上述第1電源節點和上述輸出節點間之電流通路中途，閘極連接於上述第3及第4電晶體之源極、汲極間之電流通路之共通連接點之第1極性之第5ＭＯＳ電晶體，和具有源極、汲極及閘極，源極、汲極間之電流通路於上述第1控制信號產生手段內，連接於上述輸出節點和第2電源節點間之電流通路中途的第2極性之第6ＭＯＳ電晶體，和供給上述第1之電源節點和上述第2之電源節點的電壓，對應第2之輸入信號，產生需供予上述第6ＭＯＳ電晶體之閘極之控制信號之第2控制信號產生手段爲特徵者。

第5之發明之輸出電路係具備選擇性供給之第1之電源電位和第2之電源電位的第1電源節點，和供給上述第2之電源電位的第2電源節點，和具有源極、汲極、閘極及反向極，於閘極供給控制信號，源極、汲極間之電流通路則插入上述第1電源節點和輸出端子間，源極和反向閘間爲電位分離之第1極性之第1ＭＯＳ電晶體，和具有源

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 9）

極、汲極及閘極，源極、汲極間之電流通路則插入上述第1ＭＯＳ電晶體之反向閘和閘極間，閘極連接於上述第1電源節點之第1極性之第2ＭＯＳ電晶體，和具有源極、汲極及閘極，源極、汲極間之電流通路之一端則連接於上述輸出端子，閘極連接於上述第1電源節點之第1極性之第3ＭＯＳ電晶體，和具有源極、汲極及閘極，源極、汲極間之電流通路則插入上述第3之ＭＯＳ電晶體之源極、汲極間之電流通路之另一端和上述第2之電源節點間，閘極則連接於上述第1之電源節點之第2極性之第4ＭＯＳ電晶體，和插入上述第1電源節點和第2電源節點之間，對應輸入信號，令需供予上述第1ＭＯＳ電晶體之閘極之上述控制信號產生於輸出節點之第1控制信號產生手段，和具有源極、汲極及閘極，源極、汲極間之電流通路於上述第1控制信號產生手段中，連接於上述第1電源節點和上述輸出節點間之電流通路中途，閘極連接於上述第3及第4電晶體之源極、汲極間之電流通路之共通連接點之第1極性之第5ＭＯＳ電晶體，和具有源極、汲極及閘極，源極、汲極間之電流通路連接於上述第1ＭＯＳ電晶體之閘極和上述第2電源節點間，於上述第1之電源節點供給上述第2之電源電位時呈關閉地加以控制之第1極性之第6ＭＯＳ電晶體爲特徵者。

【作用】

第1之發明輸出電路中，經由控制信號ＭＯＳ電晶體

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 10）

呈關閉狀態時，於輸出端子加上高電位時，介由ＭＯＳ電晶體之汲極、反向閘之寄生二極體元件，反向閘電位則會上昇。此時，於ＭＯＳ電晶體源極供給接地電位時，源極電位則呈較汲極電位爲高，由此開關手段呈開啓狀態，反向閘電位則介由此開關手段傳達至ＭＯＳ電晶體之閘極。由此，ＭＯＳ電晶體呈關閉狀態，由輸出端子呈接地電位之源極中不會流入電流。

第２至第５之發明輸出電路中，經由控制信號第１ＭＯＳ電晶體呈關閉狀態時，於輸出端子加上高電位時，介由第１ＭＯＳ電晶體之汲極、反向閘之寄生二極體元件，反向閘電位則會上昇。此時，於電源節點供給接地電位側之第１電源電位時，源極電位則呈較汲極電位爲高，由此第２ＭＯＳ電晶體呈開啓狀態，反向閘電位則介由此第２ＭＯＳ電晶體傳達至第１ＭＯＳ電晶體之閘極。由此，第１ＭＯＳ電晶體呈關閉狀態，由輸出端子呈接地電位之源極中不會流入電流。

【實施例】

參照以下圖面，令此發明經由實施例加以說明。圖１係有關此發明之輸出電路之第１實施例的詳細電路圖。此輸出電路之基本構成係與前述圖２９所示以往電路之情形相同，輸出段係以P通道及Ｎ通道ＭＯＳ電晶體加以構成，產生爲驅動兩ＭＯＳ電晶體之閘極的控制信號的手段，則使用具有與ＮＡＮＤ同等機能之電路，ＮＯＲ電路及反相

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（ 11）

器等加以構成。

令輸出段之P通道MOS電晶體（以下P通道MOS電晶體稱PMOS電晶體）P1，和N通道MOS電晶體（以下N通道MOS電晶體稱NMOS電晶體）N1之汲極係共同連接於輸出節點Y。PMOS電晶體P1之源極係介由前述開關SW，電源電位Vcc或接地電源GND則連接於選擇性供給之電源節點10，NMOS電晶體N1之源極係連接於接地電位節點。

一般半導體裝置時，PMOS電晶體之反向閘係與源極同電位。但是，此實施例中，PMOS電晶體P1之源極和反相閘則電位性地分離。然而，包含此PMOS電晶體P1之後述PMOS電晶體亦電位性分離所有源極和反向極，後述所有PMOS電晶體之反向閘係呈共通連接者。又，包含NMOS電晶體N1之所有後述NMOS電晶體係令反向極和源極呈同電位。

PMOS電晶體P2呈開啓時，PMOS電晶體TP1和TP2及NMOS電晶體TN1和TN2係構成產生上述PMOS電晶體P1之閘極驅動信號的NAND電路。即，PMOS電晶體TP1、TP2之源極則共通連接，汲極亦共通連接。此共通汲極節點係連接於上述PMOS電晶體P1之閘極節點。又，於此PMOS電晶體P1之閘極節點和接地電位節點間，直列連接NMOS電晶體TN1、TN2之各汲極、源極間。又，PMOS電晶體TP1之閘極和NMOS電晶體TN1之閘極則共

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（12）

通連接，此共通閘極節點中，介由反相器ＩＮＶ１，供給可進行信號$\overline{EN}$。又，ＰＭＯＳ電晶體ＴＰ２之閘極和ＮＭＯＳ電晶體ＴＮ２之閘極則共通連接，此共通閘極節點中，供給輸入信號$\overline{IN}$。ＮＯＲ電路ＮＯＲ１係產生上述ＮＭＯＳ電晶體Ｎ１之閘極驅動信號，供給可進行信號$\overline{EN}$和輸入信號$\overline{IN}$。

上述ＰＭＯＳ電晶體ＴＰ１、ＴＰ２之共通源極節點中，連接ＰＭＯＳ電晶體Ｐ２之汲極。此ＰＭＯＳ電晶體Ｐ１之源極係連接於上述電源節點１０。於上述ＰＭＯＳ電晶體Ｐ１之反相閘和上述輸出端子Ｙ間，連接ＰＭＯＳ電晶體Ｐ３之源極、汲極間。此ＰＭＯＳ電晶體Ｐ３之閘極係連接於電源節點１０。

ＰＭＯＳ電晶體Ｐ４和ＮＭＯＳ電晶體Ｎ２之各閘極節點係連接於電源節點１０，ＰＭＯＳ電晶體Ｐ４之源極係連接於上述輸入端子Ｙ，ＰＭＯＳ電晶體Ｐ４和ＮＭＯＳ電晶體Ｎ２之汲極及閘極係各相互共通連接，ＮＭＯＳ電晶體Ｎ２之源極係連接於接地電位節點。

又，ＰＭＯＳ電晶體Ｐ５之源極、汲極間係連接於上述ＰＭＯＳ電晶體Ｐ１之反向極和上述ＰＭＯＳ電晶體Ｐ２之汲極間。更且，ＰＭＯＳ電晶體Ｐ６之源極、汲極間係連接於電源節點１０和上述ＰＭＯＳ電晶體Ｐ１之反向極間。然後，上述ＰＭＯＳ電晶體Ｐ４和ＮＭＯＳ電晶體Ｎ２之共通汲極節點之信號則供予上述ＰＭＯＳ電晶體Ｐ２、Ｐ６之各閘極。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 13）

然而，一般而言，ＮＭＯＳ電晶體係形成於Ｐ型基板，ＰＭＯＳ電晶體係形成於Ｎ型基板。令此實施例電路形成於單一基板，做爲積體電路加以構成時，在此爲說明方便，如圖２所示使用Ｐ型基板者。因此，上述各ＰＭＯＳ電晶體係形成於Ｐ型基板１１內之Ｎ井區１２，ＮＭＯＳ電晶體係形成於Ｐ型基板１１。如前述，令電源節點１０經由開關ＳＷ之切換設定爲接地電位時，輸出端子Ｙ中可施加較接地電位高之電位。爲此，通常於Ｖｃｃ無法使用偏壓之Ｎ型基板。此係於Ｎ型基板形成呈ＰＭＯＳ電晶體之汲極的Ｐ型擴散層，於汲極和Ｎ型基板間形成寄生pn接合二極體之故，電源節點１０呈接地電位的條件下，於輸出端子Ｙ施加較接地電位爲高之電位，此寄生pn二極體於順方向偏壓不流入電流。因此，上述圖１中，ＰＭＯＳ電晶體Ｐ１、Ｐ２、Ｐ３、Ｐ４、Ｐ５、Ｐ６、ＴＰ１、ＴＰ２之反向閘係加上顯示爲Ｎ井區之符號ＮＷＥ１１。又，上述ＰＭＯＳ電晶體無需所有形成相同之Ｎ井區，形成於相互電氣連接之各Ｎ井區內亦可。然而，上述ＰＭＯＳ電晶體ＴＰ１和ＴＰ２之反向閘係連接於ＰＭＯＳ電晶體Ｐ２之汲極亦可。

接著，說明上述構成所成輸出電路之動作。然而，於說明之時，令Ｖｃｃ準位呈Ｈ，接地準位爲Ｌ，令ＰＭＯＳ電晶體Ｐｘ（ｘ係１、２、……）之臨限值以Ｖｔｐ（Ｐｘ）表之。又，不區別各ＰＭＯＳ電晶體時，該臨限電壓係以Ｖｔｐ表之。

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（ 14）

首先，說明於電源節點１０供予電源電位Ｖｃｃ時之動作。此時，ＰＭＯＳ電晶體Ｐ３、Ｐ５、Ｐ４係閘極節點呈Ｖｃｃ之故而爲關閉。另一方面，ＮＭＯＳ電晶體Ｎ２之閘極節點亦呈Ｖｃｃ之故，此ＮＭＯＳ電晶體Ｎ２係呈開啓。因此，ＰＭＯＳ電晶體Ｐ２和Ｐ６之閘極係於接地電位放下，兩ＰＭＯＳ電晶體係開啓。經由ＰＭＯＳ電晶體Ｐ６開啓，所有之ＰＭＯＳ電晶體之反向閘Ｎｗ１１係於Ｖｃｃ放下，經由ＰＭＯＳ電晶體Ｐ２開啓，ＰＭＯＳ電晶體ＴＰ１和ＴＰ２之共通源極節點亦於Ｖｃｃ放下。因此，ＰＭＯＳ電晶體ＴＰ１和ＴＰ２及ＮＭＯＳ電晶體ＴＮ１和ＴＮ２所成電路係呈可ＮＡＮＤ動作狀態。即，於電源節點１０不供予電源電位Ｖｃｃ時，此實施例電路係意味進行與通常雙狀態緩衝電路同樣之動作。

接著，經由開關ＳＷ，說明於電源節點１０供予接地電位時之動作。此輸出電路則如前述圖２５所示，連接於匯流排線加以使用時，其他之輸出電路之輸出狀態則輸出較接地電位爲高之電位ＶＹ之狀態，例如令Ｖｃｃ準位輸出之狀況時，於輸出端子Ｙ施加較接地電位爲高之電位，因此，此時，在於以往，由其他之輸出電路之電源電位節點，經由匯流排線和輸出端子Ｙ，流入大值之電流。

於此實施例電路時，於電源節點１０供予接地電位之故，ＰＭＯＳ電晶體Ｐ３、Ｐ５、Ｐ４和ＮＭＯＳ電晶體Ｎ２之閘極係呈接地電位，ＰＭＯＳ電晶體Ｐ３、Ｐ５、

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 15）

ＰＭＯＳ電晶體Ｐ４係呈開啓狀態，ＮＭＯＳ電晶體Ｎ２係呈關閉狀態。在此，Ｖｙ＞｜Ｖｔｐ（Ｐ４）｜時，ＰＭＯＳ電晶體Ｐ４呈開啓，更且ＮＭＯＳ電晶體Ｎ２呈關閉之故，ＰＭＯＳ電晶體Ｐ２、Ｐ６之閘極電位係輸出端子Ｙ之電位，即與Ｖｙ相同。

一方面，Ｖｙ＞｜Ｖｔｐ（Ｐ３）｜時，ＰＭＯＳ電晶體Ｐ３呈開啓之故，所有之ＰＭＯＳ電晶體之反向閘Ｎｗｅｌｌ之電位係輸出端子Ｙ之電位，即與Ｖｙ相同。但是，經由存在於輸出端子Ｙ和ＰＭＯＳ電晶體Ｐ１之反向閘間之ｐｎ接合二極體，接近輸出端子Ｙ之電位的電位，則傳達於ＰＭＯＳ電晶體Ｐ１之反向閘。更且，Ｖｙ＞｜Ｖｔｐ（Ｐ５）｜時，ＰＭＯＳ電晶體Ｐ５呈開啓，反向閘Ｎｗｅｌｌ之電位係傳達於ＰＭＯＳ電晶體ＴＰ１、ＴＰ２之共通源極節點。因此，ＰＭＯＳ電晶體Ｐ２、Ｐ６之閘極，源極電位差係皆呈０，ＰＭＯＳ電晶體Ｐ２、Ｐ６係各呈關閉。

更且，反相器ＩＮＶ１之電源電位亦呈接地電位之故，該輸出電位亦呈接地電位，Ｖｙ＞｜Ｖｔｐ（ＴＰ１）｜時，ＰＭＯＳ電晶體ＴＰ１呈開啓，ＰＭＯＳ電晶體ＴＰ２和Ｐ５之共通閘之電位係傳達於ＰＭＯＳ電晶體Ｐ１閘極節點。因此，ＰＭＯＳ電晶體Ｐ１之閘極係等於輸出端子Ｙ之電位Ｖｙ，ＰＭＯＳ電晶體Ｐ１之閘極、源極電位差呈０，ＰＭＯＳ電晶體Ｐ１係呈關閉。同時，ＮＭＯＳ電晶體ＴＮ１亦關閉，更且ＮＯＲ電路ＮＯＲ１

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（ 16）

之電源電位亦呈接地電位之故，該輸出電位亦呈接地電位，ＮＭＯＳ電晶體Ｎ１亦呈關閉。因此，由輸出端子Ｙ不會向接地節點流入電流。

上述說明之中，雖區別各ＰＭＯＳ電晶體之臨限電壓，一般而言，同一積體電路中，幾乎無其差值，ＰＭＯＳ電晶體Ｐ３、Ｐ５及ＴＰ１係幾乎同時呈開啓。又電位Ｖｙ至超越｜Ｖｔｐ｜之期間，於ＰＭＯＳ電晶體Ｐ１流動之電流係閘極源極間電位差幾乎爲｜Ｖｔｐ｜，呈充分的小而不會有所問題。

如此地，上述實施例之電路係不供予電源電位Ｖｃｃ時，輸出係由接地電位至電源電位可做最大擺動，電源節點１０則呈接地電位時，可不使由輸出端子Ｙ向接地電位流入電流。

然而，上述圖１之實施例中，將進行令ＰＭＯＳ電晶體Ｐ１之反向閘電位，供予該閘極之開關控制的ＰＭＯＳ電晶體Ｐ５之一端，連接於ＰＭＯＳ電晶體Ｐ２之汲極。但是此係如圖３之第２實施例所示，直接連接於ＰＭＯＳ電晶體Ｐ１之閘極亦可。

在此，令電源節點１０設定於接地電位時，於輸出端子Ｙ施加較接地電位爲高之電位時，如圖１之動作說明，輸出端子Ｙ之電位係經由ＰＭＯＳ電晶體Ｐ３、Ｐ５及ＴＰ１，雖傳達至ＰＭＯＳ電晶體Ｐ１之閘極，於此圖３之實施例電路中，輸出端子Ｙ之電位係呈經由２個ＰＭＯＳ電晶體Ｐ３、Ｐ５。因此，電位之傳達速度則較

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（17）

圖1時爲快，PMOS電晶體P1則可更快關閉之故，由輸出端子Y向接地電位之過度電流則會減少。但是寄生於PMOS電晶體P1之閘極節點的負荷容量會增加之故，此閘極節點之擺動變化速度可能會變慢。

更且，通常動作時，較PMOS電晶體P2之汲極的擺動寬爲小，PMOS電晶體P1之閘極節點係呈最大擺動之故，對應寄生容量之增加，僅就充放電之分增加消耗電流。

於圖4，顯示此發明之第3實施例之電路構成。前述圖1和圖3之實施例電路中，對可進行信號$\overline{EN}$和輸入信號$\overline{IN}$之NAND邏輯或NOR邏輯而言，雖進行輸出段之PMOS電晶體P1及NMOS電晶體N1之開啓／關閉控制，此實施例之輸出電路中，做爲輸入信號，輸入$\overline{IN1}$和$\overline{IN2}$之2個信號者。

於此實施例中，前述PMOS電晶體P2之源極係不直接連接於電源節點10，此源極和電源節點10間新並列連接2個PMOS電晶體TP3、TP4之源極、汲極間。然後，於上述一方之PMOS電晶體TP4之閘極中，輸入反相器INV1之輸出的信號EN，前述PMOS電晶體TP3之閘極中輸入輸入信號$\overline{ON2}$。前述PMOS電晶體TP1之閘極係輸入與前述同樣之信號EN，前述PMOS電晶體TP2之閘極中代替先前之輸入信號$\overline{IN}$，輸入輸入信號$\overline{IN1}$。

又，對前述NMOS電晶體TN1、TN2所成直列

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（18）

電路，重新於源極、汲極間並列連接呈直列連接2個NMOS電晶體TN3、TN4所成直列電路。於此等NMOS電晶體TN1、TN2、TN3及TN4之各閘極，各供給信號$\overline{IN2}$、EN、$\overline{IN1}$、EN。又，代替驅動NMOS電晶體N1之閘極的2輸入之NOR電路NOR1，設置輸入上述信號EN、$\overline{IN1}$、$\overline{IN2}$之3輸入之NOR電路NOR2。

如此所構成之輸出電路係僅於增加二個輸入信號上有所不同，但是基本動作係與圖1之電路相同。然後，此實施例電路之第1要點係PMOS電晶體P2之源極、汲極間連接於PMOS電晶體TP1、TP2之共通源極節點，和PMOS電晶體TP3、TP4之共通汲極節點間。即PMOS電晶體P2則插入中間節點。然後，第2要點係於電源節點10供予接地電位時，PMOS電晶體P5之一端電位係介由令接地電位呈閘極電位之PMOS電晶體P1，傳達至閘極節點。即注意此時，令$\overline{EN}$呈輸入信號之反相器INV1之電源節點10呈接地電位之故，PMOS電晶體TP1之閘極係呈接地電位。

然而，於此圖4之實施例中，NMOS電晶體TN1和TN2之連續順序，或改變TN3、TN4之連接順序亦可。更且，爲相互連接NMOS電晶體TN1和TN2之直列連接點，和NMOS電晶體TN3和TN4之直列連接點地，變更電路連接亦可。

於圖5中，顯示此發明之第4實施例的電路構成。此

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（19）

實施例電路中，令信號$\overline{EN}$藉由反相器ＩＮＶ１，不供予ＭＯＳ電晶體ＴＰ１、ＴＮ１，而直接供予信號ＥＮ，更且，令信號ＩＮ介由反相器ＩＮＶ１１，供給ＭＯＳ電晶體ＴＰ２、ＴＮ２及ＮＯＲ電路ＮＯＲ１者。然而，上述反相器ＩＮＶ１１之電源端子係連接於節點１０。

於此實施例４之實施例電路中，於節點１０供予電源電壓Ｖｃｃ時之動作係與圖１之時相同。對此而言，節點１０呈接地電位時，經由ＰＭＯＳ電晶體Ｐ５之電位係經由ＰＭＯＳ電晶體ＴＰ２，傳達至ＰＭＯＳ電晶體Ｐ１之閘極節點。此係因爲，反相器ＩＮＶ１１之電源電位係呈接地電位之故，該輸出則呈接地電位。因此，於此時，ＰＭＯＳ電晶體ＴＰ２係呈開啓。又，ＮＭＯＳ電晶體ＴＮ２係呈關閉，由ＰＭＯＳ電晶體Ｐ１之閘極節點向接地電位之電流路線則會消失。然而，於圖５之中，其他之電路部分動作係與圖１之時相同。

如上所述，於可進行信號之信號路徑，不設置節點１０爲電源節點之反相器，於輸入信號之信號路徑，設置節點１０爲電源節點之反相器時，亦可得所期望之動作。

於圖６中，顯示此發明之第５實施例所成電路構成。此實施例電路中，令信號$\overline{EN}$藉由反相器ＩＮＶ１，不供予ＭＯＳ電晶體ＴＰ１、ＴＰ４及ＴＮ２及ＴＮ４，而直接供予信號ＥＮ於此等ＭＯＳ電晶體，更且，令信號ＩＮ１藉由反相器ＩＮＶ１２，供給ＭＯＳ電晶體ＴＰ２、ＴＮ３及ＮＯＲ電路ＮＯＲ２，且令信號ＩＮ２藉由反

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 20）

相器ＩＮＶ１３，供給ＭＯＳ電晶體ＴＰ３、ＴＮ１及ＮＯＲ電路ＮＯＲ２者。然而，上述兩反相器ＩＮＶ１２、ＩＮＶ１３之各電源端子係連接於節點１０。

於此第５之實施例電路中，與圖４於節點１０供給電源電壓Ｖｃｃ時之動作相同。對此而言，節點１０呈接地電位時，經由ＰＭＯＳ電晶體Ｐ５之電位係經由ＰＭＯＳ電晶體ＴＰ２，傳達至ＰＭＯＳ電晶體Ｐ１之閘極節點。此係因爲，反相器ＩＮＶ１２之電源電位係呈接地電位之故，該輸出則呈接地電位。因此，於此時，ＰＭＯＳ電晶體ＴＰ２係呈開啓。又，反相器ＩＮＶ１３之電源電位亦呈接地電位，該輸出係呈接地電位之故，ＮＭＯＳ電晶體ＴＮ１、ＴＮ３係呈關閉，由ＰＭＯＳ電晶體Ｐ１之閘極節點向接地電位之電流路線則會消失。然而，於圖６之中，其他之電路部分動作係與圖５之時相同。

如上所述，於可進行信號之信號路徑，不設置節點１０爲電源節點之反相器，於輸入信號之信號路徑，設置節點１０爲電源節點之反相器時，亦可得所期望之動作。

然而，上述圖１、４、５、６之各實施例電路之第１要點係電源電位呈接地電位時，經由ＰＭＯＳ電晶體Ｐ５之電位可傳達至ＰＭＯＳ電晶體Ｐ１之閘極節點地，令存在於ＰＭＯＳ電晶體Ｐ１之反向閘和閘極節點間之中途的ＰＭＯＳ電晶體呈開啓地，該ＰＭＯＳ電晶體之閘極電位則呈接地電位。此係，於該ＰＭＯＳ電晶體之閘極，經由將供給電位之電路之電源電壓呈接地電位可加以實現。然

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（21）

而，此第1點係不能對應於圖3之實施例電路。此係因爲，電源電位呈接地電位時，經由PMOS電晶體P5之電位係直接傳達至PMOS電晶體P1之閘極節點。

第2要點係電源電壓呈接地電位時，爲使由PMOS電晶體P1之閘極節點向接地電位之電流路徑消失，於此電流路徑上，爲將某NMOS電晶體呈關閉，該NMOS電晶體之閘極電位則呈接地電位者。此係經由於該PMOS電晶體之閘極供給電路之電源電壓呈接地電位地加以實現。此係圖3之實施例電路之要點。

於具有上述第1和第2要點之多輸入之雙狀態緩衝電路，令實施此發明時之由此發明之第6實施例構成示於圖7。圖7之中，N個輸入信號$\overline{IN1}$、……$\overline{INM}$、……$\overline{INN}$係相當於圖、3、4、5、6之各實施例電路之信號$\overline{IN}$、$\overline{IN1}$、$\overline{IN2}$、$\overline{EN}$。然而，在此輸入信號$\overline{INM}$則做爲具有$\overline{EN}$機能之信號加以使用，此信號$\overline{INM}$係經由反相器INVM反轉。

在此，CMOS電路20係相當具有包含先前PMOS電晶體TP1～TP4、P2及NMOS電晶體TN1～TN4的NAND機能的多輸入電路，此CMOS電路20係僅含PMOS電晶體的PMOS電路21及僅含NMOS電晶體的NMOS電路22所構成。然而，於NMOS電路22內，令上述反相器INVM之輸出，接受於NMOS電晶體時，特別加上符號NM。

又，CMOS電路23係相當於前述圖4中之NOR

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（22）

電路ＮＯＲ２，輸入上述Ｎ個輸入信號$\overline{\text{ＩＮ１}}$、……$\overline{\text{ＩＮＭ}}$、……$\overline{\text{ＩＮＮ}}$，經由該輸出進行輸出段之ＮＭＯＳ電晶體Ｎ１之閘極控制者。

然後，於該實施例時，ＰＭＯＳ電晶體Ｐ５之源極、汲極的一端係與圖３所示之實施例相同，如以圖中之實線所示，直接連接於輸出段之ＰＭＯＳ電晶體Ｐ１之閘極，或與圖４所示之第３實施例同樣地，如圖中之虛線所示，ＰＭＯＳ電路２１內之中間節點，例如連接於先前之ＰＭＯＳ電晶體Ｐ２之汲極亦可。但是此時必需滿足上述第１之要點。

於具有上述第２要點之多輸入之輸出電路，實施此發明時，令此發明之第７實施例之多輸入雙狀態緩衝電路構成示於圖８。圖８之中，Ｎ個輸入信號$\overline{\text{ＩＮ１}}$、……$\overline{\text{ＩＮＭ}}$、……$\overline{\text{ＩＮＮ}}$係相當於圖１、３、４、５、６之各實施例電路之信號$\overline{\text{ＩＮ}}$、$\overline{\text{ＩＮ１}}$、$\overline{\text{ＩＮ２}}$、$\overline{\text{ＥＮ}}$。

此實施例電路與圖７者不同之處係消除前述ＰＭＯＳ電晶體Ｐ５，代之追加ＰＭＯＳ電晶體Ｐ７。上述ＰＭＯＳ電晶體Ｐ７之源極、汲極間係連接於輸出端子Ｙ和輸出段之ＰＭＯＳ電晶體Ｐ１之閘極間。然後，此ＰＭＯＳ電晶體Ｐ７之閘極係連接於前述電源節點１０。

現在，電源節點１０藉由前述開關ＳＷ設定於接地電位時，於輸出端子Ｙ施加較接地電位爲高之電位時，先前圖４之實施例電路時，輸出端子Ｙ之電位係經由ＰＭＯＳ電晶體Ｐ５及ＴＰ１，雖傳達至ＰＭＯＳ電晶體Ｐ１之閘

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（23）

極，此實施例電路中，僅介由ＰＭＯＳ電晶體Ｐ７傳達。因此，電位之傳達速度則會變快，ＰＭＯＳ電晶體Ｐ１則更快地呈關閉之故，由輸出端子Ｙ減少向接地電位之過度電流。但是，增加寄生於ＰＭＯＳ電晶體Ｐ１之閘極節點的負荷容量之故，此閘極節點之擺動變化之速度有可能會變慢。更且，通常動作時，相較於ＰＭＯＳ電晶體Ｐ２之汲極的擺動寬爲小，ＰＭＯＳ電晶體Ｐ１之閘極節點係呈最大擺動之故，對應寄生容量之增加，僅增加充放電分之消耗電流。

然後，此實施例時，ＰＭＯＳ電晶體Ｐ７之源極、汲極的一端係如圖中之實線所示，直接連接於ＰＭＯＳ電晶體Ｐ１之閘極亦可，或如圖中之虛線所示，ＰＭＯＳ電路２１內之中間節點，例如連接於ＰＭＯＳ電晶體Ｐ２之汲極亦可。但是此時連接於中間節點，必需滿足上述第１之要點。

令上述ＰＭＯＳ電晶體Ｐ７之源極、汲極之一端，連接於ＰＭＯＳ電路２１內之中間節點之ＰＭＯＳ電晶體Ｐ２的汲極時，且於多輸入之輸出電路，實施此發明時，令此發明之第８實施例電路之構成示於圖９。

圖１０係顯示此發明之第９實施例之多輸入雙狀態緩衝電路之構成。此實施例電路時，輸入Ｍ個之輸入信號$\overline{IN1}$～$\overline{INM}$。此實施例電路與圖７者不同處係消除前述ＰＭＯＳ電晶體Ｐ６，代之追加ＰＭＯＳ電晶體Ｐ８

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 24）

、Ｐ９。上述ＰＭＯＳ電晶體Ｐ８之源極、汲極間係連接於前述ＰＭＯＳ電晶體Ｐ１之反相閘（Ｎｗｅｌｌ）和電源節點１０間，該閘極係連接於輸出端子Ｙ。上述ＰＭＯＳ電晶體Ｐ９之源極、汲極間係連接於電源節點１０和Ｎｗｅｌｌ間，該閘極係連接於輸出段之ＰＭＯＳ電晶體Ｐ１之閘極。

先前之圖７之實施例電路中，於電源節點１０供給電源電位Ｖｃｃ時，即，Ｎｗｅｌｌ係較ＰＭＯＳ電晶體Ｐ經常提升至Ｖｃｃ。對此，此圖１０之實施例電路中，消除此ＰＭＯＳ電晶體Ｐ６之故，ＰＭＯＳ電晶體Ｐ８和Ｐ９則代之令Ｎｗｅｌｌ接受提升之功能。即，ＰＭＯＳ電晶體Ｐ１之閘極節點爲接地電位時，ＰＭＯＳ電晶體Ｐ１呈開啓，且ＰＭＯＳ電晶體Ｐ９則提升Ｎｗｅｌｌ。一方面，ＰＭＯＳ電晶體Ｐ１呈關閉，ＮＭＯＳ電晶體Ｎ１呈開啓，輸出端子Ｙ呈接地電位之故，此時ＰＭＯＳ電晶體Ｐ８呈開啓，提升Ｎｗｅｌｌ。

ＰＭＯＳ電晶體Ｐ８和Ｐ９之外的ＭＯＳ電晶體動作係與圖７之時相同。此時，請注意於令電源Ｖｃｃ１０呈接地電位，於輸出端子Ｙ施加較接地電位爲高之電位時，ＰＭＯＳ電晶體Ｐ８係閘極電位較源極電位爲高之故呈關閉，ＰＭＯＳ電晶體Ｐ９係與ＰＭＯＳ電晶體Ｐ１同樣之理由，而呈關閉者。

接著，令此發明之第１０實施例之雙狀態緩衝電路之實施例示於圖１１。此實施例係與圖１之實施例比較，代

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（25）

替先前之NOR電路NOR1，使用反相器INV2，且代替構成先前之NAND電路之MOS電晶體TP1、TP2、TN1、TN2，使用PMOS電晶體TP11和NMOS電晶體TN11所構成之反相器電路爲其不同之處。更且，此實施例中，以後述之理由，追加接受輸入信號$\overline{IN}$之反相器INV3。又，PMOS電晶體P5係與圖1之電路同樣地，於PMOS電晶體P1之反向閘Nwe11和PMOS電晶體P2之汲極節點間，連接源極·汲極。

於此實施例電路中，對於電源節點10呈接地電位之時的動作加以說明。反相器INV3之輸出節點係未呈接地電位之故，NMOS電晶體TN11呈關閉，更且反相器INV2之電源電位亦呈接地電位之故，該事出電位未呈接地電位之故，NMOS電晶體N1也呈關閉。因此，此時係不由輸出端子Y向接地電位節點流入電流。

一方面，電源節點10呈接地電位時，接地電位以上之電位Vy施加於輸出端子Y時，與圖1之情形相同地，此電位Vy係傳達至PMOS電晶體P2之汲極節點。此時PMOS電晶體TP11之閘極節點呈接地電位之故，此PMOS電晶體TP11係呈關閉，藉由此PMOS電晶體TP11，傳達至PMOS電晶體P1之閘極節點。因此，不會產生由輸出端子Y呈接地電位之電源節點10的電流路徑。

接著，令此發明之第11實施例之雙狀態緩衝電路之

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（26）

實施例示於圖１２。相較上述圖１１之電路，此實施例電路中，與先前圖３之實施例電路同樣地，ＰＭＯＳ電晶體Ｐ５係於ＰＭＯＳ電晶體Ｐ１之反向閘Ｎｗｅｌｌ和ＰＭＯＳ電晶體Ｐ１之閘極節點間，連接源極、汲極。

於此圖１２之實施例電路中，對電源節點１０呈接地電位時之動作加以說明。反相器ＩＮＶ３、ＩＮＶ２之電源電位亦呈接地電位之故，該輸出電位亦呈接地電位，ＮＭＯＳ電晶體Ｎ１、ＴＮ１１則呈關閉。因此，由輸出端子Ｙ及ＰＭＯＳ電晶體Ｐ１之閘極節點不會向接地電位節點流入電流。一方面，於輸出端子Ｙ施加接地電位以上之電位Ｖｙ時，此電位Ｖｙ係與圖３相同，傳達至ＰＭＯＳ電晶體Ｐ１之閘極節點。如此地，由輸出端子Ｙ向呈接地電位之電源節點１０的電流路徑則會消失。又，此實施例電路係具有與圖３同樣之優點和缺點。接著，令此發明之第１２實施例之雙狀態緩衝電路之實施例示於圖１３。此實施例電路係較先前之圖１２之實施例者，代替輸入信號$\overline{IN}$供給輸入信號ＩＮ處，和消除反相器ＩＮＶ３，更且於ＮＭＯＳ電晶體ＴＮ１１之源極和接地電位節點間，輸入信號ＩＮ供給於閘極之ＮＭＯＳ電晶體ＴＮ１２之汲極、源極間處爲不同者。然後，ＮＭＯＳ電晶體ＴＮ１１之閘極係連接於電源節點１０，於ＮＭＯＳ電晶體ＴＮ１２之閘極中供給輸入信號ＩＮ。

在此，對於電源節點１０呈接地電位時之動作加以說明。要點係在於輸入信號ＩＮ未定義呈Ｖｃｃ電源電路之

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（27）

輸出信號者。即，電源節點１０呈接地電位時，做爲輸入信號ＩＮ，假定接地電位以上之準位呈可輸入者。因此，ＰＭＯＳ電晶體ＴＰ１１和ＮＭＯＳ電晶體ＴＮ１２之閘極係無法假設爲接地電位。因此，令ＰＭＯＳ電晶體Ｐ５之一端，無法連接於ＰＭＯＳ電晶體Ｐ２之汲極節點，而連接於ＰＭＯＳ電晶體Ｐ１之閘極節點。又，ＮＭＯＳ電晶體ＴＮ１２有可能爲開啓之故，必定爲插入呈關閉之ＮＭＯＳ電晶體ＴＮ１１。ＮＭＯＳ電晶體ＴＮ１１之閘極則連接於電源節點１０之故，於此節點１０供給接地電位時，必需注意令ＮＭＯＳ電晶體ＴＮ１１呈關閉。

接著，令此發明之第１３實施例之雙狀態緩衝電路之實施例示於圖１４。此實施例電路係較圖１１，消除ＰＭＯＳ電晶體Ｐ５。更且，於輸出端子Ｙ和ＰＭＯＳ電晶體Ｐ２之汲極節點間，連接ＰＭＯＳ電晶體Ｐ５之源極，汲極。此ＰＭＯＳ電晶體Ｐ７之閘極係連接於電源節點１０。

在此，令電源節點１０設定於接地電位時，於輸出端子Ｙ施加較接地電位爲高之電位時，先前之圖１１電路中，輸出端子Ｙ之電位係經由ＰＭＯＳ電晶體Ｐ３、Ｐ５、ＴＰ１１，雖傳達至ＰＭＯＳ電晶體Ｐ１之閘極，此實施例中，藉由ＰＭＯＳ電晶體Ｐ７、ＴＰ１１加以傳達上有所不同。

於圖１５，顯示此發明之第１４實施例之雙狀態緩衝電路構成。此實施例電路較圖１４不同之處係令ＰＭＯＳ

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 28）

電晶體Ｐ７之源極、汲極間，連接於輸出端子Ｙ和ＰＭＯＳ電晶體Ｐ１之閘極節點間。

現在，令電源節點１０設定於接地電位時，於輸出端子Ｙ施加較接地電位爲高之電位時，於先前圖１４之電路時，輸出端子Ｙ之電位係經由ＰＭＯＳ電晶體Ｐ７、ＴＰ１，雖傳達至ＰＭＯＳ電晶體Ｐ１之閘極，但於此實施例中，僅經由ＰＭＯＳ電晶體Ｐ７傳達。因此，電位之傳達速度則更快，ＰＭＯＳ電晶體Ｐ１則可更快關閉之故，由輸出端子Ｙ向接地電位之過度電流則會減少。但是寄生於ＰＭＯＳ電晶體Ｐ１之閘極節點的負荷容量會增加之故，此閘極節點之擺動變化速度可能會變慢。更且，通常動作時，較ＰＭＯＳ電晶體Ｐ２之汲極的擺動寬爲小，ＰＭＯＳ電晶體Ｐ１之閘極節點係呈最大擺動之故，對應寄生容量之增加，僅就充放電之分增加消耗電流。

於圖１６顯示此發明之第１５實施例之雙狀態緩衝電路之構成。此實施例電路係實現２個之輸入信號ＩＮ１、ＩＮ２之ＡＮＤ邏輯者，於前述ＰＭＯＳ電晶體Ｐ２之汲極和前述輸出段之ＰＭＯＳ電晶體Ｐ１之閘極節點間，並列連接於２個之ＰＭＯＳ電晶體ＴＰ２１、ＴＰ２２之源極、汲極間，且ＰＭＯＳ電晶體Ｐ１之閘極節點和接地電位間則直列連接３個ＮＭＯＳ電晶體ＴＮ２１、ＴＮ２２、ＴＮ２３之源極、汲極間。然後，於上述ＰＭＯＳ電晶體ＴＰ２１之閘極中供給輸入信號ＩＮ１，ＮＭＯＳ電晶體ＴＮ２２之閘極供給輸入ＩＮ２，ＮＭＯＳ電晶體ＴＮ２

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 29）

3之閘極供給輸入ＩＮ1，ＮＭＯＳ電晶體ＴＮ２２之閘極係連接於電源節點１０。

在此，閘極則有關連接於電源節點１０之ＮＭＯＳ電晶體ＴＮ２２之連接，於ＰＭＯＳ電晶體Ｐ１之閘極節點和接地電位間，對ＮＭＯＳ電晶體ＴＮ２１和ＮＭＯＳ電晶體ＴＮ２３，必需直列插入ＮＭＯＳ電晶體ＴＮ２２。即，電源節點１０呈接地電位時，爲消除由ＰＭＯＳ電晶體Ｐ１之閘極節點向接地電位的電流路徑，於閘極供給電源節點１０之電位，設置呈關閉之ＮＭＯＳ電晶體ＴＮ２２。

又，爲進行輸出段之ＮＭＯＳ電晶體Ｎ１之閘極控制，設置供給輸入信號ＩＮ１、ＩＮ２之ＮＡＮＤ電路ＮＡＮＤ１。

然而，雖設定於ＰＭＯＳ電晶體Ｐ８和Ｐ９，該理由係與於先前之圖１０說明時同樣之故，省略其說明。又，對於其他之ＭＯＳ電晶體，該作用係與圖１中之對應者相同之故，省略該說明。

然而，於上述圖１６之實施例電路中，雖然令輸入信號對於２個之輸入信號ＩＮ１、ＩＮ２之２輸入時加以說明，但此使用於３個以上之輸入信號ＩＮ１～ＩＮＭ的多輸入時亦可同樣地實施。

圖１７係顯示此發明之第１６之實施例之多輸入輸出電路構成。此實施例電路中，輸入Ｍ個之輸入信號ＩＮ１～ＩＮＭ。在此，ＣＭＯＳ電路３０係相當於包含先前

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 30）

ＰＭＯＳ電晶體ＴＰ21、ＴＰ22、Ｐ2及ＮＭＯＳ電晶體ＴＮ21～ＴＮ23之多輸入之邏輯電路，此ＣＭＯＳ電路30係由僅包含ＰＭＯＳ電晶體之ＰＭＯＳ電路31及僅包含ＮＭＯＳ電晶體之ＮＭＯＳ電路32所構成。

又，ＣＭＯＳ電路33係相當於前述圖16中之ＮＡＮＤ電路ＮＡＮＤ1者，輸入上述Ｎ個之輸入信號ＩＮ1～ＩＮＮ，經由此輸入，進行輸出段之ＮＭＯＳ電晶體Ｎ1之閘極控制者。

然後，於此實施例時，ＰＭＯＳ電晶體Ｐ5之源極、汲極之一端係，與圖16所示第15之實施例同樣地，直接連接於輸出段之ＰＭＯＳ電晶體Ｐ1之閘極。

於圖18，顯示此發明之第17之實施例之雙狀態緩衝電路之構成。此實施例電路係，較先前之圖12之實施例電路，消除ＰＭＯＳ電晶體Ｐ5，取而代之追加ＰＭＯＳ電晶體Ｐ8、Ｐ9。於圖12之電路中，於電源節點10供給電源電位Ｖｃｃ時，即，通常動作時，Ｎｗｅｌｌ係經由ＰＭＯＳ電晶體Ｐ6經常提升至Ｖｃｃ。對此，此圖17之實施例電路時，消除此ＰＭＯＳ電晶體Ｐ6之故，ＰＭＯＳ電晶體Ｐ8和Ｐ9則代之令Ｎｗｅｌｌ接受提升之功能。即，ＰＭＯＳ電晶體Ｐ1之閘極節點爲接地電位時，ＰＭＯＳ電晶體Ｐ1呈開啓，且ＰＭＯＳ電晶體Ｐ9亦呈開啓，經由此ＰＭＯＳ電晶體提升Ｎｗｅｌｌ。

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 31）

一方面，ＰＭＯＳ電晶體Ｐ１之閘極節點呈Ｖｃｃ電位時，ＰＭＯＳ電晶體Ｐ１呈關閉，ＮＭＯＳ電晶體Ｎ１呈開啓之故，輸出端子Ｙ呈接地電位。此時ＰＭＯＳ電晶體Ｐ８呈開啓，經由此ＰＭＯＳ電晶體Ｐ８提升Ｎｗｅｌｌ。然而，上述ＰＭＯＳ電晶體Ｐ８和Ｐ９之外的ＭＯＳ電晶體動作係與圖１２之時相同。此時，請注意於令電源節點１０設定呈接地電位，於輸出端子Ｙ施加較接地電位爲高之電位時，ＰＭＯＳ電晶體Ｐ８係閘極電位較源極電位爲高之故呈關閉，ＰＭＯＳ電晶體Ｐ９係與ＰＭＯＳ電晶體Ｐ1同樣之理由，而呈關閉者。

又，如此實施例消除先前ＰＭＯＳ電晶體Ｐ６，取而代之使用ＰＭＯＳ電晶體Ｐ８和Ｐ９，令進行Ｎｗｅｌｌ節點之提升，適用於先前圖１２之實施例電路以外，可容易呈新實施例。

於圖１９顯示此發明之第１８之實施例的三狀態緩衝電路之構成。此實施例電路之基本構成係與前述圖２９所示以往電路之情形同樣地，輸出段以ＰＭＯＳ電晶體及ＮＭＯＳ電晶體所構成，產生爲驅動兩ＭＯＳ電晶體之閘極的控制信號的手段則使用ＮＡＮＤ電路、ＮＯＲ電路及傳送閘極等加以構成。即，輸出段之ＰＭＯＳ電晶體Ｐ１和ＮＭＯＳ電晶體Ｎ１之汲極係共通連接於輸出端子Ｙ，ＮＭＯＳ電晶體Ｎ１之源極係連接於接地電位節點。

ＰＭＯＳ電晶體Ｐ１０及ＮＭＯＳ電晶體Ｎ３係並列連接於源極、汲極間，構成傳送閘極ＴＧ。又ＮＡＮＤ電路

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 32）

ＮＡＮＤ２中，供給輸入信號ＩＮ和可進行信號ＥＮ，此ＮＡＮＤ電路ＮＡＮＤ２之輸出係介由上述傳送閘極ＴＧ，傳達至輸出段之ＰＭＯＳ電晶體Ｐ１之閘極。做爲控制上述傳達閘極ＴＧ之動作之信號，於ＰＭＯＳ電晶體Ｐ１０之閘極中，供給先前之ＰＭＯＳ電晶體Ｐ４和ＮＭＯＳ電晶體Ｎ２所成電路之輸出，於ＮＭＯＳ電晶體Ｎ３之閘極中供給電源節點１０之電位。ＮＯＲ電路ＮＯＲ３中，供給輸入信號ＩＮ和可進行信號／ＥＮ，此ＮＯＲ電路ＮＯＲ３之輸出係傳達至輸出段之ＮＭＯＳ電晶體Ｎ１之閘極。然而，於上述ＮＡＮＤ電路ＮＡＮＤ２及ＮＯＲ電路ＮＯＲ３中，做爲電源電位，上述電源節點１０之電位則各別加以供給。

又，ＰＭＯＳ電晶體Ｐ５之源極、汲極間係連接於上述ＰＭＯＳ電晶體Ｐ１之反相閘和閘極間。然後，該閘極係連接於電源節點１０。更且，ＰＭＯＳ電晶體Ｐ６之源極、汲極間係連接於電源節點１０和上述ＰＭＯＳ電晶體Ｐ１之反向極間。

於上述構成所成電路中，首先說明於電源節點１０供予電源電位時之動作。此時，ＰＭＯＳ電晶體Ｐ３、Ｐ５、Ｐ４係於各閘極供給Ｖｃｃ之電位之故，各呈關閉狀態。一方面，於ＮＭＯＳ電晶體Ｎ２和Ｎ３之閘極中，供給Ｖｃｃ之電位時，此等ＮＭＯＳ電晶體Ｎ２和Ｎ３則呈開啓。因此，ＰＭＯＳ電晶體Ｐ６和Ｐ１０之閘極則下降至接地電位，兩ＰＭＯＳ電晶體係呈開啓。經由ＰＭＯＳ電

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 33）

晶體Ｐ６呈開啓，所有之ＰＭＯＳ電晶體之反向閘Ｎｗｅｌｌ上昇至Ｖｃｃ，經由ＰＭＯＳ電晶體Ｐ１０呈開啓，以ＰＭＯＳ電晶體Ｐ１０和ＮＭＯＳ電晶體Ｎ３所構成之傳送閘極ＴＧ，係令ＮＡＮＤ電路ＮＡＮＤ２之輸出信號，傳達至ＰＭＯＳ電晶體Ｐ１之閘極。因此，於電源節點１０供予電源電位Ｖｃｃ時，此電路係意味與通常之三狀態緩衝電路同樣之動作。

接著，說明於電源節點１０供予接地電位時之動作。此輸出電路則如前述圖２８所示，連接匯流排線加以使用時，其他之輸出電路之輸出狀態則輸出較接地電位爲高之電位Ｖｙ的狀況，例如輸出Ｖｃｃ準位之狀況時，於輸出端子Ｙ施加較接地電位爲高之電位，因此，此時以往之圖２８之電路中，由其他之輸出電路之電源節點，經由匯流排線及輸出端子Ｙ，流有大值之電流。

於此實施例之電路時，於電源節點１０供予接地電位之故，ＰＭＯＳ電晶體Ｐ３、Ｐ５、Ｐ４和ＮＭＯＳ電晶體Ｎ２、Ｎ３之閘極係呈接地電位，ＰＭＯＳ電晶體Ｐ３、Ｐ５、Ｐ４係呈開啓狀態，ＮＭＯＳ電晶體Ｎ２、Ｎ３係呈關閉狀態。在此，Ｖｙ＞｜Ｖｔｐ（Ｐ４）｜時，ＰＭＯＳ電晶體Ｐ４呈開啓，更且，ＮＭＯＳ電晶體Ｎ２呈關閉之故，ＰＭＯＳ電晶體Ｐ６、Ｐ１０之閘極電位係輸出端子Ｙ之電位，即與Ｖｙ相同。

另一方面，Ｖｙ＞｜Ｖｔｐ（Ｐ３）｜時，ＰＭＯＳ電晶體Ｐ３呈開啓之故，Ｎｗｅｌｌ之電位爲輸出端子Ｙ之電

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 34）

位，即與Ｖｙ相同。但是，經由存在於輸出端子Ｙ和ＰＭＯＳ電晶體Ｐ１之反向閘間的ｐｎ接合二極體時，傳達接近於輸出端子Ｙ之電位之ＰＭＯＳ電晶體Ｐ１之反向閘。

更且，Ｖｙ＞｜Ｖｔｐ（Ｐ５）｜時，ＰＭＯＳ電晶體Ｐ５呈開啓之故，反向閘Ｎｗｅｌｌ之電位係傳達至ＰＭＯＳ電晶體Ｐ１之閘極節點。因此，ＰＭＯＳ電晶體Ｐ１、Ｐ６、１０之閘極、源極電位差係呈０，此等之各ＰＭＯＳ電晶體係呈關閉。

更且，ＮＯＲ電路ＮＯＲ３之電源電位亦呈接地電位，該輸出電位亦呈接地電位之故，ＮＭＯＳ電晶體Ｎ１亦呈關閉。因此，由輸出端子Ｙ不會向接地節點流入電流。

如此地，上述實施例之電路係於電源節點１０介由前述開關ＳＷ供予電源電位Ｖｃｃ時，輸出端子Ｙ之電位係由接地電位於電源電位間可進行最大擺動，電源節點１０則呈接地電位時，可不使由輸出端子Ｙ向接地電位流入電流。

於圖２０，顯示此發明之第１９之實施例之三狀態緩衝電路之構成。此實施例電路係較上述圖１９之實施例電路，消除ＰＭＯＳ電晶體Ｐ５，取而代之於輸出端子Ｙ和ＰＭＯＳ電晶體Ｐ１之閘極間追加例如先前圖１５之實施例電路中之ＰＭＯＳ電晶體Ｐ７之處有所不同。

如此地，令電源節點１０呈接地電位時，於輸出端子Ｙ施加較接地電位爲高之電位時，先前之圖１９之實施例

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（35）

電路時，輸出端子Y之電位係經由PMOS電晶體P3、P5，雖傳達至PMOS電晶體P1之閘極，於此實施例電路中，僅經由PMOS電晶體P7加以傳達。因此，電位之傳達速度則變快，PMOS電晶體P1則可更快關閉之故，由輸出端子Y向接地電位之過度電流則會減少。

圖21中，顯示此發明之第20實施例之三狀態緩衝電路之構成。此實施例電路係做爲令Nwell之節點提升至Vcc之手段，使用與圖20之實施例電路不同手段之例。此實施例電路係較圖20，取而代之例如與先前之圖18之實施例電路同樣追究PMOS電晶體P8、P9。

先前之圖20之實施例電路中，於電源節點10供給電源電位Vcc時，即，通常動作時，Nwe11係較PMOS電晶體P6經常提升至Vcc。對此，此圖21之實施例電路中，消除此PMOS電晶體P6之故，PMOS電晶體P8和P9則取而代之令Nwe11接受提升之功能。即，PMOS電晶體P1之閘極節點爲接地電位時，PMOS電晶體P1呈開啓，且PMOS電晶體P9則呈開啓，經由此PMOS電晶體P9，Nwe11則提升至Vcc之電位。

一方面，PMOS電晶體P1之閘極節點呈Vcc電位時，PMOS電晶體P1呈關閉，NMOS電晶體N1呈開啓之故，輸出端子Y呈接地電位。此時PMOS電晶體P8呈開啓，藉由此PMOS電晶體P8，提升Nwe11。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 36）

然而，上述ＰＭＯＳ電晶體Ｐ８和Ｐ９之外的ＭＯＳ電晶體動作係與圖１９之時相同。此時，請注意於令電源節點１０設定呈接地電位，於輸出端子Ｙ施加較接地電位爲高之電位時，ＰＭＯＳ電晶體Ｐ９係閘極電位較源極電位爲高之故呈關閉，ＰＭＯＳ電晶體Ｐ９係與ＰＭＯＳ電晶體P1同樣之理由，而呈關閉者。

於圖２２顯示此發明之第２１實施例之雙狀態緩衝電路之構成。此實施例電路係實現２個之輸入信號ＩＮ１、ＩＮ２之ＡＮＤ邏輯者，較先前之圖１９之實施例，取代ＮＯＲ電路ＮＯＲ３，設置供給２輸入信號ＩＮ１和ＩＮ２的ＮＡＮＤ電路ＮＡＮＤ３，於先前之ＮＡＮＤ電路ＮＡＮＤ２，代替先前之可進行信號ＥＮ和先前之輸入信號ＩＮ，供予２個輸入信號ＩＮ１和ＩＮ２。然而，其他構成係與圖１９相同，省略其說明。

於先前之圖１９之實施例動作說明中，ＮＯＲ電路ＮＯＲ３則僅置換爲ＮＡＮＤ電路ＮＡＮＤ３之故，此實施例之動作可容易類推。

然而，上述圖２２之實施例中，顯示實現２輸入ＡＮＤ邏輯的電路，更且可更容易多輸入化。又，取代ＮＡＮＤ電路ＮＡＮＤ２和ＮＡＮＤ３，經由變更爲得其他之邏輯的邏輯電路，可容易實現具有不同邏輯輸出之多輸入雙狀態緩衝電路。

圖２３係顯示此發明之第２２之實施例之多輸入雙狀態緩衝電路構成。此實施例電路中，輸入Ｍ個之輸入信號

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 37）

ＩＮ１～ＩＮＭ。在此，ＣＭＯＳ邏輯電路４１係取代先前圖２２之ＮＡＮＤ電路ＮＡＮＤ２之Ｍ輸入之邏輯電路，此ＣＭＯＳ邏輯電路４１之輸出係介由ＰＭＯＳ電晶體Ｐ１０和ＮＭＯＳ電晶體Ｐ１所成傳送閘極ＴＧ，供予輸出段之ＰＭＯＳ電晶體Ｐ１之閘極。ＣＭＯＳ邏輯電路４２係取代先前圖２２之ＮＡＮＤ電路ＮＡＮＤ３之Ｎ輸入之邏輯電路，此ＣＭＯＳ邏輯電路４２之輸出係供予輸出段之ＮＭＯＳ電晶體Ｎ１之閘極。然而，於此實施例電路中，對於上述兩ＣＭＯＳ邏輯電路４１、４２之外的構成，與先前之圖２２之實施例時同樣之故，省略其說明。

在此，做爲上述兩ＣＭＯＳ邏輯電路４１、４２，使用具有任意邏輯時，可實現具有任意之邏輯輸出之輸出電路。

圖２４係顯示此發明之第２３之實施例多輸入之輸出電路構成。此實施例電路中，與先前之圖１６之實施例電路時同樣地，消除上述圖２３之實施例電路之ＰＭＯＳ電晶體Ｐ６，取而代之設置ＰＭＯＳ電晶體Ｐ８、Ｐ９者。

此發明並非限定於上述之實施例，可做種種之變形。例如，令使用ＰＭＯＳ電晶體Ｐ８和Ｐ９之Ｎｗｅｌｌ節點之提升，可容易製作適用於圖２０和圖２２之實施例電路的新實施例。

更且，圖１、圖３至圖２４之各實施例中，設置ＮＭＯＳ電晶體Ｎ１，雖附加接地電位側之下降機能，消除ＮＭＯＳ電晶體Ｎ１和該驅動電路，可做爲ＰＭＯＳ電

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 38）

晶體Ｐ１之提升電路加以使用。

又，圖１、圖３至圖２４之各實施例中，雖令電源節點１０介由開關ＳＷ，顯示對於接地電位（低電位節點）下降時的實施例，如能理解此發明之要點，亦可容易實現令Ｖｃｃ節點（高電位節點）短路於接地電位節點（低電位節點）時的電路例。

如此地，根據上述各實施例，可令輸出呈最大擺動，且令輸出呈阻抗終端時，或連接複數之輸出加以使用時，令至少一個之輸出電路之電源下降至接地電位，由電源向接地電位，經由寄生二極體，防止不需要之電流流入。

【發明之效果】

如以上之說明，可提供根據此發明之輸出電路時，可令輸出呈最大擺動，且令輸出呈阻抗終端時，或連接複數之輸出加以使用時，令至少一個之輸出電路之電源下降至接地電位，由電源向接地電位，經由寄生二極體，防止不需要之電流流入的輸出電路。

然而，於本案申請專利範圍之各構成要件所記述之圖面參照符號係爲使容易理解本發明者，並非將本發明之技術範圍限定於圖面所示之圖示實施例者。

【圖面之簡單說明】

【圖１】

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 39）

第 1 之實施例之詳細電路圖。

【圖 2 】

形成第 1 之實施例電路之基板截面圖。

【圖 3 】

第 2 之實施例之詳細電路圖。

【圖 4 】

第 3 之實施例之詳細電路圖。

【圖 5 】

第 4 之實施例之詳細電路圖。

【圖 6 】

第 5 之實施例之詳細電路圖。

【圖 7 】

第 6 之實施例之詳細電路圖。

【圖 8 】

第 7 之實施例之詳細電路圖。

【圖 9 】

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 40）

第 8 之實施例之詳細電路圖。

【圖 10】

第 9 之實施例之詳細電路圖。

【圖 11】

第 10 之實施例之詳細電路圖。

【圖 12】

第 11 之實施例之詳細電路圖。

【圖 13】

第 12 之實施例之詳細電路圖。

【圖 14】

第 13 之實施例之詳細電路圖。

【圖 15】

第 14 之實施例之詳細電路圖。

【圖 16】

第 15 之實施例之詳細電路圖。

【圖 17】

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 41）

第１６之實施例之詳細電路圖。

【圖１８】

第１７之實施例之詳細電路圖。

【圖１９】

第１８之實施例之詳細電路圖。

【圖２０】

第１９之實施例之詳細電路圖。

【圖２１】

第２０之實施例之詳細電路圖。

【圖２２】

第２１之實施例之詳細電路圖。

【圖２３】

第２２之實施例之詳細電路圖。

【圖２４】

第２３之實施例之詳細電路圖。

【圖２５】

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 42）

顯示令以往之輸出電路，以2電源驅動時應用之典型連接例的電路圖。

【圖26】

圖25之以往輸出電路之詳細電路圖。

【圖27】

圖25之以往輸出電路之其他詳細電路圖。

【圖28】

顯示匯流排線應用之以往輸出電路之典型連接例電路圖。

【圖29】

圖28之以往輸出電路之詳細電路圖。

【圖30】

圖28之以往輸出電路之其他詳細電路圖。

【符號說明】

10……電源節點

20、30……CMOS電路

21、31……PMOS電路

22、33……NMOS電路

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 43）

２３……ＣＭＯＳ電路

３３……ＣＭＯＳ電路

４１、４２……ＣＭＯＳ邏輯電路

ＩＮＶ１、ＩＮＶ２、ＩＮＶ３、ＩＮＶ１１、ＩＮＶ１２、ＩＮＶ１３、ＩＮＶＭ……反相電路

ＮＡＮＤ１、ＮＡＮＤ２、ＮＡＮＤ３……ＮＡＮＤ電路

ＮＯＲ１、ＮＯＲ２、ＮＯＲ３……ＮＯＲ電路

ＴＧ……傳送閘

Ｐ１～Ｐ１０、ＴＰ１～ＴＰ４、ＴＰ２１、ＴＰ２２……ＰＭＯＳ電晶體（Ｐ通道ＭＯＳ電晶體）

Ｎ１～Ｎ３、ＴＮ１～ＴＮ４、ＴＮ２１、ＴＮ２２、ＴＮ２３……ＮＭＯＳ電晶體（Ｎ通道ＭＯＳ電晶體）

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

A5
B5

四、中文發明摘要（發明之名稱：

輸出電路

本發明的目的係提供一種輸出電路，可使輸出呈最大擺動，即使使用時，且使輸出呈阻抗終端或連接複數個輸出使用時，會動給電反時使將至少一個輸出電路的電源降低到接地電位，也不流動。信位向呈不需要的電流由電源經由寄生二極體朝向接地電位，也位流供入之位其構成爲具有源極、汲極、閘極及反向極，於閘極插入之反時號，汲極連接於輸出端子Y，於源極和反向極間，於PMOS電晶體P1之源極供給制之分離PMOS電晶體P1，和PMOS電晶體P1之源極供控制閘和閘極間，於PMOS電位呈開啓狀態地加以關閉狀態，供給接地電位呈開啓狀態PMOS電晶體P5爲特徵者。

英文發明摘要（發明之名稱：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

1．一種輸出電路，其特徵包含：

ＭＯＳ電晶體，具有源極、汲極、閘極及反向閘極（Back gate）應控制訊號給閘極、汲極連接輸出端子，源極與反向閘極之間的電位係被分離；以及

開關手段，插入該ＭＯＳ電晶體的反向閘極與閘極之間，以該ＭＯＳ電晶體的源極、汲極之間的電流通路之一端及另一端之電位關係呈第一狀態時呈關閉狀態，一端及另一端之電位關係呈現與該第一狀態不同的第二狀態時呈開啓狀態來控制。

2．如申請專利範圍第1項之輸出電路，其中，前述ＭＯＳ電晶體爲Ｐ通道者，前述第1狀態係前述ＭＯＳ電晶體之源極、汲極間之電流通路的一端電位與另一端電位相等或一端之電位較另一端之電位爲高者，前述第2狀態係前述ＭＯＳ電晶體之源極、汲極間之電流通路的一端電位較另一端之電位爲低者。

3．一種輸出電路，其特徵包含：

電源節點，係選擇性地被供應第一電源電位與第二電源電位；

第一ＭＯＳ電晶體，具有源極、汲極、閘極以及反向閘極，供應控制訊號給閘極，該電源節點與輸出端子之間插入源極、汲極間之間的電流通路，源極與反向閘極之間的電位係被分離；以及

第二ＭＯＳ電晶體，具有源極、汲極、閘極以及反向閘極，該第一ＭＯＳ電晶體的反向閘極與閘極之間插入源

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

極、汲極之間的電流通路，其極性與以供應第一電源電位給該電源節點時呈關閉狀態，供應第二電源電位給該電源節點時呈開啓狀態來控制的該第一ＭＯＳ電晶體相同。

４．如申請專利範圍第３項之輸出電路，其中，前述第２之ＭＯＳ電晶體之反向閘爲逢接於前述第１之ＭＯＳ電晶體之反向閘，前述第２之ＭＯＳ電晶體之閘極爲連接於前述電源節點者。

５．一種輸出電路，其特徵係具備選擇性供給之第１之電源電位和第２之電源電位的第１電源節點，

和供給上述第２之電源電位的第２電源節點，

和具有源極、汲極、閘極及反向極，於閘極供給控制信號，源極、汲極間之電流通路則插入上述第１電源節點和輸出端子間，源極和反向閘間爲電位分離之第１極性之第１ＭＯＳ電晶體，

和具有源極、汲極及閘極，源極、汲極間之電流通路則插入上述第１ＭＯＳ電晶體之反向閘和閘極間，閘極連接於上述第１電源節點之第１極性之第２ＭＯＳ電晶體，

和具有源極、汲極及閘極，源極、汲極間之電流通路之一端則連接於上述輸出端子，閘極連接於上述第１電源節點之第１極性之第３ＭＯＳ電晶體，

和具有源極、汲極及閘極，源極、汲極間之電流通路則插入上述第３之ＭＯＳ電晶體之源極、汲極間之電流通路之另一端和上述第２之電源節點間，閘極則連接於上述

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

第1之電源節點之第2極性之第4MOS電晶體，

和插入上述第1電源節點和上述第2電源節點之間，對應第1之輸入信號，令需供予上述第1MOS電晶體之閘極之上述控制信號產生於輸出節點之第1控制信號產生手段，

和具有源極、汲極及閘極，源極、汲極間之電流通路於上述第1控制信號產生手段中，連接於上述第1電源節點和上述輸出節點間之電流通路中途，閘極連接於上述第3及第4電晶體之源極、汲極間之電流通路之共通連接點之第1極性之第5MOS電晶體，

和具有源極、汲極及閘極，源極、汲極間之電流通路於上述第1控制信號產生手段內，連接於上述輸出節點和第2電源節點間之電流通路中途的第2極性之第6MOS電晶體，

和上述第1之電源節點和上述第2之電源節點的電壓做爲電源電壓加以供給，對應第2之輸入信號，產生需供予上述第6MOS電晶體之閘極之控制信號之第2控制信號產生手段者。

6. 如申請專利範圍第5項之輸出電路，其中，前述第2之MOS電晶體之源極、汲極間之電流通路之一端爲連接於前述第1之MOS電晶體之反向閘，另一端則連接於前述第1之控制信號產生手段內，由前述第1之電源節點經由前述第5之MOS電晶體之源極、汲極間之電流通路後之中間節點，於此中間節點和輸出節點間，於前述第

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

六、申請專利範圍

1之電源節點插入供給前述第2之電源電位時呈開啓狀態之ＭＯＳ電晶體者。

7．如申請專利範圍第5項之輸出電路，其中，前述第2之ＭＯＳ電晶體之源極、汲極間之電流通路的一端連接於前述第1之ＭＯＳ電晶體之反向閘，另一端則連接於前述第1之ＭＯＳ電晶體之閘極者。

8．如申請專利範圍第5項之輸出電路，其中，更具備具有源極、汲極及閘極，源極、汲極間之電流通路插入前述第1之ＭＯＳ電晶體之反向閘和前述輸出端子間，閘極則連接於前述第1之電源節點的第1極性之第7ＭＯＳ電晶體者。

9．如申請專利範圍第5項之輸出電路，其中，更具備具有源極、汲極及閘極，源極、汲極間之電流通路插入前述第1電源節點和第1之ＭＯＳ電晶體之反向閘極間，閘極則連接於前述第3及第4之電晶體之源極、汲極間之電源通路之共通連接點的第1極性之第8ＭＯＳ電晶體者。

10．如申請專利範圍第5項之輸出電路，其中，更具備具有源極、汲極及閘極，源極、汲極間之電流通路則連接於前述輸出端子和前述第2電源節點間之第2極性之第9ＭＯＳ電晶體，

和前述第1之電源節點和前述第2之電源節點之電壓則做爲電源電壓加以供給，對應前述第1及第2之輸入信號，產生需供於上述第9之ＭＯＳ電晶體之閘極的控制信

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

號的第3控制信號產生手段者。

11. 如申請專利範圍第5項之輸出電路，其中，更具備具有源極、汲極及閘極，源極、汲極間之電流通路插入前述第1電源節點和前述第1之MOS電晶體之反向閘間，閘極則連接於前述第1之MOS電晶體之閘極的第1極性之第10MOS電晶體

和具有源極、汲極及閘極，源極、汲極間之電流通路插入前述第1電源節點和前述第1之MOS電晶體之反向閘間，閘極則連接於前述輸出端子的第1極性之第11MOS電晶體者。

12. 一種輸出電路，其特徵係在於具備選擇性供給之第1之電源電位和第2之電源電位的第1電源節點，

和供給上述第2之電源電位的第2電源節點，

和具有源極、汲極、閘極及反向極，於閘極供給控制信號，源極、汲極間之電流通路則插入上述第1電源節點和輸出端子間，源極和反向閘間爲電位分離之第1極性之第1MOS電晶體，

和具有源極、汲極及閘極，源極、汲極間之電流通路則插入上述第1MOS電晶體之閘和上述輸出端子間，閘極連接於上述第1電源節點之第1極性之第2MOS電晶體，

和具有源極、汲極及閘極，源極、汲極間之電流通路之一端則連接於上述輸出端子，閘極連接於上述第1電源節點之第1極性之第3MOS電晶體，

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

和具有源極、汲極及閘極，源極、汲極間之電流通路則插入上述第3之ＭＯＳ電晶體之源極、汲極間之電流通路之另一端和上述第2之電源節點間，閘極則連接於上述第1之電源節點之第2極性之第4ＭＯＳ電晶體，

和插入上述第1電源節點和第2電源節點之間，對應第1之輸入信號，令需供予上述第1ＭＯＳ電晶體之閘極之上述控制信號產生於輸出節點之第1控制信號產生手段，

和具有源極、汲極及閘極，源極、汲極間之電流通路於上述第1控制信號產生手段中，連接於上述第1電源節點和上述輸出節點間之電流通路中途，閘極連接於上述第3及第4電晶體之源極、汲極間之電流通路之共通連接點之第1極性之第5ＭＯＳ電晶體，

和具有源極、汲極及閘極，源極、汲極間之電流通路於上述第1控制信號產生手段內，連接於上述輸出節點和第2電源節點間之電流通路中途的第2極性之第6ＭＯＳ電晶體，

和供給上述第1之電源節點和上述第2之電源節點的電壓，對應第2之輸入信號，產生需供予上述第6ＭＯＳ電晶體之閘極之控制信號之第2控制信號產生手段者。

１３．如申請專利範圍第１２項之輸出電路，其中，前述第2之ＭＯＳ電晶體之源極、汲極間之電流通路之一端爲連接於輸出端子，另一端則連接於前述第1之控制信號產生手段內，由前述第1之電源節點經由前述第5之Ｍ

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

ＯＳ電晶體之源極、汲極間之電流通路後之中間節點，於此中間節點和輸出節點間，於前述第１之電源節點插入供給前述第２之電源電位時呈開啓狀態之ＭＯＳ電晶體者。

１４．如申請專利範圍第１２項之輸出電路，其中，更具備具有源極、汲極及閘極，源極、汲極間之電流通路插入前述第１之ＭＯＳ電晶體之反向閘和前述輸出端子間，閘極則連接於前述第１之電源節點的第１極性之第７ＭＯＳ電晶體者。

１５．如申請專利範圍第１２項之輸出電路，其中，更具備具有源極、汲極及閘極，源極、汲極間之電流通路插入前述第１電源節點和第１之ＭＯＳ電晶體之反向閘間，閘極則連接於前述第３及第４之電晶體之源極、汲極間之電源通路之共通連接點的第１極性之第８ＭＯＳ電晶體者。

１６．如申請專利範圍第１２項之輸出電路，其中，更具備具有源極、汲極及閘極，源極、汲極間之電流通路則連接於前述輸出端子和前述第２電源節點間之第２極性之第９ＭＯＳ電晶體，

和前述第１之電源節點和前述第２之電源節點之電壓則做爲電源電壓加以供給，對應前述第１及第２之輸入信號，產生需供於上述第９之ＭＯＳ電晶體之閘極的控制信號的第３控制信號產生手段者。

１７、如申請專利範圍第１２項之輸出電路，其中，更具備具有源極、汲極及閘極，源極、汲極間之電流通路

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

插入前述第1電源節點和前述第1之MOS電晶體之反向閘間，閘極則連接於前述第1之MOS電晶體之閘極的第1極性之第10MOS電晶體

和具有源極、汲極及閘極，源極、汲極間之電流通路插入前述第1電源節點和前述第1之MOS電晶體之反向閘間，閘極則連接於前述輸出端子的第1極性之第11MOS電晶體者。

18. 一種輸出電路，其特徵係在於具備選擇性供給之第1之電源電位和第2之電源電位的第1電源節點，

和供給上述第2之電源電位的第2電源節點，和具有源極、汲極、閘極及反向極，於閘極供給控制信號，源極、汲極間之電流通路則插入上述第1電源節點和輸出端子間，源極和反向閘間爲電位分離之第1極性之第1MOS電晶體，

和具有源極、汲極及閘極，源極、汲極間之電流通路則插入上述第1MOS電晶體之反向閘和閘極間，閘極連接於上述第1電源節點之第1極性之第2MOS電晶體，

和具有源極、汲極及閘極，源極、汲極間之電流通路之一端則連接於上述輸出端子，閘極連接於上述第1電源節點之第1極性之第3MOS電晶體，

和具有源極、汲極及閘極，源極、汲極間之電流通路則插入上述第3之MOS電晶體之源極、汲極間之電流通路之另一端和上述第2之電源節點間，閘極則連接於上述第1之電源節點之第2極性之第4MOS電晶體，

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

和插入上述第1電源節點和第2電源節點之間，對應輸入信號，令需供予上述第1MOS電晶體之閘極之上述控制信號產生於輸出節點之第1控制信號產生手段，

和具有源極、汲極及閘極，源極、汲極間之電流通路於上述第1控制信號產生手段中，連接於上述第1電源節點和上述輸出節點間之電流通路中途，閘極連接於上述第3及第4電晶體之源極、汲極間之電流通路之共通連接點之第1極性之第5MOS電晶體，

和具有源極、汲極及閘極，源極、汲極間之電流通路連接於上述第1MOS電晶體之閘極和上述第2電源節點間，於上述第1之電源節點供給上述第2之電源電位時呈關閉地加以控制之第1極性之第6MOS電晶體者。

19. 如申請專利範圍第18項之輸出電路，其中，前述第2之MOS電晶體之源極、汲極間之電流通路之一端爲連接於前述第1MOS電晶體之反向閘，另一端則連接於前述第1之控制信號產生手段內，由前述第1之電源節點經由前述第5之MOS電晶體之源極、汲極間之電流通路後之中間節點，於此中間節點和輸出節點間，於前述第1之電源節點插入供給前述第2之電源電位時呈開啓狀態之MOS電晶體者。

20. 如申請專利範圍第18項之輸出電路，其中，更具備具有源極、汲極及閘極，源極、汲極間之電流通路插入前述第1之MOS電晶體之反向閘和前述輸出端子間，閘極則連接於前述第1之電源節點的第1極性之第

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

7ＭＯＳ電晶體者。

２１．如申請專利範圍第１８項之輸出電路，其中，更具備具有源極、汲極及閘極，源極、汲極間之電流通路插入前述第１之ＭＯＳ電晶體之反向閘和前述第１之電源節點間，閘極則連接於前述輸出端子之第１極性之第

8ＭＯＳ電晶體，

和具有源極、汲極及閘極，源極、汲極間之電流通路則連接於前述第１電源節點和前述第１之ＭＯＳ電晶體之反向閘間，閘極則連接於前述第１之ＭＯＳ電晶體之閘極之第１極性之第9ＭＯＳ電晶體者。

２２．如申請專利範圍第１８項之輸出電路，其中，更具備具有源極、汲極及閘極，源極、汲極間之電流通路連接於前述輸出端子和前述第２之電源節點間之第２極性之第１０ＭＯＳ電晶體，

和前述第１之電源節點和前述第２之電源節點之電壓當作電源電壓加以供給，依照第２之輸入信號，產生需供於上述第１０之ＭＯＳ電晶體之閘極的控制信號的第２控制信號產生手段者。

２３．一種輸出電路，其特徵係在於具備選擇性供給之第１之電源電位和第２之電源電位的第１電源節點，

和供給上述第２之電源電位的第２電源節點，和具有源極、汲極、閘極及反向極，於閘極供給控制信號，源極、汲極間之電流通路則插入上述第１電源節點和輸出端子間，源極和反向閘間爲電位分離之第１極性之第１ＭＯＳ

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

六、申請專利範圍

電晶體，

和具有源極、汲極及閘極，源極、汲極間之電流通路則插入上述第1ＭＯＳ電晶體之反向閘和閘極間，閘極連接於上述第1電源節點之第1極性之第2ＭＯＳ電晶體，

和具有源極、汲極及閘極，源極、汲極間之電流通路之一端則連接於上述輸出端子，閘極連接於上述第1電源節點之第1極性之第3ＭＯＳ電晶體，

和具有源極、汲極及閘極，源極、汲極間之電流通路則插入上述第3之ＭＯＳ電晶體之源極、汲極間之電流通路之另一端和上述第2之電源節點間，閘極則連接於上述第1之電源節點之第2極性之第4ＭＯＳ電晶體，

和插入上述第1電源節點和第2電源節點之間，對應輸入信號，令需供予上述第1ＭＯＳ電晶體之閘極之上述控制信號產生於輸出節點之第1控制信號產生手段，

和具有源極、汲極及閘極，源極、汲極間之電流通路則插入上述第1控制信號產生手段之輸出節點和上述第1ＭＯＳ電晶體之閘極間，閘極連接於上述第1電源節點之第2極性之第5ＭＯＳ電晶體，

和具有源極、汲極及閘極，源極、汲極間之電流通路則插入上述第1控制信號手段之輸出節點和上述第1ＭＯＳ電晶體之閘極間，閘極係連接於上述第3及第4電晶體之源極、汲極間之電流通路之共通連接點之第1極性之第6ＭＯＳ電晶體者。

２４．如申請專利範圍第２３項之輸出電路，其中，

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

更具備具有源極、汲極及閘極，源極、汲極間之電流通路插入前述第1之ＭＯＳ電晶體之反向閘和前述輸出端子間，閘極則連接於前述第1之電源節點的第1極性之第7ＭＯＳ電晶體者。

25. 如申請專利範圍第23項之輸出電路，其中，更具備具有源極、汲極及閘極，源極、汲極間之電流通路插入前述第1之電源節點和前述第1之ＭＯＳ電晶體之反向閘間，閘極則連接於前述第3及第4電晶體之源極、汲極間之電流通路之共通連接點之第1極性之第8ＭＯＳ電晶體。

26. 如申請專利範圍第23項之輸出電路，其中，更具備具有源極、汲極及閘極，源極、汲極間之電流通路則插入於前述輸出端子和第2電源節點間之第2極性之第9ＭＯＳ電晶體，

和前述第1之電源節點和前述第2之電源節點之電壓則做爲電源電壓加以供給，對應輸入信號，產生需供於上述第9之ＭＯＳ電晶體之閘極的控制信號的第2控制信號產生手段者。

27. 如申請專利範圍第23項之輸出電路，其中，更具備具有源極、汲極及閘極，源極、汲極間之電流通路插入前述第1電源節點和前述第1之ＭＯＳ電晶體之反向閘，閘極連接於前述輸出端子之第1極性之第11ＭＯＳ電晶體，

和具有源極、汲極及閘極，源極、汲極間之電流通路

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

連接於前述第1電源節點和前述第1之MOS電晶體之反向閘，閘極連接於前述第1之MOS電晶體之第1極性之第12MOS電晶體者。

28. 一種輸出電路，其特徵係在於具備選擇性供給之第1之電源電位和第2之電源電位的第1電源節點，

和供給上述第2之電源電位的第2電源節點，和具有源極、汲極、閘極及反向極，於閘極供給控制信號，源極、汲極間之電流通路則插入上述第1電源節點和輸出端子間，源極和反向閘間爲電位分離之第1極性之第1MOS電晶體，

和具有源極、汲極及閘極，源極、汲極間之電流通路則插入上述第1MOS電晶體之閘極和上述輸出端子間，閘極連接於上述第1電源節點之第1極性之第2MOS電晶體，

和具有源極、汲極及閘極，源極、汲極間之電流通路之一端則連接於上述輸出端子，閘極連接於上述第1電源節點之第1極性之第3MOS電晶體，

和具有源極、汲極及閘極，源極、汲極間之電流通路則插入上述第3之MOS電晶體之源極、汲極間之電流通路之另一端和上述第2之電源節點間，閘極則連接於上述第1之電源節點之第2極性之第4MOS電晶體，

和插入上述第1電源節點和第2電源節點之間，對應輸入信號，令需供予上述第1MOS電晶體之閘極之上述控制信號產生於輸出節點之第1控制信號產生手段，

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

和具有源極、汲極及閘極，源極、汲極間之電流通路則插入上述第1控制信號產生手段之輸出節點和上述第1MOS電晶體之閘極間，閘極連接於上述第1電源節點之第2極性之第5MOS電晶體，

和具有源極、汲極及閘極，源極、汲極間之電流通路則插入上述第1控制信號手段之輸出節點和上述第1MOS電晶體之閘極間，閘極係連接於上述第3及第4電晶體之源極、汲極間之電流通路之共通連接點之第1極性之第6MOS電晶體者。

29. 如申請專利範圍第28項之輸出電路，其中，更具備具有源極、汲極及閘極，源極、汲極間之電流通路插入前述第1之MOS電晶體之反向閘和前述輸出端子間，閘極則連接於前述第1之電源節點的第1極性之第7MOS電晶體者。

30. 如申請專利範圍第28項之輸出電路，其中，更具備具有源極、汲極及閘極，源極、汲極間之電流通路連接於前述輸出端子和第2之電源節點間之第2極性之第8MOS電晶體，

和前述第1之電源節點和前述第2之電源節點之電壓則做爲電源電壓加以供給，對應輸入信號，產生需供於上述第8之MOS電晶體之閘極的控制信號的第2控制信號產生手段者

31. 如申請專利範圍第28項之輸出電路，其中，更具備具有源極、汲極及閘極，源極、汲極間之電流通路

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

則插入於前述第1電源節點和前述第1MOS電晶體之反向閘間，閘極爲連接於前述輸出端子第1極性之第9MOS電晶體，

和具有源極、汲極及閘極，源極、汲極間之電流通路則連接於前述第1電源節點和前述第1MOS電晶體之反向閘間，閘極爲連接於前述第1MOS電晶體之閘極之第1極性之第10MOS電晶體者。

（請先閱讀背面之注意事項再填寫本頁）

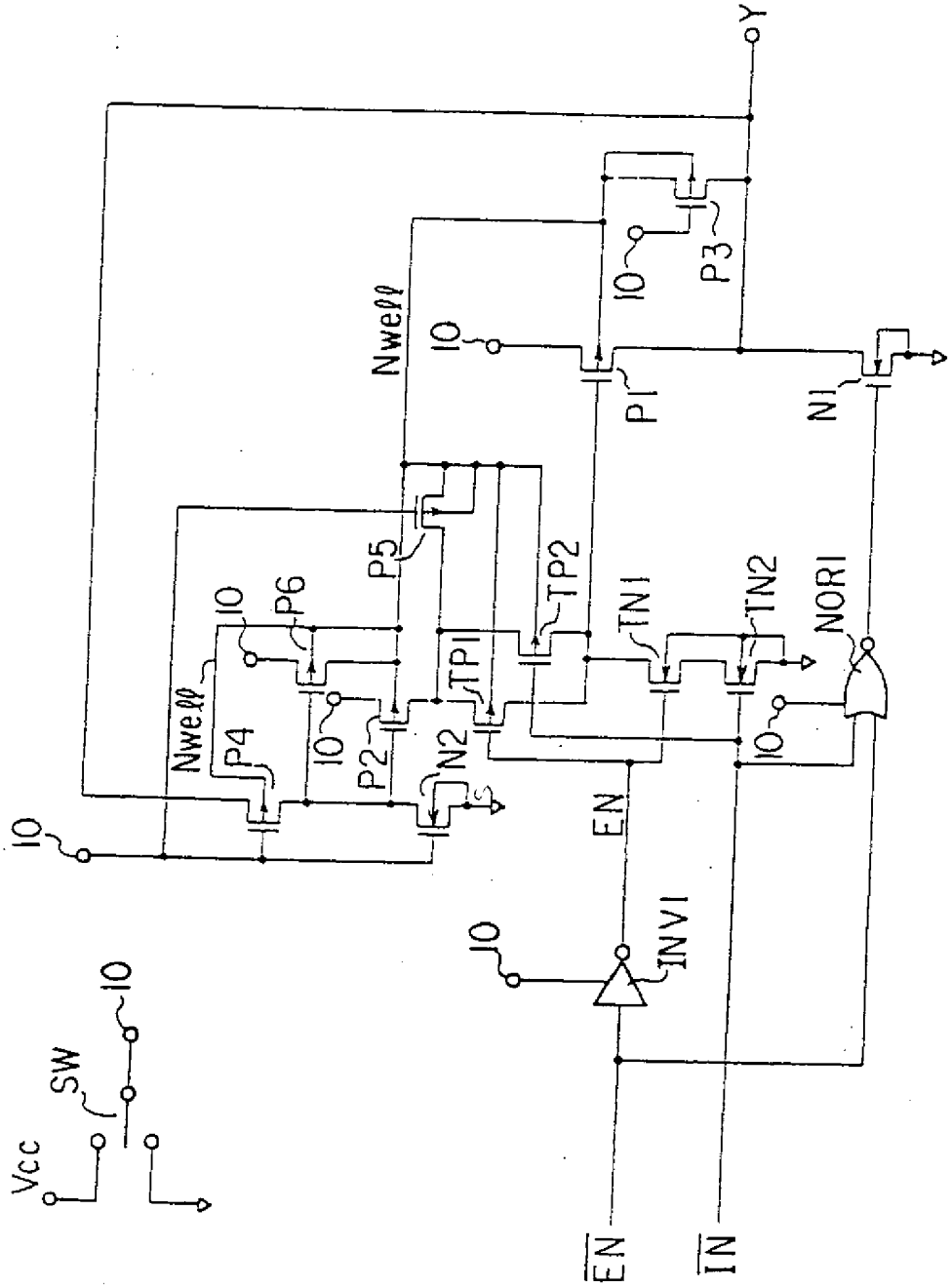
裝 訂 線

經濟部智慧財產局員工消費合作社印製

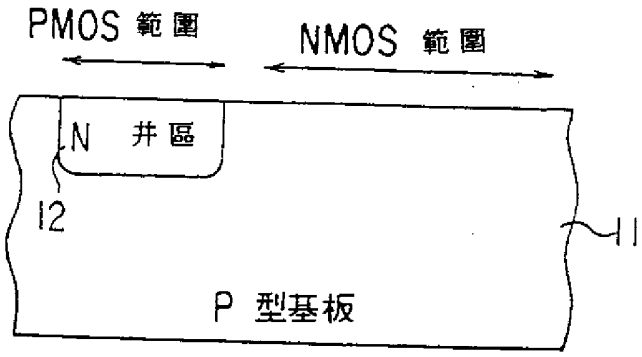
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

85107070

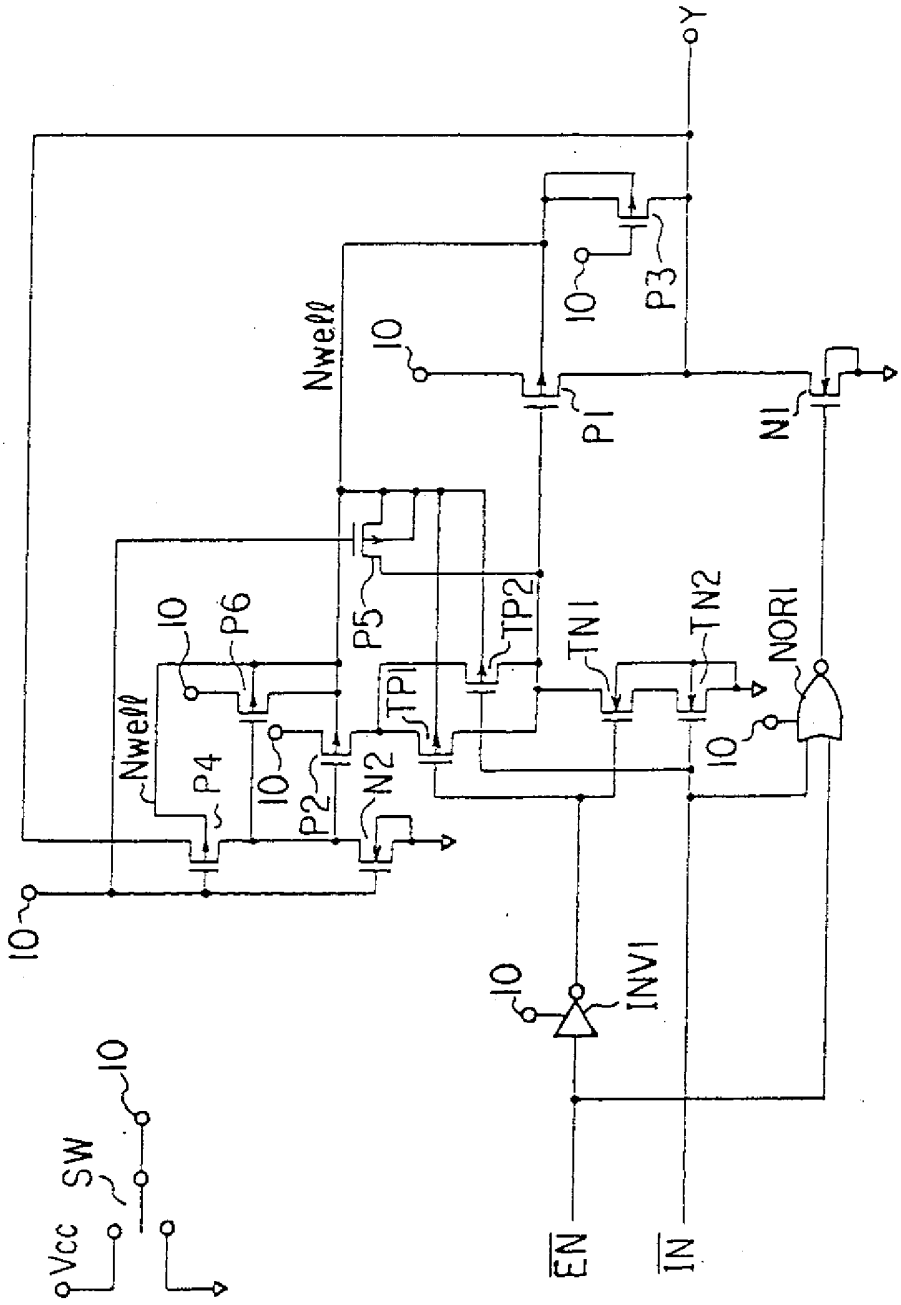
第1圖



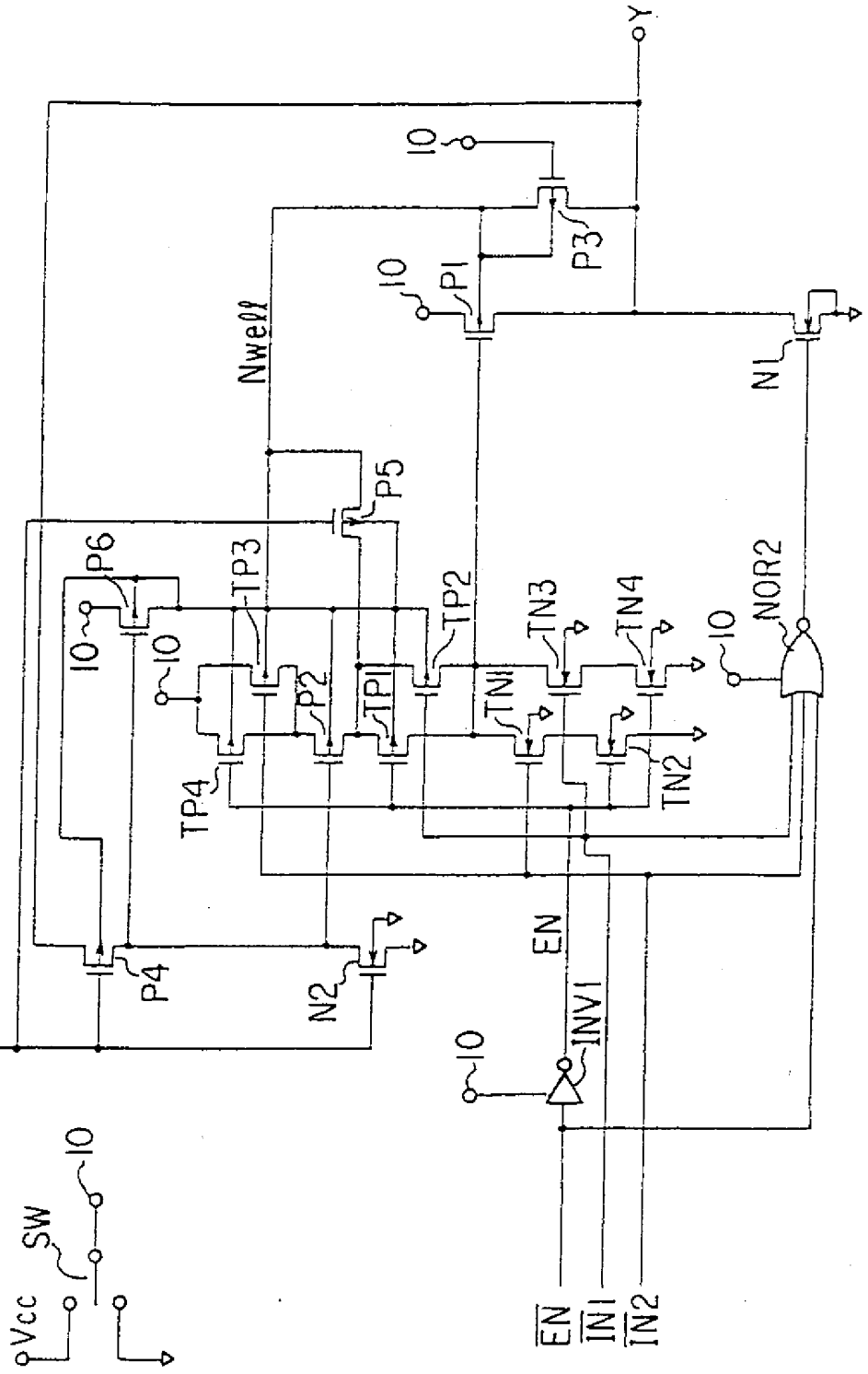
第 2 圖



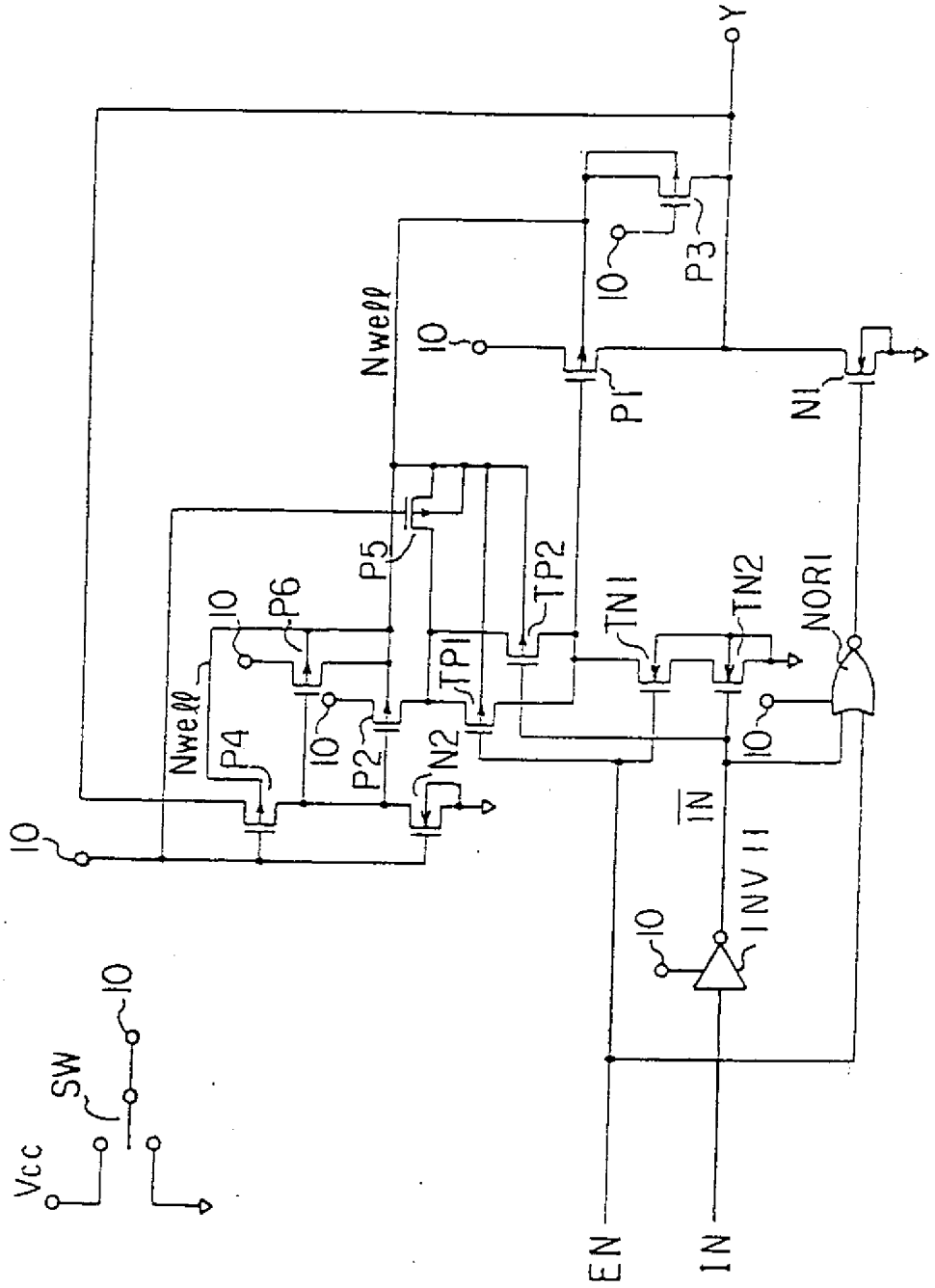
第3圖


Y
Nwell
P1
P3
N1
P5
TP2
TN1
TN2
NOR1
P6
TP1
P4
P2
N2
INV1
SW
Vcc
EN
IN
10

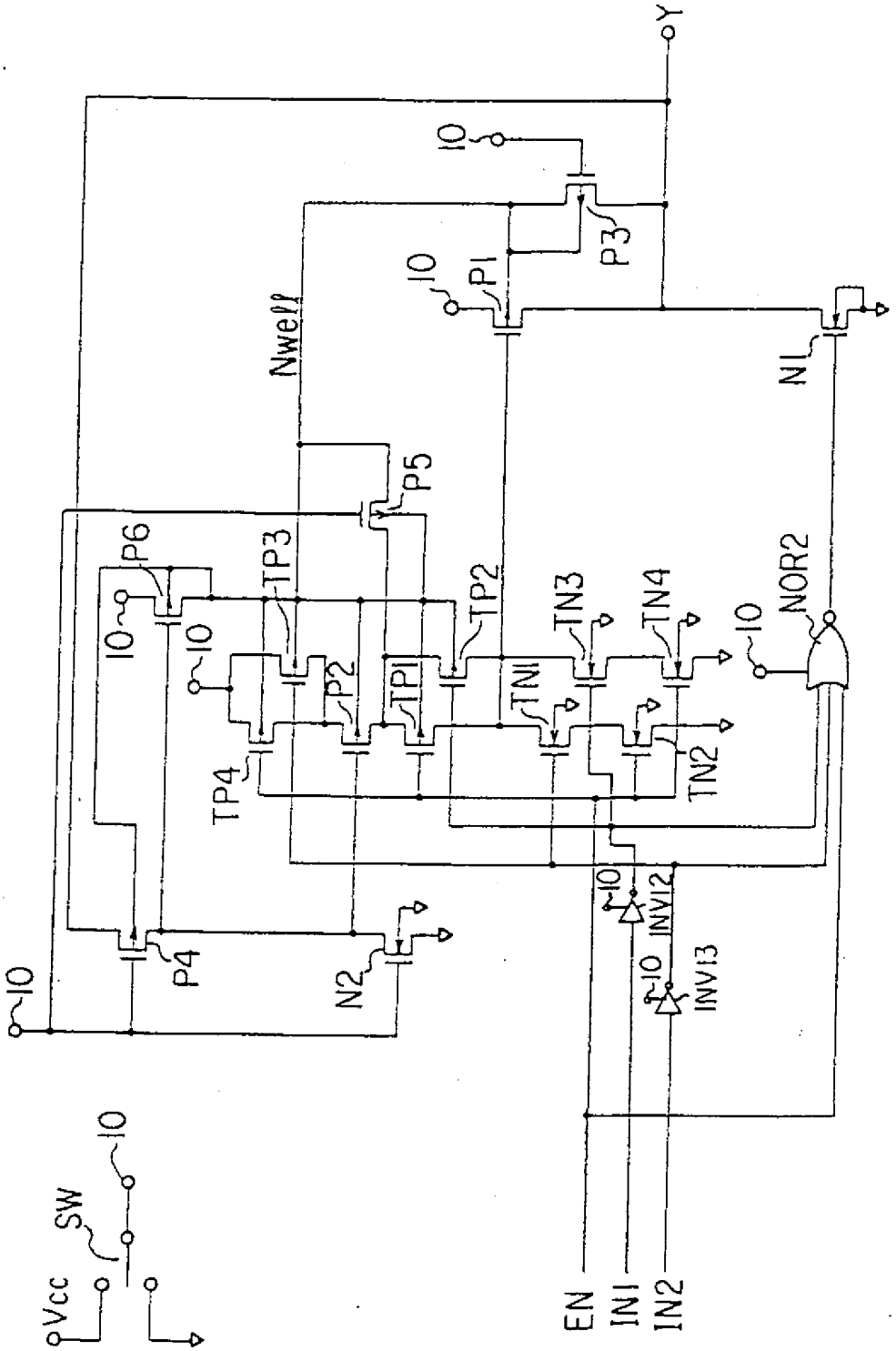
第4圖


Y
10
P3
P1
Nwell
NL
P5
P6
TP3
TP2
TN3
TN4
NOR2
P2
TP1
TN1
TP4
TN2
P4
N2
EN
INV1
Vcc
SW
$\overline{EN}$
$\overline{IN1}$
$\overline{IN2}$

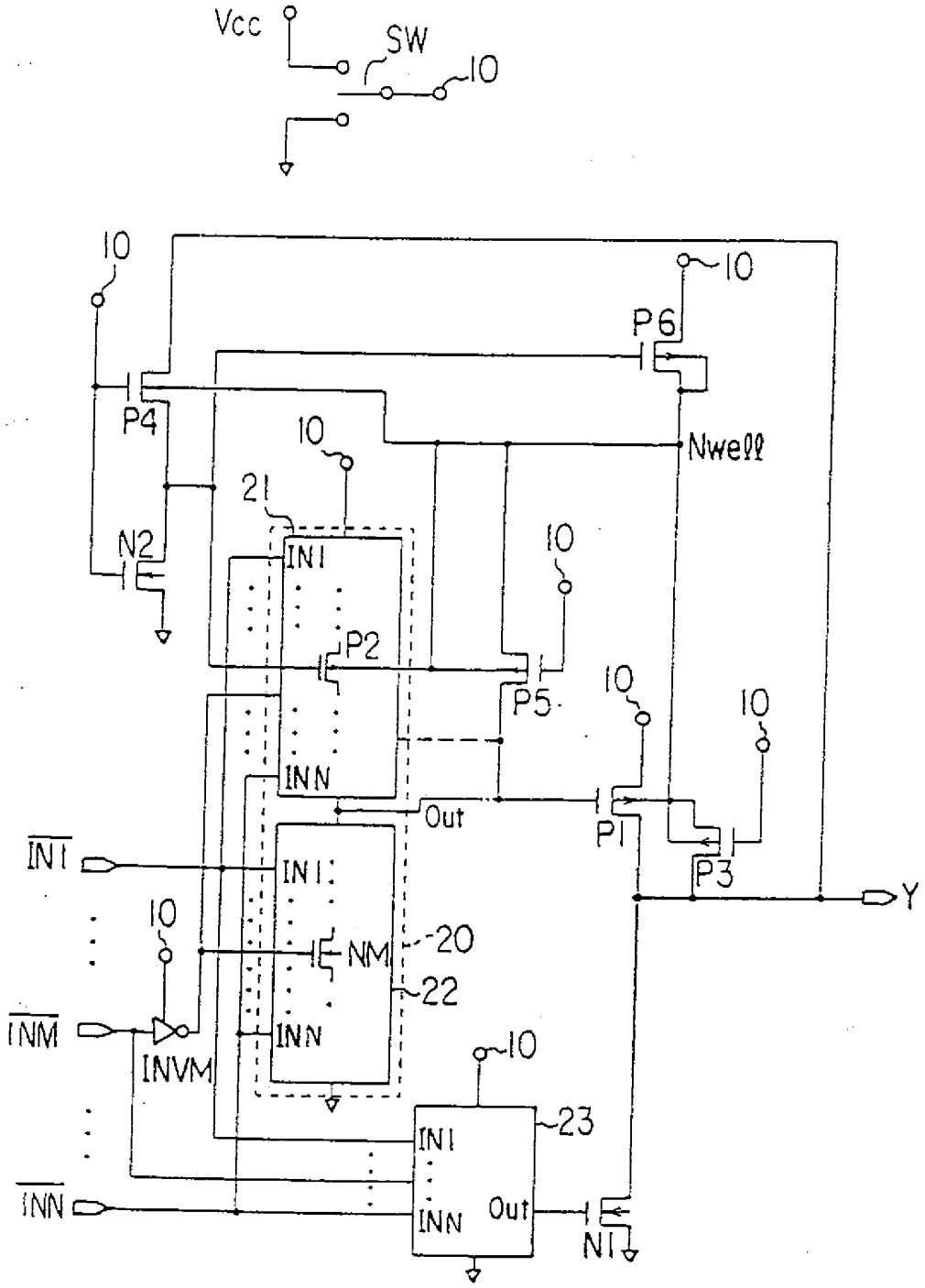
第5圖


Y
P3
10
Nwell
10
P1
N1
P5
TP2
TN1
TN2
NOR1
10
P6
10
TP1
Nwell
P4
10
P2
N2
10
10
$\overline{IN}$
INV11
10
Vcc
SW
10
EN
IN

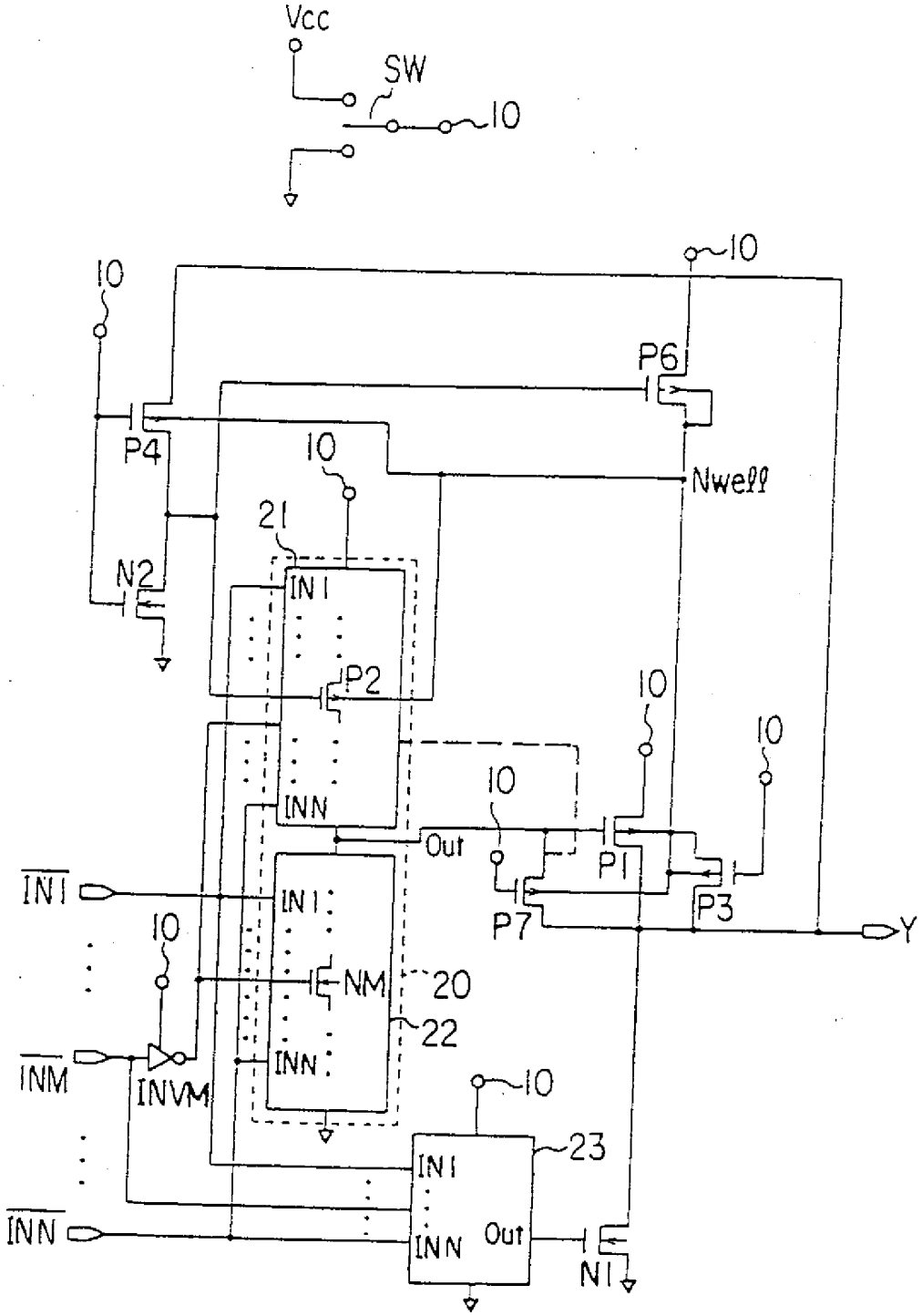
第6圖


Y
10
P3
P1
Nwell
NL
P5
P6
TP3
TP2
TN3
TN4
NOR2
P2
TP1
TN1
TN2
TP4
P4
N2
INV12
INV13
Vcc
SW
EN
IN1
IN2

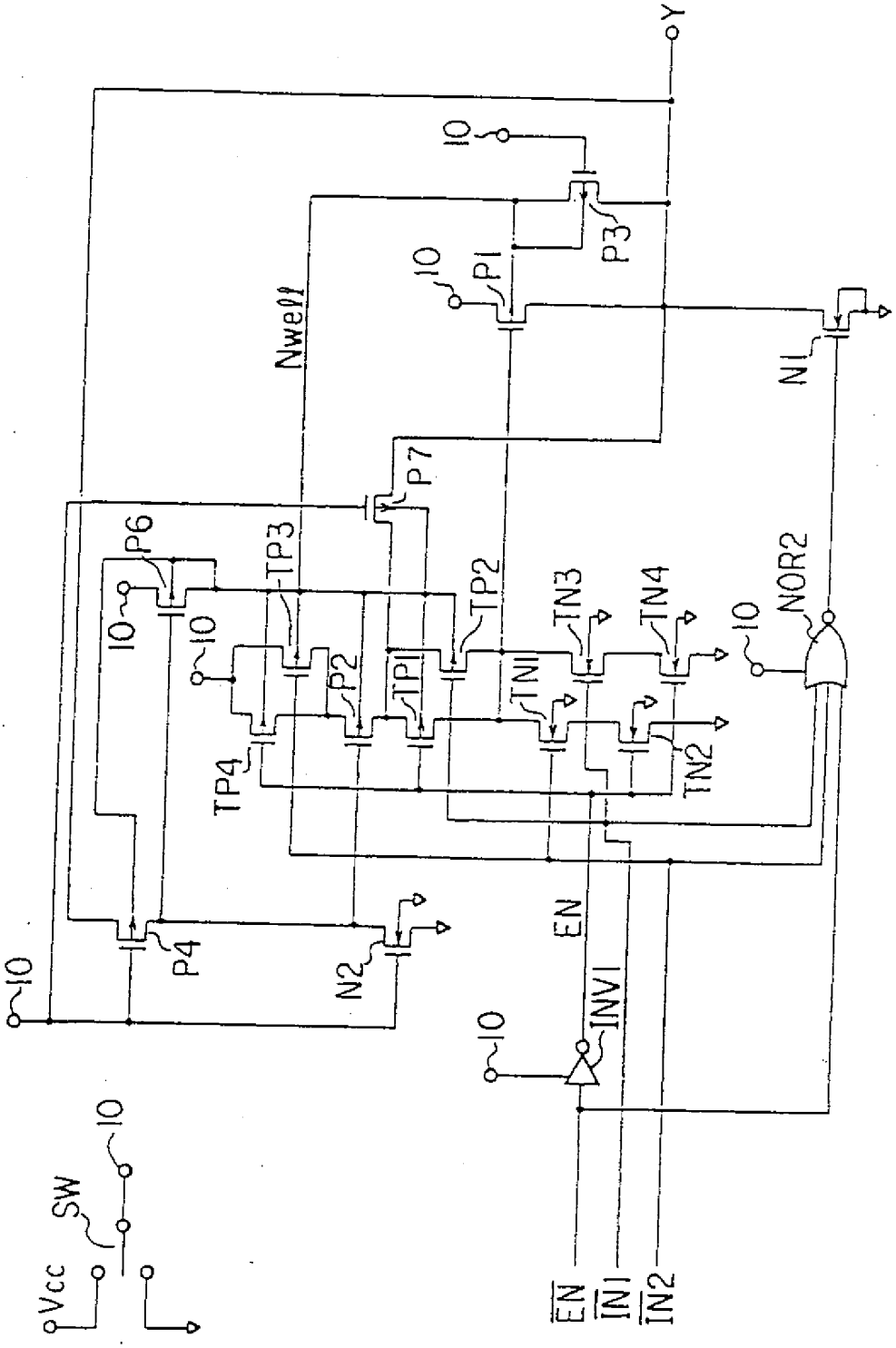
第 7 圖


Vcc
SW
10
P6
P4
Nwell
21
N2
IN1
P2
P5
INN
Out
P1
P3
Y
NM
20
22
INM
INVM
23
Out
N1

第 8 圖

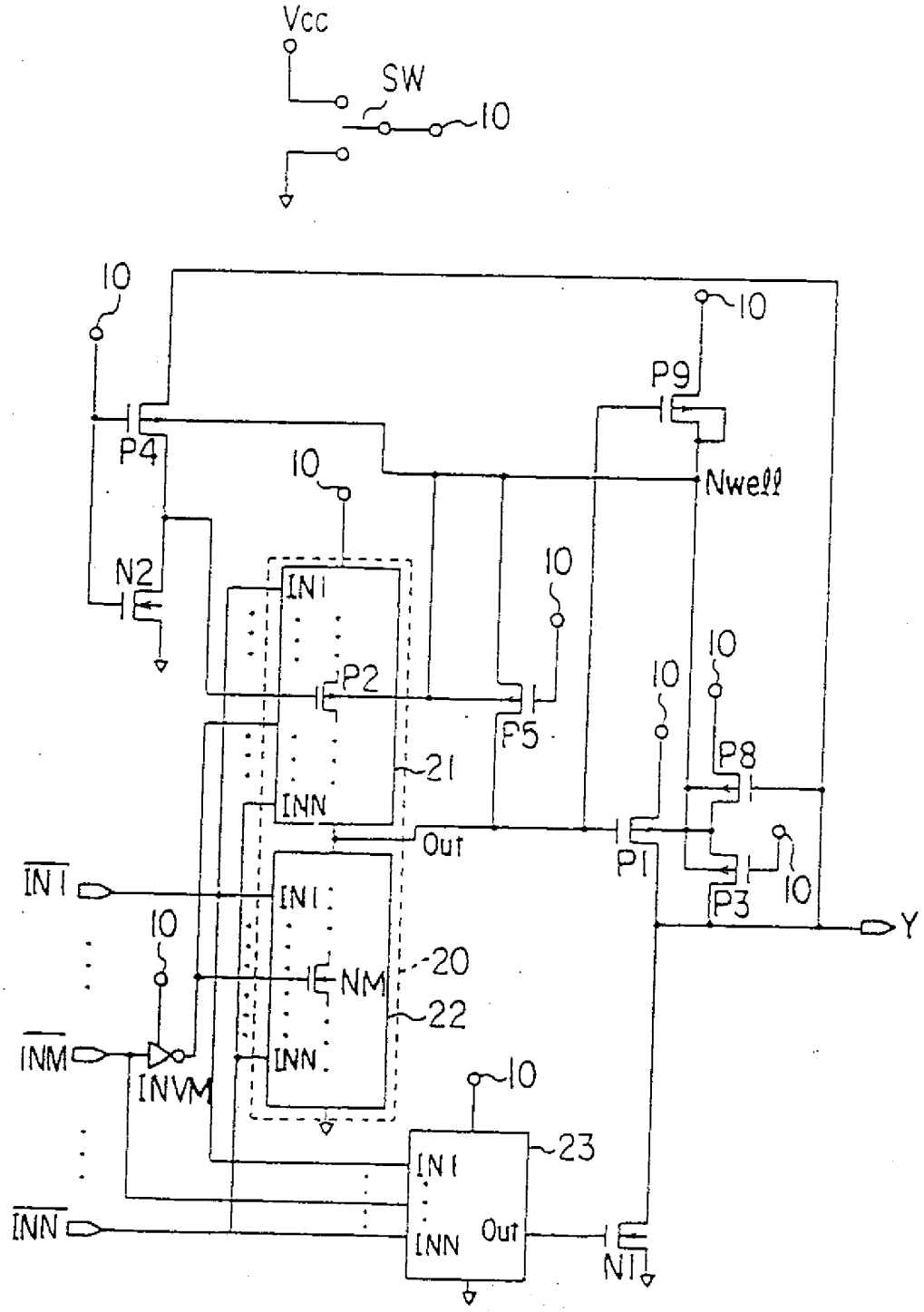

Vcc
SW
10
10
10
P6
P4
10
Nwell
21
N2
IN1
P2
10
10
10
INN
Out
P1
P7
P3
Y
IN1
IN1
10
NM
20
22
INM
INVM
INN
10
23
IN1
INN
Out
N1
INN

第9圖


Y
10
P3
P1
Nwell
N1
P7
P6
TP3
TP2
TN3
TN4
NOR2
P2
TP1
TN1
TP4
TN2
P4
N2
EN
INV1
Vcc
SW
EN
IN1
IN2

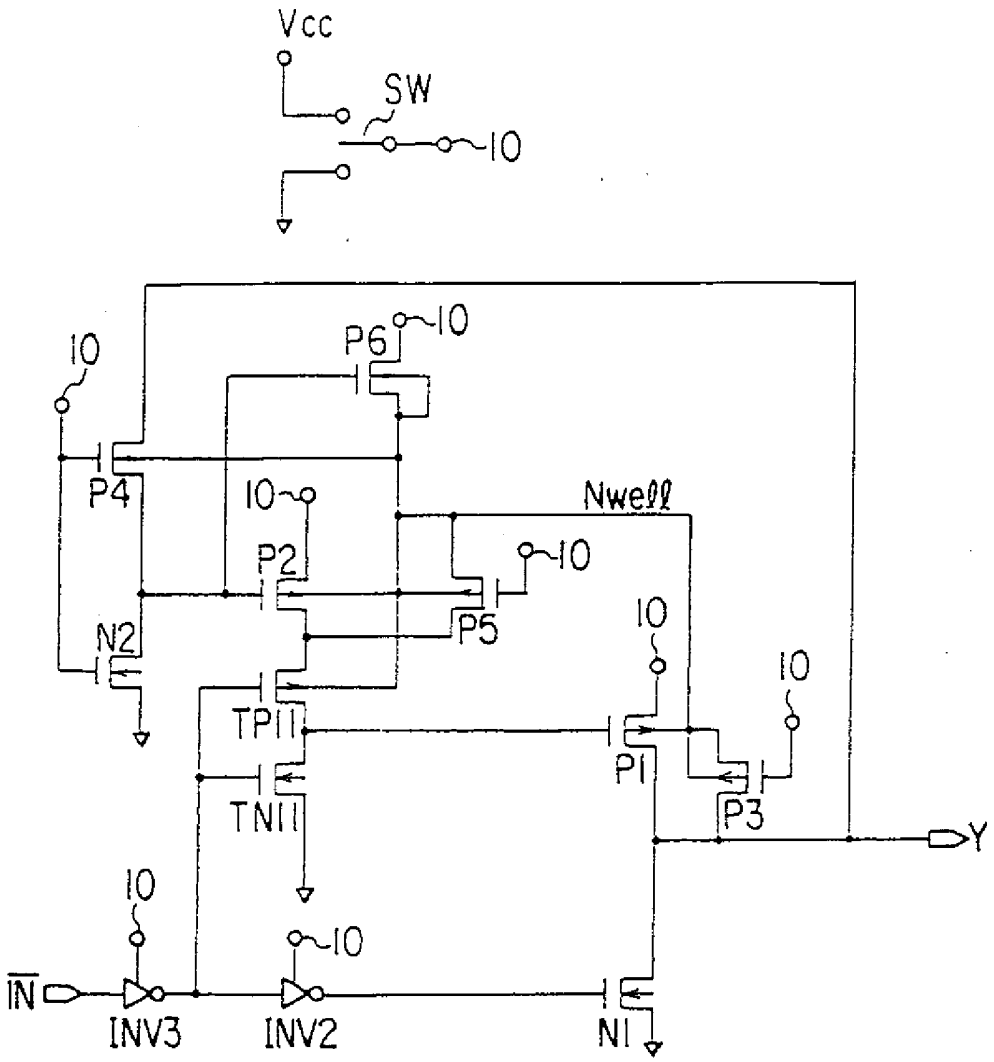
439024

第10圖



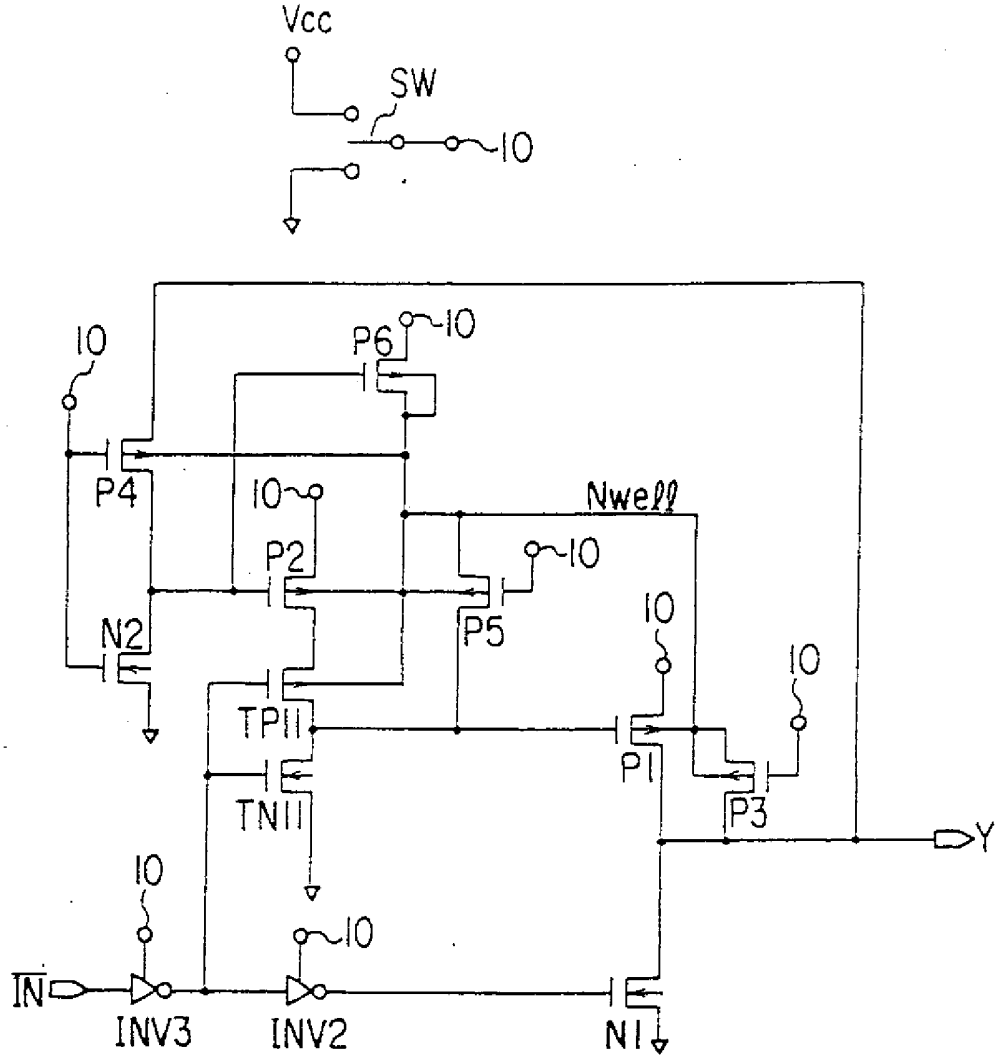
Vcc
SW
10
P4
N2
P9
Nwell
IN1
P2
P5
21
INN
Out
P1
P8
P3
Y
$\overline{IN1}$
NM
20
22
$\overline{INM}$
INVM
23
$\overline{INN}$
N1

第11圖



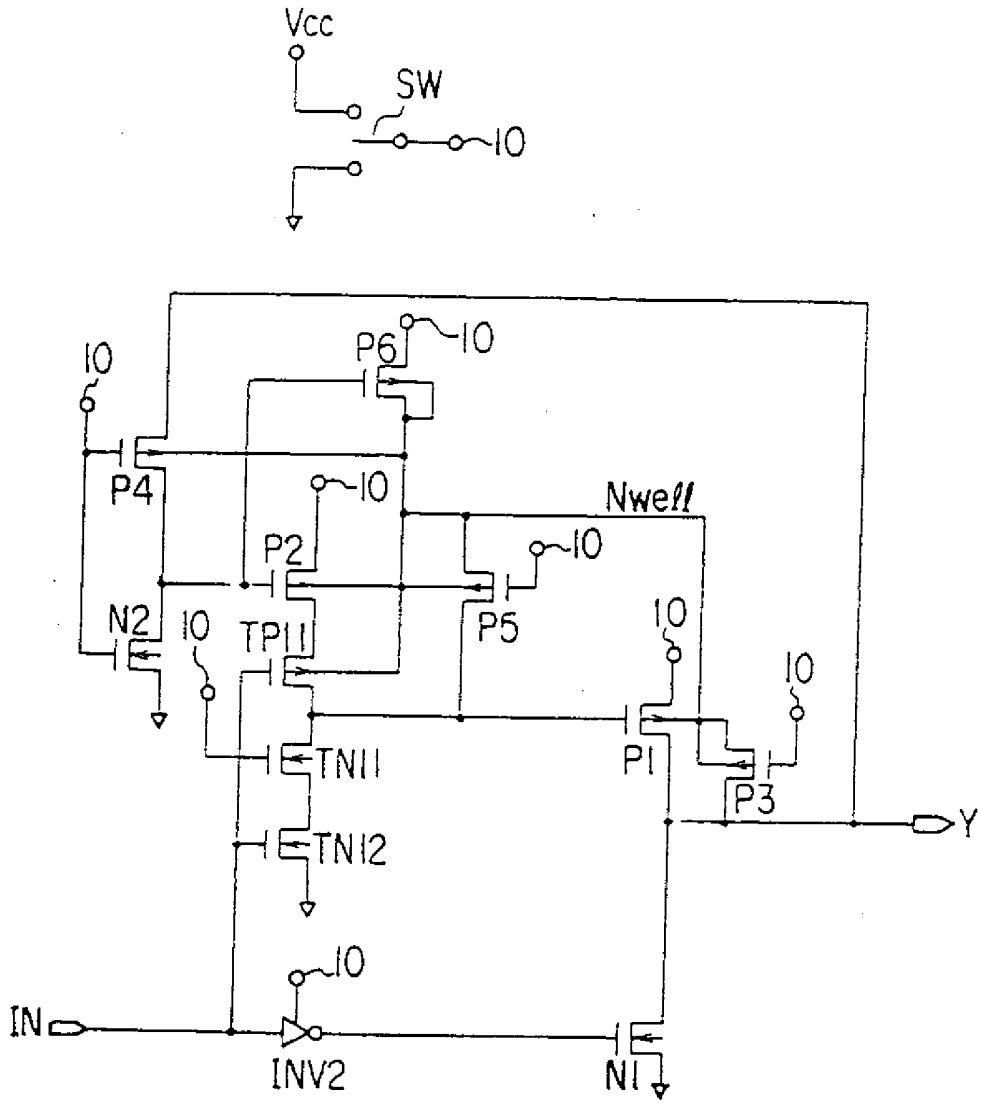
439024

第12圖

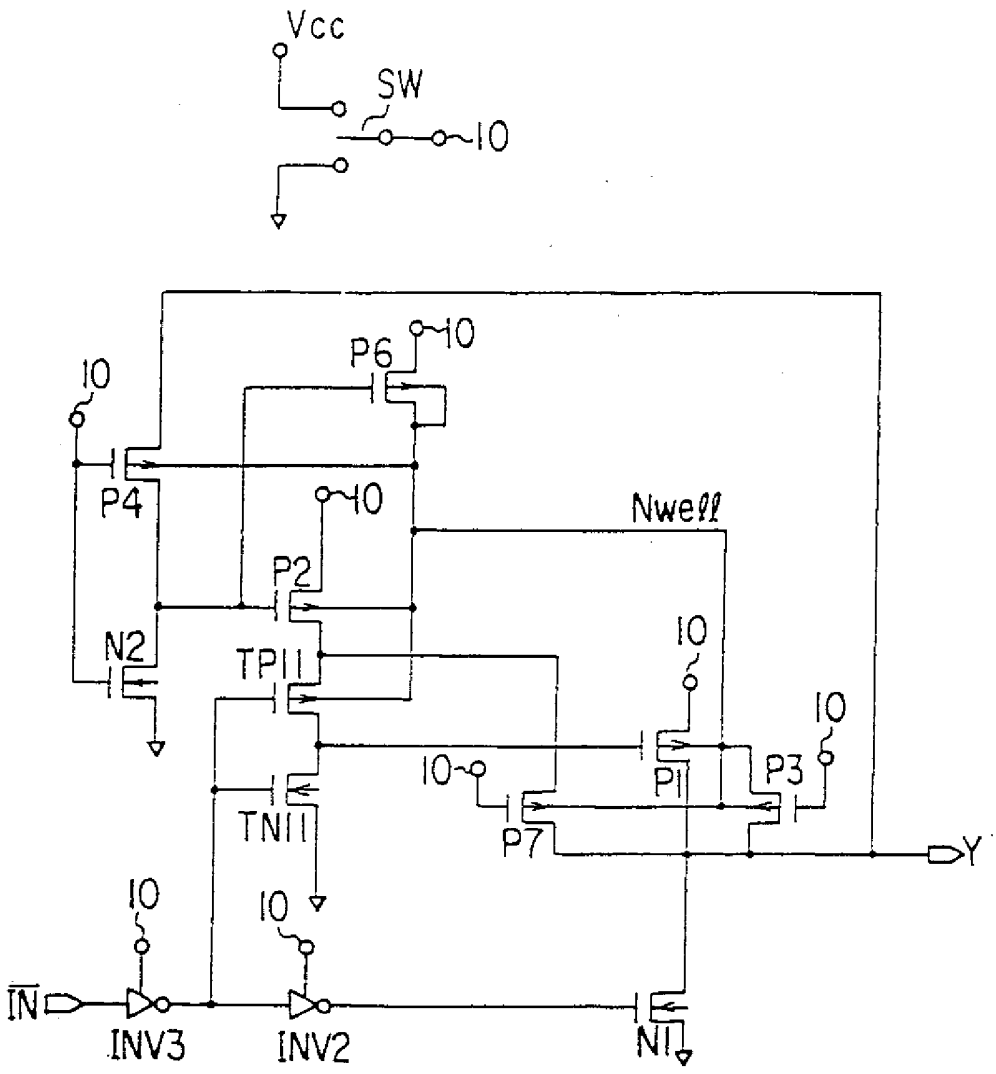

Vcc
SW
10
10
P6
10
P4
10
Nwell
P2
10
P5
N2
10
10
TP11
P1
P3
Y
TN11
10
10
IN
INV3
INV2
N1

439024

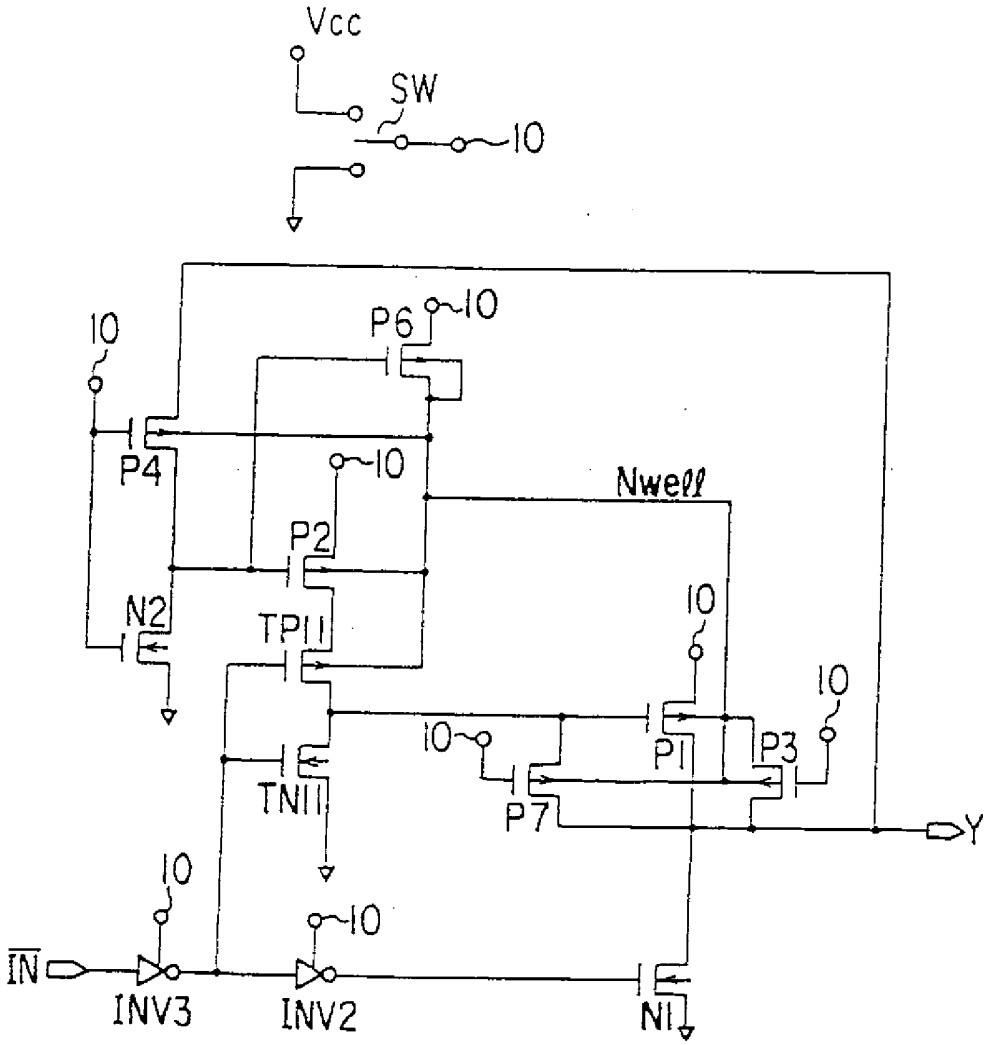
第13圖



第14圖

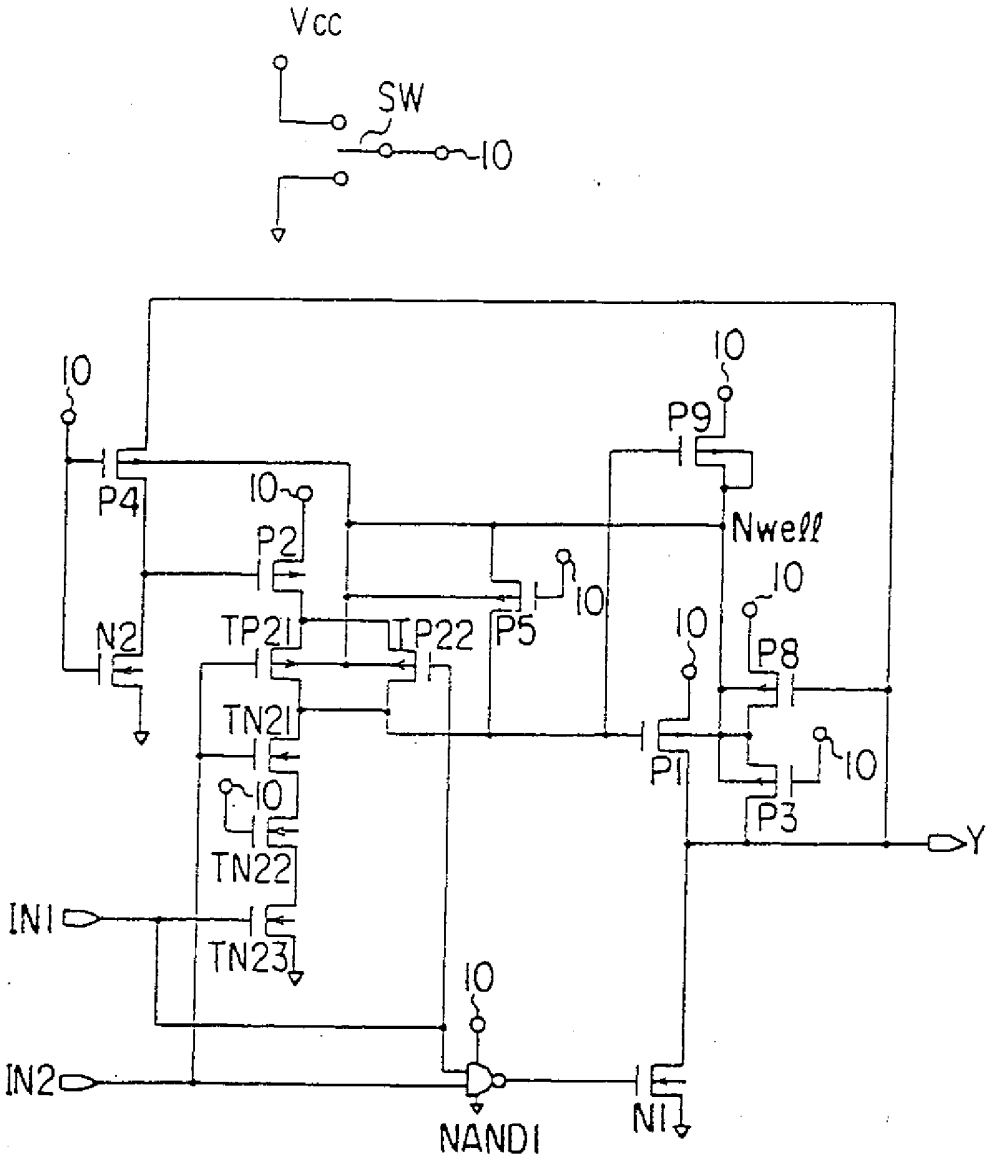

Vcc
SW
10
P6
10
10
P4
10
Nwell
P2
N2
TP11
10
10
10
P1
P3
P7
TN11
Y
10
10
IN
INV3
INV2
N1

第15圖


Vcc
SW
10
10
P6
10
P4
10
Nwell
P2
N2
TP11
10
10
10
P1
P3
TN11
P7
Y
10
10
IN
INV3
INV2
N1

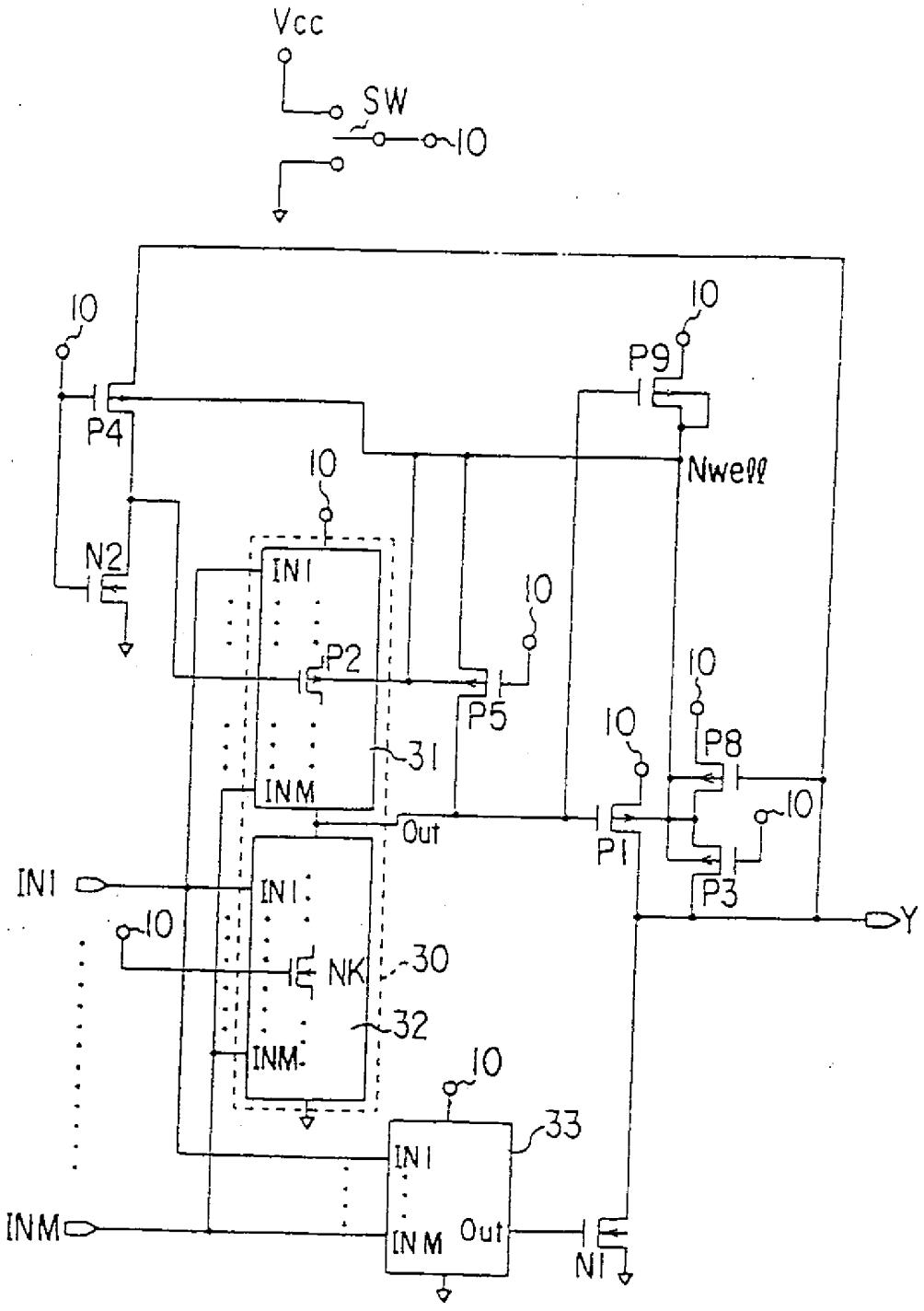
439024

第16圖

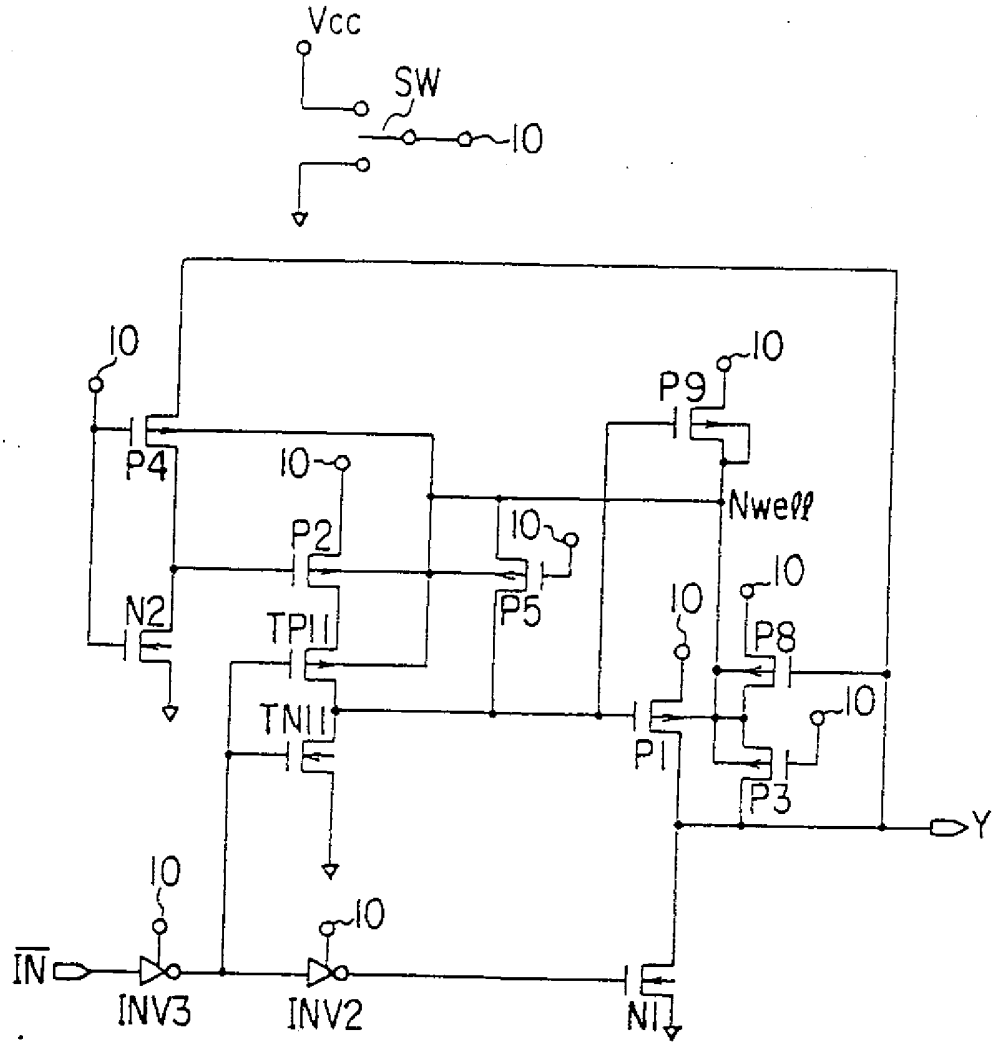


Vcc
SW
10
10
P4
10
P2
N2
TP21
TP22
P5
10
10
P9
Nwell
10
10
P8
P1
10
P3
Y
TN21
10
TN22
IN1
TN23
10
IN2
NAND1
N1

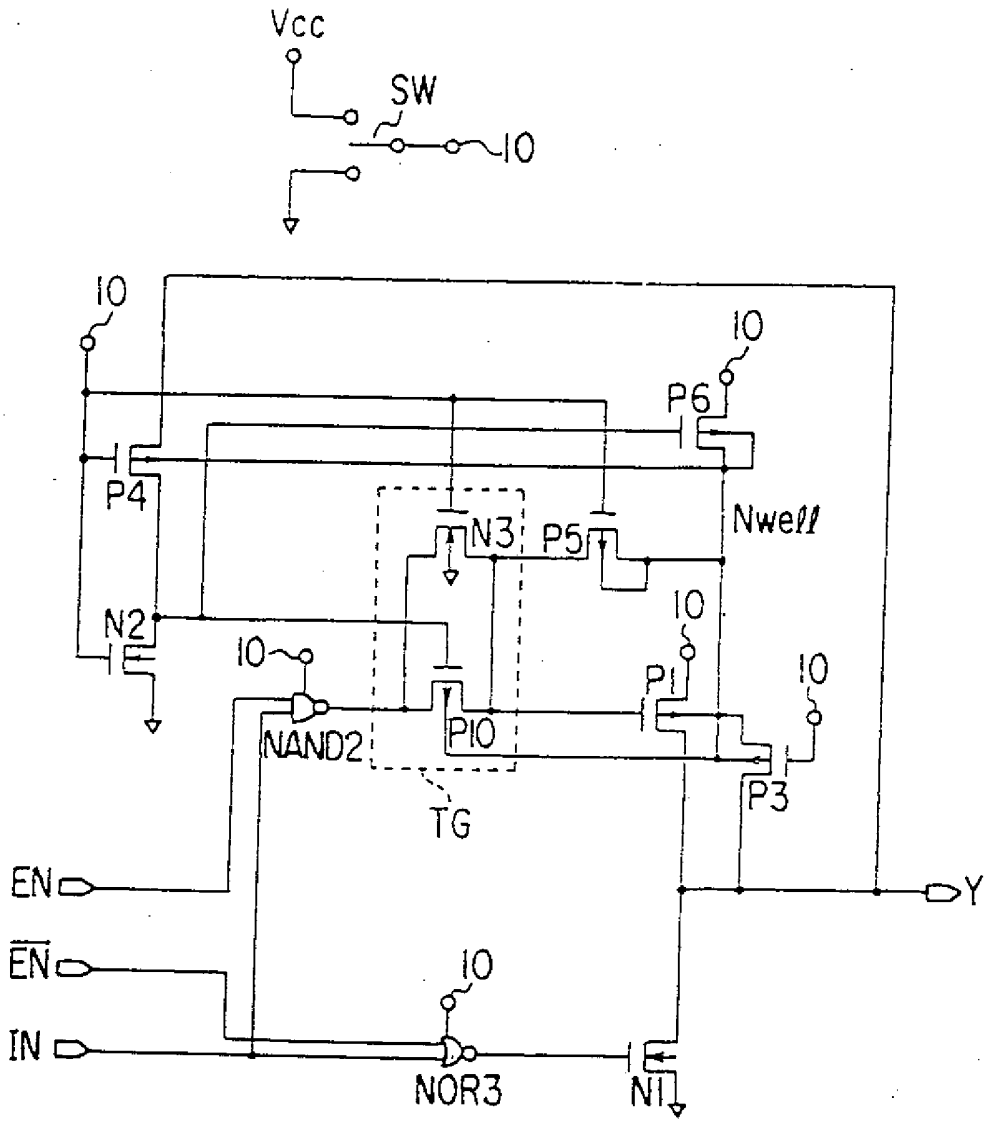
第17圖


Vcc
SW
10
P4
P9
Nwell
N2
IN1
P2
P5
P8
P1
P3
31
INM
Out
Y
NK
30
32
33
N1

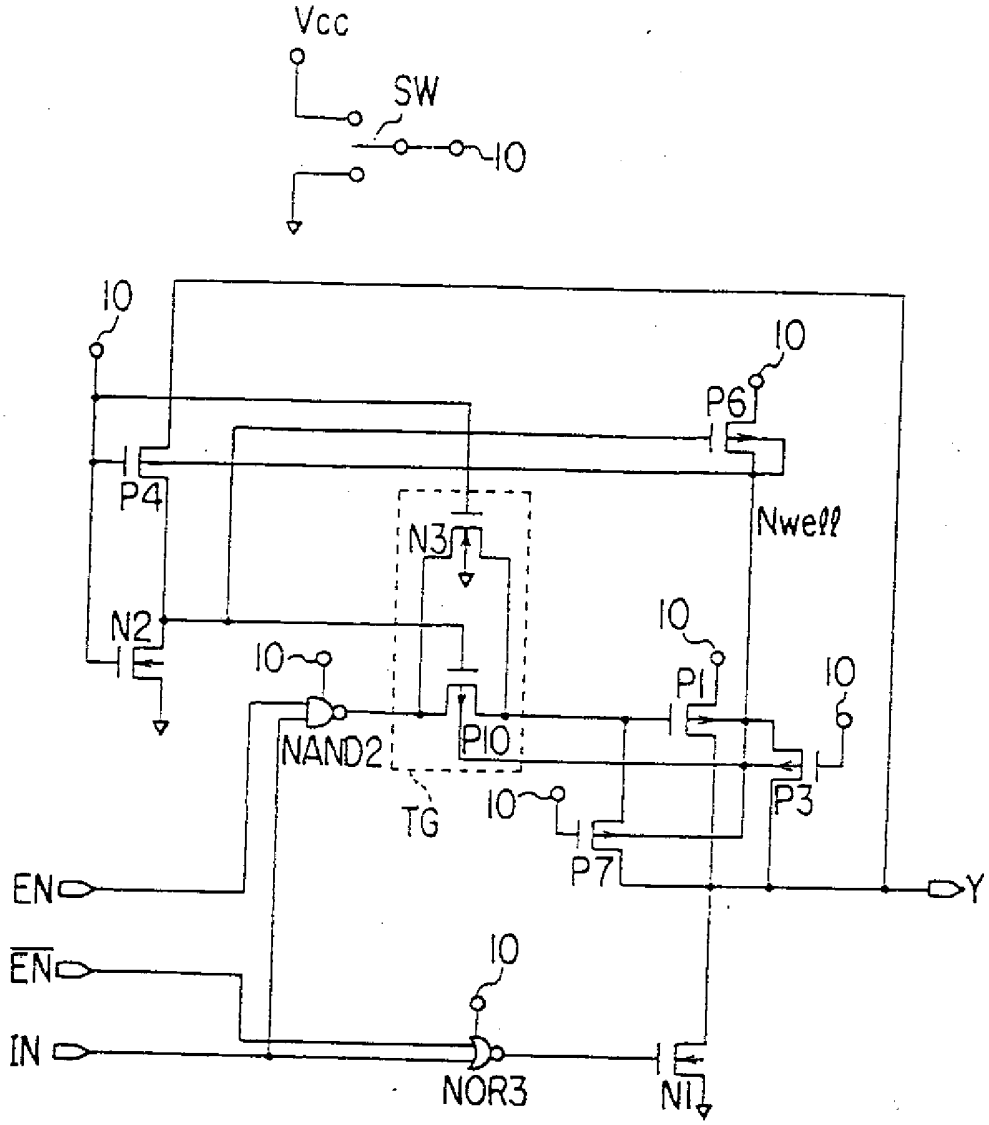
第18圖



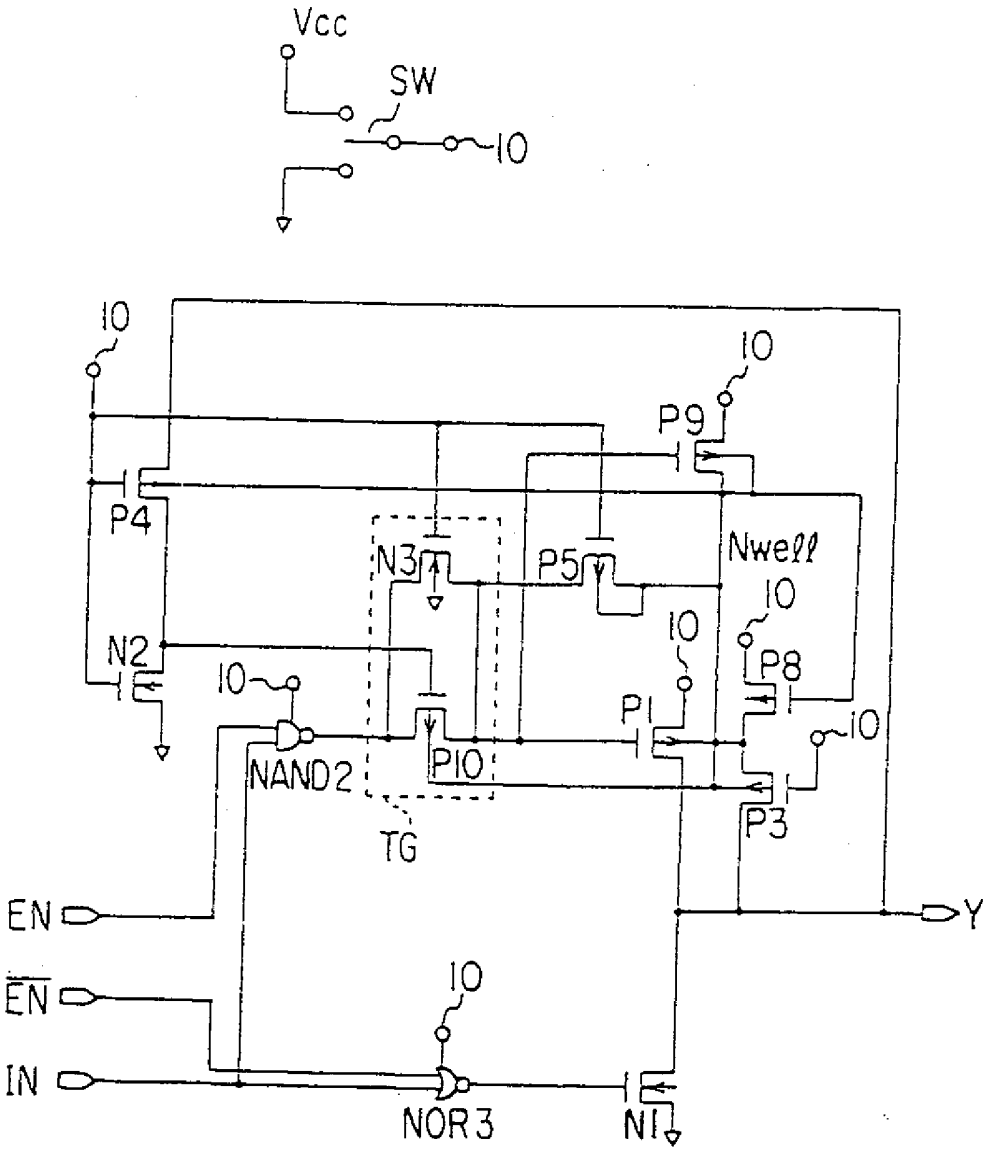
第19圖


Vcc
SW
10
10
10
P6
P4
N3
P5
Nwell
N2
10
10
P1
10
NAND2
P10
P3
TG
EN
Y
EN
10
IN
NOR3
N1

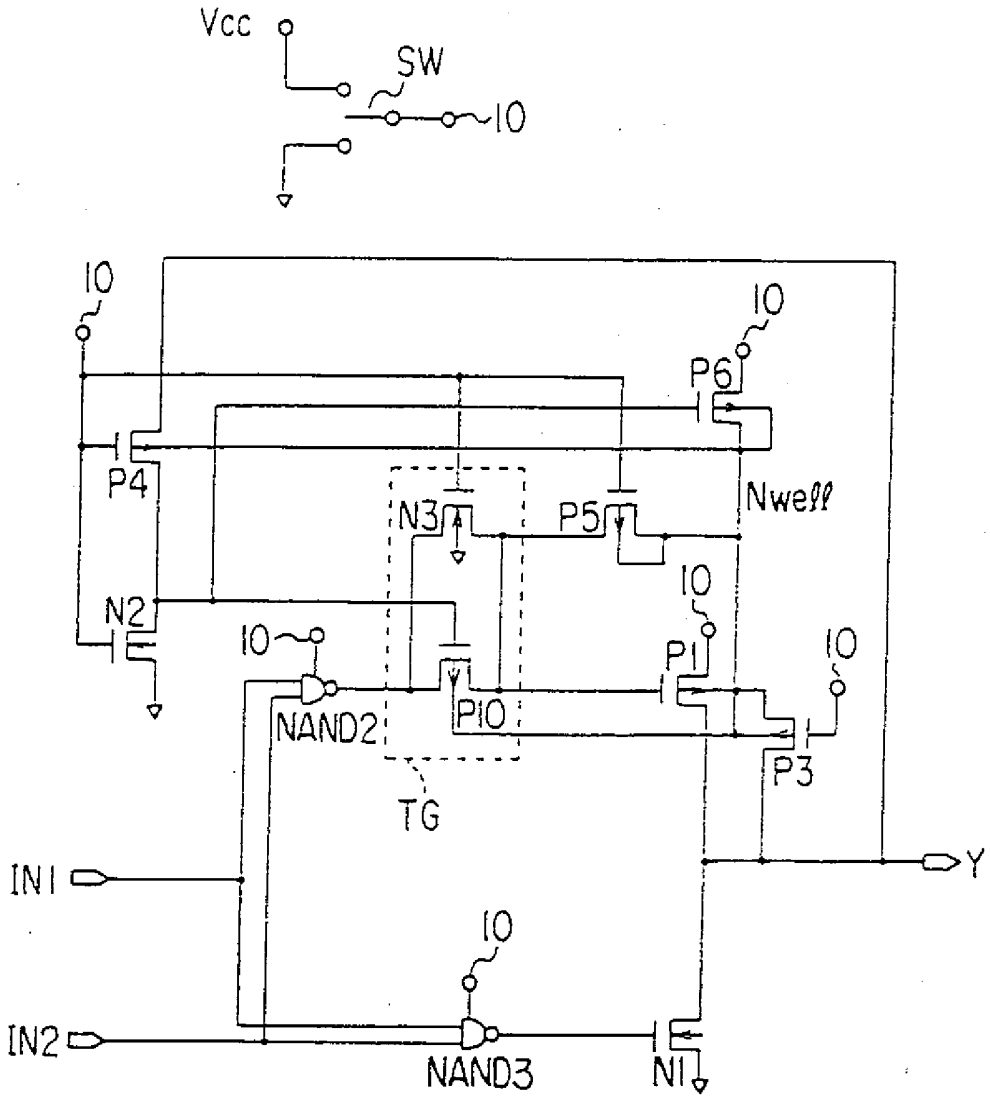
第20圖


Vcc
SW
10
10
10
P6
P4
Nwell
N3
N2
10
10
P1
10
NAND2
P10
P3
TG
10
P7
EN
Y
EN
10
IN
NOR3
N1

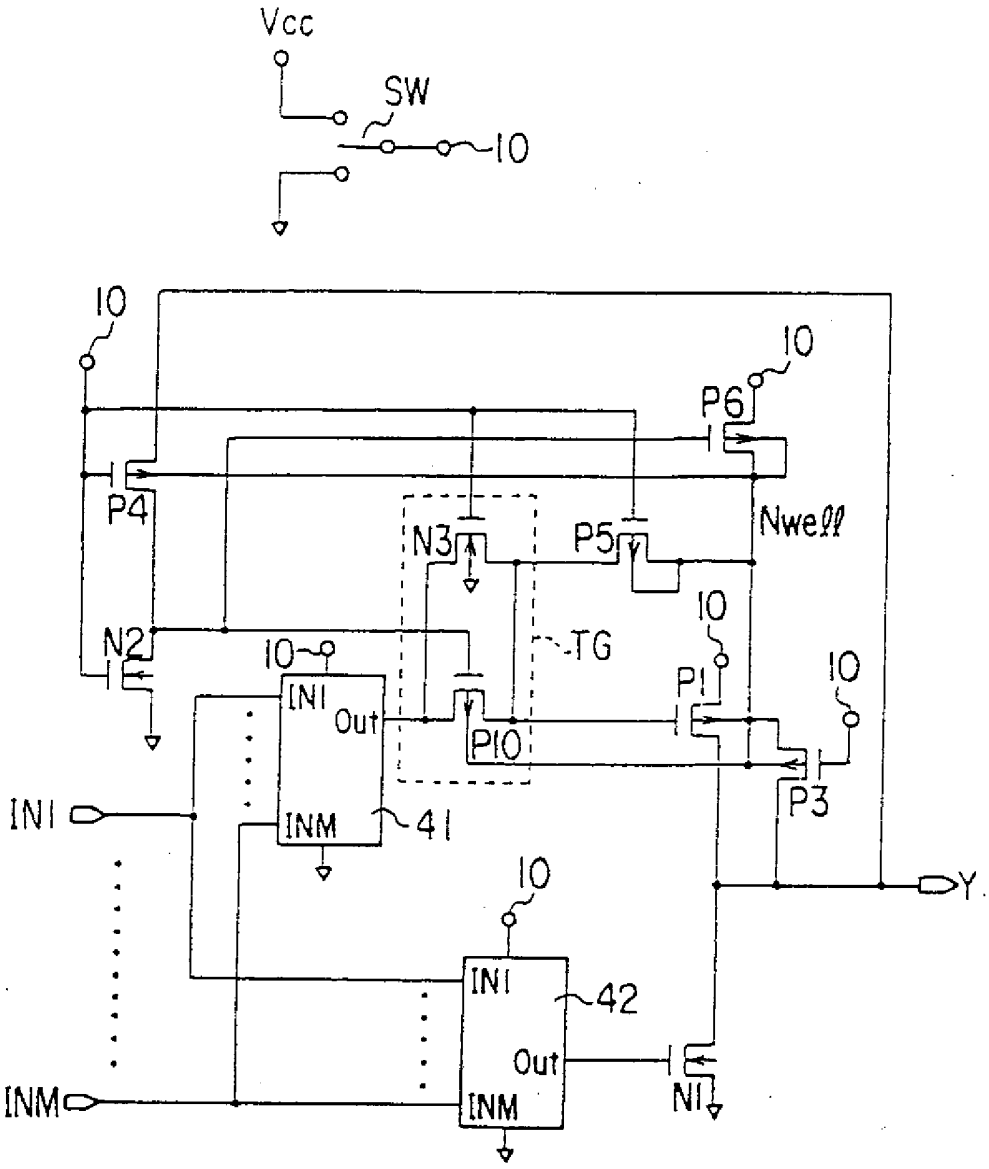
第21圖


Vcc
SW
10
10
10
P9
P4
N3
P5
Nwell
10
10
N2
10
P8
P1
10
NAND2
P10
P3
TG
EN
Y
EN
10
IN
NOR3
N1

第22圖

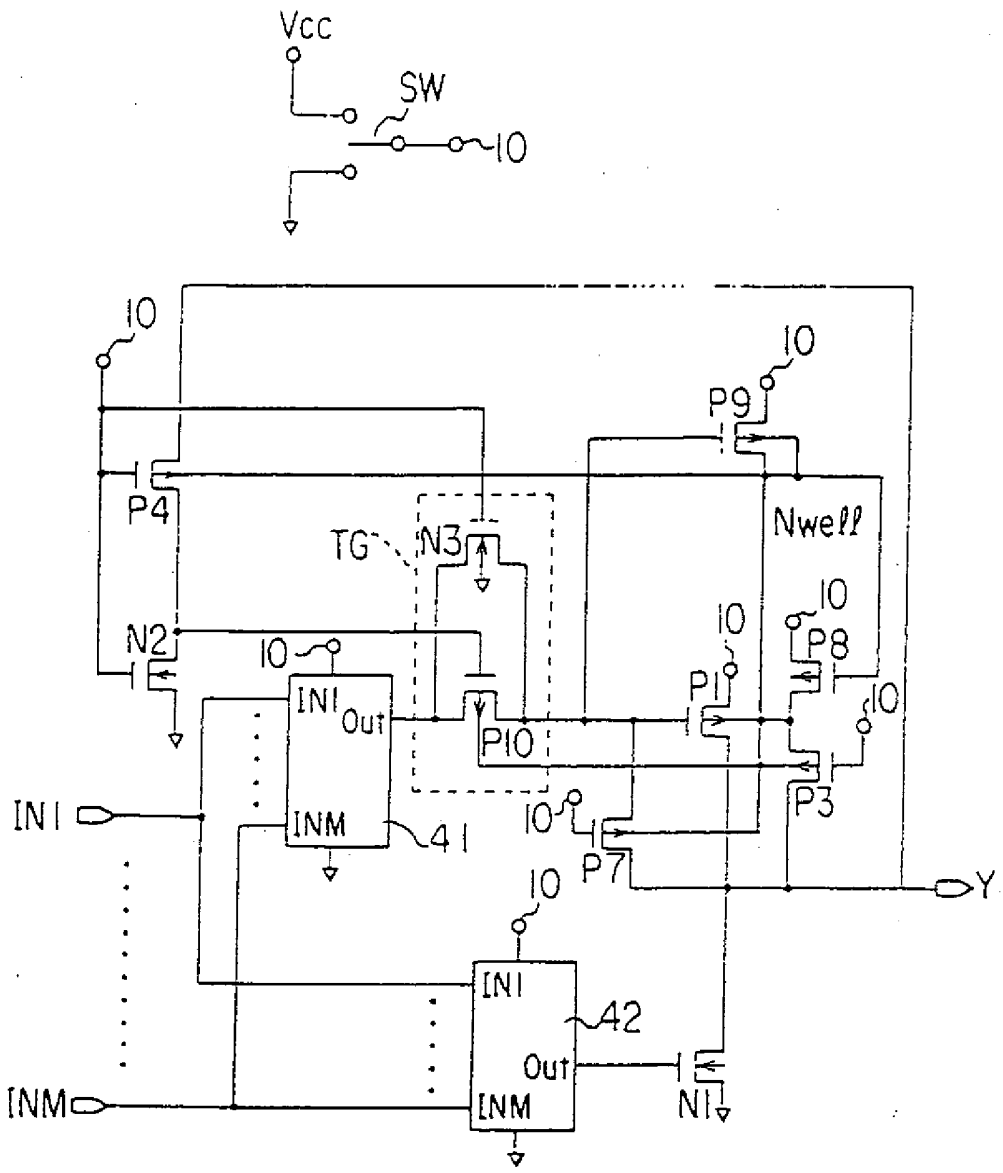

Vcc
SW
10
10
10
P6
P4
N3
P5
Nwell
10
N2
10
P1
10
NAND2
P10
P3
TG
IN1
Y
10
IN2
NAND3
N1

第23圖

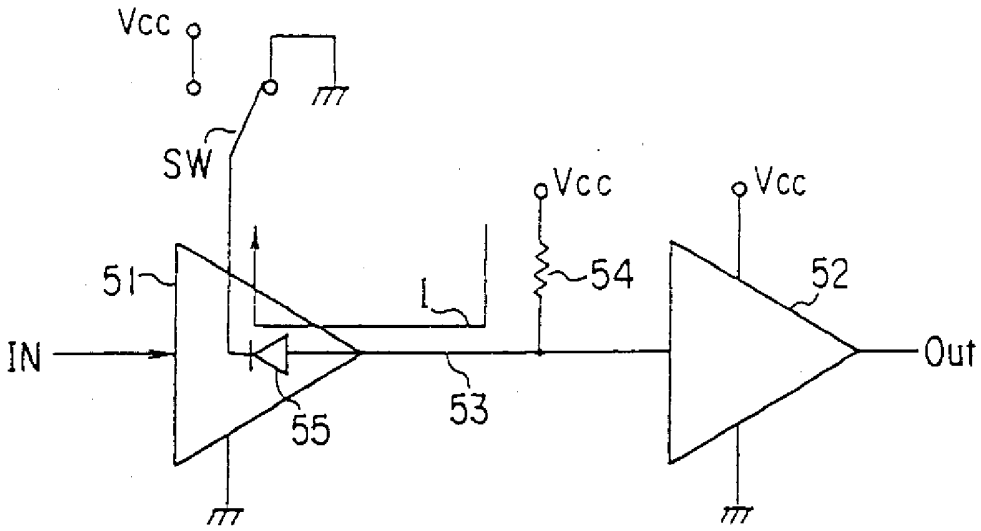

Vcc
SW
10
10
10
P6
P4
N3
P5
Nwell
N2
10
TG
10
IN1
Out
P1
10
P10
P3
IN1
INM
41
10
Y
IN1
42
Out
INM
N1
INM

4 . 0 . 24

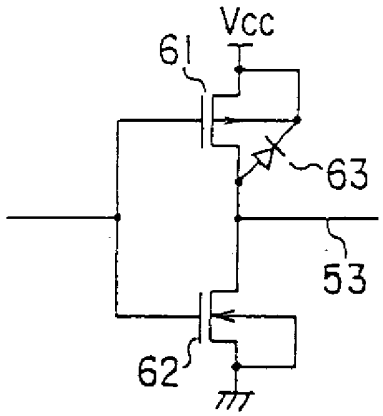
第24圖


Vcc
SW
10
10
10
P9
P4
Nwell
TG
N3
10
10
P8
N2
10
P1
IN1
Out
P10
10
P3
IN1
INM
41
10
P7
Y
10
IN1
42
Out
INM
INM
N1

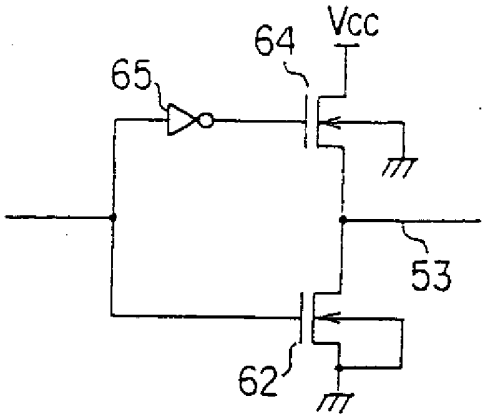
第25圖



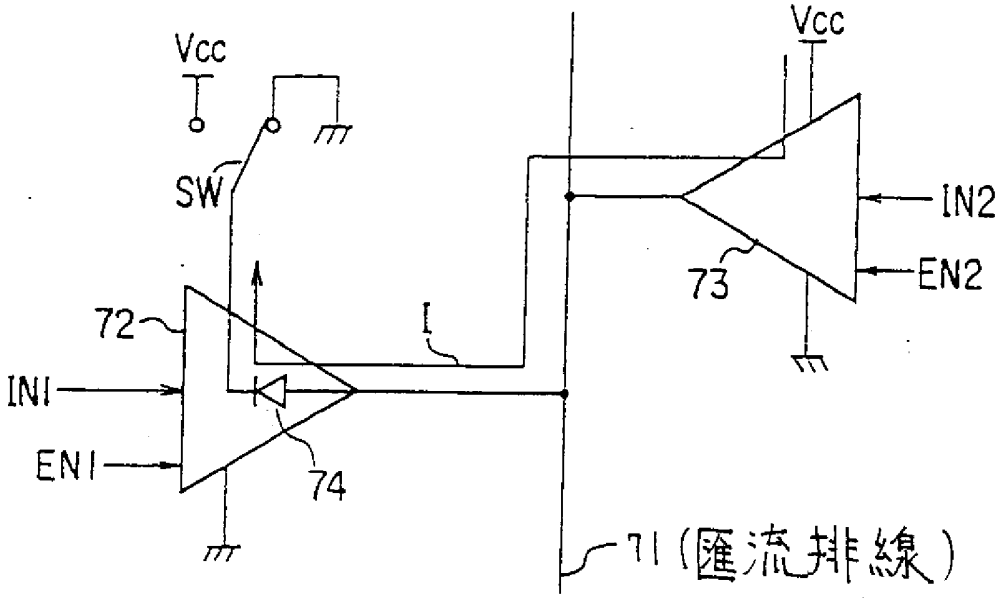
第26圖



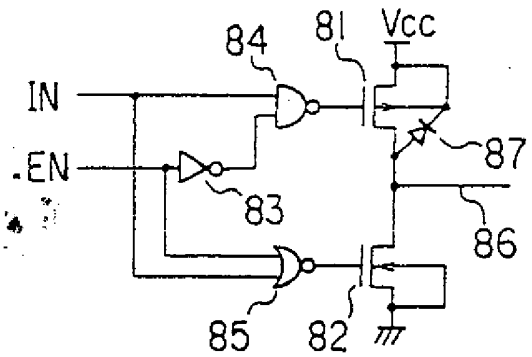
第27圖



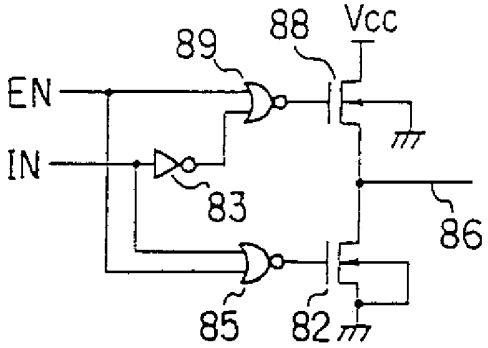
第28圖



第29圖



第30圖



附件 1. 第 85107070 號專利申請案

中文說明書(含申請專利範圍)修正本　民國 89 年 08 月修正

申請日期	85 年 6 月 12 日
案號	85107070
類別	906F 1/16

修正補充 本 89 年 8 月 15 日 A4 C4

公告本

(以上各欄由本局填註)

發明 ~~新型~~ 專利說明書 439024

一、發明 ~~新型~~ 名稱	中文	輸出電路
	英文	
二、發明 ~~創作~~ 人	姓名	(1) 茂原宏 (2) 衣笠昌典
	國籍	(1) 日本　(2) 日本
	住、居所	(1) 日本國大分縣大分市大字松岡三五〇〇番地東芝若竹寮 (2) 日本國橫浜市旭區さちが丘一四八－四－五一六
三、申請人	姓名(名稱)	(1) 東芝股份有限公司 株式会社東芝
	國籍	(1) 日本
	住、居所(事務所)	(1) 日本國神奈川縣川崎市幸區堀川町七二番地
	代表人姓名	(1) 佐藤文夫

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)