

公告本

408329

申請日期	87.8.11
案 號	87113157
類 別	G11C 11/34

A4
C4

(以上各欄由本局填註)

408329

發明專利說明書

一、發明 名稱	中 文	具有可程式延遲週期之同步半導體記憶體元件
	英 文	
二、發明 創作人	姓 名	鄭又燮
	國 籍	韓國
	住、居所	大韓民國京畿道水原市八達區梅灘 1 洞 170-5
三、申請人	姓 名 (名稱)	三星電子股份有限公司
	國 籍	韓國
	住、居所 (事務所)	大韓民國京畿道水原市八達區梅灘洞 416 番地
	代 表 人 姓 名	尹鍾龍

裝

訂

線

408329

(由本局填寫)

承辦人代碼：

A6

大類：

B6

IPC分類：

本案已向：

國(地區) 申請專利，申請日期：

案號：

，☐有 ☒無主張優先權

韓國

1997/11/20 No. 97-61349

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明（ / ）

本發明是有關於一種同步半導體記憶體元件，同步操作於一外部供給時脈訊號，且特別是有關於一種具有多延遲操作之同步隨機存取記憶體元件。

請參照第 1 圖，其繪示的具有一種能夠利用不同 CAS

（請
參

五、發明說明(二)

訊號 CSL 會被提供至區塊感測放大器與 I/O 閘 15 中，藉以使感測資料被輸出至資料匯流排 DIO 上。輸入一外部時脈 CLK 至內部時脈產生器 17 中。內部時脈產生器 17 用以產生同步於外部時脈訊號 CLK 之一內部時脈訊號 PCLK。寫入致能緩衝器 16 用以產生同步於內部時脈訊號 PCLK 之一寫入狀態訊號 $\overline{\text{PWR}}$ ，以回應一外部供給之寫入致能訊號 $\overline{\text{WE}}$ 。內部時脈產生器 18 接收模式暫存器 11 之延遲狀態訊號 CLi 與寫入狀態訊號 $\overline{\text{PWR}}$ ，用以產生同步於內部時脈訊號 PCLK 之一內部時脈訊號 FRP。內部時脈產生器 19 用以產生同步於外部時脈訊號 CLK 之一內部時脈訊號 CLKDQ。CSL 時序控制器 20 接收內部時脈訊號 PCLK，用以產生兩個控制訊號 $\overline{\text{CSLE}}$ 與 $\overline{\text{CSLD}}$ ，以控制行選擇訊號 CSL 之主動與非主動邊緣點。當然，控制訊號 $\overline{\text{CSLE}}$ 與 $\overline{\text{CSLD}}$ 同步於內部時脈訊號 PCLK。I/O 感測放大器 21 用以感測及放大資料匯流排 DIO 上的資料。在感測操作之後，放大器 21 會鎖住(latches)感測資料以回應內部時脈訊號 FRP，並提供此鎖住資料至資料匯流排 DO 中。資料輸出緩衝器 22 用以鎖住同步於內部時脈訊號 CLKDQ 之資料匯流排 DO 上的資料，此鎖住資料會被輸出至一資料輸出導腳 DOUT 上。

第 2 圖及第 3 圖分別繪示的是第 1 圖之傳統主要行解碼器 14 與 CSL 時序控制器 20 的電路結構圖，第 4 圖及第 5 圖繪示的是傳統同步記憶體元件的操作時序圖。

首先請參照第 3 圖，CSL 時序控制器 20 包括複數個反相器做為延遲裝置，用以延遲內部時脈訊號 PCLK。CSL 時

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(3)

序控制器 20 經由延遲內部時脈訊號 PCLK，產生控制訊號 $\overline{\text{CSLE}}$ 與 CSLD。訊號 $\overline{\text{CSLE}}$ 與 CSLD 用以分別控制行選擇訊號 CLD 之主動與非主動邊緣點。我們可以看出， $\overline{\text{CSLE}}$ 與 CSLD 訊號具有其不同的延遲時間週期，但無論是讀取/寫入命令及 CAS 延遲週期，每一訊號 $\overline{\text{CSLE}}$ 或 CSLD 具有一常數延遲時間週期。

請參照第 2 圖，主要行解碼器 14 包括一 NOR 邏輯閘 1、一反相器 2、P 通道 MOSFET 3 與 4、一 N 通道 MOSFET 5，以及一鎖相器(latch)8，其中鎖相器 8 包括交錯耦合之反相器 6 與 7。MOSFET 3、4 與 5 具有其電流傳導路徑，且串聯於電源供應電壓 V_{DD} 與接地電壓 V_{SS} 間。NOR 邏輯閘 1 之一輸入端接收 CSL 時序控制器 20 之控制訊號 $\overline{\text{CSLE}}$ ，其另一輸入端接收行預解碼器 13 之行位址 DCA。邏輯閘 1 提供其輸出訊號至 MOSFET 3 與 5 的閘極端。CSLD 訊號透過反相器 2 輸入至 MOSFET 4 的閘極端。鎖相器 8 耦接 MOSFET 4 與 5 之接面，並輸出行選擇訊號 CSL。

請參照第 4 圖，在外部時脈訊號 CLK 之每一區塊週期中，CSLD 訊號之脈衝後緊接著 $\overline{\text{CSLE}}$ 訊號之脈衝。舉例來說，在外部時脈訊號 CLK 之時脈週期 CK0 中，具有行位址訊號 A0 之輸入與一寫入命令(亦即低準位 WE)，訊號 PCLK 之一高準位時脈，皆同步於經由內部時脈產生器 17 所產生之時脈訊號 CLK 的上升邊緣。在不同的延遲時間週期中，CSLD 訊號之一高準位脈衝與 $\overline{\text{CSLE}}$ 訊號之一低準位脈衝，同步於 PCLK 訊號之脈衝。當 CSLD 與 $\overline{\text{CSLE}}$ 訊號為非

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(4)

主動時，因為 DAC 訊號(A0)維持整個週期為主動低(active low)，故 MOSFET 3 為開啓，而 MOSFET 4 與 5 為關閉。在 MOSFET 3 為開啓的情況下，假如 CSLD 訊號變為主動高(active high)，則 MOSFET 4 會變為開啓，並經由鎖相器 8 鎖在一低邏輯訊號。因此，主要解碼器 14 之 CSL 訊號會維持在一低邏輯準位。之後，假如在 CSLD 訊號變為非主動後，CSLE 訊號變為主動低(active low)，則 MOSFET 5 會變為開啓，鎖相器 8 會將 CSL 訊號鎖在一高邏輯準位。所以，主要行解碼器 14 會輸出一高準位 CSL 訊號 42。如第 4 圖所示，高準位 CSL 訊號 42、44 與 46 分別對應於位址訊號 A0、A1 與 A2。我們可以看出，在連續讀取週期 CK1-CK3 中，CSL 訊號之主動與非主動邊緣點，是由 CSLE 與 CSLD 訊號所控制。

第 5 圖繪示的是當 CAS 延遲是 3 個時脈週期時的時序圖。請參照第 5 圖，在時脈週期 CK3 中，在外部時脈訊號 CLK 之時脈週期 CK1 後延遲兩個時脈週期，用以同步一讀取命令(例如一高準位 WE 訊號)輸入，一第一資料會經由一資料輸出導腳 DOUT 輸出。因此，一處理器例如 CPU，可將此資料校入時脈訊號 CLK 之時脈週期 CK4 中。由圖中可看出，脈衝訊號 FRP 與 CLKDQ 分別用以將資料鎖住在時脈週期 CK2 與 CK3 中。對 2 個 CAS 延遲而言，會產生訊號 FRP，而對 3 個 CAS 延遲而言，則會產生 FRP 與 CLKDQ 訊號。因此，必須適當地限定做為 2 個與 3 個 CAS 延遲之時脈率範圍(大約 34 至 100MHZ)以及 FRP 訊號之時序。換

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(5)

言之，必須加以限定 FRP 訊號之主動與非主動邊緣點，對 2 個與 3 個 CAS 延遲而言，一第一資料 D1 會經由 FRP 訊號將之鎖住在時脈週期 CK2 伴隨時脈週期 CK3，用以同步一讀取命令輸入。

然而，如果 CAS 延遲是 3 個週期且時脈率很高(例如大約或超過 100MHZ)，當 FRP 訊號維持在主動狀態時(即在時脈週期 CK3 期間)，此時可能會出現一個問題，亦即無效資料 D2 會出現於匯流排 DIO 上(即資料 D2 之抵達會比 CAS 延遲之抵達操作早大約時間 $\Delta T1$)。這是因為無論 CAS 延遲週期如何以及不允許使 FRP 訊號不受限制的快的情況下，CSL 之主動與非主動邊緣點會經由 CSLE 及 CSLD(這些訊號同步於時脈訊號 CLK)限定。所以，在時脈週期 CK3 期間，無效資料 D2 會因此被 I/O 感測放大器 21 鎖住，並經由資料輸出緩衝器 22 輸出至導腳 DOUT，甚或在此週期期間，有效資料 D1 也被輸出，而造成資料讀出錯誤。

為了解決上述問題，必須要有一快速 FRP 訊號，但是要使 FRP 訊號快速並非易事，只有在週期 CK1 之時脈訊號 CK1 同步一讀取命令輸入後及其時序被時脈訊號 CLK 連續控制下，FRP 訊號在週期 CK2 下觸發才有可能。

另一解決上述問題的方法，係延遲 CSL 訊號之主動邊緣點，只用以具有 3 個 CAS 延遲之讀取操作。然而，依照本方法，將會產生另一問題，即具有 2 個 CAS 延遲之高速讀取操作未被擔保，因為只有在週期 CK1 同步一讀取命令輸入後，週期 CK2 之一第一資料才會被輸出。因此，只延

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(6)

遲 CAS 訊號之時序做為 3 個 CAS 延遲是不合理的。

因此，本發明的目的就是在提供一種同步半導體記憶體元件，能夠在具有 3 個或更多 CAS 延遲之一讀取操作下，防止資料讀出錯誤，如同擔保具有 2 個或 1 個 CAS 延遲之一高速資料讀出操作。

為達成本發明之上述和其他目的，本發明提供一種同步半導體記憶體元件，適用於依據 CAS 延遲週期，控制行選擇訊號之主動與非主動邊緣點。當一 CAS 延遲等於或大於一外部時脈週期之預定數時，模式暫存器會產生一延遲狀態訊號。一主要行解碼器用以解碼同步於外部時脈訊號之一行預解碼器之行位址訊號，產生一行選擇訊號 CSL。一 CSL 時序控制器用以控制行選擇訊號 CSL 之主動與非主動邊緣點，以回應上述延遲狀態訊號。

依照本發明一較佳實施例，一模式暫存器用以產生一第一延遲狀態訊號與一第二延遲狀態訊號，在一讀取操作期間，當一 CAS 延遲小於一外部時脈週期之預定數時，第一延遲狀態訊號會變為觸發，當一 CAS 延遲等於或大於上述預定數時，第二延遲狀態訊號會變為觸發。較佳的是，當一 CAS 延遲小於三個時脈週期時，第一延遲狀態訊號會變為觸發，當一 CAS 延遲等於或大於三個時脈週期時，第二延遲狀態訊號會變為觸發。一內部時脈產生器接收一外部供給時脈訊號，並產生同步於外部時脈訊號之一內部時脈訊號。一寫入致能緩衝器用以產生同步於內部時脈訊號之一寫入狀態訊號，以回應一外部供給寫入致能訊號。在

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(7)

一寫入操作期間，寫入狀態訊號會隨同外部寫入致能訊號變為觸發。一 CSL 時序控制器用以產生同步於內部時脈訊號之第一與第二控制訊號，以回應第二延遲狀態訊號與寫入狀態訊號。第一與第二控制訊號分別用以控制行選擇訊號 CSL 之主動與非主動邊緣點。當第二延遲狀態訊號比第一延遲狀態訊號先觸發時，第一與第二控制訊號會多延遲一預定時間週期。一主要行解碼器產生行選擇訊號 CSL，以回應一行預解碼器之一行位址訊號及第一與第二控制訊號。

綜上所述，本發明之同步記憶體元件，可防止因 CAS 延遲週期之變化而造成資料讀出錯誤的問題，並適用於依據 CAS 延遲週期，控制行選擇訊號之主動與非主動邊緣點。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1 圖繪示的是習知一種同步記憶體元件的方塊圖；

第 2 圖繪示的是第 1 圖之主要行解碼器的電路圖；

第 3 圖繪示的是第 1 圖之 CSL 時序控制器的電路圖；

第 4 圖及第 5 圖繪示的是傳統同步記憶體元件的操作時序圖；

第 6 圖繪示的是依照本發明較佳實施例的一種同步記憶體元件的方塊圖；

五、發明說明 (8)

第 7 圖繪示的是第 6 圖較佳實施例之寫入致能緩衝器的電路圖；

第 8 圖繪示的是第 6 圖較佳實施例之 CSL 時序控制器的電路圖；

第 9 圖繪示的是第 6 圖較佳實施例之主要行解碼器的電路圖；以及

第 10 圖及第 11 圖繪示的是依照本發明較佳實施例之同步記憶體元件的操作時序圖。

實施例

請參照第 6 圖，其繪示的是依照本發明一較佳實施例的一種同步記憶體元件的方塊圖，適用於各種不同 CAS 延遲操作模式。同步記憶體包括一記憶胞陣列 100，一模式暫存器 110，一行位址緩衝器 120，一行預解碼器 130，一主要行解碼器 140，一區塊感測放大器與輸入/輸出(I/O)閘電路 150，一寫入致能緩衝器 160，內部時脈產生器 170,180 與 190，一 CSL 時序控制器 200，一 I/O 感測放大器 210，以及一資料輸出緩衝器 220。

記憶胞陣列 100 包括複數個動態隨機存取記憶體 (DRAM)，或靜態隨機存取記憶體 (SRAM)，或排列在列與行之可讀取及可寫入之非揮發性記憶胞。模式暫存器 110 儲存資料，用以控制同步記憶體之各種操作模式。模式暫存器 110 可編程 CAS 延遲、位址模式、脈衝長度、側視模式，以及各種特性選擇，使同步記憶體適用於各種不同應用。暫存器 110 會在電源開啓後與正常操作前被程式化。另

訂

總

五、發明說明(9)

外，暫存器 110 會在操作期間被改變。當維持晶片選擇訊號 $\overline{\text{CS}}$ ，列位址選通訊號 $\overline{\text{RAS}}$ ，行位址選通訊號 $\overline{\text{CAS}}$ 與寫入致能訊號 $\overline{\text{WE}}$ 為低準位(low)時，”模式暫存器設定週期”會被啓始化，且存在於位址線之有效模式訊息會被寫入至暫存器 110 中。在操作模式下，模式暫存器 110 會產生兩個延遲狀態訊號 CLx 及 CLy。在一讀取操作期間，當 CAS 延遲小於外部時脈週期(例如 3 個時脈週期)之一預定數時，僅延遲狀態訊號 CLx 會變為觸發，當 CAS 延遲等於或大於外部時脈週期(亦即 3 個週期)時，僅延遲狀態訊號 CLy 會變為觸發。行位址 CA 會透過行位址緩衝器 120 提供至行預解碼器 130，並經由解碼器 130 將之解碼。經由使用預解碼器 130 所產生之一解碼行位址 DAC，主要行解碼器 140 會產生一行選擇訊號 CSL 做為選擇記憶胞陣列 100 之行。行選擇訊號 CSL 會被提供至區塊感測放大器與 I/O 閘 150 中，藉以使感測資料經由 CSL 訊號輸出至資料匯流排 DIO 上。輸入一外部時脈 CLK 至內部時脈產生器 170 中。內部時脈產生器 170 用以產生同步於外部時脈訊號 CLK 之一內部時脈訊號 PCLK。寫入致能緩衝器 160 用以產生同步於內部時脈訊號 PCLK 之一寫入狀態訊號 PWR，以回應一外部供給之寫入致能訊號 $\overline{\text{WE}}$ 。內部時脈產生器 180 接收模式暫存器 110 之延遲狀態訊號 CLx 及 CLy 與寫入狀態訊號 PWR，用以產生同步於內部時脈訊號 PCLK 之一內部時脈訊號 FRP。內部時脈產生器 190 用以產生同步於外部時脈訊號 CLK 之一內部時脈訊號 CLKDQ。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(10)

CSL 時序控制器 200 接收模式暫存器 110 之延遲狀態訊號 CLy、寫入致能緩衝器 160 之寫入狀態訊號 PWR，以及內部時脈產生器 170 之時脈訊號 PCLK。控制器 200 用以產生兩個控制訊號 CSLE 與 CSLD，以控制行選擇訊號 CSL 之主動與非主動邊緣點。當然，控制訊號 $\overline{\text{CSLE}}$ 與 CSLD 同步於內部時脈訊號 PCLK。當延遲狀態訊號 CLy 比延遲狀態訊號 CLx 先觸發時，控制訊號 $\overline{\text{CSLE}}$ 與 CSLD 會多延遲一預定時間週期，將描述於下。受制於這些控制訊號 $\overline{\text{CSLE}}$ 與 CSLD 的控制，並經由解碼行預解碼器 130 之行位址訊號 DAC，主要行解碼器 140 會產生具有各種 CAS 延遲週期之一行選擇訊號 CSL 之主動與非主動邊緣點，將如下所描述。

I/O 感測放大器 210 用以感測及放大資料匯流排 DIO 上的資料。在感測操作之後，放大器 210 會鎖住感測資料以回應時脈產生器 180 之內部時脈訊號 FRP，並提供此鎖住資料至資料匯流排 DO 中。資料輸出緩衝器 220 用以鎖住同步於內部時脈訊號 CLKDQ 之資料匯流排 DO 上的資料，此鎖住資料會被輸出至一資料輸出導腳 DOUT 上。

第 7 圖繪示的是本發明較佳實施例之寫入致能緩衝器 160 的電路圖。請參照第 7 圖，緩衝器 160 包括一比較器 162、反向器 IV1、IV2 與 IV3、傳輸閘 TG1 與 TG2 做為開關器，以及鎖相器 164 與 166，其中比較器 162 包括一差動放大器，而每一鎖相器 164 與 166 包括交錯耦合之反相器對 IV4 與 IV5，或 IV6 與 IV7。

(請先閱讀背面之注意事項再填寫本頁)

訂

續

五、發明說明(11)

當寫入致能訊號 $\overline{\text{WE}}$ 之電位低於參考訊號 VREF 之電位時，亦即在寫入操作下，節點 A 會維持在高準位(high)。相反地，當寫入致能訊號 $\overline{\text{WE}}$ 之電位高於參考訊號 VREF 之電位時，亦即在讀取操作下，節點 A 會維持在低準位(low)。若是內部時脈產生器 170 之時脈訊號 PLK 變為低準位，則傳輸閘 TG1 會被開啓，但傳輸閘 TG2 會被關閉，故節點 A 之電位會透過反向器 IV1 與 IV2 傳送至鎖相器 164，其中反向器 IV1 與 IV2 係做為延遲裝置。當時脈訊號 PLK 變為高準位時，傳輸閘 TG1 會被關閉，但傳輸閘 TG2 會被開啓，故鎖相器 164 之輸出訊號會被輸出至鎖相器 166。鎖相器 166 之輸出訊號做為寫入狀態訊號 PWR ，並提供至內部時脈產生器 180 與 CSL 時序控制器 200 中。上述產生之寫入狀態訊號 PWR 同步於內部時脈產生器 170 之 PLC 訊號。

請參照第 8 圖，其繪示的是本發明較佳實施例之 CSL 時序控制器 200 的電路圖。控制器 200 用以產生同步於時脈訊號 PCLK 之控制訊號 $\overline{\text{CSLE}}$ 與 CSLD ，以回應延遲狀態訊號 CLy 及寫入狀態訊號 PWR 。當延遲狀態訊號 CLy 比延遲狀態訊號 CLx 先觸發時，控制訊號 $\overline{\text{CSLE}}$ 與 CSLD 會多延遲一預定時間週期 $\Delta T2$ 。 CSL 時序控制器 200 包括延遲電路 201 至 204。電路 201 係由反向器 IV8 至 IV11 所組成，用以延遲內部時脈訊號 PCLK 做為一第一預定延遲時間。延遲邏輯電路 204 包括 NAND 邏輯閘 G1 至 G4 以及反向器 IV12 至 IV14 。延遲邏輯電路 204 提供延遲電路 201 之輸出

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(12)

PCLKD 一訊號路徑 PCS3 上之第二預定延遲時間，或一訊號路徑 PCS2 上之第三預定延遲時間，以回應狀態訊號 CLy 與 PWR，並依據第二或第三延遲時間，產生一輸出訊號 PCLKDD。第三延遲時間比第二延遲時間長一時間週期 $\Delta T2$ 。較特別的是，在讀取操作下，其中 PWR 訊號維持在高準位，假如 CLy 訊號是低準位，則訊號路徑 PCS1 與 PCS2 上的電位會變為高準位。延遲電路 201 之輸出 PCLKD 會經由 NAND 邏輯閘 G2 及 G3 傳送至延遲電路 202 中。反之，假如 CLy 訊號是高準位，則訊號路徑 PCS1 上的電位會變為低準位，而路徑 PCS3 的電位會變為高準位。因此，延遲電路 201 之輸出 PCLKD 會經由 NAND 邏輯閘 G3、反向器 IV13 與 IV14 以及 NAND 邏輯閘 G4 傳送至延遲電路 202 中。延遲電路 202 包括反向器 IV15 至 IV19，用以經由提供一第四預定延遲時間至延遲電路 204 之輸出訊號 PCLKDD，產生第一控制訊號 CSLE。電路 203 包括反向器 IV20 與 IV21，用以經由提供一第五預定延遲時間至延遲電路 204 之輸出訊號 PCLKDD，產生第二控制訊號 CSLD。

第 9 圖繪示的是主要行解碼器 140 的電路圖。請參照第 9 圖，主要行解碼器 140 包括一 NOR 邏輯閘 G5、一反向器 IV22、P 通道 MOSFET MP1 與 MP2、一 N 通道 MOSFET MN1，以及一鎖相器 141，其中鎖相器 141 係由交錯耦合之反向器 IV23 與 IV24 所組成。MOSFET MP1、MP2 與 MN1 具有其電流傳導路徑，且串聯於電源供應電壓 V_{DD} 與接地電壓 V_{SS} 間。NOR 邏輯閘 G5 之一輸入端接收 CSL 時序控制器

(請先閱讀背面之注意事項再填寫本頁)

訂

統

五、發明說明 (13)

200 之控制訊號 $\overline{\text{CSLE}}$ ，其另一輸入端接收行預解碼器 130 之行位址 DCA。NOR 邏輯閘 G5 提供其輸出訊號至 MOSFET MP1 與 MN1 的閘極端。CSLD 訊號透過反相器 IV22 輸入至 MOSFET MP2 的閘極端。鎖相器 141 耦接 MOSFET MP2 與 MN1 之接面，並輸出行選擇訊號 CSL。

第 10 圖及第 11 圖繪示的是依照本發明較佳實施例之同步記憶體元件的操作時序圖。

請參照第 10 圖，在外部時脈訊號 CLK 之每一區塊週期中，CSLD 訊號之脈衝後緊接著 $\overline{\text{CSLE}}$ 訊號之脈衝。舉例來說，在外部時脈訊號 CLK 之時脈週期 CK0 中，具有行位址訊號 A0 之輸入與一寫入命令(亦即低準位 $\overline{\text{WE}}$)，訊號 PCLK 之一高準位時脈，皆同步於經由內部時脈產生器 170 所產生之時脈訊號 CLK 的上升邊緣。在不同的延遲時間週期中，CSLD 訊號之一高準位脈衝與 $\overline{\text{CSLE}}$ 訊號之一低準位脈衝，同步於 PCLK 訊號之脈衝。當 CSLD 與 $\overline{\text{CSLE}}$ 訊號為非主動時，因為 DAC 訊號(A0)維持整個週期為主動低(active low)，故 MOSFET MP1 為開啓，而 MOSFET MP2 與 MN1 為關閉。在 MOSFET MP1 為開啓的情況下，假如 CSLD 訊號變為主動高(active high)，則 MOSFET MP2 會變為開啓，並經由鎖相器 141 鎖在一低邏輯訊號。因此，主要解碼器 140 之 CSL 訊號會維持在一低邏輯準位。之後，假如在 CSLD 訊號變為非主動後， $\overline{\text{CSLE}}$ 訊號變為主動低(active low)，則 MOSFET MN1 會變為開啓，鎖相器 141 會將 CSL 訊號鎖在一高邏輯準位。所以，主要行解碼器 140 會輸出一高準位

(請先閱讀背面之注意事項再填寫本頁)

訂

續

五、發明說明 (14)

CSL 訊號 82。在此同時，PWR 訊號為高準位時，若是 CLy 訊號是低準位(亦即當 CAS 延遲小於 3 個時脈週期時)，則延遲電路 201 之輸出 PCLKD 會經由 NAND 邏輯閘 G2 及 G3 傳送至延遲電路 202 中。反之，假如 CLy 訊號是高準位(亦即當 CAS 延遲等於或大於 3 個時脈週期時)，則延遲電路 201 之輸出 PCLKD 會經由 NAND 邏輯閘 G3、反向器 IV13 與 IV14 以及 NAND 邏輯閘 G4 傳送至延遲電路 202 中。故，當 CAS 延遲是 3 或更多時比當 CAS 延遲是 1 或 2 時，控制訊號 $\overline{\text{CSLE}}$ 與 $\overline{\text{CSLD}}$ 會多延遲時間週期 $\Delta T2$ 。因此，行選擇訊號 CSL 之主動與非主動邊緣點會被延遲做為時間週期 $\Delta T2$ 。如第 10 圖所示，高準位 CSL 訊號 82、84 與 86 分別對應於位址訊號 A0、A1 與 A2，同時高準位 CSL 訊號 88、90 與 92 也分別對應於位址訊號 A0、A1 與 A2。我們可以看出，在連續讀取週期 CK1-CK3 中，CSL 訊號之主動與非主動邊緣點，是由 $\overline{\text{CSLE}}$ 與 $\overline{\text{CSLD}}$ 訊號所控制。

第 11 圖繪示的是當 CAS 延遲是 3 個時脈週期時的時序圖。請參照第 11 圖，雖然脈衝訊號 FRP 用以鎖住資料於時脈訊號 CLK 之時脈週期 CK2 中，是由於具有 2 個 CAS 延遲之高速讀取操作的因素，因為行選擇訊號 CSL 之主動邊緣點會在時脈週期 CK2 中延遲時間週期 $\Delta T2$ ，故資料 D2 會在 FRP 訊號之下降邊緣點之一過去時間週期 $\Delta T3$ 後，被提供至資料匯流排 DIO 上。因此，擔保具有 2 個 CAS 延遲之高速讀取操作下，經由各種控制 CSL 訊號之主動與非主動邊緣點，並依據 CAS 延遲週期，使得在具有 3 個(或更

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (15)

多)CAS 延遲之讀取操作下，可避免發生資料讀出錯誤的情形。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要 (發明之名稱：

具有可程式延遲週期之同步半導體
記憶體元件

一種半導體記憶體元件，適用於依據 CAS 延遲週期，控制行選擇訊號之主動與非主動邊緣點。一 CSL 時序控制器用以產生同步於一內部時脈訊號之第一與第二 CSL 控制訊號。第一與第二 CSL 控制訊號分別用以控制行選擇訊號之主動與非主動邊緣點。當一延遲狀態訊號比另一延遲狀態訊號先觸發時，第一與第二控制訊號會多延遲一預定時間週期。一主要行解碼器用以產生上述行選擇訊號，以回應一行預解碼器之一行位址訊號及第一與第二控制訊號。

英文發明摘要 (發明之名稱：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1.一種同步半導體記憶體元件，同步操作於一外部時脈訊號，包括：

一裝置用以產生一狀態訊號，當一行位址選通(CAS)延遲等於或大於一外部時脈週期之預定數時，該狀態訊號會變為觸發；

一裝置用以經由解碼同步於該外部時脈週期之一行位址訊號產生一行選擇訊號；以及

一裝置用以各種控制該行選擇訊號之主動與非主動邊緣點，以回應該狀態訊號。

2.如申請專利範圍第 1 項所述之記憶體元件，其中當一 CAS 延遲等於或大於三個時脈週期時，該狀態訊號會變為觸發。

3.如申請專利範圍第 2 項所述之記憶體元件，其中當該控制訊號觸發時，用以控制該行選擇訊號之該裝置，延遲該行選擇訊號之主動與非主動邊緣點做為一預定時間週期。

4.如申請專利範圍第 1 項所述之記憶體元件，其中該記憶體元件是一動態隨機存取記憶體(DRAM)元件。

5.一種同步半導體記憶體元件，同步操作於一外部時脈訊號，包括：

一裝置用以產生一第一狀態訊號，當一行位址選通(CAS)延遲等於或大於一外部時脈週期之預定數時，該第一狀態訊號會變為觸發；

一裝置用以產生同步於該外部時脈訊號之一內部時脈

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

訊號；

一裝置用以產生同步於該內部時脈訊號之一第二狀態訊號，以回應一外部供給寫入致能訊號，該第二狀態訊號在一寫入操作期間係為觸發；

一裝置用以產生同步於該內部時脈訊號之一第一與一第二控制訊號，以回應該第一與該第二狀態訊號；以及

一裝置用以經由解碼一行位址訊號產生一行選擇訊號，該行選擇訊號產生裝置改變該行選擇訊號之主動與非主動邊緣點，以回應該第一與該第二控制訊號。

6.如申請專利範圍第5項所述之記憶體元件，其中當一CAS延遲等於或大於三個時脈週期時，該行選擇訊號產生裝置延遲該行選擇訊號之主動與非主動邊緣點做為一預定時間週期。

7.一種同步半導體記憶體元件，同步操作於一外部時脈訊號(CLK)，包括：

一裝置用以產生一第一狀態訊號與一第二狀態訊號，在一讀取操作期間，當一行位址選通(CAS)延遲小於一外部時脈週期之預定數時，該第一狀態訊號會變為觸發，當一CAS延遲等於或大於該預定數時，該第二狀態訊號會變為觸發；

一裝置用以產生同步於該外部時脈訊號之一內部時脈訊號；

一裝置用以產生同步於該內部時脈訊號之一第三狀態訊號，以回應一外部供給寫入致能訊號，該第三狀態訊號

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

在一寫入操作期間會變為觸發；

一裝置用以產生同步於該內部時脈訊號之一第一與一第二控制訊號，以回應該第二與該第三狀態訊號，當該第二狀態訊號比該第一狀態訊號先觸發時，該第一與該第二控制訊號會多延遲一預定時間週期；以及

一裝置用以產生一行選擇訊號，以回應一行位址訊號及該第一與該第二控制訊號，藉以該行選擇訊號之主動與非主動邊緣點變化於該 CAS 延遲週期。

8.如申請專利範圍第 7 項所述之記憶體元件，其中當一 CAS 延遲小於三個時脈週期時，該第一狀態訊號會變為觸發，當一 CAS 延遲等於或大於三個時脈週期時，該第二狀態訊號會變為觸發。

9.如申請專利範圍第 8 項所述之記憶體元件，其中該記憶體元件是一動態隨機存取記憶體(DRAM)元件。

10.如申請專利範圍第 7 項所述之記憶體元件，其中該控制訊號產生裝置包括：

一第一延遲裝置，用以提供一第一延遲時間至該內部時脈訊號；

一第二延遲裝置，用以提供一第二延遲時間或一第三延遲時間至該第一延遲裝置之一輸出，以回應該第二與第三狀態訊號，該第二與該第三延遲時間彼此不同；

一第三延遲裝置，用以提供一第四延遲時間至該第二延遲裝置之一輸出訊號，並產生該第一控制訊號；以及

一第四延遲裝置，用以提供一第五延遲時間至該第二

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

延遲裝置之該輸出訊號，並產生該第二控制訊號。

11.如申請專利範圍第 10 項所述之記憶體元件，其中該第二延遲裝置包括複數個 NAND 邏輯閘及複數個反相器。

(請先閱讀背面之注意事項再填寫本頁)

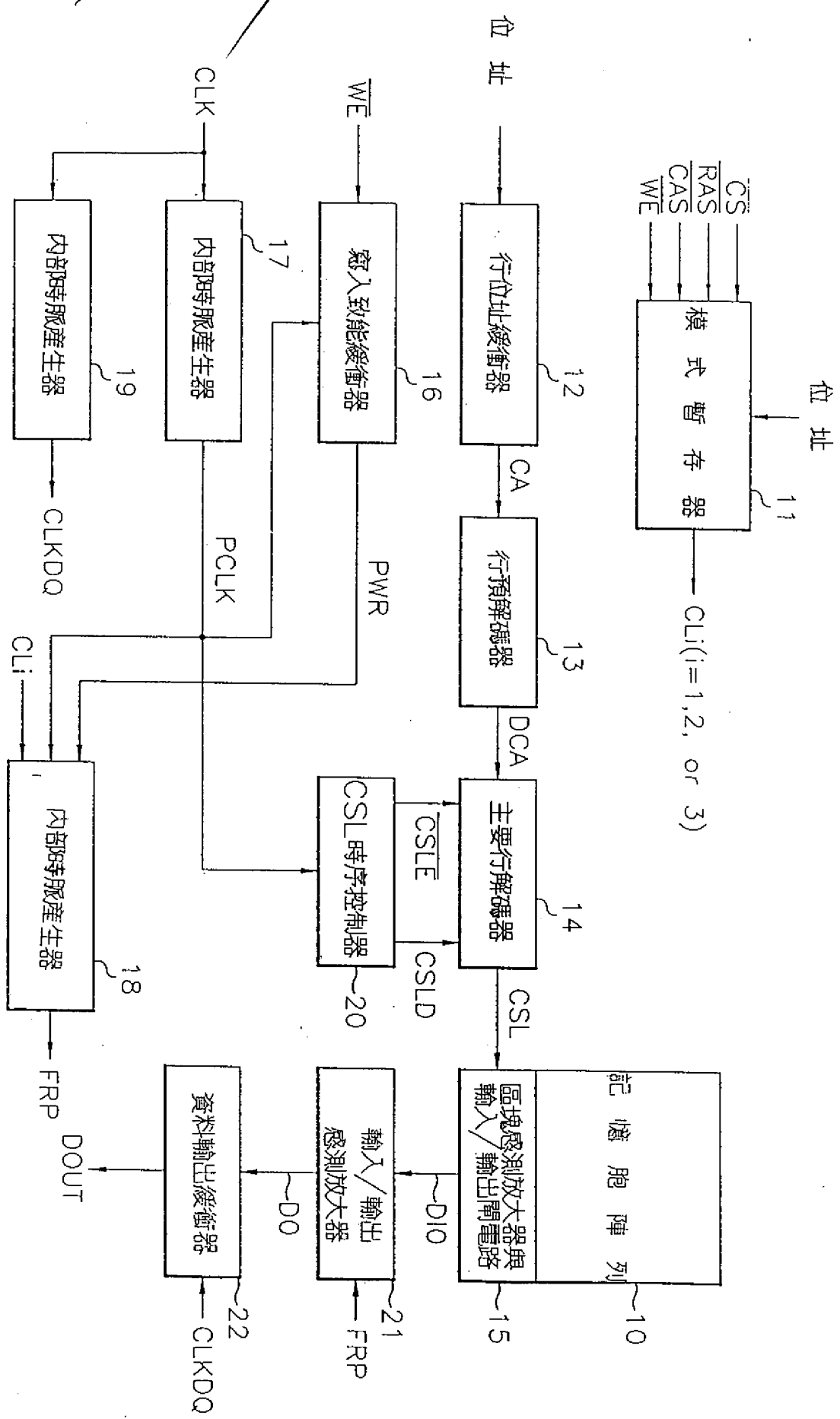
裝

訂

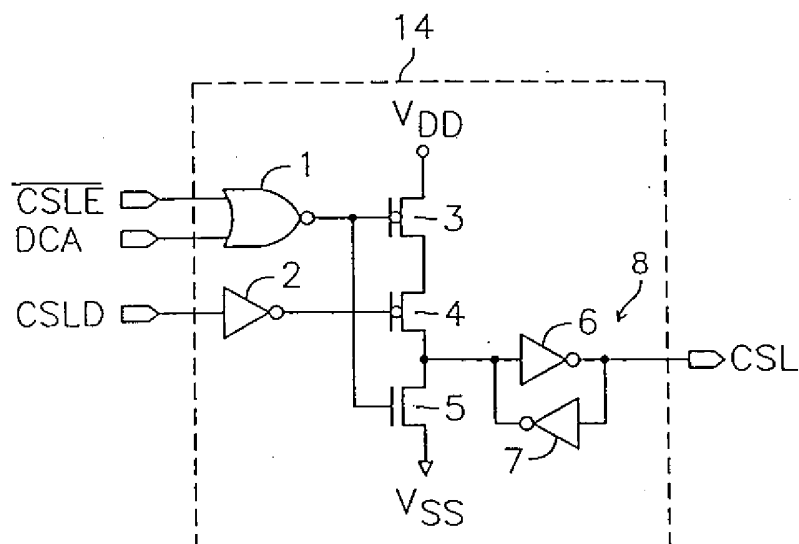
線

408329

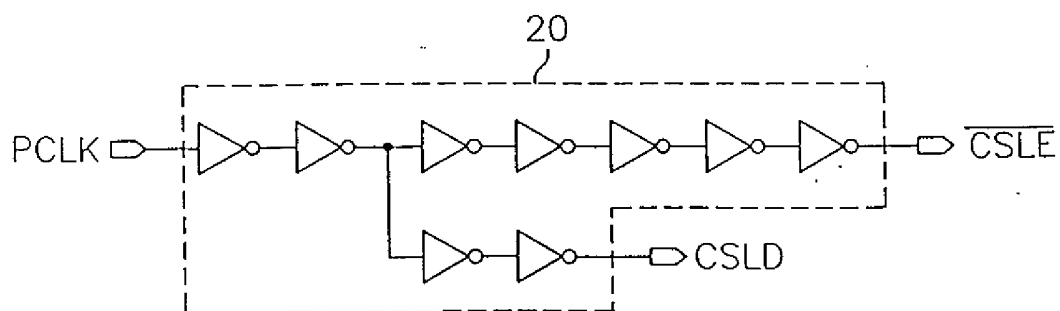
8711315



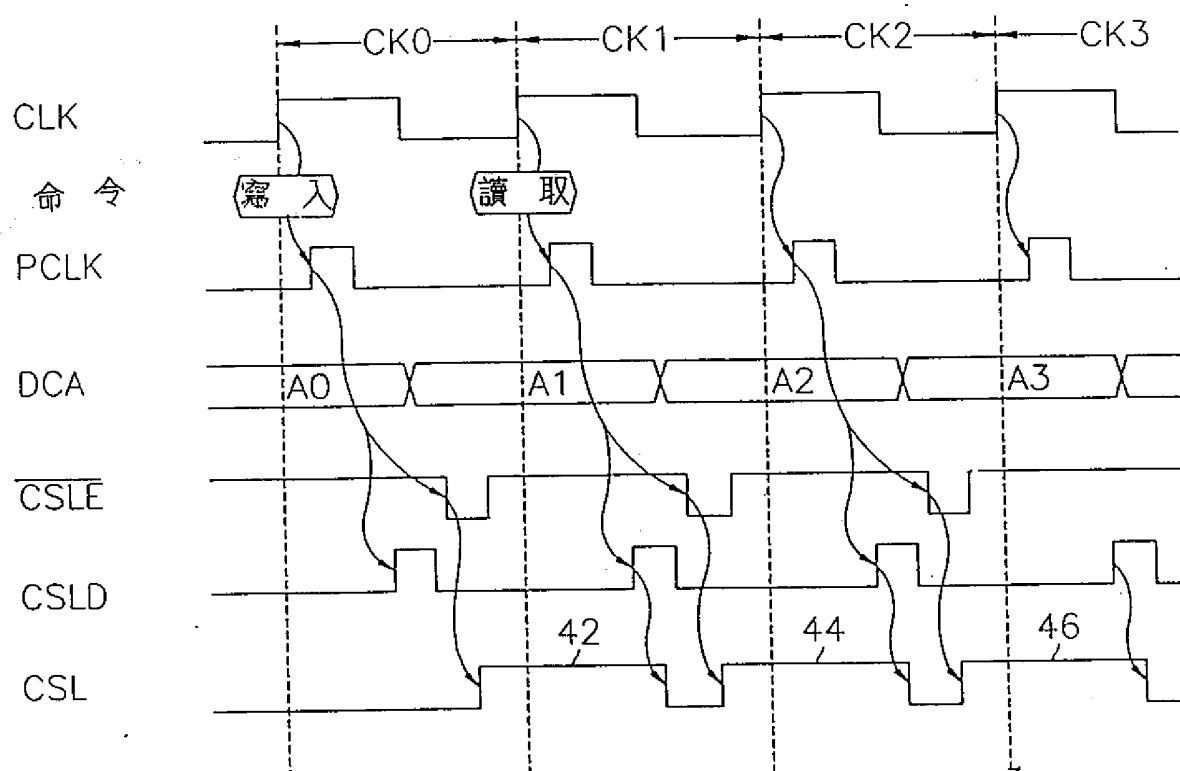
第 1 圖



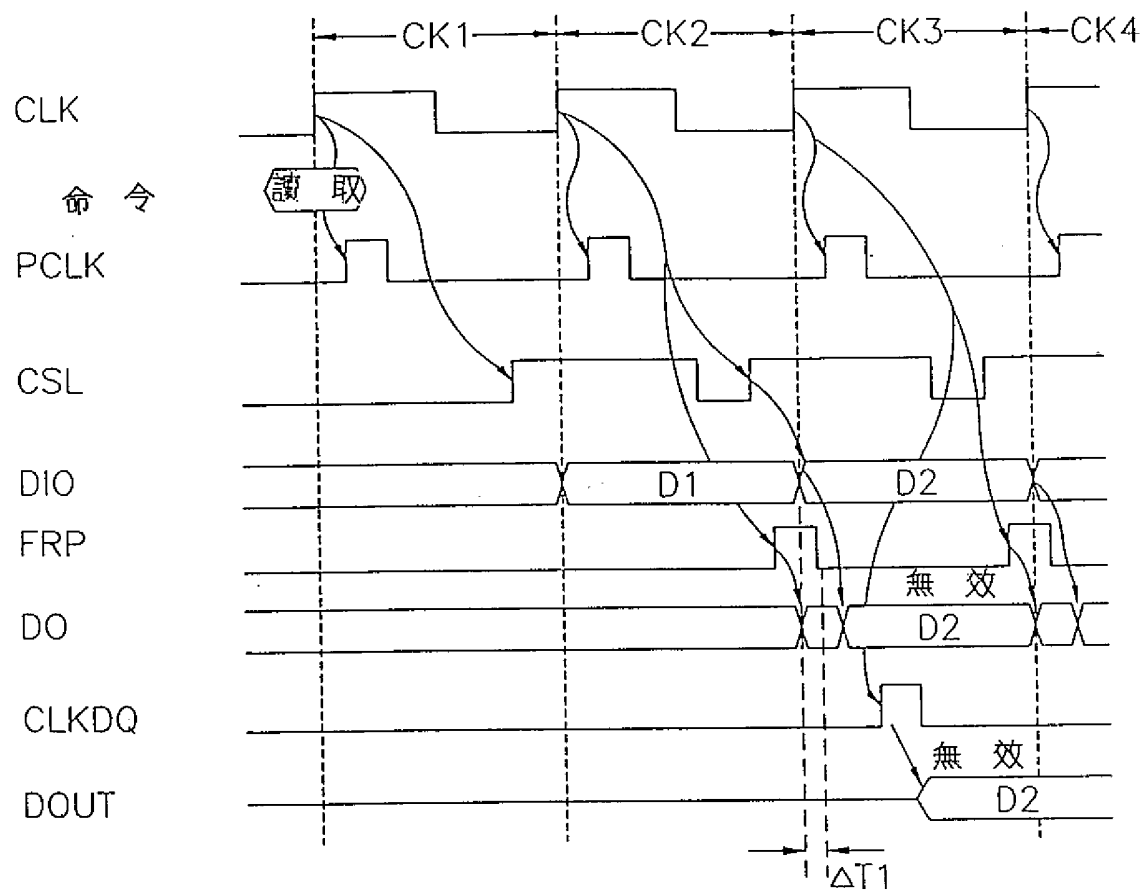
第 2 圖



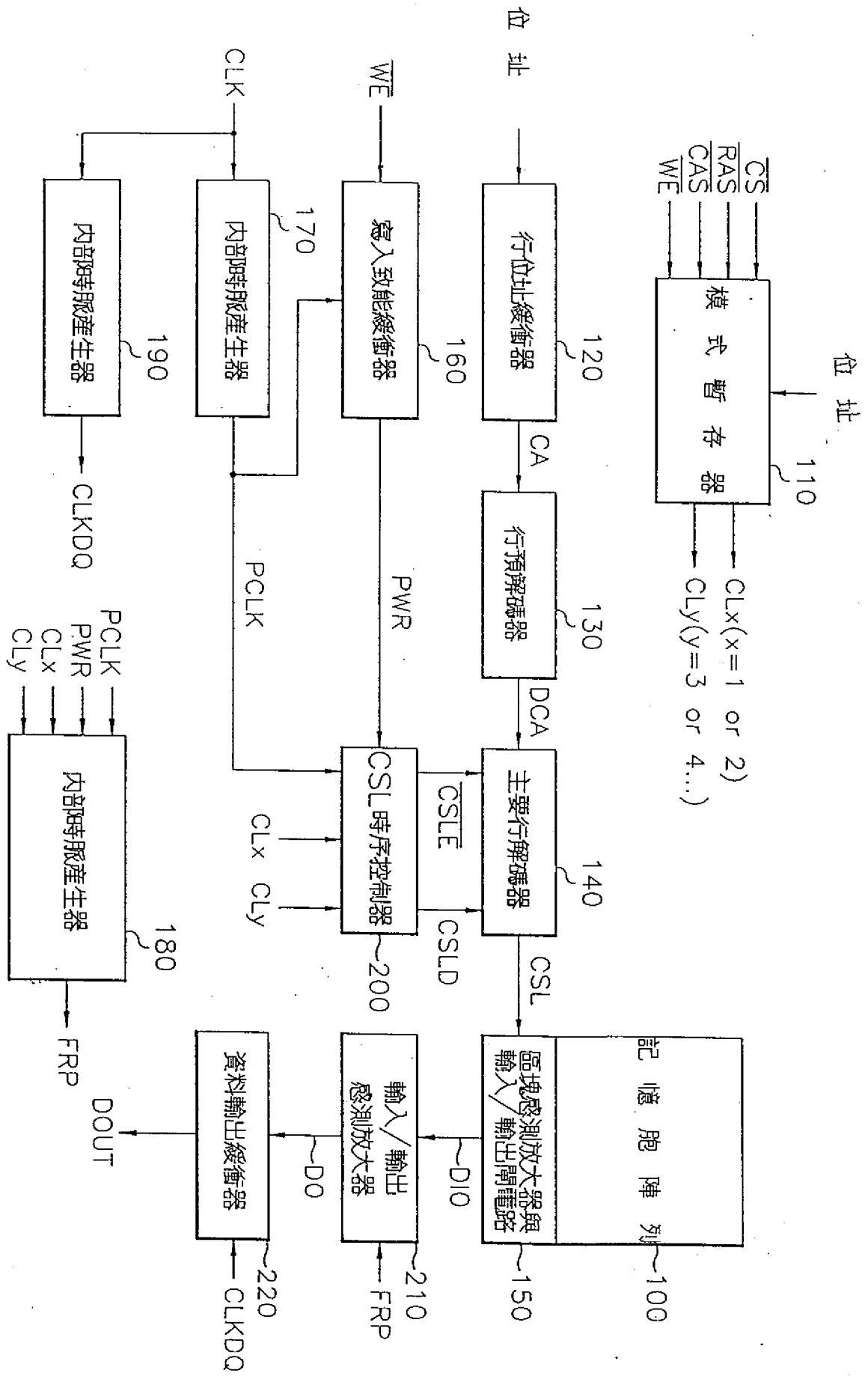
第 3 圖



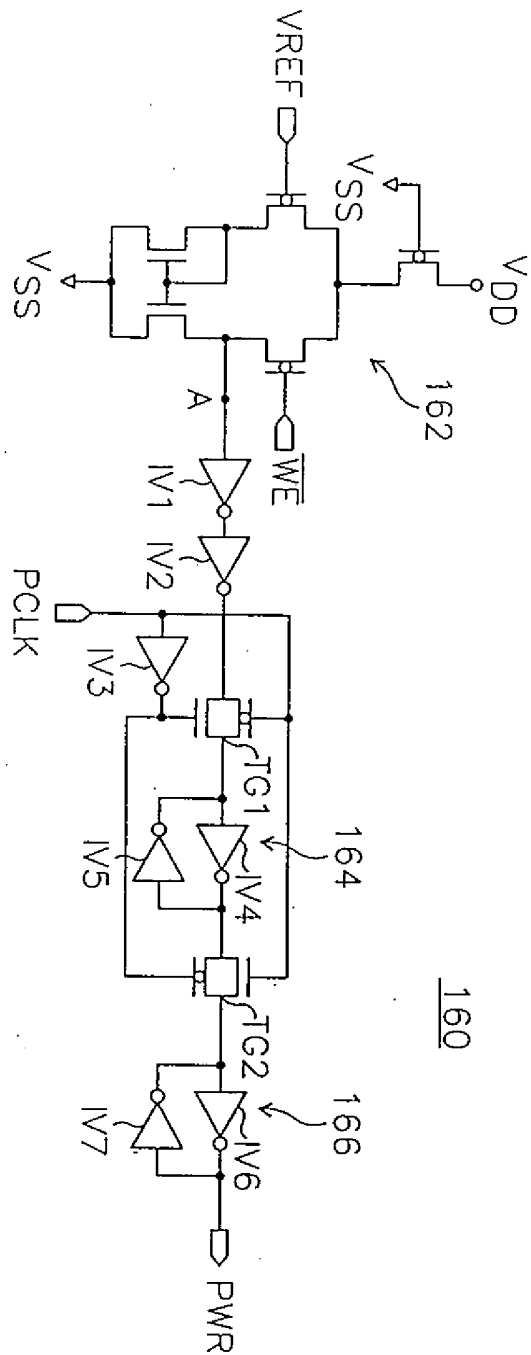
第 4 圖



第 5 圖



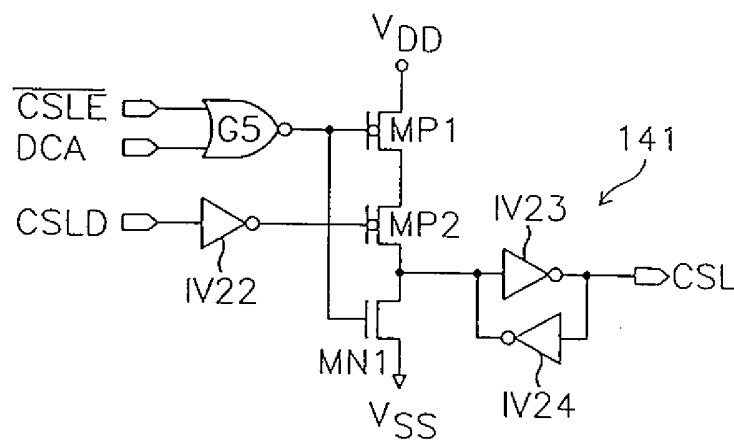
第 6 圖



第 7 圖

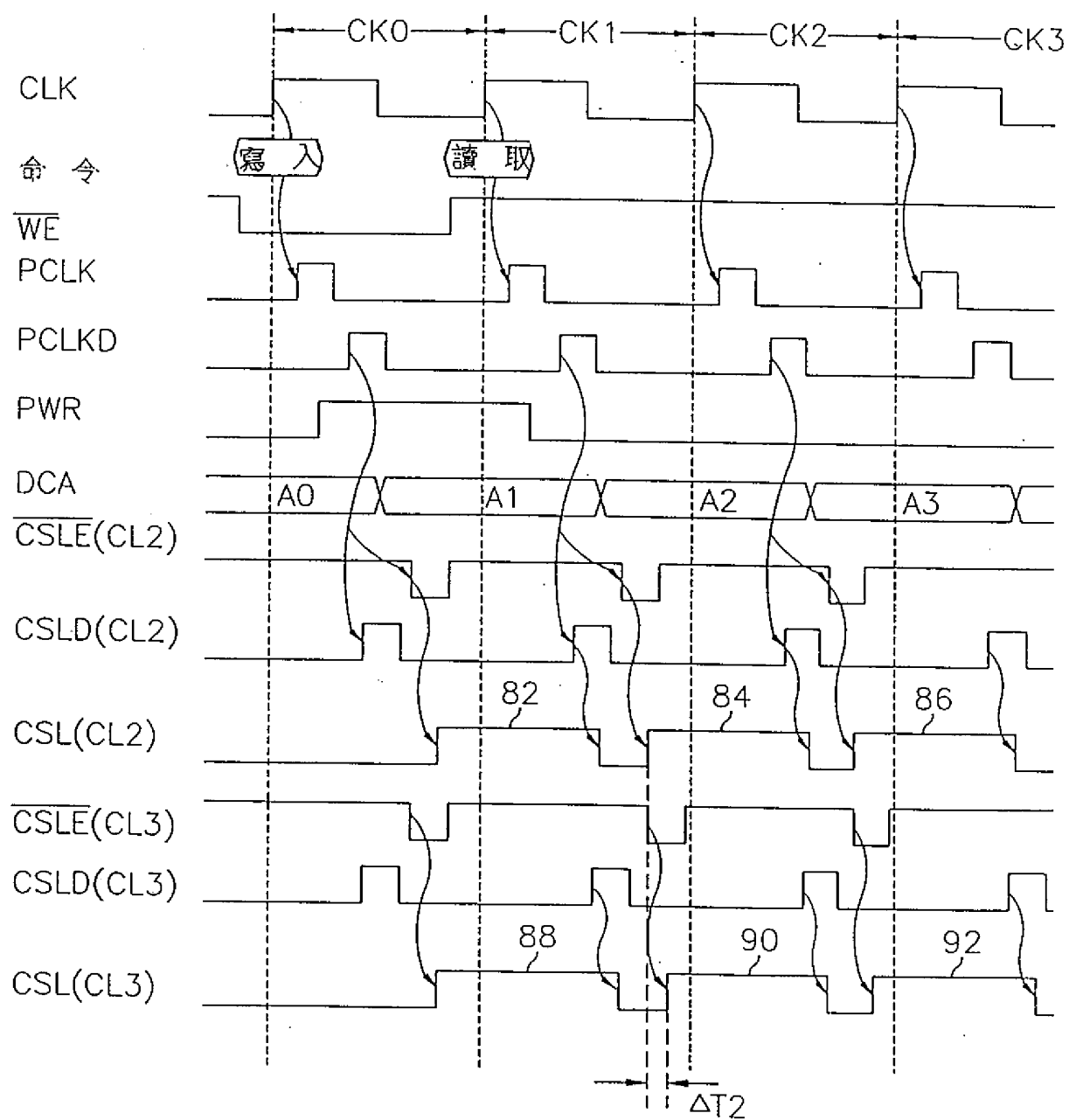
408329

140



第 9 圖

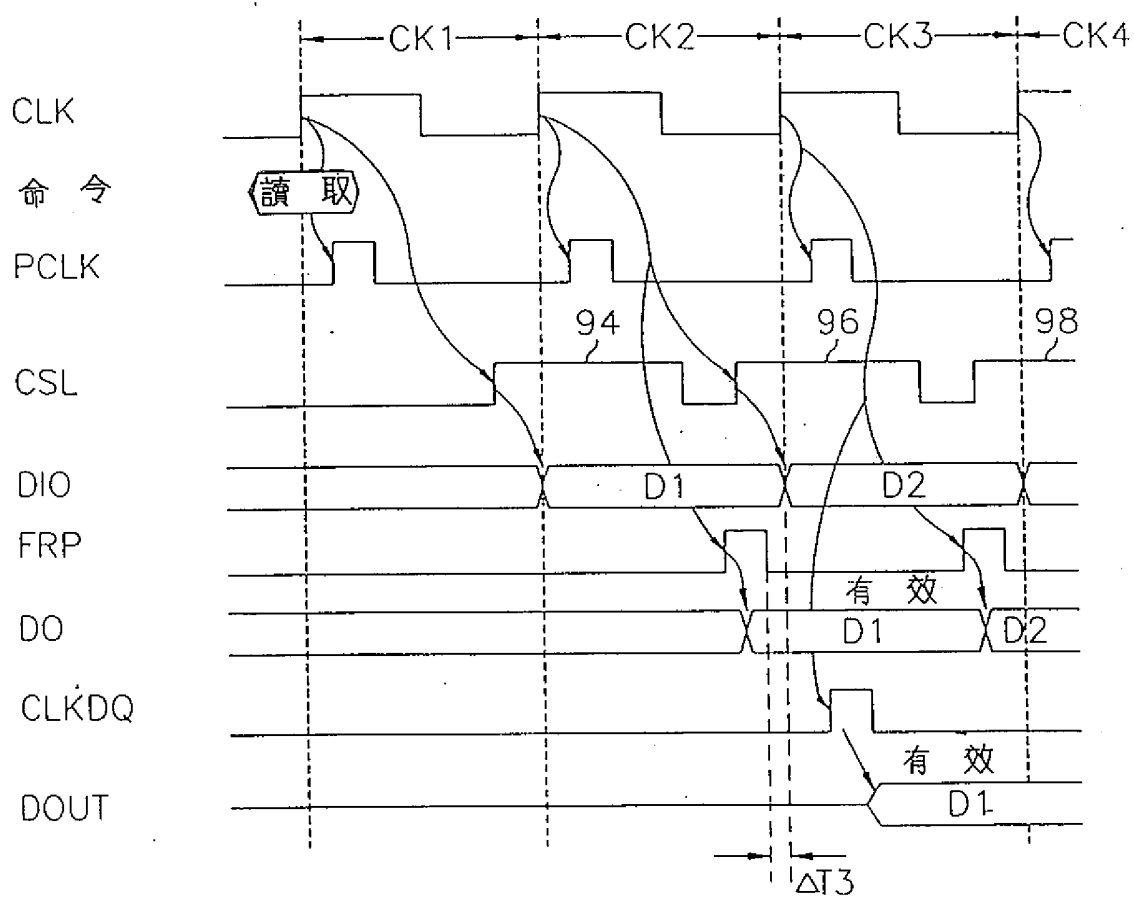
408329



第10圖

408329

(CL=3, 讀取操作)



第 11 圖