



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0110083
(43) 공개일자 2008년12월18일

(51) Int. Cl.

G06F 3/14 (2006.01)

(21) 출원번호 10-2007-0058401

(22) 출원일자 2007년06월14일

심사청구일자 2007년06월14일

(71) 출원인

서강대학교산학협력단

서울 마포구 신수동 1-1 서강대학교

(72) 발명자

남종호

서울특별시 강남구 논현동 105 동현아파트 1동 206호

유정수

서울특별 금천구 시흥본동 869-51

(뒷면에 계속)

(74) 대리인

이지연

전체 청구항 수 : 총 7 항

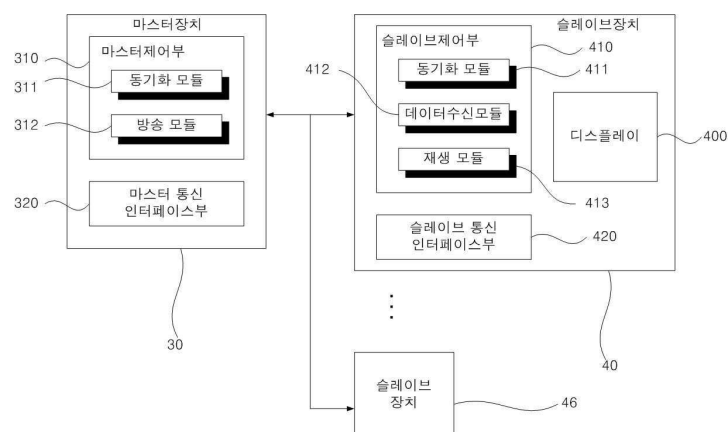
(54) 타일드 디스플레이 시스템 및 상기 시스템에서의 동기화방법

(57) 요약

본 발명은 타일드 디스플레이 시스템에 관한 것이다. 상기 타일드 디스플레이 시스템은 마스터 장치와 다수 개의 슬레이브 장치로 이루어지며, 상기 마스터 장치는 각 슬레이브 장치들과 초기에 1번의 동기화 작업을 수행한 후, 각 슬레이브 장치들로 재생 시작 시각과 재생할 미디어 데이터를 전송한다. 상기 슬레이브 장치는 마스터 장치로부터 전송되는 마스터 기준 클럭과 전송 지연 시간(Transmission_Delay)을 이용한 기준 참조 클럭 및 슬레이브 기준 클럭을 설정하며, 이들을 이용하여 현재 시각에서의 슬레이브 시스템 클럭에 대한 참조 클럭을 생성하여 사용한다. 상기 슬레이브 장치는 현재 시각의 참조 클럭이 재생 시작 시각보다 크거나 같은 경우에만 버퍼링된 미디어 데이터를 재생한다.

본 발명에 의하여, 마스터 장치의 마스터 기준 클럭과 현재의 마스터 시스템 클럭의 상대적인 차이값 및 슬레이브 시스템 클럭을 사용함으로써, 동영상 재생시 동기화에 따른 오차를 감소시키고 오버 헤드를 줄임으로써 안정적인 재생을 수행할 수 있게 된다.

대표도 - 도2



(72) 발명자

최기석

경기도 고양시 일산서구 주엽동 강선마을 709-601

최정훈

경기도 동두천시 탑동동 311-1

특허청구의 범위

청구항 1

각각 디스플레이를 갖는 다수 개의 슬레이브 장치들 및 상기 슬레이브 장치들로 미디어 데이터를 전송하여 재생시키는 마스터 장치로 이루어지는 타일드 디스플레이 시스템에 있어서,

상기 마스터 장치의 제어부는

마스터 장치내의 마스터 시스템 클럭(MTSYS)을 이용하여 상기 슬레이브 장치들과의 동기화를 수행하는 마스터 동기화 모듈, 및

상기 슬레이브 장치들로 재생 시작 시각(START_TIME) 및 재생할 미디어 데이터를 전송하는 방송 모듈을 구비하며,

상기 슬레이브 장치의 제어부는

슬레이브 장치내의 슬레이브 시스템 클럭(STSYS) 및 상기 마스터 시스템 클럭을 이용하여 상기 마스터 장치와의 동기화 기준점인 기준 참조 클럭(STREF_{base})을 설정하는 슬레이브 동기화 모듈,

상기 마스터 장치로부터 전송된 재생 시작 시각과 재생할 미디어 데이터를 수신하여 버퍼에 저장하고, 상기 기준 참조 클럭(STREF_{base}) 및 현재 시각의 슬레이브 시스템 클럭(STSYS)을 이용하여 상기 재생 시작 시각인지 여부를 결정하고, 재생 신호를 생성하여 전송하는 데이터 수신 모듈, 및

상기 데이터 수신 모듈로부터의 재생 신호에 따라 버퍼에 저장된 미디어 데이터를 재생하는 재생 모듈을 구비하는 것을 특징으로 하는 타일드 디스플레이 시스템.

청구항 2

제1항에 있어서, 상기 슬레이브 동기화 모듈은 상기 마스터 장치로부터 마스터 기준 클럭(MTSYS₀) 및 전송 지연 시간(Transmission_Delay)을 제공받고, 상기 마스터 기준 클럭(MTSYS₀)을 수신한 시각의 슬레이브 시스템 클럭을 슬레이브 기준 클럭(STSYS₀)으로 설정하며, 상기 마스터 기준 클럭(MTSYS₀)과 전송 지연 시간(Transmission_Delay)을 합(+)한 값을 기준 참조 클럭(STREF_{base})으로 설정하며, 임의의 시각(n)의 참조 클럭(STSYS _{n})은 (해당 시각의 슬레이브 시스템 클럭 - 슬레이브 기준 클럭 + 기준 참조 클럭)으로 구하는 것을 특징으로 하는 타일드 디스플레이 시스템.

청구항 3

제1항에 있어서, 상기 재생 시작 시각(START_TIME)은 마스터 장치의 시스템 클럭(MTSYS₂), 마스터 장치가 재생 시작 시각을 전송한 후 방송을 시작할 때까지의 지연시간(c), 및 슬레이브 장치의 초기 버퍼링 시간(INITIAL_BUF_TIME)의 합(+)으로 결정되는 것을 특징으로 하는 타일드 디스플레이 시스템.

청구항 4

제2항에 있어서, 상기 데이터 수신 모듈은 현재 시각의 참조 클럭을 계산하하고, 만약 현재 시각의 참조 클럭이 상기 재생 시작 시각(START_TIME)보다 크거나 같은 경우, 재생 신호를 생성하여 상기 재생 모듈로 전송하는 것을 특징으로 하는 타일드 디스플레이 시스템.

청구항 5

타일드 디스플레이 시스템을 구성하는 슬레이브 장치에서의 동기화 방법에 있어서,

외부의 마스터 장치로부터 마스터 기준 클럭(MTSYS₀)을 전송받는 단계,

상기 마스터 기준 클럭(MTSYS₀)을 수신한 시각의 슬레이브 시스템 클럭을 슬레이브 기준 클럭(STSYS₀)으로 설정하고, 지연 시간 정보(d)를 상기 마스터 장치로 전송하는 단계,

상기 마스터 장치로부터 전송 지연 시간(Transmission_Delay)을 전송받는 단계,

상기 마스터 기준 클럭(MTSYS₀)과 전송 지연 시간(Transmission_Delay)을 합(+)한 값을 기준 참조 클럭(STREF_{base})으로 설정하는 단계,

임의의 시각(n)의 참조 클럭(STSYS_n)은 (해당 시각의 슬레이브 시스템 클럭 - 슬레이브 기준 클럭 + 기준 참조 클럭)으로 구하는 단계

를 구비하는 것을 특징으로 하는 타일드 디스플레이 시스템의 슬레이브 장치에서의 동기화 방법.

청구항 6

제5항에 있어서, 상기 슬레이브 장치에서의 동기화 방법은

상기 마스터 장치로부터 재생 시작 시각(START_TIME) 및 재생할 미디어 데이터를 전송받고, 상기 미디어 데이터는 버퍼에 저장하는 단계;

현재 시각의 참조 클럭을 계산하는 단계,

만약 현재 시각의 참조 클럭이 상기 재생 시작 시각(START_TIME)보다 크거나 같은 경우, 상기 버퍼에 저장된 미디어 데이터를 재생시키는 단계

를 구비하는 것을 특징으로 하는 타일드 디스플레이 시스템의 슬레이브 장치에서의 동기화 방법.

청구항 7

제6항에 있어서, 상기 재생 시작 시각(START_TIME)은 마스터 장치의 시스템 클럭(MTSYS₂), 마스터 장치가 재생 시작 시각을 전송한 후 방송을 시작할 때까지의 지연시간(c), 및 슬레이브 장치의 초기 버퍼링 시간(INITIAL_BUF_TIME)의 합(+)으로 결정되는 것을 특징으로 하는 타일드 디스플레이 시스템의 슬레이브 장치에서의 동기화 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <23> 본 발명은 타일드 디스플레이 시스템(Tiled-Display system)에 관한 것으로서, 더욱 구체적으로는 타일드 디스플레이 시스템에서의 동영상 재생시의 동기화 방법에 관한 것이다.
- <24> 일반적으로, CRT 모니터에 대체하여 평판 디스플레이 장치인 액정표시장치가 각광받고 있으며, 액정표시장치는 CRT 모니터에 비하여 경박화가 가능하고 소비전력이 작은 점 등 여러 가지 장점을 가지고 있어서 그 수요가 급격히 확대되고 있다. 최근에는 액정표시장치는 고화질, 대화면을 추구하기 위하여 기술이 개발되고 있으나, 액정표시장치는 그 특성상 대형화에 한계가 있으며, 지금까지 알려진 액정표시장치의 최대 화면 사이즈는 이론적으로 40인치 정도 수준이다. 이러한 한계점을 극복하고자, 여러 장의 액정표시장치를 평면적으로 연결한 타일드 액정표시장치가 개발되어서 실용화되고 있다.
- <25> 타일드(Tiled) 액정표시장치는 미국 특허공보 제 4,980,775호, 제 5,067,021호, 제 5,068,740호, 제 5,079,636호에 제시된 바와 같이 6×6인치 또는 6×8인치의 크기의 작은 LCD 모듈들이 프레임에 복수개 장착되어 대화면을 구현한 것이다. 종래의 타일드 액정표시장치를 이루는 각 LCD 모듈은 도 1과 같이 하나의 컨트롤러를 이용하여 제어되는 경우 또는 각 LCD 모듈 별로 컨트롤러와 메모리를 구성하여 제어하는 경우 등으로 구분될 수 있다. 그러나 전술한 방법들은 지연에 의하여 블록별로 제어신호 또는 데이터 신호가 입력되는 시간에 편차가 발생되고 그에 따라서 화면이 왜곡되는 문제점이 있다.
- <26> 도 1은 일반적인 타일드 디스플레이 시스템을 예시적으로 도시한 구성도이다. 도 1에 도시된 바와 같이, 타일드 디스플레이는 마스터 PC와 개별 디스플레이를 갖는 다수개의 슬레이브 PC들을 구비하여 큰해상도를 제공하게 되는데, 도 1에서는 3x2 의 타일드 디스플레이 시스템의 예시적으로 묘사하였다. 이러한 타일드 디스플레이상에서

실시간 동영상 재생하기 위한 방법으로는, 도 2에 도시된 바와 같이, 마스터 PC에서 동영상 소스를 각 슬레이브 PC들에게 방송하고 각 슬레이브 PC는 자신의 디스플레이에 해당하는 이미지의 부분을 재생하는 방식이 있다. 이러한 방식에서는 각 슬레이브 PC에 연결된 각각의 디스플레이들이 동기화된 동영상을 재생하기 위해서 각 슬레이브 PC의 재생 장치들과 마스터 PC간에 동기화가 이루어져야 한다.

<27> 전술한 동기화에 대한 기존의 방식은 마스터 PC가 각 슬레이브 PC에 주기적으로 동기화 정보를 전송하고, 각 슬레이브 PC의 재생 장치들은 마스터 PC로부터 주기적으로 전송받은 동기화 정보를 기준으로 동영상 프레임들을 재생하는 것이다. 그러나 이와 같은 방식은 다음과 같은 문제점이 있다. 첫째, 주기적으로 전송되는 동기화 정보의 도착 지연 시간의 차이가 발생할 경우 동기화에 오차가 발생할 수 있다. 특히 이러한 오차가 누적될 경우 동기화가 크게 어긋날 수 있으며, 따라서 이에 대한 복잡한 처리가 필요하다. 둘째, 동기화 정보를 주기적으로 전송하는 데 대한 오버헤드의 발생이다.

<28> 이에 본 출원인은 타일드 디스플레이상에서 동영상을 상영하기 위하여 간단하고 안정적인 동기화 방법을 제안하고자 한다.

발명이 이루고자 하는 기술적 과제

<29> 전술한 문제점을 해결하기 위한 본 발명의 목적은 타일드 디스플레이 시스템을 구성하는 마스터 장치와 슬레이브 장치들간의 동영상 재생을 위한 동기화를 함에 있어서 오차가 발생하지 않으면서 오버 헤드도 없이 안정적인 동기화 작업을 수행할 수 있는 타일드 디스플레이 시스템 및 동기화 방법을 제공하는 것이다.

발명의 구성 및 작용

<30> 전술한 기술적 과제를 달성하기 위한 본 발명의 특징은 각각 디스플레이를 갖는 다수 개의 슬레이브 장치들 및 상기 슬레이브 장치들로 미디어 데이터를 전송하여 재생시키는 마스터 장치로 이루어지는 타일드 디스플레이 시스템에 관한 것으로서,

<31> 상기 마스터 장치의 마스터 제어부는

<32> 마스터 장치내의 마스터 시스템 클럭(MTSYS)을 이용하여 상기 슬레이브 장치들과의 동기화를 수행하는 마스터 동기화 모듈, 및

<33> 상기 슬레이브 장치들로 재생 시작 시각(START_TIME) 및 재생할 미디어 데이터를 전송하는 방송 모듈을 구비하며,

<34> 상기 슬레이브 장치의 슬레이브 제어부는

<35> 슬레이브 장치내의 슬레이브 시스템 클럭(STSYS) 및 상기 마스터 시스템 클럭을 이용하여 상기 마스터 장치와의 동기화 기준점인 기준 참조 클럭(STREF_{base})을 설정하는 슬레이브 동기화 모듈,

<36> 상기 마스터 장치로부터 전송된 재생 시작 시각과 재생할 미디어 데이터를 수신하여 버퍼에 저장하고, 상기 기준 참조 클럭(STREF_{base}) 및 현재 시각의 슬레이브 시스템 클럭(STSYS)을 이용하여 상기 재생 시작 시각인지 여부를 결정하고, 재생 신호를 생성하여 전송하는 데이터 수신 모듈, 및

<37> 상기 데이터 수신 모듈로부터의 재생 신호에 따라 버퍼에 저장된 미디어 데이터를 재생하는 재생 모듈을 구비한다.

<38> 전술한 특징을 갖는 슬레이브 장치의 상기 슬레이브 동기화 모듈은 상기 마스터 장치로부터 마스터 기준 클럭(MTSYS₀) 및 전송 지연 시간(Transmission_Delay)을 제공받고, 상기 마스터 기준 클럭(MTSYS₀)을 수신한 시각의 슬레이브 시스템 클럭을 슬레이브 기준 클럭(STSYS₀)으로 설정하며, 상기 마스터 기준 클럭(MTSYS₀)과 전송 지연 시간(Transmission_Delay)을 합(合)한 값을 기준 참조 클럭(STREF_{base})으로 설정하며, 임의의 시각(n)의 참조 클럭(STSYS_n)은 (해당 시각의 슬레이브 시스템 클럭 - 슬레이브 기준 클럭 + 기준 참조 클럭)으로 구하는 것이 바람직하며,

<39> 상기 데이터 수신 모듈은 현재 시각의 참조 클럭을 계산하고, 만약 현재 시각의 참조 클럭이 상기 재생 시작 시각(START_TIME)보다 크거나 같은 경우, 재생 신호를 생성하여 상기 재생 모듈로 전송하는 것이 바람직하다.

- <40> 전술한 특징을 갖는 시스템에서의 상기 재생 시작 시각($START_TIME$)은 마스터 장치의 시스템 클럭($MTSYS_2$), 마스터 장치가 재생 시작 시각을 전송한 후 방송을 시작할 때까지의 지연시간(c), 및 슬레이브 장치의 초기 버퍼링 시간($INITIAL_BUF_TIME$)의 합(합)으로 결정되는 것이 바람직하다.
- <41> 본 발명의 다른 특징에 따른 타일드 디스플레이 시스템을 구성하는 슬레이브 장치에서의 동기화 방법은,
- <42> 외부의 마스터 장치로부터 마스터 기준 클럭($MTSYS_0$)을 전송받는 단계,
- <43> 상기 마스터 기준 클럭($MTSYS_0$)을 수신한 시각의 슬레이브 시스템 클럭을 슬레이브 기준 클럭($STSYS_0$)으로 설정하고, 지연 시간 정보(d)를 상기 마스터 장치로 전송하는 단계,
- <44> 상기 마스터 장치로부터 전송 지연 시간($Transmission_Delay$)을 전송받는 단계,
- <45> 상기 마스터 기준 클럭($MTSYS_0$)과 전송 지연 시간($Transmission_Delay$)을 합(합)한 값을 기준 참조 클럭($STREF_{base}$)으로 설정하는 단계,
- <46> 임의의 시각(n)의 참조 클럭($STSYS_n$)은 (해당 시각의 슬레이브 시스템 클럭 - 슬레이브 기준 클럭 + 기준 참조 클럭)으로 구하는 단계,
- <47> 상기 마스터 장치로부터 재생 시작 시각($START_TIME$) 및 재생할 미디어 데이터를 전송받고, 상기 미디어 데이터는 버퍼에 저장하는 단계;
- <48> 현재 시각의 참조 클럭을 계산하는 단계,
- <49> 만약 현재 시각의 참조 클럭이 상기 재생 시작 시각($START_TIME$)보다 크거나 같은 경우, 상기 버퍼에 저장된 미디어 데이터를 재생시키는 단계를 구비한다.
- <50> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예에 따른 타일드 디스플레이 시스템을 구체적으로 설명한다.
- <51> 도 2는 본 발명의 바람직한 실시예에 따른 타일드 디스플레이 시스템(20)을 전체적으로 도시한 구성도이다. 도 2를 참조하면, 본 발명의 바람직한 실시예에 따른 타일드 디스플레이 시스템(20)은 마스터 장치(30) 및 다수 개의 슬레이브 장치(40, 41, ..., 46)를 구비한다. 본 발명은 타일드 디스플레이 시스템의 마스터 장치와 슬레이브 장치들과의 동기화에 관한 것이므로, 동기화와 관련된 구성 및 동작들에 대하여만 구체적으로 설명한다.
- <52> 본 발명의 바람직한 실시예에 따른 타일드 디스플레이 시스템에서는 동영상 재생하기 전에 마스터 장치와 각 슬레이브 장치들 사이에서 동기화 기준점인 기준 참조 클럭을 생성하며, 재생 중에는 상기 기준 참조 클럭과 각 슬레이브 장치의 슬레이브 시스템 클럭을 이용하여 참조 클럭을 생성하고, 생성된 참조 클럭을 사용함으로써, 재생 중에 마스터 장치와 슬레이브 장치간의 별도의 동기화 관련 정보를 송수신하지 않는 것을 특징으로 한다.
- <53> 상기 마스터 장치(30)는 마스터 제어부(310) 및 마스터 통신 인터페이스부(320)를 구비하며, 상기 마스터 제어부(310)는 슬레이브 장치들과의 동기화 기준점을 구하는 동기화 모듈(311) 및 각 슬레이브 장치들로 미디어 데이터를 전송하는 방송 모듈(312)을 포함한다. 전술한 상기 마스터 장치(30)는 각 슬레이브 장치들로 클럭 동기화를 수행한 후, 모든 슬레이브 장치들에게 재생할 미디어 데이터를 전송한다. 본 발명에 따른 마스터 장치는 PC를 사용하여 구현할 수도 있으며, 그 외에도 동일한 기능을 수행할 수 있도록 제작된 컨트롤러를 사용하여 구현할 수도 있을 것이다. 상기 마스터 통신 인터페이스부(320)는 상기 마스터 제어부의 제어에 따라 상기 마스터 장치와 상기 슬레이브 장치간의 데이터 송수신을 수행한다.
- <54> 상기 슬레이브 장치(40, ..., 46)는 각각 디스플레이(400), 슬레이브 제어부(410) 및 슬레이브 통신 인터페이스부(420)를 구비하며, 상기 제어부는 동기화 모듈(411), 데이터 수신 모듈(412) 및 재생 모듈(413)을 구비한다. 전술한 구성을 갖는 상기 슬레이브 장치들은 상기 마스터 제어 장치(30)와의 클럭 동기화 이후에 마스터 장치로부터 전송되는 미디어 데이터들을 재생하여 해당 디스플레이(400)에 출력한다. 상기 슬레이브 장치는 PC로 구현될 수도 있으며, 동일한 기능을 수행할 수 있도록 제작된 컨트롤러를 사용하여 구현할 수도 있다.
- <55> 이하, 본 발명에 따른 타일드 디스플레이 시스템을 구성하는 상기 마스터 장치와 슬레이브 장치들의 각 구성 요소들의 동작을 구체적으로 설명한다.
- <56> 먼저, 도 3을 참조하여 상기 마스터 장치(30)의 마스터 제어부(310)의 동기화 모듈(311)의 동작을 구체적으로

설명한다. 도 3은 마스터 장치의 동기화 모듈(311)의 동작을 순차적으로 도시한 흐름도이다.

<57> 도 3을 참조하면, 클럭 동기화가 안된 슬레이브 장치를 선택하고(단계 350), 선택된 슬레이브 장치와의 전송 지연 시간(Transmission_Delay)을 계산한 후(단계 360), 계산된 전송 지연 시간을 해당 슬레이브 장치로 전송하여, 해당 슬레이브 장치와의 클럭 동기화를 완료한다(단계 370). 모든 슬레이브 장치들에 대하여 클럭 동기화가 완료될 때까지, 전송한 단계 350 내지 단계 370을 반복적으로 수행한다.

<58> 이하, 도 4를 참조하여 전송한 단계 360에서 전송 지연 시간(Transmission_Delay)을 계산하는 과정을 구체적으로 설명한다. 도 4를 참조하면, 마스터 장치와 슬레이브 장치는 동기화 기준점을 구하기 위하여 3번의 통신을 수행한다. 먼저, 마스터 장치는 마스터 기준 클럭(MTSYS₀)을 슬레이브 장치로 전송하며, 슬레이브 장치는 마스터 장치로부터의 마스터 기준 클럭(MTSYS₀)을 수신한 순간의 슬레이브 장치의 시스템 클럭인 슬레이브 기준 클럭(STSYS₀) 및 재전송하는 순간의 슬레이브 장치의 시스템 클럭(STSYS₁)의 차이값인 지연 시간($d = STSYS_1 - STSYS_0$)을 마스터 장치로 전송한다. 마스터 장치는 슬레이브 장치로부터 수신된 순간의 마스터 장치의 시스템 클럭(MTSYS₁)을 확인한다. 상기 마스터 장치는 전송 지연 시간(Transmission_Delay)을 아래의 수학적 식 1에 따라 구한다.

수학적 식 1

<59>
$$\text{Transmission_Delay} = (MTSYS_1 - MTSYS_0 - (STSYS_1 - STSYS_0)) / 2$$

<60> 마스터 장치는 첫 번째와 두 번째의 통신을 통하여 구한 전송 지연 시간(Transmission_Delay)을 상기 슬레이브 장치로 전송한다.

<61> 한편, 마스터 장치로부터 전송 지연 시간(Transmission_Delay)을 전송받은 슬레이브 장치는 슬레이브 기준 클럭(STSYS₀)에서의 마스터 시스템 클럭이 $MTSYS_0 + \text{Transmission_Delay}$ 임을 알수 있다. 따라서, 상기 슬레이브 장치는 동기화 기준점인 기준 참조 클럭(STREF_{base})을 상기 마스터 기준 클럭(MTSYS₀)과 전송 지연 시간(Transmission_Delay)의 합(합)으로 설정하며, 임의의 시각(n)의 참조 클럭(STSYS_n)은 (해당 시각의 슬레이브 시스템 클럭 - 슬레이브 기준 클럭 + 기준 참조 클럭)으로 설정한다.

<62> 본 발명에 따른 시스템은 마스터 시스템 클럭과 슬레이브 시스템 클럭이 동일하다는 가정한다. 따라서, 동기화 기준점인 기준 참조 클럭(STREF_{base}) 후에 슬레이브 장치는 현 시점에서 마스터의 MTSYS 값을 도 3의 STREF를 구하는 방식과 같이 STREF_{base}와 자신의 시스템 클럭을 사용하여 계산하며, 따라서 각 슬레이브는 마스터의 MTSYS 값을 동일하게 구할 수 있게 된다. 이 때 만일 각 슬레이브의 시스템 클럭의 속도가 다르다면, 이와 같은 방식은 틀리게 된다. 그러나 이러한 문제는 슬레이브의 시스템 클럭으로 하드웨어 클럭을 사용함으로써 해결될 수 있다. 왜냐하면 각 슬레이브의 하드웨어 클럭의 속도 차이는 수 십일에 수 초정도이며, 타일드 디스플레이에서의 동영상 재생시 동기화의 목표는 오차가 약 ±120 msec를 넘지 않는 것이므로, 하드웨어 클럭을 사용할 경우 각 슬레이브 장치는 모두 동기화 오차 허용치 범위 내에서 마스터 장치의 시스템 클럭을 계산하는 것이 가능하게 된다.

<63> 상기의 방식에 따라 각 슬레이브 장치는 동일한 참조 클럭을 가지게 되고, 참조 클럭을 기준으로 하는 STSTRM 값도 동일하게 되며, 재생 시작 시각과 동영상 데이터의 타임 스탬프를 마스터 장치로부터 동일하게 수신함으로써 동기화된 재생을 하는 것이 가능하게 된다.

<64> 상기 마스터 장치(30)의 제어부(310)의 방송 모듈(312)은 재생 시작 시각(START_TIME)을 계산하고, 상기 재생 시작 시각을 모든 슬레이브 장치들로 멀티캐스팅한 후, 방송할 미디어 데이터를 방송이 완료될 때까지 모든 슬레이브 장치들로 전송한다.

<65> 이때, 도 5에 도시된 바와 같이, 상기 방송 모듈에 의해 계산되는 재생 시작 시각은 각 슬레이브 장치들이 재생을 시작하는 시간으로서, 수학적 식 2에 의해 계산된다.

수학적 식 2

<66>
$$\text{START_TIME} = MTSYS_2 + c + \text{Transmission_Delay} + \text{INITIAL_BUF_TIME}$$

<67> 여기서, $MTSYS_2$ 는 마스터 장치의 시스템 클럭이며, c 는 마스터 장치가 재생 시작 시각을 전송한 후 방송을 시작할 때까지의 지연시간이며, $INITIAL_BUF_TIME$ 는 슬레이브 장치의 초기 버퍼링 시간이다. 상기 지연 시간(c)은 실제로 예측하기 힘들지만 정확한 값일 필요는 없다. 왜냐하면 재생 시작 시각($START_TIME$)은 각 슬레이브 장치마다 동일하기만 하면 될 뿐이며 그 값 자체가 정확하지는 않아도 되기 때문이다. 따라서, 지연시간(c) 값은 적절한 상수를 정의하여 사용하면 된다.

<68> 상기 슬레이브 장치(40)의 슬레이브 제어부(410)의 동기화 모듈(411)은, 도 4 및 도 6을 참조하면, 마스터 장치로부터 마스터 기준 클럭($MTSYS_0$)을 수신하고(단계 600), 마스터 기준 클럭($MTSYS_0$)을 수신한 순간의 슬레이브 시스템 클럭을 슬레이브 기준 클럭($STSYS_0$)으로 설정하며(단계 610), 지연 시간($d = STSYS_1 - STSYS_0$)을 마스터 장치로 송신하며(단계 620), 마스터 장치로부터 전송 지연 시간(Transmission_Delay)을 수신한다(단계 630). 수신된 전송 지연 시간을 이용하여 기준 참조 클럭($STREF_{base}$)을 수학적 식 3과 같이 설정한다(단계 640).

수학적 식 3

<69> $STREF_{base} = MTSYS_0 + \text{Transmission_Delay}$

<70> 한편, 각 슬레이브 장치에 있어서, 임의의 시각(n)의 참조 클럭($STREF_n$)은 아래의 수학적 식 4에 의하여 계산되며, 각 슬레이브 장치들은 마스터 장치와 동기화된 참조 클럭을 사용하여 미디어 데이터를 재생시키게 된다.

수학적 식 4

<71> $STREF_n = STSYS_n - STSYS_0 + STREF_{base}$

<72> 여기서, $STSYS_n$ 는 해당 시각(n)에서의 슬레이브 시스템 클럭이며, $STSYS_0$ 는 슬레이브 기준 클럭이며, $STREF_{base}$ 는 기준 참조 클럭이다.

<73> 상기 슬레이브 장치(40)의 제어부(410)의 데이터 수신 모듈(412)은 마스터 장치로부터 재생 시작 시각($START_TIME$) 및 미디어 데이터를 수신한다. 도 7은 상기 데이터 수신 모듈(412)의 동작을 순차적으로 설명하는 흐름도이다.

<74> 도 7을 참조하면, 먼저 데이터 수신 모듈은 마스터 장치로부터 재생 시작 시각을 수신하며(단계 700), 미디어 데이터들을 수신하여 버퍼에 저장한다(단계 710). 만약, 마스터 장치로부터 종료 메시지가 수신되는 경우(단계 720), 재생을 완료하고 종료한다.

<75> 만약 재생 모듈에 의하여 버퍼의 미디어 데이터들에 대한 재생이 시작되지 않은 경우(단계 730), 슬레이브 장치의 현재의 참조 클럭($STREF_n$)을 계산한다(단계 740). 만약 현재의 참조 클럭이 재생 시작 시각과 같거나 큰 경우(단계 750), 재생 모듈로 재생 시작 신호를 전송한 후(단계 760) 단계 710으로 되돌아간다. 만약 단계 750에서 그렇지 아니한 경우에는 단계 710으로 되돌아간다.

<76> 상기 슬레이브 장치(40)의 제어부(410)의 재생 모듈(413)은 상기 데이터 수신 모듈(412)로부터 수신되는 재생 시작 신호에 따라 버퍼에 저장된 미디어 데이터를 판독하여 디코딩한 후 재생한다. 도 8은 본 발명의 바람직한 실시예에 따른 슬레이브 장치의 제어부의 상기 재생 모듈(413)의 동작을 순차적으로 설명하는 흐름도이다.

<77> 도 8을 참조하여, 상기 재생 모듈(413)의 동작을 구체적으로 설명한다.

<78> 도 8을 참조하면, 먼저 데이터 수신 모듈(412)로부터 재생 시작 신호를 수신한다(단계 800). 다음, 데이터 수신 모듈(412)로부터 재생 완료 메시지를 수신하였는지 여부를 확인하고(단계 802), 만약 재생 완료 메시지가 수신된 경우에는 재생을 완료하고 종료한다(단계 860).

<79> 다음, 버퍼에서 미디어 데이터를 판독하고(단계 810), 판독된 미디어 데이터를 디코딩한다(단계 812). 다음, 만약 현재 참조 클럭이 상기 디코딩된 미디어 데이터의 타임스탬프보다 작은 경우(단계 820), 단계 802로 되돌아간다.

<80> 만약 단계 820에서 그렇지 않은 경우, 상기 디코딩된 데이터의 타임스탬프와 현재 참조 클럭의 차이만큼 Sleep 한 후(단계 830), 상기 디코딩된 미디어 데이터를 렌더링시킨다(단계 840).

<81> 본 발명에 의하여 전송한 슬레이브 장치는 재생 시작 시각($START_TIME$) 값을 마스터 장치로부터 받은 후, 전송

되는 미디어 데이터를 버퍼링하고 참조 클럭(*STREF*)이 재생 시작 시각(*START_TIME*)과 같아질 때 *STSTRM*을 0 으로 세팅한 다음, *STSTRM*을 *STREF*의 속도와 같게 증가시키고, 버퍼링된 동영상 데이터의 타임스탬프가 *STSTRM*과 같을 때 해당 데이터를 재생하게 된다.

<82> 상기의 방식에 따라 각 슬레이브 장치는 동일한 참조 클럭을 가지게 되고, 참조 클럭을 기준으로 하는 *STSTRM* 값도 동일하게 되며, 재생 시작 시각과 동영상 데이터의 타임 스탬프를 마스터 장치로부터 동일하게 수신함으로써 동기화된 재생을 하는 것이 가능하게 된다.

<83> 이상에서 본 발명에 대하여 그 바람직한 실시예를 중심으로 설명하였으나, 이는 단지 예시일 뿐 본 발명을 한정하는 것이 아니며, 본 발명이 속하는 분야의 통상의 지식을 가진 자라면 본 발명의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 그리고, 이러한 변형과 응용에 관계된 차이점들은 첨부된 청구 범위에서 규정하는 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

발명의 효과

<84> 본 발명에 의하여, 타일드 디스플레이 시스템에서 동영상을 재생할 시 마스터 장치와 슬레이브 장치간의 동기화 작업을 위하여 별도의 오버헤드나 오차 없이 각 슬레이브간의 동기화 작업을 실시간으로 수행하여 재생할 수 있게 된다.

<85> 또한, 본 발명에 의하여 각 슬레이브 장치와 마스터 장치간의 동기화를 위하여, 재생 전에 한번의 동기화 작업만을 필요로 하기 때문에, 기존의 주기적인 동기화 정보 전송에 비하여, 시스템 및 네트워크 자원을 절약하고 오차를 줄일 수 있게 된다.

<86>

도면의 간단한 설명

<1> 도 1은 일반적인 타일드 디스플레이 시스템을 예시적으로 도시한 구성도이다.

<2> 도 2는 본 발명의 바람직한 실시예에 따른 타일드 디스플레이 시스템을 전체적으로 도시한 구성도이다.

<3> 도 3은 본 발명의 바람직한 실시예에 따른 타일드 디스플레이 시스템의 마스터 장치의 동기화 모듈의 동작을 순차적으로 도시한 흐름도이다.

<4> 도 4는 본 발명의 바람직한 실시예에 따른 타일드 디스플레이 시스템의 마스터 장치의 동기화 모듈이 전송 지연 시간(*Transmission_Delay*)을 계산하는 과정을 구체적으로 도시한 흐름도이다.

<5> 도 5는 본 발명의 바람직한 실시예에 따른 타일드 디스플레이 시스템의 마스터 장치의 상기 방송 모듈이 생성하는 재생 시작 시각을 설명하기 위하여 도시한 흐름도이다.

<6> 도 6은 본 발명의 바람직한 실시예에 따른 타일드 디스플레이 시스템의 슬레이브 장치의 슬레이브 제어부의 동기화 모듈의 동작을 도시한 흐름도이다.

<7> 도 7은 본 발명의 바람직한 실시예에 따른 타일드 디스플레이 시스템의 슬레이브 장치의 슬레이브 제어부의 데이터 수신 모듈의 동작을 순차적으로 설명하는 흐름도이다.

<8> 도 8은 본 발명의 바람직한 실시예에 따른 타일드 디스플레이 시스템의 슬레이브 장치의 슬레이브 제어부의 재생 모듈의 동작을 구체적으로 설명한다.

<9> <도면의 주요 부분에 대한 부호의 설명>

<10> 20 : 타일드 디스플레이 시스템

<11> 30 : 마스터 장치

<12> 310 : 마스터 제어부

<13> 311: 동기화 모듈

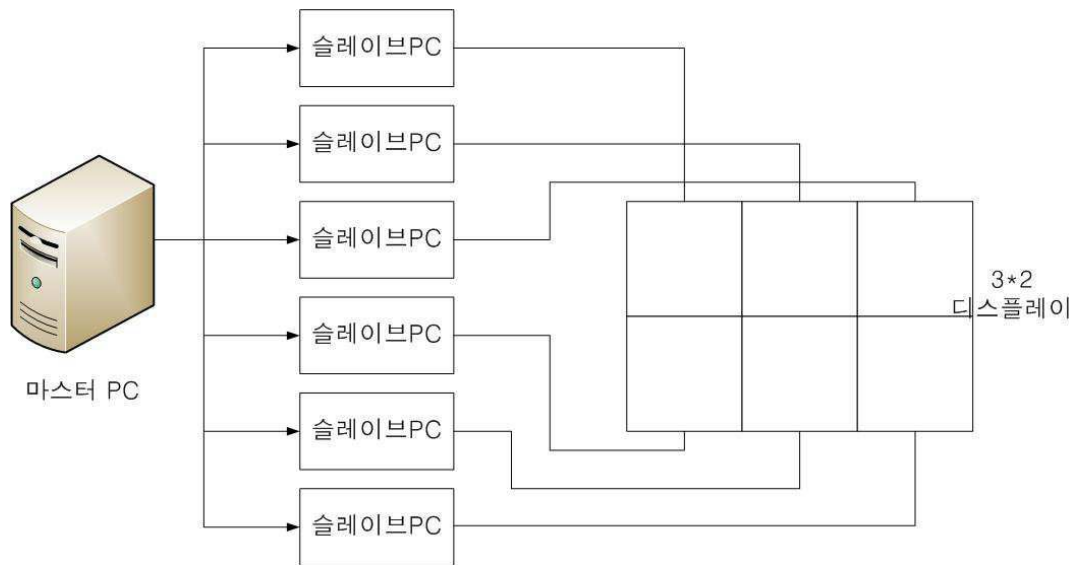
<14> 312 : 방송 모듈

<15> 320 : 마스터 통신 인터페이스부

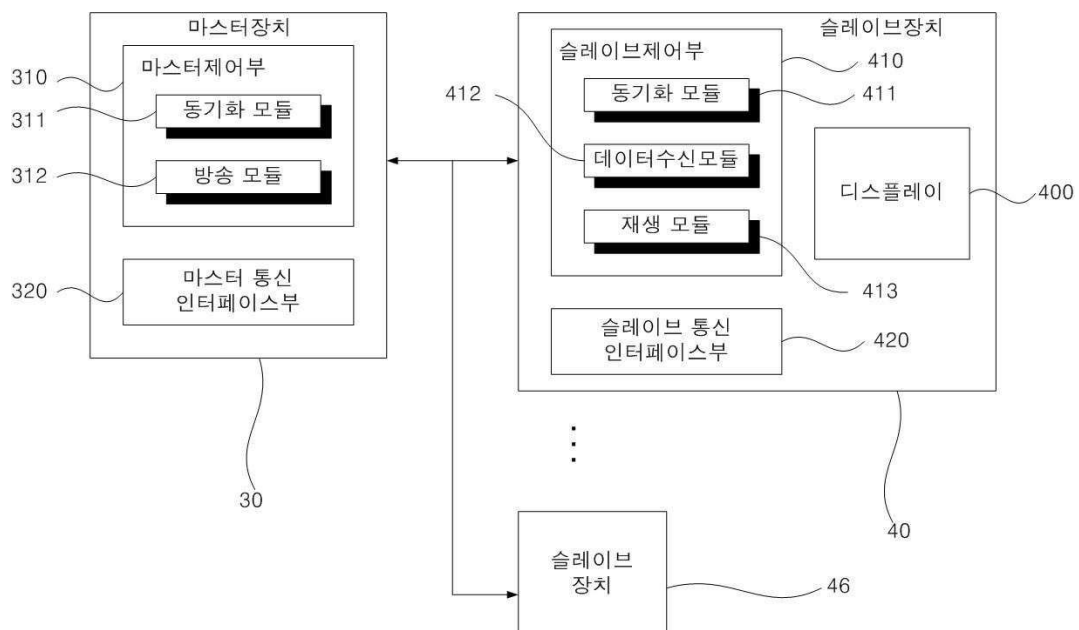
- <16> 40, ..., 46 : 슬레이브 장치
- <17> 400 : 디스플레이
- <18> 410 : 슬레이브 제어부
- <19> 411 : 동기화모듈
- <20> 412 : 데이터 수신 모듈
- <21> 413 : 재생 모듈
- <22> 420 : 슬레이브 통신 인터페이스부

도면

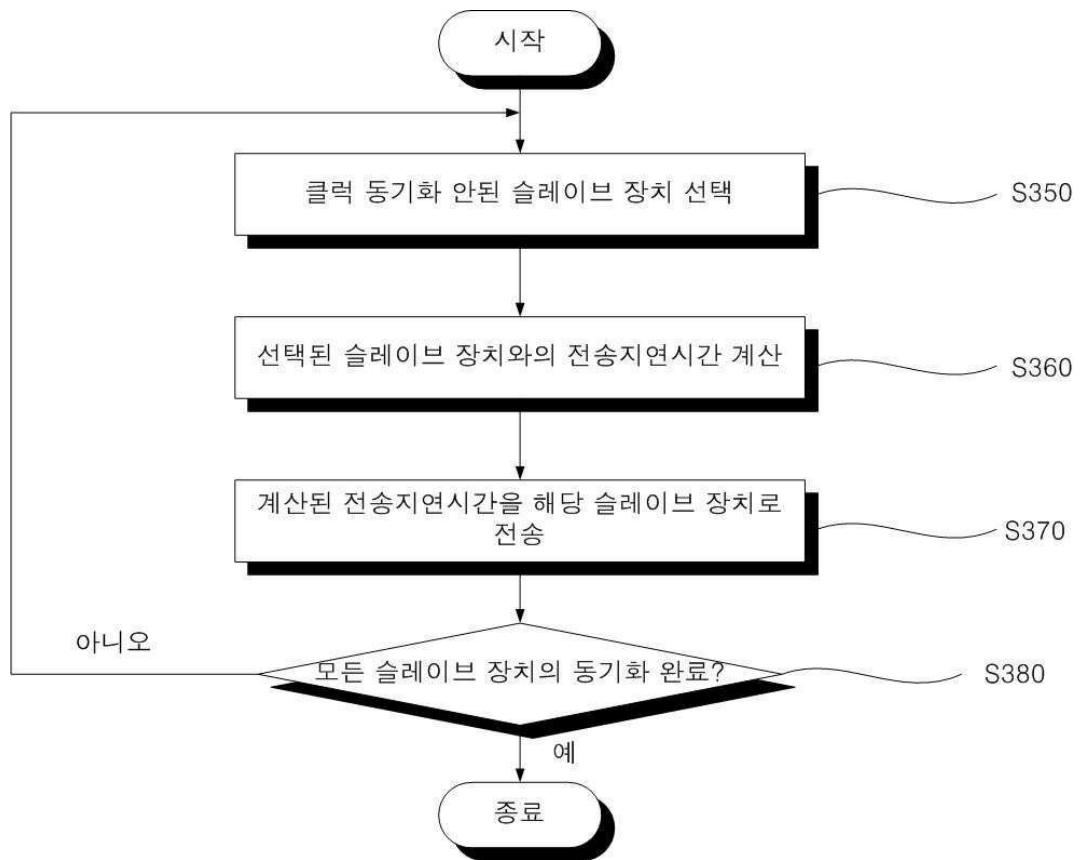
도면1



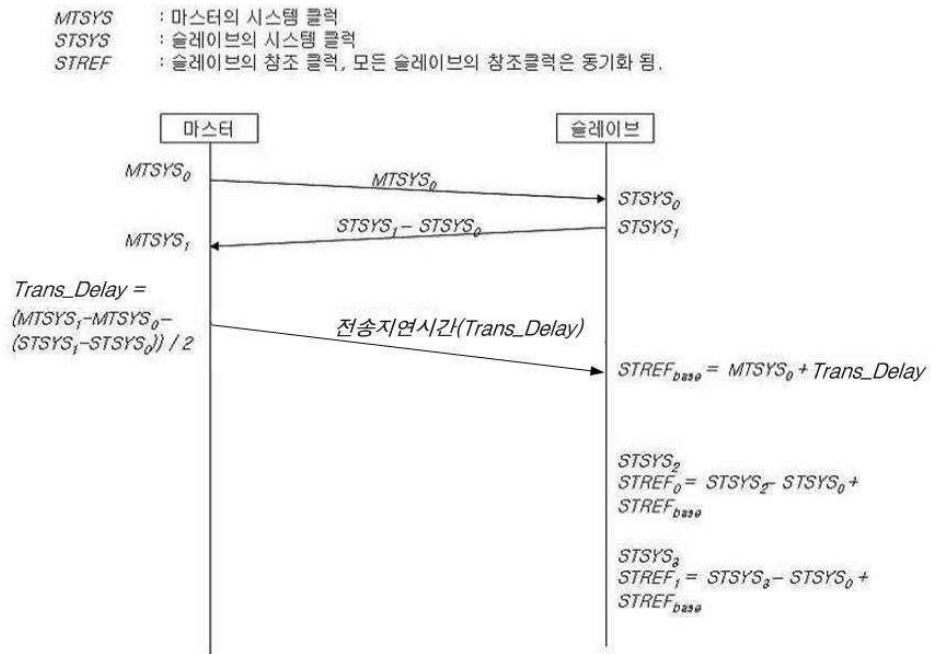
도면2



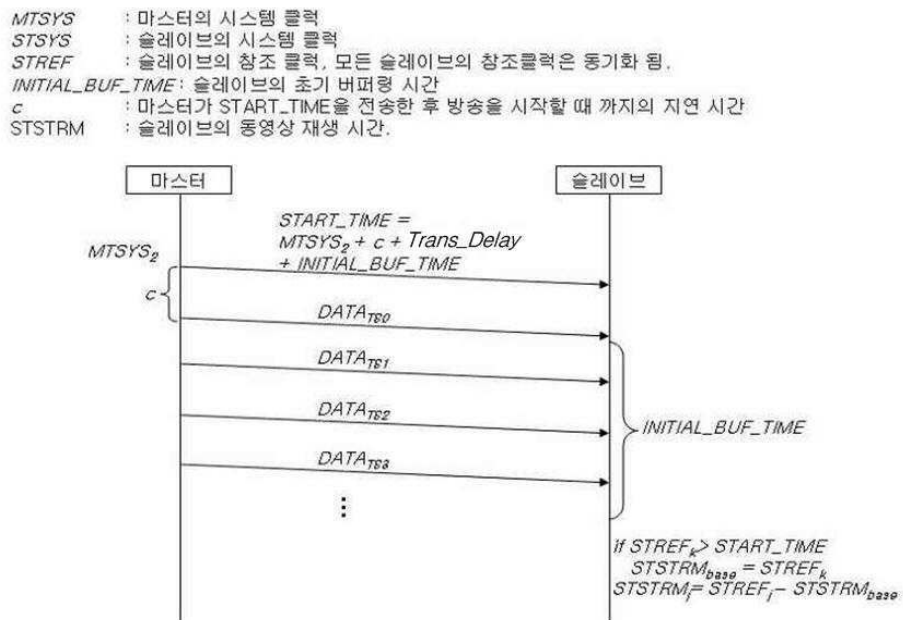
도면3



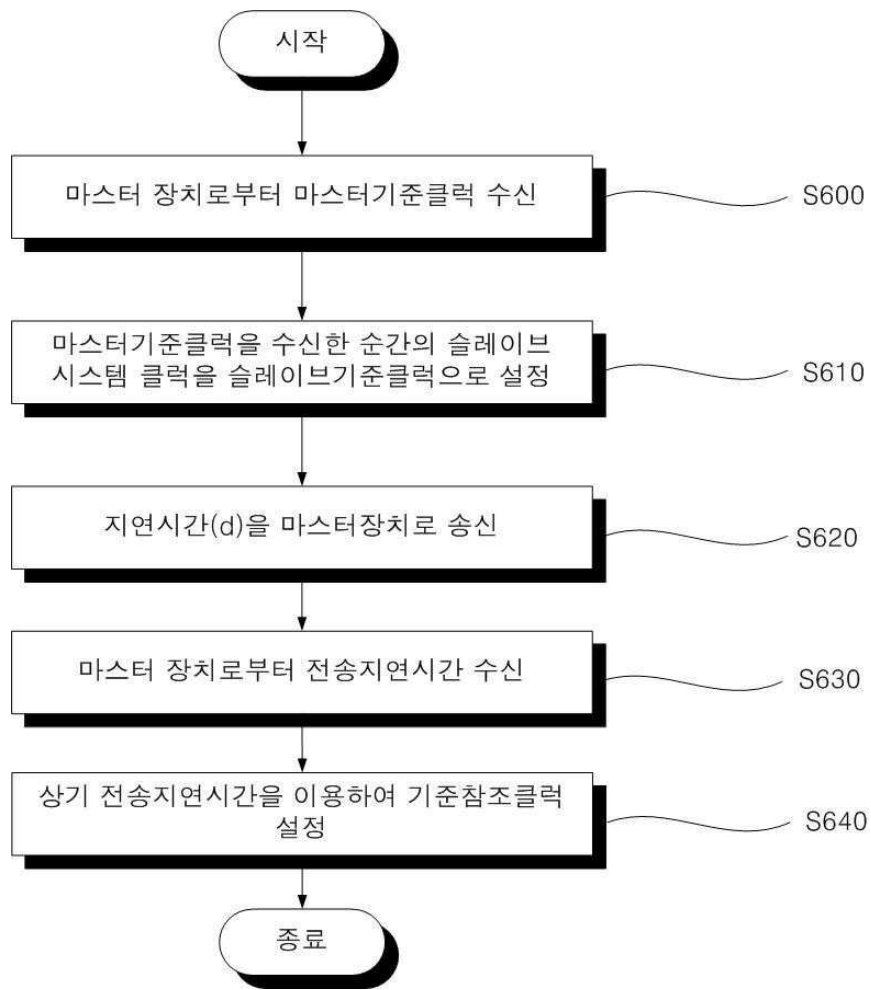
도면4



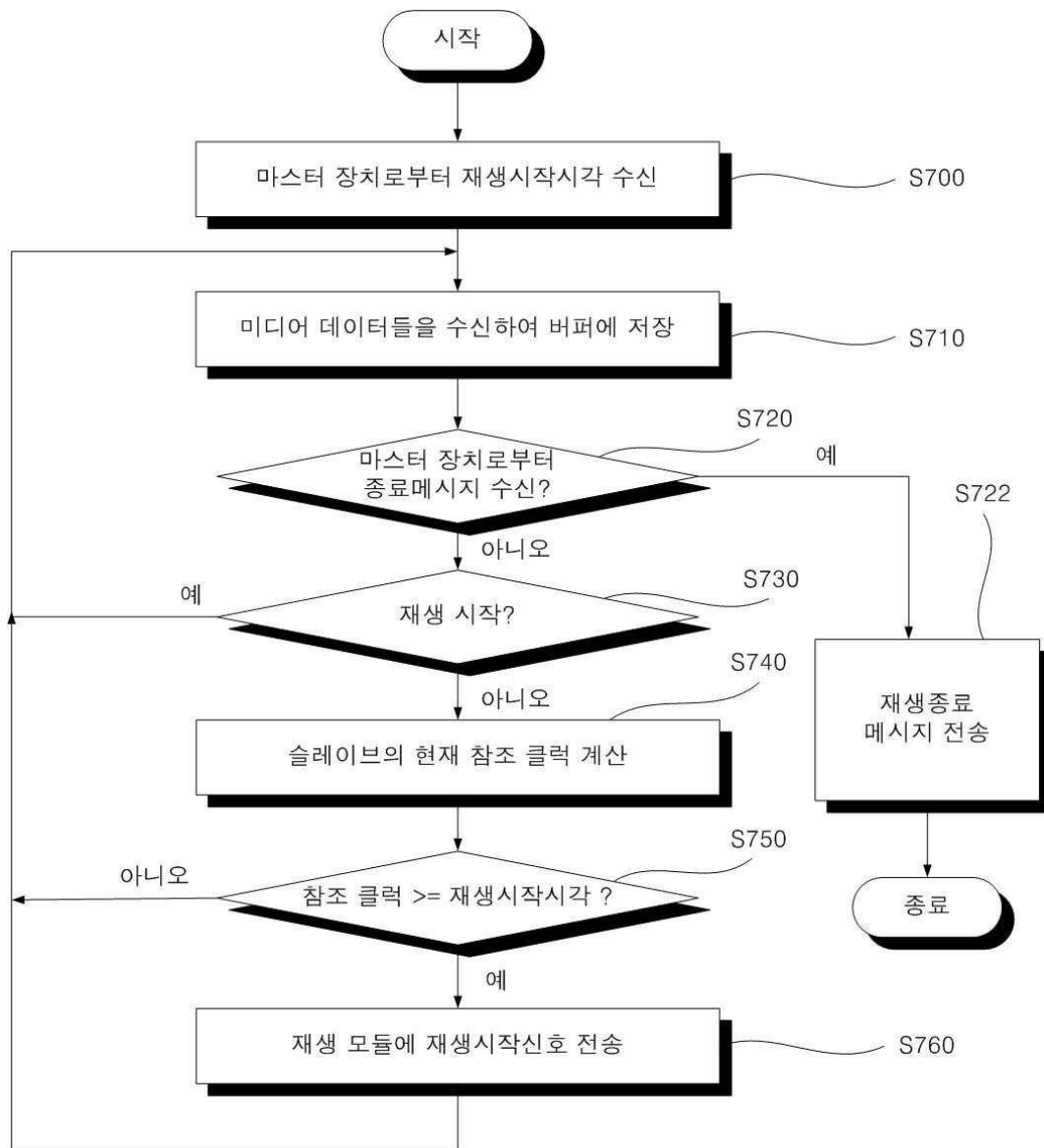
도면5



도면6



도면7



도면8

