

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4570811号
(P4570811)

(45) 発行日 平成22年10月27日(2010.10.27)

(24) 登録日 平成22年8月20日(2010.8.20)

(51) Int.Cl.

H01L 21/8244 (2006.01)
H01L 27/11 (2006.01)

F 1

H01L 27/10 381

請求項の数 9 (全 25 頁)

(21) 出願番号 特願2001-131542 (P2001-131542)
 (22) 出願日 平成13年4月27日 (2001.4.27)
 (65) 公開番号 特開2002-329798 (P2002-329798A)
 (43) 公開日 平成14年11月15日 (2002.11.15)
 審査請求日 平成20年3月19日 (2008.3.19)

(73) 特許権者 302062931
 ルネサスエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部1753番地
 (74) 代理人 100123788
 弁理士 宮崎 昭夫
 (74) 代理人 100127454
 弁理士 緒方 雅昭
 (74) 代理人 100106138
 弁理士 石橋 政幸
 (72) 発明者 夏目 秀隆
 東京都港区芝五丁目7番1号 日本電気株
 式会社内
 審査官 小森 重樹

最終頁に続く

(54) 【発明の名称】半導体装置

(57) 【特許請求の範囲】

【請求項 1】

一対の駆動トランジスタ及び一対の負荷トランジスタからなるフリップフロップ回路と一対の転送トランジスタとでメモリセルを構成するS R A Mを有する半導体装置において、

前記負荷トランジスタ及び前記駆動トランジスタは、半導体基板上にゲート絶縁膜を介して形成されたゲート電極と、前記ゲート電極の両側にそれぞれ形成された、低濃度の不純物拡散領域であるL D D領域および高濃度の不純物拡散領域であるソース／ドレイン領域からなるL D D構造を有し、

ソース領域に接続するコンタクトとゲート電極とのゲート長方向の間隔が、ゲート電極とソース領域間のゲート長方向のL D D領域幅より小さく、且つドレイン領域に接続するコンタクトがドレイン領域側のL D D領域に接しないように配置され、

前記一対の負荷トランジスタの一方の第1負荷トランジスタのドレイン領域に接続するコンタクトは、この第1負荷トランジスタのゲート電極と共通の第1導電膜配線Aで構成されるゲート電極を持つ第1駆動トランジスタのドレイン領域に接続するコンタクトと一体に形成され、層間絶縁膜である第1絶縁膜に設けられた埋込溝配線であり、

前記埋込溝配線は、前記フリップフロップ回路の一対の入出力端子間を交差結合する一対のローカル配線の一方を構成し、

前記第1絶縁膜上に第2絶縁膜を介して設けられた第2導電膜で形成された第2導電膜配線で、前記一対のローカル配線の他方が構成されていることを特徴とする半導体装置。

【請求項 2】

前記転送トランジスタは、半導体基板上にゲート絶縁膜を介して形成されたゲート電極と、前記ゲート電極の両側にそれぞれ形成された、低濃度の不純物拡散領域である LDD 領域および高濃度の不純物拡散領域であるソース / ドレイン領域からなる LDD 構造を有し、

ソース / ドレイン領域に接続するコンタクトが、そのソース / ドレイン領域側の LDD 領域に接しないように配置されている請求項 1 に記載の半導体装置。

【請求項 3】

前記コンタクトは少なくともその底部がチタン或いはチタン含有材料で構成されている請求項 1 又は 2 に記載の半導体装置。

10

【請求項 4】

前記コンタクトは、コンタクトホール内にチタン含有バリア膜を形成した後に導電性材料が埋め込まれて形成されたものである請求項 1 から 3 のいずれか一項に記載の半導体装置。

【請求項 5】

前記チタン含有バリア膜として、チタン膜と窒化チタン膜をこの順で形成した積層膜を設けた請求項 4 に記載の半導体装置。

【請求項 6】

前記負荷トランジスタの不純物拡散領域はボロンを含有する請求項 1 から 5 のいずれか一項に記載の半導体装置。

20

【請求項 7】

前記の負荷トランジスタ、駆動トランジスタ及び転送トランジスタのそれぞれのソース / ドレイン領域の表面に高融点金属シリサイド層が形成されている請求項 1 から 6 のいずれか一項に記載の半導体装置。

【請求項 8】

前記第 2 導電膜配線が、前記埋込溝配線の上面の少なくとも一部と前記第 2 絶縁膜を介して重なるように配置され、前記埋込溝配線と前記第 2 導電膜配線とそれらの間に介在する前記第 2 絶縁膜とで容量素子が構成されている請求項 1 から 7 のいずれか一項に記載の半導体装置。

【請求項 9】

30

前記埋込溝配線は、前記一対の駆動トランジスタのうちの一方の前記第 1 駆動トランジスタのドレイン領域と、前記一対の負荷トランジスタのうちの一方の前記第 1 負荷トランジスタのドレイン領域と、他方の第 2 駆動トランジスタ及び他方の第 2 負荷トランジスタのゲート電極を構成する第 1 導電膜配線 B とに接続するように配置され、

前記第 2 導電膜配線は、前記第 1 駆動トランジスタ及び前記第 1 負荷トランジスタのゲート電極を構成する前記第 1 導電膜配線 A に接続するコンタクトと、前記第 2 駆動トランジスタのドレイン領域に接続するコンタクトと、前記第 2 負荷トランジスタのドレイン領域に接続するコンタクトとに接している請求項 1 から 8 のいずれか一項に記載の半導体装置。

【発明の詳細な説明】

40

【0001】

【発明の属する技術分野】

本発明は、SRAM (スタティックランダムアクセスメモリ : Static Random Access Memory) を有する半導体装置に関する。

【0002】

【従来の技術】

半導体記憶素子である SRAM セルの基本的な構造について図面を用いて説明する。

【0003】

SRAM セルは、図 1 の回路図に示すように、情報蓄積部としてのフリップフロップ回路、及び情報の書き込み・読み出しを行うデータ線 (ビット線 $B\ L_1$ 、 $B\ L_2$) とフリップフ

50

ロップ回路との導通を制御する一対の転送トランジスタ T_1 、 T_2 で構成されている。そして、フリップフロップ回路は、例えば一対の CMOS インバータで構成され、それぞれの CMOS インバータは、一つの駆動トランジスタ D_1 (D_2) と一つの負荷トランジスタ P_1 (P_2) で構成される。

【0004】

転送トランジスタ T_1 (T_2) のソース / ドレイン領域の一方は、負荷トランジスタ P_1 (P_2) 及び駆動トランジスタ D_1 (D_2) のドレインに接続され、他方はビット線 B_L_1 (B_L_2) に接続されている。また、一対の転送トランジスタ T_1 、 T_2 のゲートはそれぞれワード線 WL の一部を構成し、互いに接続されている。

【0005】

CMOS インバータの一方を構成する駆動トランジスタ D_1 及び負荷トランジスタ P_1 のゲートは、他方の CMOS インバータを構成する駆動トランジスタ D_2 及び負荷トランジスタ P_2 のドレイン (蓄積ノード N_2) に接続されている。また、この他方の CMOS インバータを構成する駆動トランジスタ D_2 及び負荷トランジスタ P_2 のゲートは、前記一方の CMOS インバータを構成する駆動トランジスタ D_1 及び負荷トランジスタ P_1 のドレイン (蓄積ノード N_1) に接続されている。このように、一対の CMOS インバータ間において、一方の CMOS インバータの入出力部と他方の CMOS インバータのゲートとが互いにローカル配線 (局所配線) と呼ばれる一対の配線 L_1 、 L_2 を介してクロスカップル (交差結合) されている。

【0006】

そして、駆動トランジスタ D_1 、 D_2 のソース領域には、基準電圧 (V_{ss} 、例えば GND) が供給され、負荷トランジスタ P_1 、 P_2 のソース領域には、電源電圧 (V_{cc}) が供給される。

【0007】

図 2 に、図 1 の回路図に相応する従来の一般的な SRAM セルのレイアウト図を示す。

【0008】

図中の AR は活性領域を示し、各トランジスタを構成する不純物拡散領域が形成される。また、図中の一点鎖線で示す範囲が 1 メモリセルの範囲であり、各メモリセルはワード線 WL の長手方向に沿って隣接配置され、この長手方向に垂直な方向にも繰り返し配置される。

【0009】

符号 117 及び 118 はそれぞれビット線 B_L_1 及び B_L_2 へのコンタクトを示し、符号 121 及び 122 はそれぞれ電源電圧線へのコンタクトを示し、符号 123 及び 124 はそれぞれ基準電圧線 (グランド線) へのコンタクトを示す。コンタクト 116 と 111 と 113 とは図示していないローカル配線 L_1 で接続され、コンタクト 115 と 112 と 114 とは図示していないローカル配線 L_2 で接続されている。コンタクト 113 と 117 との間のワード線 WL の一部とその両側の拡散領域とで転送トランジスタ T_1 が形成され、コンタクト 114 と 118 との間のワード線 WL の一部とその両側の拡散領域とで転送トランジスタ T_2 が形成される。コンタクト 113 と 123 との間の配線 131 の一部とその両側の拡散領域とで駆動トランジスタ D_1 が形成され、コンタクト 114 と 124 との間の配線 132 の一部とその両側の拡散領域とで駆動トランジスタ D_2 が形成される。コンタクト 111 と 121 との間の配線 131 の一部とその両側の拡散領域とで負荷トランジスタ P_1 が形成され、コンタクト 112 と 122 との間の配線 132 の一部とその両側の拡散領域とで負荷トランジスタ P_2 が形成される。

【0010】

以上に説明した SRAM セルは、ノイズに強く、待機時の消費電力が小さい等の優れた素子特性を有する。また、従来、この種の SRAM セルは、素子特性の点から、できるだけ素子構造の対称性を損なわないように (すなわち、アンバランス性を抑えるように) 材料の選択やレイアウトがなされている。

【0011】

10

20

30

40

50

しかし、このようなS R A Mは、1メモリセルに6トランジスタが必要なこと、多数の配線が必要なこと、及び同一セル内にp型M O S F E Tとn型M O S F E Tの素子分離が必要であること等から、セル面積が大きくなりやすいという問題を有している。

【0012】

そのため、このようなS R A Mを有する半導体記憶装置においては、特に集積度の向上が重要な課題である。メモリセルについてのわずかな縮小であっても高集積度の半導体記憶装置全体としてはその集積度を大きく向上することができるため、メモリセルの面積を可能な限り小さくすることが重要である。そのため、近年の製造技術の進歩とあいまって、加工サイズの微細化やレイアウトの工夫とともに、配線同士の間隔や配線とコンタクトとの間隔の一層の縮小化が図られている。

10

【0013】

【発明が解決しようとする課題】

しかしながら、トランジスタのゲート電極と不純物拡散領域上のコンタクトとの間隔を小さくしすぎると、リークが発生するという問題が生じる。この現象は、負荷トランジスタP₁、P₂を構成するp型M O S F E Tにおいて顕著であり、リークの発生によりメモリセルのスタンバイ電流（待機時電流）が増大する。このような現象は、特に低消費電力（Low Power）型のS R A Mにおいて問題となる。

【0014】

リークの発生は、ソース／ドレイン領域へのコンタクトがL D D（Lightly Doped Drain）領域に接している場合に顕著であり、その一つの要因として、L D D領域中の不純物がコンタクト側に吸収されることが考えられる。L D D領域は、高濃度の不純物拡散層であるソース／ドレイン領域に比べて不純物濃度が低いため、不純物の吸収の影響を受けやすく容易に不純物濃度が変化し、所望の接合が形成できなくなると考えられる。

20

【0015】

また、p型M O S F E Tにおいてリークが顕著である理由は、p型不純物として用いられたボロンが吸収されやすいためと考えられ、特にコンタクトを構成するバリア膜にチタン系金属膜を用いたときにリークが顕著であった。これは、チタン系金属膜とシリコン基板との接触界面において製造時の熱処理の影響によりチタンシリサイド層が形成され、主にこのチタンシリサイド層によりボロンの吸収が行われるためと考えられる。

【0016】

30

一方、シート抵抗やコンタクトとの接続抵抗を低減する目的で、ソース／ドレイン領域を構成する不純物拡散領域上には高融点金属シリサイド層が設けられる。特開平6-177067号公報には、このような構成、特に不純物イオンとしてボロンイオンが注入された不純物拡散層上にチタンシリサイド層が形成された構成において、不純物拡散層中のボロンがチタンシリサイド層に吸収され低濃度層が形成される問題が記載されている。同公報には、再度の不純物イオン注入を行って低濃度層における不純物濃度の低下分を補足し、非オーミックな特性や寄生抵抗の増大を抑制している。

【0017】

しかし、不純物濃度が低く且つ浅い接合を形成するL D D領域に対して、予め予測した不純物濃度の低下分を再度のイオン注入により精度よく補足することは困難である。また、このようなL D D領域の形成に際して、不純物濃度の低下分を見越した高い濃度設定を精度良く行うことも困難である。さらに、前記公報にも記載されているように、不純物の吸収により形成される低濃度層は接触界面近傍に発生するため、接合部分では高い濃度のままであり、このような濃度分布をもつL D D領域が形成されるとL D D構造本来の機能の発現が困難となり素子特性が低下する。

40

【0018】

そこで本発明の目的は、リークの発生を抑えながらメモリセル面積を低減可能な技術を実現し、素子特性に優れた高集積度の半導体記憶装置を提供することにある。

【0019】

【課題を解決するための手段】

50

本発明は、半導体基板の第1導電型ウェル上にゲート絶縁膜を介して形成されたゲート電極と、前記ゲート電極の両側にそれぞれ形成された、低濃度の第2導電型不純物拡散領域であるLDD領域および高濃度の第2導電型不純物拡散領域であるソース／ドレイン領域からなるLDD構造と、前記のゲート電極およびLDD構造部を覆う層間絶縁膜と、前記層間絶縁膜に形成された開口に導電性材料が埋め込まれてなるコンタクトを有する半導体装置において、

前記第1導電型ウェルと等電位となる一方のソース／ドレイン領域に接続するコンタクトが、このソース／ドレイン領域側のLDD領域に接し、且つ

前記第1導電型ウェルと異なる電位となる他方のソース／ドレイン領域に接続するコンタクトが、このソース／ドレイン領域側のLDD領域に接しないように配置されていることを特徴とする半導体装置に関する。 10

【0020】

また本発明は、一対の駆動トランジスタ及び一対の負荷トランジスタからなるフリップフロップ回路と一対の転送トランジスタとでメモリセルを構成するSRAMを有する半導体装置において、

前記負荷トランジスタは、半導体基板上にゲート絶縁膜を介して形成されたゲート電極と、前記ゲート電極の両側にそれぞれ形成された、低濃度の不純物拡散領域であるLDD領域および高濃度の不純物拡散領域であるソース／ドレイン領域からなるLDD構造を有し、

ソース領域に接続するコンタクトとゲート電極とのゲート長方向の間隔が、ゲート電極とソース領域間のゲート長方向のLDD領域幅より小さく、且つ

ドレイン領域に接続するコンタクトがドレイン領域側のLDD領域に接しないように配置されていることを特徴とする半導体装置に関する。 20

【0021】

また本発明は、一対の駆動トランジスタ及び一対の負荷トランジスタからなるフリップフロップ回路と一対の転送トランジスタとでメモリセルを構成するSRAMを有する半導体装置において、

前記負荷トランジスタ及び前記駆動トランジスタは、半導体基板上にゲート絶縁膜を介して形成されたゲート電極と、前記ゲート電極の両側にそれぞれ形成された、低濃度の不純物拡散領域であるLDD領域および高濃度の不純物拡散領域であるソース／ドレイン領域からなるLDD構造を有し、

ソース領域に接続するコンタクトとゲート電極とのゲート長方向の間隔が、ゲート電極とソース領域間のゲート長方向のLDD領域幅より小さく、且つ

ドレイン領域に接続するコンタクトがドレイン領域側のLDD領域に接しないように配置されていることを特徴とする半導体装置に関する。 30

【0022】

また本発明は、前記転送トランジスタが、半導体基板上にゲート絶縁膜を介して形成されたゲート電極と、前記ゲート電極の両側にそれぞれ形成された、低濃度の不純物拡散領域であるLDD領域および高濃度の不純物拡散領域であるソース／ドレイン領域からなるLDD構造を有し、

ソース／ドレイン領域に接続するコンタクトが、そのソース／ドレイン領域側のLDD領域に接しないように配置されている上記の半導体装置に関する。 40

【0023】

また本発明は、前記コンタクトが少なくともその底部がチタン或いはチタン含有材料で構成されている上記の半導体装置に関する。

【0024】

また本発明は、前記負荷トランジスタの不純物拡散領域がボロンを含有する上記の半導体装置に関する。

【0025】

また本発明は、前記の負荷トランジスタ、駆動トランジスタ及び転送トランジスタのそれ 50

そのソース／ドレイン領域の表面に高融点金属シリサイド層が形成されている上記の半導体装置に関する。

【0026】

また本発明は、前記一対の負荷トランジスタの一方の第1負荷トランジスタのドレイン領域に接続するコンタクトが、この第1負荷トランジスタのゲート電極と共に第1導電膜配線Aで構成されるゲート電極を持つ第1駆動トランジスタのドレイン領域に接続するコンタクトと一体に形成され、層間絶縁膜である第1絶縁膜に設けられた埋込溝配線であり、

前記埋込溝配線は、前記フリップフロップ回路の一対の入出力端子間を交差結合する一対のローカル配線の一方を構成し、

10

前記第1絶縁膜上に第2絶縁膜を介して設けられた第2導電膜で形成された第2導電膜配線で、前記一対のローカル配線の他方が構成されていることを特徴とする上記の半導体装置に関する。

【0027】

また本発明は、前記第2導電膜配線が、前記埋込溝配線の上面の少なくとも一部と前記第2絶縁膜を介して重なるように配置され、前記埋込溝配線と前記第2導電膜配線とそれらの間に介在する前記第2絶縁膜とで容量素子が構成されている上記の半導体装置に関する。

【0028】

また本発明は、前記埋込溝配線が、前記一対の駆動トランジスタのうちの一方の前記第1駆動トランジスタのドレイン領域と、前記一対の負荷トランジスタのうちの一方の前記第1負荷トランジスタのドレイン領域と、他方の第2駆動トランジスタ及び他方の第2負荷トランジスタのゲート電極を構成する第1導電膜配線Bとに接続するように配置され、前記第2導電膜配線が、前記第1駆動トランジスタ及び前記第1負荷トランジスタのゲート電極を構成する前記第1導電膜配線Aに接続するコンタクトと、前記第2駆動トランジスタのドレイン領域に接続するコンタクトと、前記第2負荷トランジスタのドレイン領域に接続するコンタクトとに接している上記の半導体装置に関する。

20

【0029】

【発明の実施の形態】

本発明の主な特徴の一つは、LDD構造を持つMOS型電界効果トランジスタ(MOSFET)におけるソース／ドレイン領域に接続するコンタクトとゲート電極とのゲート長方向の間隔に関する特定のレイアウト構造にある。このような構造を有するMOSFETは、SRAMをはじめとする高集積度の半導体装置を構成するトランジスタとして好適である。

30

【0030】

以下、本発明の好適な実施の形態として、本発明をSRAMに適用した例を説明する。

【0031】

本実施形態のSRAMのメモリセルは、前述の図1に示すように、ワード線WLと一対のビット線BL₁、BL₂との交差部に配置され、一対の駆動トランジスタD₁、D₂と一対の負荷トランジスタP₁、P₂と一対の転送トランジスタT₁、T₂で構成されている。ここで、一対の駆動トランジスタD₁、D₂と一対の転送トランジスタT₁、T₂はnチャネル型で構成され、一対の負荷トランジスタP₁、P₂はpチャネル型で構成されている。

40

【0032】

一対の駆動トランジスタD₁、D₂と一対の負荷トランジスタP₁、P₂は、1ビットの情報を記憶する情報蓄積部としてのフリップフロップ回路を構成している。このフリップフロップ回路は、一対のCMOSインバータで構成され、それぞれのCMOSインバータは、一つの駆動トランジスタD₁(D₂)と一つの負荷トランジスタP₁(P₂)で構成される。

【0033】

転送トランジスタT₁(T₂)のソース／ドレイン領域の一方は、負荷トランジスタP₁(P₂)及び駆動トランジスタD₁(D₂)のドレインに接続され、他方はビット線BL₁(BL₂)

50

L_2)に接続されている。また、一对の転送トランジスタ T_1 、 T_2 のゲートはそれぞれワード線 WL の一部を構成し、互いに接続されている。

【0034】

CMOSインバータの一方を構成する駆動トランジスタ D_1 及び負荷トランジスタ P_1 のゲートは、他方のCMOSインバータを構成する駆動トランジスタ D_2 及び負荷トランジスタ P_2 のドレイン(蓄積ノード N_2)に接続されている。また、この他方のCMOSインバータを構成する駆動トランジスタ D_2 及び負荷トランジスタ P_2 のゲートは、前記一方のCMOSインバータを構成する駆動トランジスタ D_1 及び負荷トランジスタ P_1 のドレイン(蓄積ノード N_1)に接続されている。このように、一对のCMOSインバータ間ににおいて、一方のCMOSインバータの出入力部(蓄積ノード)と他方のCMOSインバータのゲートとが互いにローカル配線(局所配線)と呼ばれる一对の配線 L_1 、 L_2 を介してクロスカップル(交差結合)されている。
10

【0035】

そして、駆動トランジスタ D_1 、 D_2 のソース領域には、基準電圧(V_{SS} 、例えばGND)が供給され、負荷トランジスタ P_1 、 P_2 のソース領域には、電源電圧(V_{CC})が供給される。

【0036】

次に、図3及び図4を用いて、LDD構造を持つMOSFETにおけるソース/ドレイン領域に接続するコンタクトとゲート電極とのゲート長方向の間隔に関わる特定のレイアウト構造の一実施形態について説明する。
20

【0037】

図3に、本実施形態のSRAMセルを構成する駆動トランジスタ及び負荷トランジスタの模式的な断面構造を示し、図4にSRAMセルのレイアウト図を示す。なお、図4中、前述の図2と同じ箇所については同じ符号を用いている。

【0038】

素子分離絶縁膜(不図示)により分離されたシリコン半導体基板200の活性領域上にゲート絶縁膜203を介してゲート電極205が形成されており、その両側にサイドウォール絶縁膜204が形成されている。

【0039】

また、ゲート電極205の両側の半導体基板中にはそれぞれ不純物を低濃度に含有する不純物拡散領域であるLDD領域201と高濃度に含有する不純物拡散領域であるソース/ドレイン領域202が形成され、LDD構造が設けられている。 p 型不純物としてはホウ素が含有され、 n 型不純物としてはリンやヒ素が含有される。ソース/ドレイン領域の不純物のドース量は、 $1 \times 10^{15} \sim 8 \times 10^{15}$ atoms/cm²に設定でき、LDD領域の不純物のドース量は、 $1 \times 10^{13} \sim 2 \times 10^{14}$ atoms/cm²に設定することができる。特にLDD領域の不純物のドース量は、不純物拡散領域の接合界面での電界上昇によるオフ時電流の上昇を抑制する点から前記の範囲に設定することができる。また、ソース/ドレイン領域の接合深さは0.1~0.2 μmに設定することができる。LDD領域の接合深さは、 n 型MOSFETにおいては0.02~0.05 μm、 p 型MOSFETにおいては0.03~0.06 μmに設定することができる。
30

【0040】

ゲート電極205のゲート長は0.18~0.20 μmに設定することができ、サイドウォール絶縁膜204の幅W5(ゲート長方向の長さ)は0.09~0.13 μmに設定することができる。サイドウォール絶縁膜の幅W5が狭すぎると製造上LDD領域が小さくなりLDD構造の電界抑制効果が低下する。サイドウォール絶縁膜の幅W5が大き過ぎると、LDD領域が長くなり抵抗が大きくなるためトランジスタ特性が低下する。以上の構成でMOSFETが形成されている。

【0041】

上記MOSFETにおいて、ソース/ドレイン領域202及びゲート電極205上には抵抗値を下げるために高融点金属シリサイド層210が形成されている。この高融点金属シ
40

リサイド層としては、チタンシリサイド層やコバルトシリサイド層を用いることができるが、シリサイド層の抵抗およびボロン吸収性の点から、コバルトシリサイド層が好ましい。なお、ゲート電極上にキャップ絶縁層を設けた場合は、このキャップ絶縁層上には高融点シリサイド層 210 は形成されない。

【 0042 】

以上の M O S F E T は例えば次のようにして製造することができる。

【 0043 】

まず、シリコン半導体基板にトレンチ分離法により素子分離絶縁膜を形成し、この素子分離絶縁膜が形成されていない活性領域上にゲート絶縁膜およびゲート電極を形成する。

【 0044 】

次に、低いドース量の不純物イオン注入を行って低濃度不純物層を形成し、続いて、絶縁膜を形成した後にエッチバックしてゲート電極の両側部にサイドウォール絶縁膜を形成する。次いで、高いドース量の不純物イオン注入を行って高濃度不純物層を形成した後、熱処理によって低濃度不純物層および高濃度不純物層の活性化を行い L D D 領域およびソース／ドレイン領域を形成する。

10

【 0045 】

次に、シリコン半導体基板上にスパッタリング法により C o 等の高融点金属膜を形成し、その後、熱処理を行って高融点金属膜とシリコンとを反応させ、ゲート電極、ソース／ドレイン領域上に高融点金属シリサイド膜を形成する。未反応の高融点金属膜はウェットエッチングにより除去される。

20

【 0046 】

以上のようにして作製された M O S F E T 上には、図 3 に示すように、層間絶縁膜 206 が形成され、ソース／ドレイン領域 202 上の高融点金属シリサイド層 210 に接するコンタクト 207 が形成される。このコンタクトは 207 は、層間絶縁膜 206 にソース／ドレイン領域 202 上の高融点金属シリサイド層 210 に達するコンタクトホールが形成され、このコンタクトホール内にチタンや窒化チタン等のチタン含有材料からなるバリア膜 207b を形成した後にアルミニウムやタンゲステン等の導電性材料（埋込導電部 207a）を埋め込んで形成される。バリア膜 207b としては、チタン膜と窒化チタン膜がこの順で形成された積層膜を用いることが好ましい。この積層膜において、窒化チタン膜は主にバリア性を高めるため、チタン膜は主に接触抵抗を低減するために設けられる。

30

なお、コンタクトホール内をチタン含有材料で埋め込んでコンタクトを形成することも可能である。

【 0047 】

本発明の半導体装置における重要な構成の一つは、前記第 1 導電型ウェルと等電位でない一方のソース／ドレイン領域に接続するコンタクトが、このソース／ドレイン領域側の L D D 領域に接しないように配置されていることである。このような配置にすることにより、コンタクトと L D D 領域の接触に起因するリークの発生等の素子特性の低下を防止することができる。また、第 1 導電型ウェルと等電位の他方のソース／ドレイン領域に接続するコンタクトについては、このコンタクトとゲート電極とのゲート長方向の間隔が、ゲート電極とそのソース／ドレイン領域間のゲート長方向の L D D 領域幅より小さくなるように配置される。このような配置にすることにより、コンタクトが L D D 領域に接してもリークの発生等の素子特性の低下が起きにくく、且つコンタクトとゲート電極との間隔を狭めることができ、半導体装置の集積度を向上させることができとなる。

40

【 0048 】

本実施形態の S R A M セルにおいては、負荷トランジスタ P₁、P₂を、前述の図 3 に示すように、L D D 構造を有する p 型 M O S F E T で構成し、ドレイン領域に接続するコンタクトをそのドレイン領域側の L D D 領域に接しないように配置する。すなわち、ドレイン領域に接続するコンタクトとゲート電極とのゲート長方向の間隔 W1（図 4 中の B1、B2 に相当）を、ゲート電極とドレイン領域間のゲート長方向の L D D 領域幅 W3 より大きくする。さらには、コンタクトを直接不純物拡散領域に接しないようにシリサイド領域上に

50

設けることが好ましい。

このようにコンタクトがLDD領域に接しない配置にすることにより、LDD領域中のボロンの吸い上げが抑制でき、結果、リークの発生を防止できる。この間隔W1(B1、B2)は、コンタクトがLDD領域に接しなければ適宜設定することができるが、0.08μm以上に設定することが好ましく、メモリサイズが大きくなりすぎない程度のサイズとして、かつ量産設備の能力との兼ね合いで現状では0.16μm程度に設定することができる。

【0049】

一方、負荷トランジスタP₁、P₂において、ソース領域に接続するコンタクトとゲート電極とのゲート長方向の間隔W2(図4中のA1、A2に相当)は、ゲート電極とソース領域間のゲート長方向のLDD領域幅W4より小さくする。この場合、コンタクトがLDD領域と接しても、ソース領域側では不純物拡散領域の接合部にバイアスがかからないため、ボロンの吸い上げによりソース領域側のLDD領域の不純物濃度が多少変化してもリークは発生しない。この間隔W2(A1、A2)は、十分な絶縁性を確保する点から0.01μm以上が好ましく、メモリサイズが大きくなりすぎない程度のサイズとして0.13μm程度に設定することができる。

10

【0050】

また、LDD構造を有するn型MOSFETで構成される駆動トランジスタD₁、D₂においても、負荷トランジスタと同様に、ドレイン領域に接続するコンタクトをそのドレイン領域側のLDD領域に接しないように配置することが好ましい。すなわち、ドレイン領域に接続するコンタクトとゲート電極とのゲート長方向の間隔W1(図4中のF1、F2に相当)を、ゲート電極とドレイン領域間のゲート長方向のLDD領域幅W3より大きくすることが望ましい。さらには、コンタクトを直接不純物拡散領域に接しないようにシリサイド領域上に設けることが好ましい。このようにコンタクトがLDD領域に接しない配置にすることにより、その接触による素子特性への影響を防止することができる。この間隔W1(F1、F2)は、コンタクトがLDD領域に接しなければ適宜設定することができるが、0.06μm以上に設定することが好ましく、メモリサイズが大きくなりすぎない程度のサイズとして0.16μm程度に設定することができる。

20

【0051】

一方、駆動トランジスタD₁、D₂において、ソース領域に接続コンタクトとゲート電極とのゲート長方向の間隔W2(図4中のE1、E2に相当)は、ゲート電極とソース領域間のゲート長方向のLDD領域幅W4より小さくすることが好ましい。この場合、コンタクトがLDD領域と接しても、ソース領域側では不純物拡散領域の接合部にバイアスがかからないため、この接触による素子特性への影響を受けにくい。この間隔W2(E1、E2)は、十分な絶縁性を確保する点から0.01μm以上が好ましく、メモリサイズが大きくなりすぎない程度のサイズとして0.13μm程度に設定することができる。

30

【0052】

負荷トランジスタ及び駆動トランジスタにおける上記の図3中の間隔W2の設定は、図4において間隔A1、A2、E1、E2を狭めるものであり、ワード線長手方向のメモリセル幅を縮小することができる。

40

【0053】

本実施形態のSRAMセルにおいては、さらに、転送トランジスタT₁、T₂のソース/ドレイン領域に接続するコンタクトをそのソース/ドレイン領域側のLDD領域に接しないように配置することが好ましい。この場合、メモリセル外周側のソース/ドレイン領域に接続するコンタクトとゲート電極とのゲート長方向の間隔(図4中のG1、G2に相当)は、ゲート電極と前記ソース/ドレイン領域間のゲート長方向のLDD領域幅より大きい配置となる。さらには、コンタクトを直接不純物拡散領域に接しないようにシリサイド領域上に設けることが好ましい。この間隔G1、G2は、十分な絶縁性を確保する点から0.06μm以上が好ましく、一方、メモリサイズが大きくなりすぎない程度のサイズとして0.13μm程度に設定することができる。なお、他方のソース/ドレイン領域に接続する

50

コンタクト（駆動トランジスタのドレイン領域に接続するコンタクトと共通するコンタクト）についても、そのソース／ドレイン領域側の LDD 領域に接しないことが好ましい。

【0054】

以上に説明した構成は、本発明者が、コンタクトとゲート電極との間隔は、ウェル電位と等電位となる不純物拡散領域においては LDD 領域より小さく、ウェル電位と異なる電位となる不純物拡散領域においては LDD 領域より大きくすることが好ましく、特に p 型 MOSFET については、ウェル電位と異なる電位となる不純物拡散領域において LDD 領域より大きく、かつコンタクトをシリサイド領域上に設けることが好ましいことを見いだしたことに基づくものである。

【0055】

以上により、リークの発生等の素子特性の低下を抑えるとともに、メモリセルを縮小することができるが、さらに、上述のソース／ドレイン領域上のコンタクトとゲート電極との間隔に関わる特定のレイアウト構造を、図 5 及び図 6 に示す構造に適用することにより、一層のメモリセルの縮小が可能となる。

【0056】

図 5 及び図 6 に示す実施形態では、一対のローカル配線 L_1 、 L_2 を異なる層に配置し、下層のローカル配線を埋込溝配線で構成し、上層のローカル配線をプレート状の導電膜で構成し、基板上面（平面）から見て、上層のローカル配線（プレート状配線）の一部が下層のローカル配線（埋込溝配線）の上面の少なくとも一部と絶縁膜を介して重なるように配置する。

【0057】

ローカル配線の一方を構成する上記埋込溝配線は、負荷トランジスタ P_1 のドレイン領域上のコンタクトと駆動トランジスタ D_1 のドレイン領域上のコンタクトとが一体に形成されたものである。本実施形態の SRAM セルにおいては、この埋込溝配線を、負荷トランジスタ P_1 及び駆動トランジスタ D_1 のいずれにおいてもドレイン領域側の LDD 領域に接しないように配置する。すなわち、少なくとも活性領域上において、この埋込溝配線とゲート電極との間隔を、ゲート電極とドレイン領域間のゲート長方向の LDD 領域幅より大きく設定する。

【0058】

その他の、ソース／ドレイン領域上のコンタクトとゲート電極との間隔に関わるレイアウト構造は、前述の実施形態と同様に設定することができる。但し、図 5 に示す構造においては、負荷トランジスタ P_1 、 P_2 のソース領域に接続する各コンタクト 22、23 は、コンタクトとゲート電極とのゲート長方向の間隔がゲート電極とソース領域間のゲート長方向の LDD 領域幅より小さい場合であってもソース領域側の LDD 領域に接しないレイアウトをとることができる。

【0059】

上記の構造では、リーク発生の防止およびメモリセル面積の一層の縮小化に加えて、下層のローカル配線（埋込溝配線）と上層のローカル配線（プレート状配線）とこれらの間に介在する絶縁膜とで容量素子が構成されるため、メモリセルサイズの微細化や動作電圧の低下に伴う 線ソフトエラー耐性の低下を防ぐことができる。

【0060】

また、この構造によれば、下層に設ける一方のローカル配線を埋込溝配線で構成することにより、この下層のローカル配線の形成と同時に接続プラグを形成することができるため、少ない工程数で製造することができる。

【0061】

上記 SRAM セルの具体的な構造をさらに図面を用いて説明する。

【0062】

図 5 はメモリセルの平面図、図 6 (a) は図 5 の a - a' 線断面図、図 6 (b) は図 5 の b - b' 線断面図である。なお、平面図においては、絶縁膜、ビット線およびビット線に接続するプラグを省略している。

10

20

30

40

50

【0063】

メモリセルを構成する6個のトランジスタは、単結晶シリコンからなる半導体基板上の素子分離5によって周囲を囲まれた活性領域A Rに形成されている。nチャネル型の駆動トランジスタD₁、D₂及び転送トランジスタT₁、T₂はp型ウェル領域に形成されており、pチャネル型の負荷トランジスタP₁、P₂はn型ウェル領域に形成されている。

【0064】

一対の転送トランジスタT₁、T₂のそれぞれは、p型ウェルの活性領域に形成されたn型ソース／ドレイン領域13aと、この活性領域の表面に形成されたゲート酸化膜7と、このゲート酸化膜7上に形成されたゲート電極8で構成されている。このゲート電極8は、例えば、不純物導入多結晶シリコン膜とコバルトシリサイド膜等の高融点金属シリサイド膜の積層構造を有し、ワード線WLと一体に構成されている。ワード線WLは、第1方向(図5中では左右方向)に延在して設けられ、一対の転送トランジスタはこの第1方向に沿って互いに隣接して配置されている。また、一対の転送トランジスタはそのゲート長方向が第1方向と直交する第2方向(図5中では上下方向)と一致するように配置されている。

10

【0065】

一対の駆動トランジスタD₁、D₂のそれぞれは、p型ウェルの活性領域に形成されたn型ソース／ドレイン領域13aと、この活性領域の表面に形成されたゲート酸化膜7と、このゲート酸化膜7上に形成されたゲート電極9、10で構成されている。このゲート電極9、10は、例えば、不純物導入多結晶シリコン膜とコバルトシリサイド膜等の高融点金属シリサイド膜の積層構造を有している。

20

駆動用トランジスタD₁のドレイン領域は、転送トランジスタT₁のソース／ドレイン領域の一方と共に活性領域に形成され、駆動用トランジスタD₂のドレイン領域は、転送トランジスタT₂のソース／ドレイン領域の一方と共に活性領域に形成されている。

【0066】

一対の負荷トランジスタP₁、P₂のそれぞれは、n型ウェルの活性領域に形成されたp型ソース／ドレイン領域13bと、この活性領域の表面に形成されたゲート酸化膜7と、このゲート酸化膜7上に形成されたゲート電極9、10で構成されている。負荷トランジスタP₁のゲート電極9は駆動トランジスタD₁のゲート電極と一体に構成されており、負荷トランジスタP₂のゲート電極10は駆動トランジスタD₂のゲート電極と一体に構成されている。

30

【0067】

一対の駆動トランジスタ、一対の負荷トランジスタ及び一対の転送トランジスタのそれぞれのソース／ドレイン領域の表面には、シート抵抗や接続プラグとの接続抵抗を低減する目的でコバルトシリサイド等の高融点金属シリサイド層(不図示)を設けていることが好みしい。

【0068】

一対の駆動トランジスタ、一対の負荷トランジスタ及び一対の転送トランジスタのそれを構成するゲート電極の側壁にはサイドウォール12が形成されている。

40

【0069】

6個のトランジスタの上部には、シリコン窒化膜14が形成されており、このシリコン窒化膜14の上部には厚さ300～1000nm程度のPSGやBPSG等からなる第1層間絶縁膜15が形成されている。

【0070】

この第1層間絶縁膜15には、一対のローカル配線の一方である埋込溝配線16(L₁)が形成されている。この埋込溝配線16(L₁)は、第1層間絶縁膜15を開孔して形成された溝にW等の導電性金属が埋め込まれてなる。この埋込溝配線16(L₁)の一端部は、駆動トランジスタD₁のドレイン領域と電気的に接続され、他端部は、負荷トランジスタP₁のドレイン領域と電気的に接続されている。さらに、埋込溝配線16(L₁)の中央部は、駆動トランジスタD₂と負荷トランジスタP₂に共通のゲート電極10と電気的に

50

接続されている。このゲート電極 10 は、駆動トランジスタ D_2 のドレイン領域と負荷トランジスタ P_2 のドレイン領域との間でトランジスタ D_1 、 P_1 方向へ分岐し、この分岐した部分が前記埋込溝配線 16 の中央部と接触している。

【0071】

埋込溝配線 16 (L_1) が形成された第 1 層間絶縁膜 15 上には、シリコン酸化膜等からなる厚さ 10 nm ~ 150 nm 程度の第 2 層間絶縁膜 17 が形成されている。そして、この第 2 層間絶縁膜 17 及び第 1 層間絶縁膜 15 に開孔された接続孔に W 等の導電性金属が埋め込まれてなる接続プラグが設けられている。これらの接続プラグは、6 個のトランジスタのソース / ドレイン領域にそれぞれ接続するプラグ 19 ~ 26 と、駆動トランジスタ D_1 と負荷トランジスタ P_1 に共通のゲート電極 9 に接続するプラグ 18 である。

10

【0072】

第 2 層間絶縁膜 17 の上部には、厚さ 100 ~ 200 nm 程度の TiN 等からなるローカル配線 27 (L_2) が形成されている。ローカル配線 27 (L_2) は、駆動トランジスタ D_1 と負荷トランジスタ P_1 に共通のゲート電極 9 に接続するプラグ 18、駆動トランジスタ D_2 のドレイン領域に接続するプラグ 19、負荷トランジスタ P_2 のドレイン領域に接続するプラグ 20 に電気的に接続するように設けられている。また、ローカル配線 27 (L_2) の一部が、他方のローカル配線である前記埋込溝配線 16 (L_1) の上面の少なくとも一部と第 2 層間絶縁膜 17 を介して重なるように配置される。ローカル配線 27 (L_2) と埋込溝配線 16 (L_1) とそれらの間に介在する第 2 層間絶縁膜とで容量素子が構成される。容量素子を設ける点からは、

20

ローカル配線 27 (L_2) が、埋込溝配線 16 (L_1) の上面をできるだけ覆うことが好ましく、図 5 に示す構成ではローカル配線 27 (L_2) が、埋込溝配線 16 (L_1) の上面全体を覆っている。

【0073】

なお、接続プラグ 21 ~ 26 上にはそれぞれ、上層からのビアプラグとの接続を容易にするために、ローカル配線 27 (L_2) と同時にパターニング形成された矩形の導電膜パターン 28 ~ 33 が形成されている。

【0074】

ローカル配線 27 (L_2) が形成された第 2 層間絶縁膜 17 の上部には、シリコン酸化膜等からなる第 3 層間絶縁膜 34 が形成され、その上部には、電源電圧 V_{cc} が印加される電源電圧線 41、及び基準電圧 V_{ss} が印加される基準電圧線 42 が前記第 1 方向に沿って形成されている。電源電圧線 41 は、第 3 層間絶縁膜 34 に設けられた接続プラグ (ビアプラグ) 36、37 と第 1 及び第 2 層間絶縁膜に設けられた接続プラグ 22、23 を介して、それぞれ負荷トランジスタ P_1 、 P_2 のソース領域に電気的に接続されている。基準電圧線 42 は、第 3 層間絶縁膜 34 に設けられた接続プラグ (ビアプラグ) 35、38 と第 1 及び第 2 層間絶縁膜に設けられた接続プラグ 21、24 を介して、それぞれ駆動トランジスタ D_1 、 D_2 のソース領域に電気的に接続されている。これらの配線は、例えば、パターニングされたアルミ膜や、アルミ膜の上部には反射防止膜として下部にはバリアメタル膜として TiN 等からなる膜が配置された積層膜で構成することができる。

30

【0075】

なお、転送トランジスタ T_1 、 T_2 のソース / ドレイン領域の一方に電気的に接続されるよう第 3 層間絶縁膜 34 に設けたプラグ 39、40 の上部にはそれぞれ、上層からのビアプラグとの接続を容易にするために、電源電圧線 41 及び基準電圧線 42 と同時にパターニング形成された矩形の導電膜パターン 43、44 が形成されている。

40

【0076】

電源電圧線 41 及び基準電圧線 42 が形成された第 3 層間絶縁膜 34 の上部には、シリコン酸化膜等からなる第 4 層間絶縁膜 (不図示) が形成され、その上部には、前記第 2 方向に沿って一対のビット線 B_L_1 、 B_L_2 (不図示) が形成されている。一方のビット線 B_L_1 は、第 4 層間絶縁膜に設けられた接続プラグ (ビアプラグ) と第 3 層間絶縁膜に設けられた接続プラグ 40 と第 1 及び第 2 層間絶縁膜に設けられた接続プラグ 26 を介して転送

50

トランジスタ T_1 のソース / ドレイン領域の一方に電気的に接続されている。他方のビット線 $B L_2$ は、第 4 層間絶縁膜に設けられた接続プラグ (ビアプラグ) と第 3 層間絶縁膜に設けられた接続プラグ 3 9 と第 1 及び第 2 層間絶縁膜並びに第 3 層間絶縁膜に設けられた接続プラグ 2 5 を介して転送トランジスタ T_2 のソース / ドレイン領域の一方に電気的に接続されている。これらの配線は、例えば、パターニングされたアルミ膜や、アルミ膜の上部には反射防止膜として下部にはバリアメタル膜として TiN 等からなる膜が配置された積層膜で構成することができる。

【 0 0 7 7 】

次に、本発明の半導体記憶装置の SRAM セルの製造方法を図面を用いて説明する。なお、平面図においては絶縁膜を適宜省略して表記する。

10

【 0 0 7 8 】

まず、p 型単結晶シリコンからなる半導体基板 1 の正面に常法によりシリコン酸化膜 2 及びシリコン窒化膜 3 を順次形成する。続いて、常法により形成した所定のパターン形状をもつフォトレジストをマスクにしてドライエッチングを行い、シリコン窒化膜 3 及びシリコン酸化膜 2 をパターニングする。その後、残ったシリコン窒化膜 3 とシリコン酸化膜 2 をマスクにして半導体基板 1 をドライエッチングし、素子分離用の溝 (トレンチ) 4 を形成する (図 7、図 8)。なお、図中、AR で示される領域は活性領域であり、この工程においては AR 以外の領域に素子分離用のトレンチ 4 が形成される。また、MR で示される点線で囲まれた領域は 1 つのメモリセル領域を示す。複数のメモリセルは、隣合うメモリセル間で、MR で示される長方形の前記第 1 方向 (図 7 中では左右方向) に沿う各辺を対象軸として AR の形状が線対称 (ミラー反転) になるように配置され、且つ、MR で示される長方形の前記第 2 方向 (図 7 中では上下方向) に沿う各辺を基準線として前記第 1 方向に平行移動 (シフト) した関係となるように配置される。

20

なお、MR で示される長方形の各辺を対称軸として AR の形状が線対称になるように基板上に配置することも可能である。

【 0 0 7 9 】

次に、図 9 に示すように、トレンチ 4 の内部にシリコン酸化膜を埋め込んで素子分離 5 を形成する。この素子分離 5 の形成は、トレンチ 4 を含む半導体基板 1 上に CVD 法によりシリコン酸化膜をトレンチ 4 内が完全に埋め込まれるように厚く形成した後、シリコン窒化膜 3 をストップとして利用し、厚く形成したシリコン酸化膜に対してエッチバックあるいは化学的機械的研磨 (CMP) を行いトレンチ 4 内部以外のシリコン酸化膜を除去して形成することができる。

30

【 0 0 8 0 】

次に、半導体基板 1 上のシリコン窒化膜 3 及びシリコン酸化膜 2 をエッチングにより除去した後、図 10 及び図 11 に示すように、厚さ 10 ~ 30 nm 程度の薄いシリコン酸化膜 (犠牲酸化膜) 2 a を形成し、続いて負荷トランジスタ P_1 、 P_2 を形成する領域にレジスト 6 を形成する。このレジスト 6 をマスクとし、前記酸化膜 2 a をスルーフィルムとして p 型不純物 (例えばホウ素、BF₂) をイオン注入して、駆動トランジスタ D_1 、 D_2 及び転送トランジスタ T_1 、 T_2 を後に設ける p 型ウェル領域を形成する。次いで、レジスト 6 を除去した後、p 型ウェル領域上にレジストを形成し、このレジストをマスクとし、前記酸化膜 2 a をスルーフィルムとして n 型不純物 (例えばリン又はヒ素) をイオン注入して、負荷トランジスタ P_1 、 P_2 を後に設ける n 型ウェル領域を形成する。

40

【 0 0 8 1 】

次に、半導体基板上のシリコン酸化膜 (犠牲酸化膜) 2 a を除去した後、熱酸化法によりゲート酸化膜を形成し、続いて不純物導入多結晶シリコン膜を形成する。その際、不純物導入多結晶シリコン膜上に W シリサイド膜等の高融点金属シリサイド膜を形成し、その上にキャップ層形成用のシリコン酸化膜を形成してもよい。次いで、所定パターンに形成したフォトレジストをマスクにしてドライエッチングを行い、不純物導入多結晶シリコン膜及びゲート酸化膜を同時にパターニングして、図 12 及び図 13 に示すように、転送トランジスタ T_1 、 T_2 のゲート電極 (ワード線 WL) 8、駆動トランジスタ D_1 、 D_2 及び負

50

荷トランジスタ P_1 、 P_2 のゲート電極 9、10 を形成する。

【0082】

次に、図14及び図15に示すトランジスタ構造を下記のようにして形成する。 n 型ウェル領域上に形成したレジストをマスクにして、比較的少ない注入量で n 型不純物（例えばリン又はヒ素）をイオン注入し、 p 型ウェル領域にLDD領域11を形成する。このレジストを除去した後、同様に、 p 型ウェル領域上に形成したレジストをマスクにして p 型不純物（例えばホウ素、 BF_2 ）をイオン注入し、 n 型ウェル領域にLDD領域11を形成する。次いで、このレジストを除去した後、CVD法でシリコン酸化膜を基板上に形成し、このシリコン酸化膜をエッチバックすることにより、ゲート電極の側面にサイドウォール12を形成する。その後、 n 型ウェル領域上に形成したレジストをマスクにして、比較的多い注入量で n 型不純物をイオン注入し、 p 型ウェル領域に n 型ソース／ドレイン領域13aを形成する。続いて、このレジストを除去した後、同様に、 p 型ウェル領域上に形成したレジストをマスクにして p 型不純物（例えばホウ素、 BF_2 ）をイオン注入し、 n 型ウェル領域に p 型ソース／ドレイン領域13bを形成する。

【0083】

この工程後において、好ましくは、ソース／ドレイン領域上に高融点シリサイド膜を形成する。まず、半導体基板上にスパッタリング法等でCo等の高融点金属膜を形成する。次に、熱処理（アニール）を行って、高融点金属膜とソース／ドレイン領域とを反応させた後、未反応の高融点金属をエッチングにより除去する。これによりソース／ドレイン領域上に高融点金属シリサイド膜が形成される。このとき、前述の工程においてゲート電極上にWシリサイド膜およびシリコン酸化膜を設けていない場合は、ゲート電極上にも高融点金属シリサイド膜が形成される。

【0084】

次に、半導体基板上にCVD法でシリコン窒化膜14を形成した後、PSGやBPSG等からなる層間絶縁膜15を形成する。次いで、所定パターンに形成したフォトレジストをマスクにしてドライエッチングを行い第1層間絶縁膜15及びシリコン窒化膜14を開孔して基板表面およびゲート電極に達する溝を形成する。この溝をW等の導電性金属で埋め込むことにより、図16及び図17に示すように、埋込溝配線からなるローカル配線16（ L_1 ）を形成する。その際、溝への導電性金属の埋込は、例えば、スパッタリング法等でTi/TiN積層膜等からなるバリア金属膜を溝内部を含む基板上に形成した後、その溝を埋め込むようにW等からなる導電性金属膜をCVD法等により形成し、その後、これら金属膜に対してCMPを行って溝内以外の導電性金属膜とバリア金属膜を除去することにより行うことができる。

【0085】

次に、CVD法によりシリコン酸化膜等からなる第2層間絶縁膜17を形成した後、フォトレジストをマスクにしたドライエッチングを行いゲート電極9に達する接続孔と、ソース／ドレイン領域に達する接続孔（コンタクトホール）を同時に形成する。接続孔内部を含む基板表面に、Ti/TiN積層膜等からなるバリア金属膜を形成した後、CVD法等でこれらの接続孔を埋め込むようにW等の導電性金属膜を形成し、これら金属膜に対してCMPを行って接続孔内以外の導電性金属膜とバリア金属膜を除去する。これにより、ゲート電極9に達する接続プラグ18、ソース／ドレイン領域に達する接続プラグ19～26が同時に形成される。

【0086】

次に、スパッタリング法またはCVD法等によりTiN膜等の導電膜を形成し、この導電膜をフォトレジストをマスクにしてパターニングを行う。これにより、図20及び図21に示すように、接続プラグ18、19、20に接触するローカル配線（ L_2 ）27が形成される。その際、ローカル配線（ L_2 ）27は、上面からみて、その一部が第2層間絶縁膜17を介して下層のローカル配線（ L_1 ）16の少なくとも一部と重なるように形成される。図においては、ローカル配線（ L_2 ）27は、下層のローカル配線（ L_1 ）16の上面全体と重なるように形成されている。

10

20

30

40

50

【0087】

なお、ローカル配線(L_2)27を形成するためのパターニングの際、後に上層に形成される接続プラグ(ピアプラグ)と、各接続プラグ(コンタクトプラグ)21～26との接続を容易にするために、各接続プラグ21～26上に、接触し且つその上面を覆う矩形の導電膜パターン28～33を同時に形成する。

【0088】

次に、CVD法によりシリコン酸化膜等からなる第3の層間絶縁膜34を形成した後、フォトレジストをマスクにしてドライエッチングを行い、各導電膜パターン28～33に達する接続孔(ピアホール)を形成する。接続孔内部を含む基板表面にバリア金属膜を形成した後、CVD法等でこれらの接続孔を埋め込むようにW等からなる導電性金属膜を形成し、これらの金属膜に対してCMPを行い接続孔以外の導電性金属膜とバリア金属を除去する。これにより、図22及び図23に示すように、各導電膜パターン28～33に達する接続プラグ(ピアプラグ)が形成される。

10

【0089】

次に、第3層間絶縁膜34上に、図5及び図6に示すように、電源電圧Vccが印加される電源電圧線41、及び基準電圧Vssが印加される基準電圧線42を形成する。これらの配線は、第3層間絶縁膜34上にスパッタリング法等でA1膜を形成した後、フォトレジストをマスクにしてドライエッチングを行い、A1膜をパターニングして形成することができる。その際、A1膜に代えて、バリアメタル膜(TiN膜等)、A1膜、反射防止膜(TiN膜等)を順次形成してなる積層膜を設けてもよい。電源電圧線41は、接続プラグ36、37に接触し、負荷トランジスタP₁、P₂のそれぞれのソース領域に電気的に接続される。基準電圧線42は、接続プラグ35、38に接触し、駆動トランジスタD₁、D₂のそれぞれのソース領域に電気的に接続される。

20

【0090】

なお、電源電圧線41及び基準電圧線42を形成するためのパターニングの際、転送トランジスタのソース/ドレイン領域の一方に通じる接続プラグ39、40のそれぞれと、後に形成するビット線B_{L1}、B_{L2}に通じる接続プラグとの接続を容易にするために、各接続プラグ39、40上に、それぞれと接接し且つその上面を覆う矩形の導電膜パターン43、44を形成する。

【0091】

30

次に、電源電圧線41、基準電圧線42等が形成された第3層間絶縁膜34上に、CVD法により酸化シリコン等からなる第4層間絶縁膜を形成する。次いで、フォトレジストをマスクにしたドライエッチングを行って、接続プラグ39、40のそれぞれの上に形成された各導電膜パターン43、44に達する接続孔を形成する。続いて、これらの接続孔の内部を含む第4層間絶縁膜上にバリア金属膜を形成した後、CVD法等によりW等からなる導電性金属膜をこれらの接続孔が埋め込まれるように形成する。次いで、CMPを行って接続孔内部以外のこれら金属膜を除去して接続プラグを形成する。

【0092】

次に、これらの接続プラグが形成された第4層間絶縁膜上に、ビット線B_{L1}、B_{L2}を形成する。これらのビット線は、第4層間絶縁膜上にスパッタリング法等でA1膜を形成した後、フォトレジストをマスクにしてドライエッチングを行い、A1膜をパターニングして形成することができる。その際、A1膜に代えて、バリアメタル膜(TiN膜等)、A1膜、反射防止膜(TiN膜等)を順次形成してなる積層膜を設けてもよい。各ビット線は、第4層間絶縁膜に形成された接続プラグのいずれかに接触し、転送トランジスタT₁、T₂のいずれかのソース/ドレイン領域の一方に電気的に接続される。

40

【0093】

以上の工程により、本実施形態のメモリセルが完成する。なお、この後、例えば、ビット線が形成された第4層間絶縁膜上にパッシバーション膜を形成するなど、適宜、所望の工程を実施することができる。

【0094】

50

【発明の効果】

本発明によれば、リークの発生を抑えながらメモリセル面積を低減する技術を実現でき、スタンバイ電流の低い素子特性に優れた高集積度の半導体記憶装置を提供することができる。

【図面の簡単な説明】

【図 1】本発明を適用する S R A M セルの回路図である。

【図 2】従来の S R A M セルのレイアウト図である。

【図 3】本発明における S R A M セルを構成するトランジスタの模式的断面図である。

【図 4】本発明の S R A M セルのレイアウト図である。

【図 5】本発明の半導体記憶装置の S R A M セルの一実施形態を説明するための平面図である。 10

【図 6】本発明の半導体記憶装置の S R A M セルの一実施形態を説明するための断面図である。

【図 7】本発明の半導体記憶装置の S R A M セルの製造方法を説明するための平面図である。

【図 8】本発明の半導体記憶装置の S R A M セルの製造方法を説明するための断面図である。

【図 9】本発明の半導体記憶装置の S R A M セルの製造方法を説明するための断面図である。

【図 10】本発明の半導体記憶装置の S R A M セルの製造方法を説明するための平面図である。 20

【図 11】本発明の半導体記憶装置の S R A M セルの製造方法を説明するための断面図である。

【図 12】本発明の半導体記憶装置の S R A M セルの製造方法を説明するための平面図である。

【図 13】本発明の半導体記憶装置の S R A M セルの製造方法を説明するための断面図である。

【図 14】本発明の半導体記憶装置の S R A M セルの製造方法を説明するための平面図である。

【図 15】本発明の半導体記憶装置の S R A M セルの製造方法を説明するための断面図である。 30

【図 16】本発明の半導体記憶装置の S R A M セルの製造方法を説明するための平面図である。

【図 17】本発明の半導体記憶装置の S R A M セルの製造方法を説明するための断面図である。

【図 18】本発明の半導体記憶装置の S R A M セルの製造方法を説明するための平面図である。

【図 19】本発明の半導体記憶装置の S R A M セルの製造方法を説明するための断面図である。

【図 20】本発明の半導体記憶装置の S R A M セルの製造方法を説明するための平面図である。 40

【図 21】本発明の半導体記憶装置の S R A M セルの製造方法を説明するための断面図である。

【図 22】本発明の半導体記憶装置の S R A M セルの製造方法を説明するための平面図である。

【図 23】本発明の半導体記憶装置の S R A M セルの製造方法を説明するための断面図である。

【符号の説明】

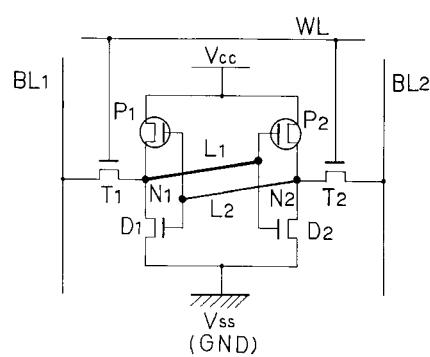
T₁、T₂ 転送トランジスタ

D₁、D₂ 駆動トランジスタ

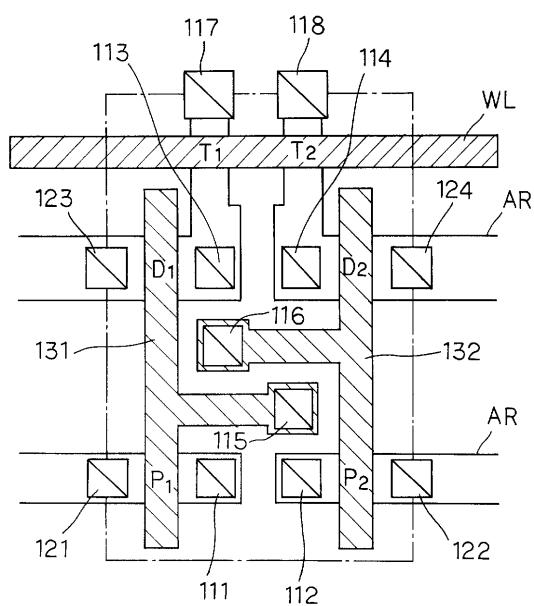
P ₁ 、 P ₂	負荷トランジスタ	
B L ₁ 、 B L ₂	ビット線	
W L	ワード線	
L ₁ 、 L ₂	ローカル配線	
N ₁ 、 N ₂	蓄積ノード	
V _{cc}	電源電圧	
V _{ss}	基準電圧	
A R	活性領域	
M R	一つのメモリセル領域	
1	半導体基板	10
2	シリコン酸化膜	
2 a	シリコン酸化膜(犠牲酸化膜)	
3	シリコン窒化膜	
4	トレンチ(溝)	
5	素子分離	
6	レジスト	
7	ゲート酸化膜	
8	ゲート電極(ワード線W L)	
9、 10	ゲート電極	
11	L D D領域	20
12	サイドウォール	
13	ソース/ドレイン領域	
13 a	n型ソース/ドレイン領域	
13 b	p型ソース/ドレイン領域	
14	シリコン窒化膜	
15	第1層間絶縁膜	
16	ローカル配線(L ₁)	
17	第2層間絶縁膜	
18 ~ 26	接続プラグ	
27	ローカル配線(L ₂)	30
28 ~ 33、 43、 44	導電膜パターン	
34	第3層間絶縁膜	
35 ~ 40	接続プラグ(ビアプラグ)	
41	電源電圧線	
42	基準電圧線	
111、 113、 116	ローカル配線L ₁ に接続されるコンタクト	
112、 114、 115	ローカル配線L ₂ に接続されるコンタクト	
117、 118	ビット線へのコンタクト	
121	電源電圧線へのコンタクト	
122	電源電圧線へのコンタクト	40
123	基準電圧線(グランド線)へのコンタクト	
124	基準電圧線(グランド線)へのコンタクト	
131、 132	ゲート配線	
200	半導体基板	
201	L D D領域	
202	ソース/ドレイン領域	
203	ゲート絶縁膜	
204	サイドウォール絶縁膜	
205	ゲート電極	
206	層間絶縁膜	50

207 コンタクト
 207a 埋込導電部
 207b バリア膜
 210 高融点金属シリサイド層

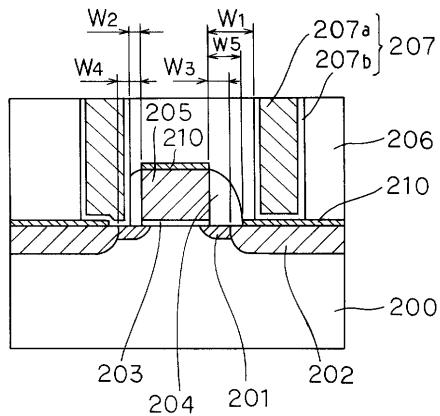
【図1】



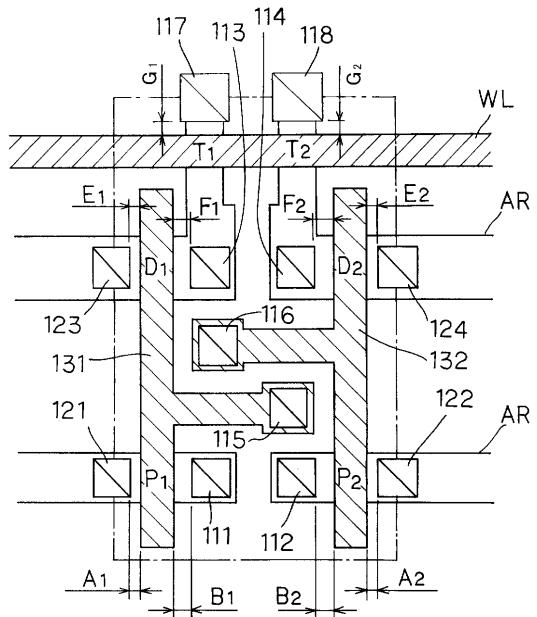
【図2】



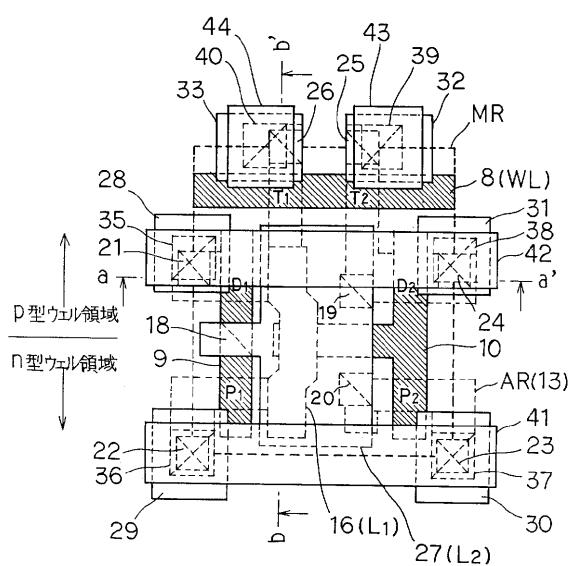
【図3】



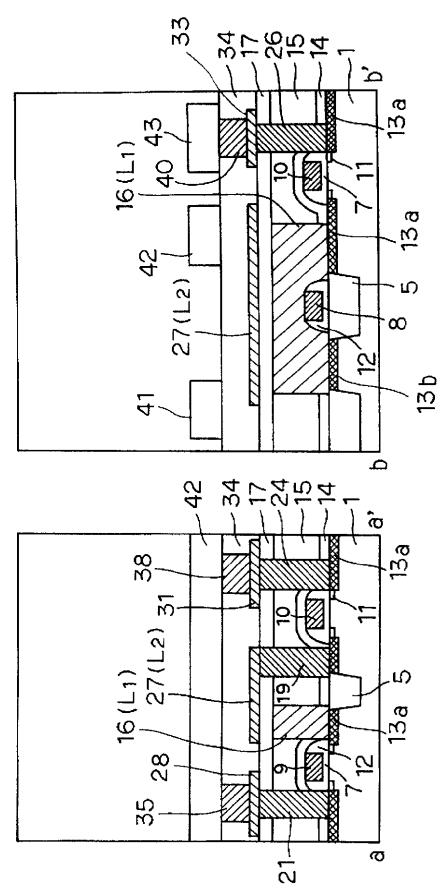
【 四 4 】



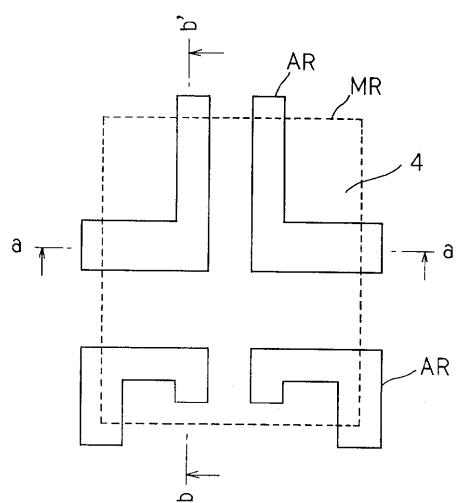
【 図 5 】



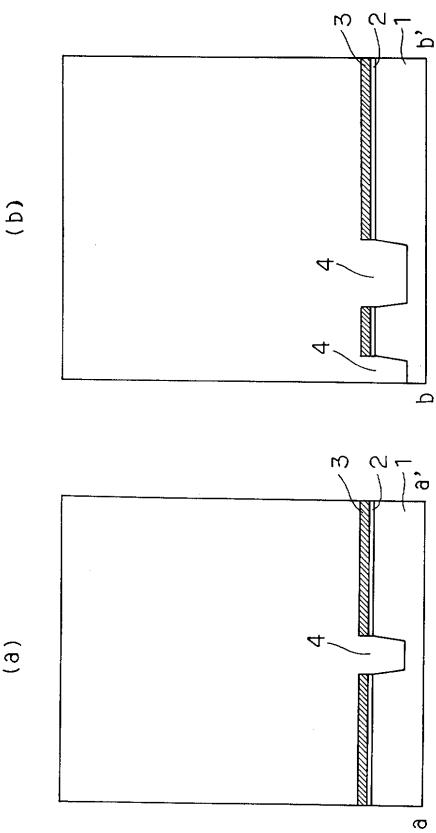
【 四 6 】



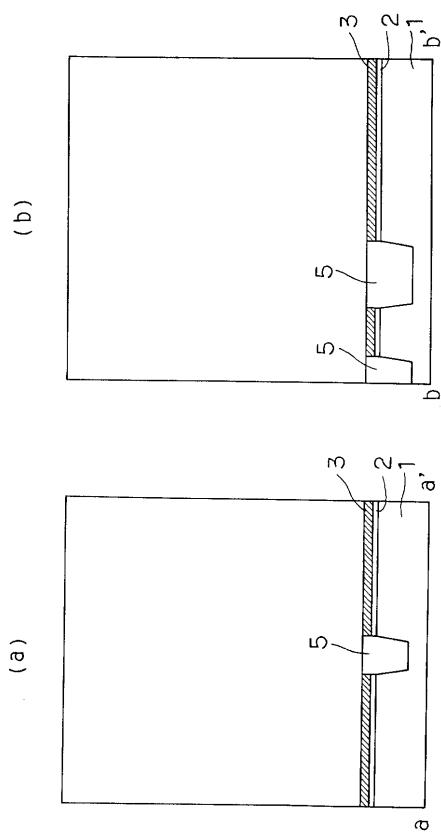
【図7】



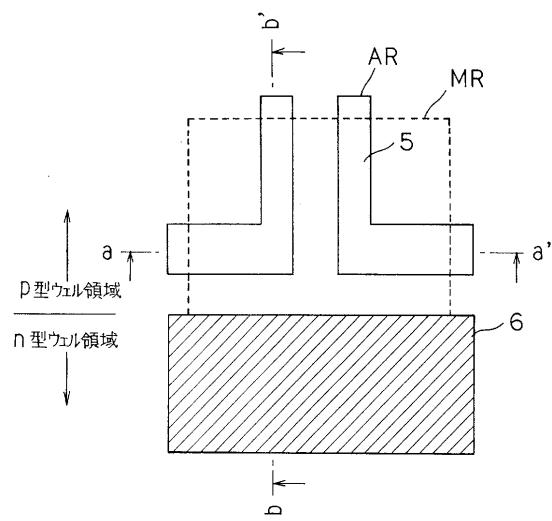
【図8】



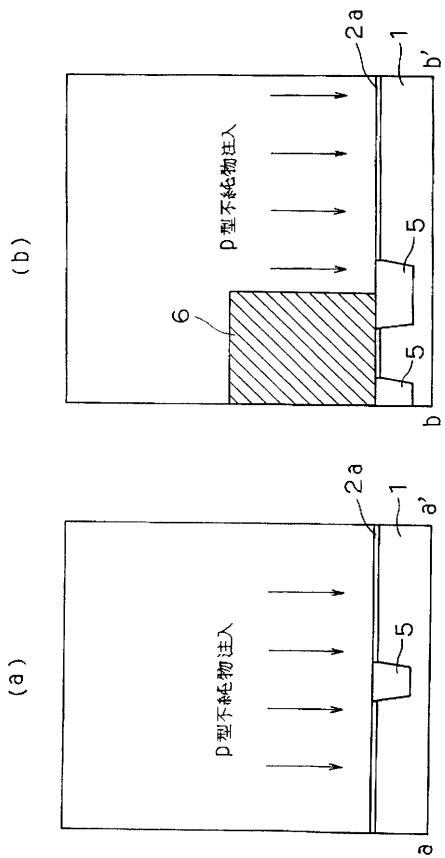
【図9】



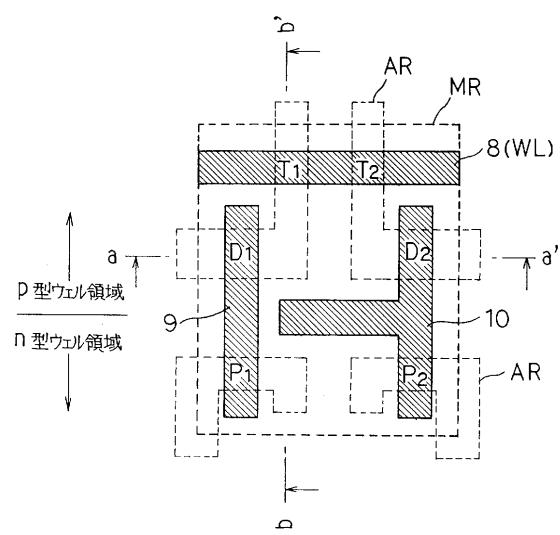
【図10】



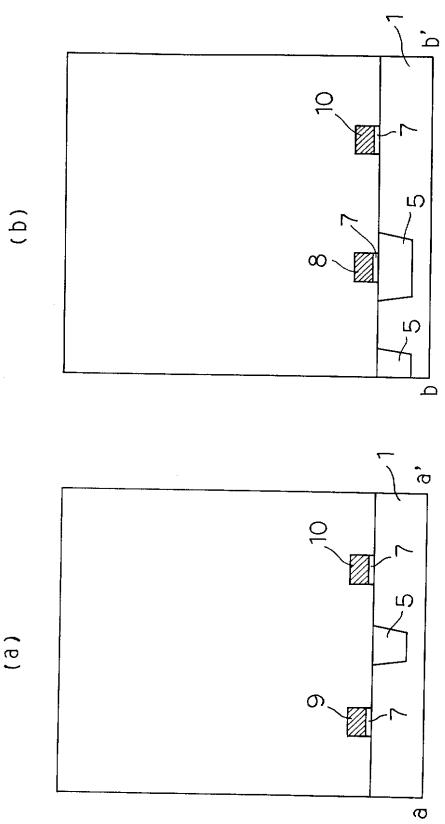
【図11】



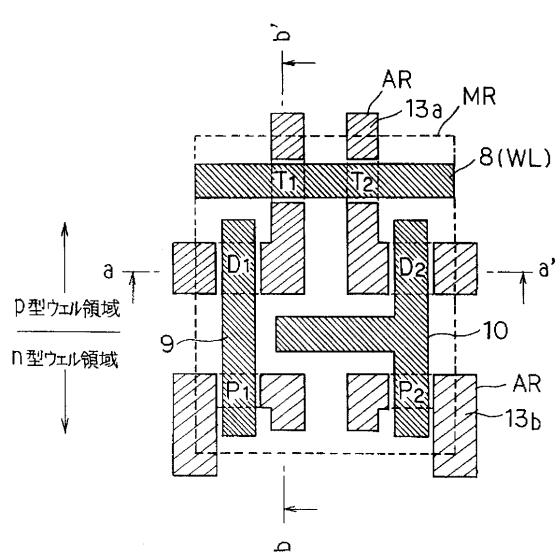
【図12】



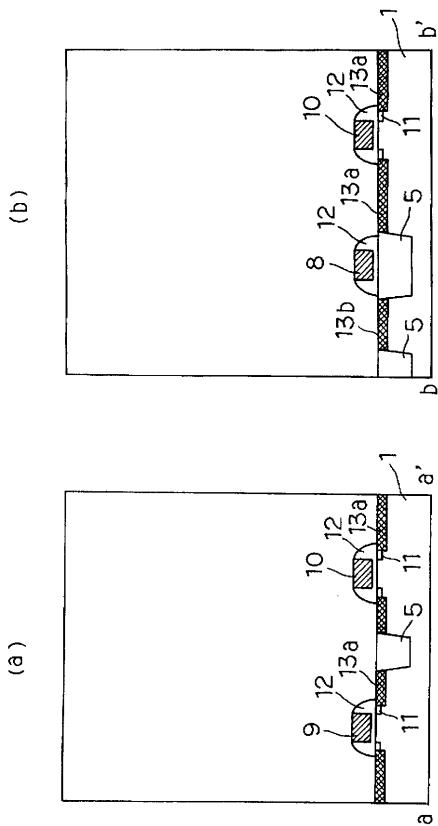
【図13】



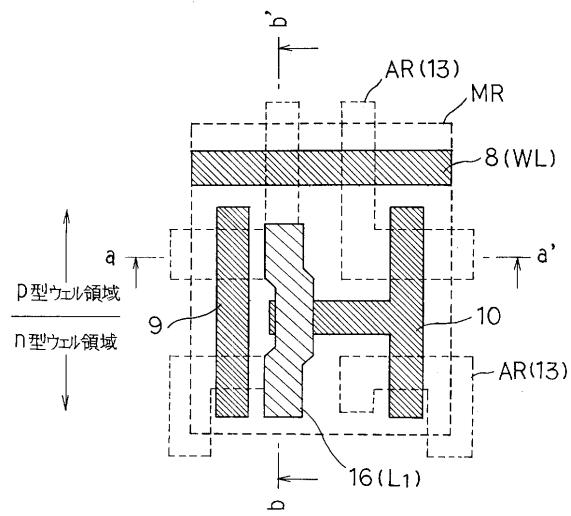
【図14】



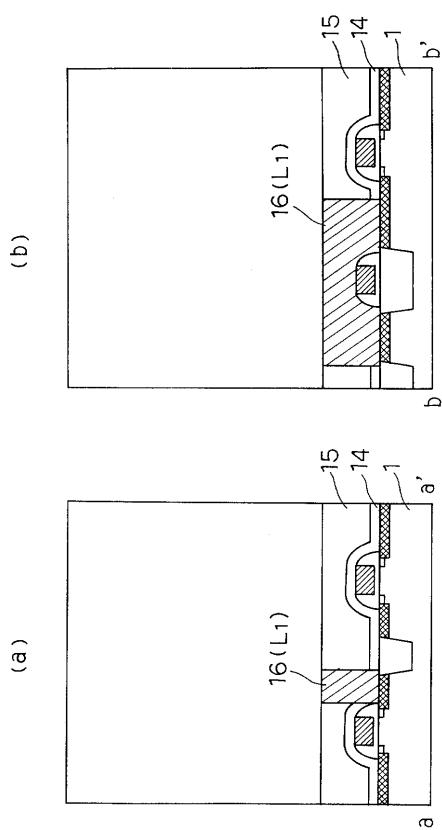
【図15】



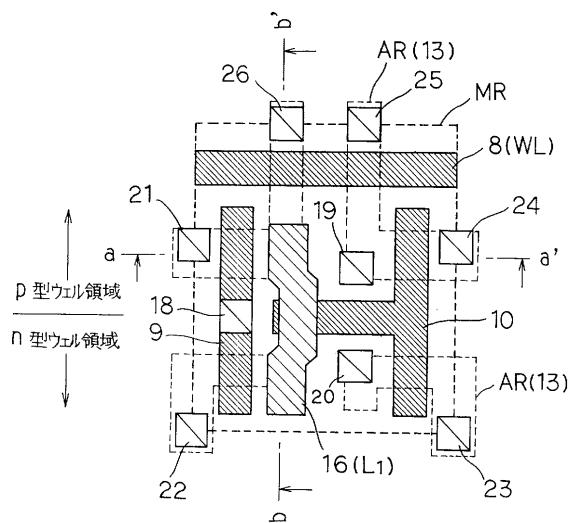
【図16】



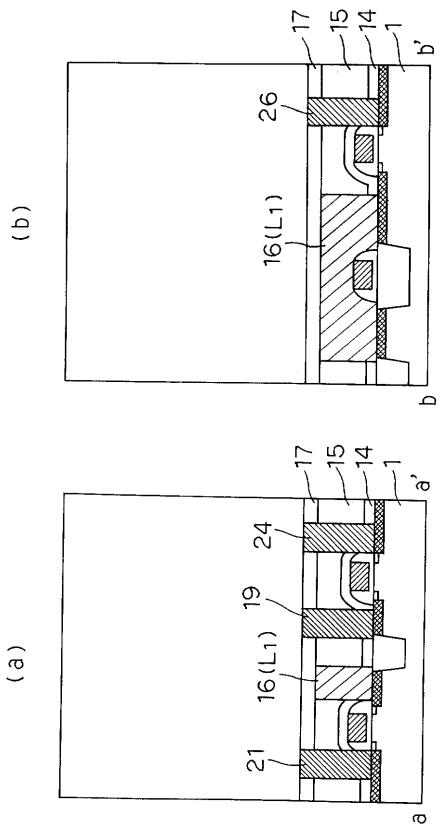
【図17】



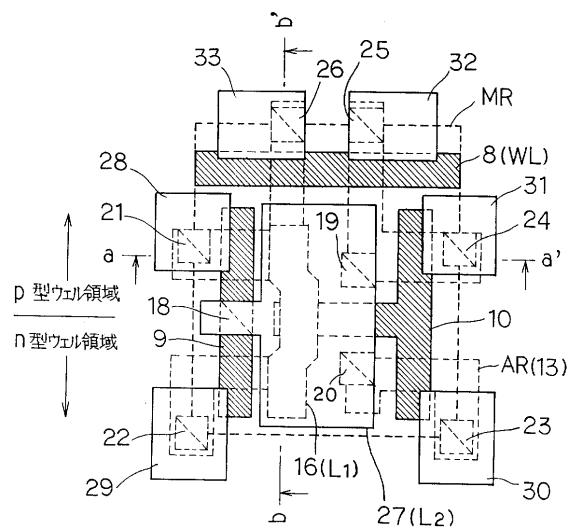
【図18】



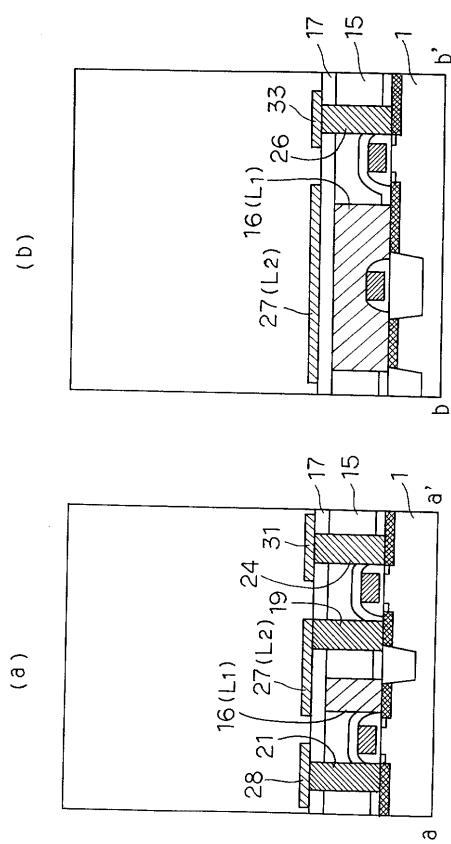
【図19】



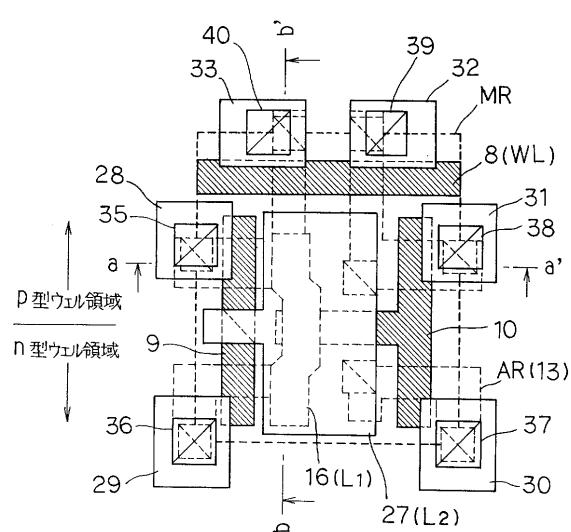
【 図 20 】



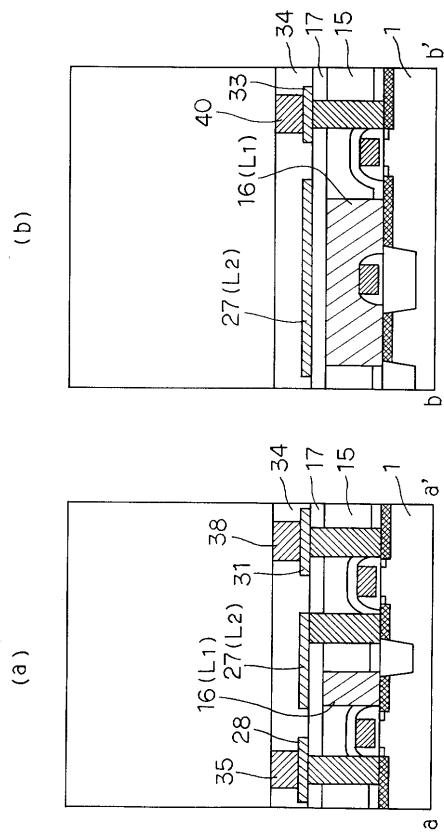
【図21】



【図22】



【図23】



フロントページの続き

(56)参考文献 特開2000-188340(JP,A)
特開平10-163344(JP,A)
特開平06-204246(JP,A)
特開平11-251457(JP,A)
特開平11-163166(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8244

H01L 27/11