

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成20年3月21日(2008.3.21)

【公開番号】特開2002-252280(P2002-252280A)

【公開日】平成14年9月6日(2002.9.6)

【出願番号】特願2001-51172(P2001-51172)

【国際特許分類】

H 0 1 L 21/768 (2006.01)

H 0 1 L 23/522 (2006.01)

H 0 1 L 21/31 (2006.01)

H 0 1 L 21/316 (2006.01)

H 0 1 L 21/318 (2006.01)

【F I】

H 0 1 L 21/90 M

H 0 1 L 21/31 Z

H 0 1 L 21/316 X

H 0 1 L 21/316 M

H 0 1 L 21/318 B

H 0 1 L 21/318 M

【手続補正書】

【提出日】平成20年1月31日(2008.1.31)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【書類名】明細書

【発明の名称】半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】

半導体基板と、

前記半導体基板上に形成されたフッ素を含有する第一層間絶縁膜と、

前記第 1 層間絶縁膜上に形成され、 SiH_4 を含有するガスを用いられて形成されたシリコン酸化膜と、

前記シリコン酸化膜上に形成された第一配線と、

前記第一配線の側面及び上面を覆い、前記第一層間絶縁膜の上面を覆うシリコン窒化膜とを有することを特徴とする半導体装置。

【請求項 2】

前記半導体基板と前記第一層間絶縁膜との間に第二層間絶縁膜が更に設けられ、

前記第二層間絶縁膜上に設けられ、前記第一層間絶縁膜に側面と上面を覆われるような、第二配線が更に存在することを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記シリコン窒化膜にはボンディングパッド用の開口部が更に設けられることを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】

前記ガスは O_2 を更に含有することを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】

前記シリコン酸化膜の屈折率は 1.5 ~ 1.6 の範囲内にあることを特徴とする請求項

1 に記載の半導体装置。

【請求項 6】

前記第一配線及び前記第二配線はAlCuをTi系の膜で挟んだ構造であることを特徴とする請求項 2 に記載の半導体装置。

【請求項 7】

前記第一層間絶縁膜と前記シリコン酸化膜との間に、TEOSで構成される第三層間絶縁膜が更に設けられることを特徴とする請求項 2 に記載の半導体装置。

【請求項 8】

半導体基板上にフッ素を含有する第一層間絶縁膜を形成する工程と、
前記第一層間絶縁膜上に、SiH₄を含有するガスを用いてシリコン酸化膜を形成する工程と、

前記シリコン酸化膜上に第一配線を形成する工程と、
前記第一配線の側面及び上面を覆い、前記第一絶縁膜の上面を覆うシリコン窒化膜を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 9】

前記第一層間絶縁膜を形成する工程の前に、第二層間絶縁膜を前記半導体基板上に形成する工程を更に有し、

前記第二層間絶縁膜を形成する工程と前記第一層間絶縁膜を形成する工程との間に、第二配線を形成する工程を更に有し、

前記第一層間絶縁膜が高密度プラズマCVD法により形成されることにより、前記第二配線が前記第一層間絶縁膜に側面と上面とを覆われるようになることを特徴とする請求項 8 に記載の半導体装置の製造方法。

【請求項 10】

前記第一層間絶縁膜は、SiH₄ガス、O₂ガス、およびC₂F₆ガスを反応ガスとして用いることにより形成されることを特徴とする請求項 9 に記載の半導体装置の製造方法。

【請求項 11】

前記シリコン窒化膜を形成する工程の後、前記シリコン窒化膜にボンディングパッド用の開口部を設ける工程を更に有することを特徴とする請求項 8 に記載の半導体装置の製造方法。

【請求項 12】

前記ガスはO₂を更に含有し、前記シリコン酸化膜はプラズマCVD法により形成されることを特徴とする請求項 8 に記載の半導体装置の製造方法。

【請求項 13】

前記シリコン酸化膜の屈折率は1.5～1.6の範囲内にあることを特徴とする請求項 8 に記載の半導体装置の製造方法。

【請求項 14】

前記第一配線及び前記第二配線は金属膜を形成した後、該金属膜をエッチングすることにより形成され、

前記第一配線及び前記第二配線は、AlCuをTi系の膜で挟んだ構造であることを特徴とする請求項 8 に記載の半導体装置の製造方法。

【請求項 15】

前記第一配線を形成するために金属膜を形成する際、熱処理が平行して行われることを特徴とする請求項 14 に記載の半導体装置の製造方法。

【請求項 16】

前記熱処理は約400℃であることを特徴とする請求項 15 に記載の半導体装置の製造方法。

【請求項 17】

前記第一層間絶縁膜が形成される工程と、前記シリコン酸化膜が形成される工程との間にTEOSとO₂ガスを反応ガスとするプラズマCVD法で構成される第三層間絶縁膜が形成される工程を更に有することを特徴とする請求項 9 に記載の半導体装置の製造方法。

【請求項 18】

前記第三層間絶縁膜が形成される工程と、前記シリコン酸化膜が形成される工程との間に、更に前記第三層間絶縁膜をCMP法により平坦化する工程を更に有することを特徴とする請求項 17 に記載の半導体装置の製造方法。

【請求項 19】

フッ素含有シリコン酸化膜で形成された層間酸化膜を有する半導体装置であって、前記フッ素含有シリコン酸化膜の上層に形成される金属配線と、前記金属配線と前記フッ素含有シリコン酸化膜との間にのみ存在する SiH_4 系シリコン酸化膜と、
を備えることを特徴とする半導体装置。

【請求項 20】

前記フッ素含有シリコン酸化膜の下層に形成される下層金属配線と、前記下層金属配線と前記フッ素含有シリコン酸化膜との間に存在する第2の SiH_4 系シリコン酸化膜と、
を更に備えることを特徴とする請求項 19 に記載の半導体装置。

【請求項 21】

前記フッ素含有シリコン酸化膜の下層に形成される下層金属配線と、前記下層金属配線と前記フッ素含有シリコン酸化膜との間に存在するシリコン窒化膜と、
を更に備えることを特徴とする請求項 19 に記載の半導体装置。

【請求項 22】

前記フッ素含有シリコン酸化膜の上層に、前記金属配線を覆うように形成されたパッシベーション膜を備え、
前記パッシベーション膜は、シリコン酸化膜と、当該シリコン酸化膜の上に形成されたシリコン窒化膜とを含むことを特徴とする請求項 19 乃至 21 の何れか 1 項に記載の半導体装置。

【請求項 23】

フッ素含有シリコン酸化膜で形成された層間酸化膜を有する半導体装置であって、前記フッ素含有シリコン酸化膜の上層に形成される金属配線と、
前記フッ素含有シリコン酸化膜の上層に、前記金属配線を覆うように形成されたパッシベーション膜とを備え、
前記パッシベーション膜は、屈折率が 1.48 未満の低屈折率シリコン酸化膜と、当該低屈折率シリコン酸化膜の上に形成されたシリコン窒化膜とを含むことを特徴とする半導体装置。

【請求項 24】

フッ素含有シリコン酸化膜で形成された層間酸化膜を有する半導体装置であって、前記フッ素含有シリコン酸化膜の上層に形成される金属配線を備え、
前記金属配線は、その底面に、フッ素と反応し難い難フッ化金属層を有することを特徴とする半導体装置。

【請求項 25】

前記難フッ化金属は、TaまたはTa₂Nを含むことを特徴とする請求項 24 に記載の半導体装置。

【請求項 26】

フッ素含有シリコン酸化膜で形成された層間酸化膜を有する半導体装置の製造方法であって、
前記フッ素含有シリコン酸化膜を形成するステップと、
前記フッ素含有シリコン酸化膜の上層に SiH_4 系シリコン酸化膜を形成するステップと、
前記 SiH_4 系シリコン酸化膜の形成後に、前記フッ素含有シリコン酸化膜中のフッ素が前記 SiH_4 系シリコン酸化膜中に拡散するように、第1の熱処理を実行するステップと、

前記 SiH_4 系シリコン酸化膜の上に配線用金属膜を形成するステップと、

前記配線用金属膜および前記 SiH_4 系シリコン酸化膜を所定のパターンにパターニングして金属配線を形成するステップと、

前記金属配線の形成後に、前記フッ素含有シリコン酸化膜の露出部分からフッ素が放出されるように第2の熱処理を実行するステップと、

を含むことを特徴とする半導体装置の製造方法。

【請求項27】

前記フッ素含有シリコン酸化膜の形成に先立って、下層金属配線と、その下層金属配線を覆う第2の SiH_4 系シリコン酸化膜とを形成するステップを更に含むことを特徴とする請求項26に記載の半導体装置の製造方法。

【請求項28】

前記フッ素含有シリコン酸化膜の形成に先立って、下層金属配線と、その下層金属配線を覆うシリコン窒化膜とを形成するステップを更に含むことを特徴とする請求項26に記載の半導体装置の製造方法。

【請求項29】

前記フッ素含有シリコン酸化膜の上層に、前記金属配線を覆うようにパッシベーション膜を形成するステップを更に含み、

前記パッシベーション膜を形成するステップは、シリコン酸化膜を形成するサブステップと、前記シリコン酸化膜の上にシリコン窒化膜を形成するサブステップとを含むことを特徴とする請求項26乃至28の何れか1項に記載の半導体装置の製造方法。

【請求項30】

フッ素含有シリコン酸化膜で形成された層間酸化膜を有する半導体装置の製造方法であって、

前記 SiH_4 系シリコン酸化膜の上に金属配線を形成するステップと、

前記フッ素含有シリコン酸化膜の上層に、前記金属配線を覆うようにパッシベーション膜を形成するステップとを含み、

前記パッシベーション膜を形成するステップは、屈折率が1.48未満の低屈折率シリコン酸化膜を形成するサブステップと、前記低屈折率シリコン酸化膜の上にシリコン窒化膜を形成するサブステップとを含むことを特徴とする半導体装置の製造方法。

【請求項31】

フッ素含有シリコン酸化膜で形成された層間酸化膜を有する半導体装置の製造方法であって、

前記フッ素含有シリコン酸化膜の上層に金属配線を形成するステップを含み、

前記金属配線を形成するステップは、フッ素と反応し難い難フッ化金属層を形成するサブステップと、前記難フッ化金属層の上に低抵抗金属層を形成するサブステップとを含むことを特徴とする半導体装置の製造方法。

【請求項32】

前記難フッ化金属は、TaまたはTa₂Nを含むことを特徴とする請求項31に記載の半導体装置の製造方法。

【請求項33】

フッ素含有シリコン酸化膜で形成された層間酸化膜を有する半導体装置の製造方法であって、

前記フッ素含有シリコン酸化膜を形成するステップと、

前記フッ素含有シリコン酸化膜の上層にフッ素捕獲膜を形成するステップと、

前記フッ素捕獲膜の形成後に、前記フッ素含有シリコン酸化膜中のフッ素が前記フッ素捕獲膜中に拡散するように、所定の熱処理を実行するステップと、

前記所定の熱処理の後に前記フッ素捕獲膜を除去するステップと、

前記フッ素捕獲膜の除去後に、前記フッ素含有シリコン酸化膜の上層に金属配線を形成するステップと、

を含むことを特徴とする半導体装置の製造方法。

【請求項 3 4】

前記フッ素捕獲膜は、 SiH_4 系シリコン酸化膜であることを特徴とする請求項 3 3 に記載の半導体装置の製造方法。

【請求項 3 5】

前記フッ素捕獲膜は、シリコン窒化膜であることを特徴とする請求項 3 3 に記載の半導体装置の製造方法。

【請求項 3 6】

前記フッ素捕獲膜は、Ti 膜であることを特徴とする請求項 3 3 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置およびその製造方法に係り、特に、多層配線構造を有する半導体装置に高い信頼性を付与する上で好適な構造を有する半導体装置、およびその製造方法に関する。

【0002】

【従来の技術】

近年では、半導体装置の高集積化および多機能化に伴い、配線の微細化や多層化が進行し、多層配線技術は重要不可欠となっている。図 1 は、従来の多層配線技術を用いて形成された 2 層の配線構造の半導体装置の断面図を示す。

【0003】

図 1 において、シリコン基板 10 の上には第 1 層間絶縁膜 12 が形成されている。第 1 層間絶縁膜 12 の上には、アルミなどで構成された下層金属配線 14 が設けられている。下層金属配線 14 は、フッ素含有シリコン酸化膜 16 で覆われている。また、フッ素含有シリコン酸化膜 16 の上には、TEOS 系のシリコン酸化膜 18（以下、「TEOS 膜 18」と称す）が形成されている。

【0004】

クォーターミクロン以下の配線が用いられる世代の半導体装置において、特に高速動作の要求されるものについては、層間絶縁膜の容量を十分に小さくする必要がある。フッ素含有シリコン酸化膜 16 は、フッ素を含まないシリコン酸化膜に比して容量低減に適しているため、このような半導体装置において層間絶縁膜の一部として用いられている。

【0005】

TEOS 膜 18 の上には、アルミなどで構成された金属配線 20 が形成されている。この金属配線 20 は、パッシベーション膜として機能するシリコン窒化膜 22 で覆われている。

【0006】

以下、図 2 乃至図 4 を参照して、図 1 に示す従来の半導体装置の製造方法について説明する。

図 2 に示すように、シリコン基板 10 の上に、先ず、CVD 法、エッチバック法或いは CMP 法などを組み合わせて、第 1 層間絶縁膜 12、および下層金属配線 14 が形成される。

【0007】

第 1 層間絶縁膜 12 および下層金属配線 14 が覆われるように、半導体ウェハの全面にフッ素含有シリコン酸化膜 16 が堆積される。フッ素含有シリコン酸化膜 16 は、 SiH_4 ガス、 O_2 ガス、および C_2F_6 ガスを反応ガスとする高密度プラズマ CVD 法、すなわち、上記の反応ガスにバイアス電圧を印加して密度の高いプラズマを発生させる CVD 法により形成される。このような高密度プラズマ CVD 法では、デポジションとスパッタエッチングが同時に進行する。このため、下地に段差が存在する部分、すなわち、下層金属配線 14 の上の部分は、角部がエッチングされて三角形の形状となる。フッ素含有シリコン酸化膜 16 は、下地金属配線 14 と同程度の膜厚となるまで堆積される。

【0008】

図 3 に示すように、フッ素含有シリコン酸化膜 16 の上に TEOS 膜 18 が堆積される。TEOS 膜 18 は、例えば、TEOS と O_2 ガスを反応ガスとするプラズマ CVD 法により形成される。このような CVD 法で形成されるシリコン酸化膜の表面には、その下地の形状が忠実に反映される。このため、TEOS 膜 18 は、下地金属配線 14 の上の部分が三角形に形成される。

【0009】

図 4 に示すように、TEOS 膜 18 は、CMP 法により平坦化される。この CMP は、下地金属配線 14 の上に TEOS 膜 18 が残存するように、すなわち、フッ素含有シリコン酸化膜 16 が TEOS 膜 18 の表面に露出しないように行われる。フッ素含有シリコン酸化膜 16 および TEOS 膜 18 には、下層金属配線 14 に通じるビアホール（図示せず）が開口される。そのビアホールの中には、タングステンプラグ（図示せず）が形成される。ビアホールの開口およびタングステンプラグの形成は、写真製版、ドライエッチング、スパッタ、CVD 法、およびエッチバック法などの組み合わせにより行われる。

【0010】

以後、上記のタングステンプラグと導通するように、TEOS 膜 18 の上に金属配線 20（図 1 参照）がパターンニングされ、更にその上層に、プラズマ CVD 法により、パッシベーション膜として機能するシリコン窒化膜 22 が形成される。シリコン窒化膜 22 にボンディングパッド部（図示せず）が開口されることにより、図 1 に示す多層配線構造を有する半導体装置が完成する。

【0011】

【発明が解決しようとする課題】

上述した従来の製造方法において、フッ素含有シリコン酸化膜 16 および TEOS 膜 18 が形成された後には、CVD 法によりタングステン膜を形成する工程、スパッタによりアルミ膜を形成する工程、或いはプラズマ CVD 法でシリコン窒化膜 22 を形成する工程などが実行される。これらの工程は、400 程度の高温雰囲気中で行われる。また、半導体装置の製造過程では、上述したフッ素含有シリコン酸化膜 16 や TEOS 膜 18 の形成後に、デバイス特性の安定化などを目的として、400 程度の温度を用いる熱処理が行われることがある。

【0012】

フッ素含有シリコン酸化膜 14 中のフッ素はこれらの熱処理の際に拡散しようとする。TEOS 膜 18 が有するフッ素に対するバリア効果は低く、一方、金属やシリコン窒化膜 22 は、フッ素の拡散を素子する高いバリア効果を有している。このため、上述したような熱処理が実行されると、図 5 に示すように、下層金属配線 14 の上面付近、金属配線 20 の底面付近、およびシリコン窒化膜 22 の底面付近に、高いフッ素濃度を有する F 層 24 が形成される。このような F 層 24 は、膜膨れや膜剥がれ、或いはパターン剥がれなどの原因となる。

【0013】

クォーターミクロン世代のデバイスでは、AlCu の上下を Ti 系の膜で挟んだ構造を持つ金属配線が一般的に用いられる。このような金属配線において、例えば、Ti/TiN 膜が用いられた場合、Ti の付近に F 層 24 が形成されることになる。この場合、Ti と F とが反応して、より一層膜剥がれの生じやすい状態となる。

【0014】

上述した膜膨れや膜剥がれ、或いはパターン剥がれは、金属配線の短絡等を引き起こす原因となる。このため、従来の半導体装置の構造、およびその製造方法は、歩留まり低下や信頼性劣化等の不都合を発生させ易いという問題を有していた。

【0015】

本発明は、上記のような課題を解決するためになされたもので、フッ素含有シリコン酸化膜を層間絶縁膜として用いつつ、優れた信頼性と、高い歩留まりとを実現し得る半導体装置を提供することを第 1 の目的とする。

また、本発明は、フッ素含有シリコン酸化膜を層間絶縁膜として用いつつ、優れた信頼

性を有する半導体装置を、高い歩留まりで製造するための製造方法を提供することを第2の目的とする。

【0016】

【課題を解決するための手段】

この発明は、半導体装置であって、
半導体基板と、
前記半導体基板上に形成されたフッ素を含有する第一層間絶縁膜と、
前記第一層間絶縁膜上に形成され、 SiH_4 を含有するガスを用いられて形成されたシリコン酸化膜と、
前記シリコン酸化膜上に形成された第一配線と、
前記第一配線の側面及び上面を覆い、前記第一層間絶縁膜の上面を覆うシリコン窒化膜とを有することを特徴とするものである。

【0017】

また、この発明は、半導体装置の製造方法であって、
半導体基板上にフッ素を含有する第一層間絶縁膜を形成する工程と、
前記第一層間絶縁膜上に、 SiH_4 を含有するガスを用いてシリコン酸化膜を形成する工程と、
前記シリコン酸化膜上に第一配線を形成する工程と、
前記第一配線の側面及び上面を覆い、前記第一絶縁膜の上面を覆うシリコン窒化膜を形成する工程とを有することを特徴とするものである。

【0018】

請求項19に記載の発明は、フッ素含有シリコン酸化膜で形成された層間酸化膜を有する半導体装置であって、
前記フッ素含有シリコン酸化膜の上層に形成される金属配線と、
前記金属配線と前記フッ素含有シリコン酸化膜との間にのみ存在する SiH_4 系シリコン酸化膜と、
を備えることを特徴とするものである。

【0019】

請求項20に記載の発明は、請求項19に記載の半導体装置であって、
前記フッ素含有シリコン酸化膜の下層に形成される下層金属配線と、
前記下層金属配線と前記フッ素含有シリコン酸化膜との間に存在する第2の SiH_4 系シリコン酸化膜と、
を更に備えることを特徴とするものである。

【0020】

請求項21に記載の発明は、請求項19に記載の半導体装置であって、前記フッ素含有シリコン酸化膜の下層に形成される下層金属配線と、
前記下層金属配線と前記フッ素含有シリコン酸化膜との間に存在するシリコン窒化膜と、
を更に備えることを特徴とするものである。

【0021】

請求項22に記載の発明は、請求項19乃至21の何れか1項に記載の半導体装置であって、
前記フッ素含有シリコン酸化膜の上層に、前記金属配線を覆うように形成されたパッシベーション膜を備え、
前記パッシベーション膜は、シリコン酸化膜と、当該シリコン酸化膜の上に形成されたシリコン窒化膜とを含むことを特徴とするものである。

【0022】

請求項23に記載の発明は、フッ素含有シリコン酸化膜で形成された層間酸化膜を有する半導体装置であって、
前記フッ素含有シリコン酸化膜の上層に形成される金属配線と、

前記フッ素含有シリコン酸化膜の上層に、前記金属配線を覆うように形成されたパッシベーション膜とを備え、

前記パッシベーション膜は、屈折率が1.48未満の低屈折率シリコン酸化膜と、当該低屈折率シリコン酸化膜の上に形成されたシリコン窒化膜とを含むことを特徴とするものである。

【0023】

請求項24に記載の発明は、フッ素含有シリコン酸化膜で形成された層間酸化膜を有する半導体装置であって、

前記フッ素含有シリコン酸化膜の上層に形成される金属配線を備え、

前記金属配線は、その底面に、フッ素と反応し難い難フッ化金属層を有することを特徴とするものである。

【0024】

請求項25に記載の発明は、請求項24に記載の半導体装置であって、前記難フッ化金属は、TaまたはTa₂Nを含むことを特徴とするものである。

【0025】

請求項26に記載の発明は、フッ素含有シリコン酸化膜で形成された層間酸化膜を有する半導体装置の製造方法であって、

前記フッ素含有シリコン酸化膜を形成するステップと、

前記フッ素含有シリコン酸化膜の上層にSiH₄系シリコン酸化膜を形成するステップと

、
前記SiH₄系シリコン酸化膜の形成後に、前記フッ素含有シリコン酸化膜中のフッ素が前記SiH₄系シリコン酸化膜中に拡散するように、第1の熱処理を実行するステップと、

前記SiH₄系シリコン酸化膜の上に配線用金属膜を形成するステップと、

前記配線用金属膜および前記SiH₄系シリコン酸化膜を所定のパターンにパターニングして金属配線を形成するステップと、

前記金属配線の形成後に、前記フッ素含有シリコン酸化膜の露出部分からフッ素が放出されるように第2の熱処理を実行するステップと、

を含むことを特徴とするものである。

【0026】

請求項27に記載の発明は、請求項26に記載の半導体装置の製造方法であって、前記フッ素含有シリコン酸化膜の形成に先立って、下層金属配線と、その下層金属配線を覆う第2のSiH₄系シリコン酸化膜とを形成するステップを更に含むことを特徴とするものである。

【0027】

請求項28に記載の発明は、請求項26に記載の半導体装置の製造方法であって、前記フッ素含有シリコン酸化膜の形成に先立って、下層金属配線と、その下層金属配線を覆うシリコン窒化膜とを形成するステップを更に含むことを特徴とするものである。

【0028】

請求項29に記載の発明は、請求項26乃至28の何れか1項に記載の半導体装置の製造方法であって、

前記フッ素含有シリコン酸化膜の上層に、前記金属配線を覆うようにパッシベーション膜を形成するステップを更に含み、

前記パッシベーション膜を形成するステップは、シリコン酸化膜を形成するサブステップと、前記シリコン酸化膜の上にシリコン窒化膜を形成するサブステップとを含むことを特徴とするものである。

【0029】

請求項30に記載の発明は、フッ素含有シリコン酸化膜で形成された層間酸化膜を有する半導体装置の製造方法であって、

前記SiH₄系シリコン酸化膜の上に金属配線を形成するステップと、

前記フッ素含有シリコン酸化膜の上層に、前記金属配線を覆うようにパッシベーション

膜を形成するステップとを含み、

前記パッシベーション膜を形成するステップは、屈折率が 1.48 未満の低屈折率シリコン酸化膜を形成するサブステップと、前記低屈折率シリコン酸化膜の上にシリコン窒化膜を形成するサブステップとを含むことを特徴とするものである。

【0030】

請求項 3 1 に記載の発明は、フッ素含有シリコン酸化膜で形成された層間酸化膜を有する半導体装置の製造方法であって、

前記フッ素含有シリコン酸化膜の上層に金属配線を形成するステップを含み、

前記金属配線を形成するステップは、フッ素と反応し難い難フッ化金属層を形成するサブステップと、前記難フッ化金属層の上に低抵抗金属層を形成するサブステップとを含むことを特徴とするものである。

【0031】

請求項 3 2 に記載の発明は、請求項 3 1 に記載の半導体装置の製造方法であって、前記難フッ化金属は、TaまたはTa₂Nを含むことを特徴とするものである。

【0032】

請求項 3 3 に記載の発明は、フッ素含有シリコン酸化膜で形成された層間酸化膜を有する半導体装置の製造方法であって、

前記フッ素含有シリコン酸化膜を形成するステップと、

前記フッ素含有シリコン酸化膜の上層にフッ素捕獲膜を形成するステップと、

前記フッ素捕獲膜の形成後に、前記フッ素含有シリコン酸化膜中のフッ素が前記フッ素捕獲膜中に拡散するように、所定の熱処理を実行するステップと、

前記所定の熱処理の後に前記フッ素捕獲膜を除去するステップと、

前記フッ素捕獲膜の除去後に、前記フッ素含有シリコン酸化膜の上層に金属配線を形成するステップと、

を含むことを特徴とするものである。

【0033】

請求項 3 4 に記載の発明は、請求項 3 3 に記載の半導体装置の製造方法であって、前記フッ素捕獲膜は、SiH₄系シリコン酸化膜であることを特徴とするものである。

【0034】

請求項 3 5 に記載の発明は、請求項 3 3 に記載の半導体装置の製造方法であって、前記フッ素捕獲膜は、シリコン窒化膜であることを特徴とするものである。

【0035】

請求項 3 6 に記載の発明は、請求項 3 3 に記載の半導体装置の製造方法であって、前記フッ素捕獲膜は、Ti膜であることを特徴とするものである。

【0036】

【発明の実施の形態】

以下、図面を参照してこの発明の実施の形態について説明する。尚、各図において共通する要素には、同一の符号を付して重複する説明を省略する。

【0037】

実施の形態 1 .

図 6 は、本発明の実施の形態 1 の半導体装置の断面図を示す。図 6 に示すように、本実施形態の半導体装置は、シリコン基板 10 を備えている。シリコン基板 10 の上には、CVD法、エッチバック法或いはCMP法などを組み合わせにより、第 1 層間絶縁膜 12 および下層金属配線 14 が形成されている。

【0038】

第 1 層間絶縁膜 12 の上には、下層金属配線 14 が覆われるようにフッ素含有シリコン酸化膜 16 が形成されている。フッ素含有シリコン酸化膜 16 は、SiH₄ ガス、O₂ ガス、および C₂F₆ ガスを反応ガスとする高密度プラズマ CVD 法により堆積された膜である。上記の高密度プラズマ CVD 法では、デポジションとスパッタエッチングが同時に進行するため、フッ素含有シリコン膜 16 は、その下に下層金属配線 14 が存在する部分におい

て三角形状となっている。フッ素含有シリコン酸化膜 16 には、下地金属配線 14 とほぼ同じ膜厚が与えられている。

【0039】

フッ素含有シリコン酸化膜 16 の上には、TEOSと O_2 ガスを反応ガスとするプラズマCVD法によりTEOS膜 18 が形成されている。このようなCVD法で形成される膜の表面には、その下地の形状が忠実に反映される。このため、TEOS膜 18 は、下地金属配線 14 の上に存在する部分が三角形状（図3参照）となるように堆積される。このようにして堆積されたTEOS膜 18 は、CMP法により平坦化されることにより図6に示す状態となる。

【0040】

本実施形態において、平坦化されたTEOS膜 18 の上には、例えば200nm程度の膜厚で SiH_4 系シリコン酸化膜 30 が形成されている。 SiH_4 系シリコン酸化膜 30 は、 SiH_4 と O_2 とを反応ガスとしてプラズマCVD法により形成された膜である。 SiH_4 系シリコン酸化膜 30 は、TEOS膜 18 に比して多くのダングリングボンドを含み、フッ素を捕獲し易い構造を有している。尚、 SiH_4 系シリコン酸化膜 30 が有するSiとOとの組成比は、 SiH_4 ガスと O_2 ガスの流量比、反応圧力、RFパワーなどの条件により変化させることができる。本実施形態で用いられる SiH_4 系シリコン酸化膜 30 に関しては、フッ素の捕獲に有効なダングリングボンドを多量とするため、化学量論的な組成よりシリッチとすることが望ましい。より具体的には、 SiH_4 系シリコン酸化膜 30 としては、屈折率 $n = 1.5 \sim 1.6$ （波長 $\lambda = 632.8\text{nm}$ ）の膜が好適である。

【0041】

SiH_4 系シリコン酸化膜 30、フッ素含有シリコン酸化膜 16、およびTEOS膜 18 には、下層金属配線 14 に通じるビアホール（図示せず）が開口される。そのビアホールの中には、タングステンプラグ（図示せず）が形成される。ビアホールの開口およびタングステンプラグの形成は、写真製版、ドライエッチング、スパッタ、CVD法、およびエッチバック法などの組み合わせにより行われる。

【0042】

上記のタングステンプラグと導通するように、TEOS膜 18 の上に金属配線 20 がパターニングされ、更にその上層に、プラズマCVD法により、パッシベーション膜として機能するシリコン窒化膜 22 が形成される。シリコン窒化膜 22 にボンディングパッド部（図示せず）が開口されることにより、本実施形態の半導体装置が完成する。

【0043】

フッ素含有シリコン酸化膜 16 に含まれているフッ素は、半導体装置の製造過程において400 程度の熱処理が実行されることによりTEOS膜 18、および SiH_4 系シリコン酸化膜中 30 へ拡散する。 SiH_4 系シリコン酸化膜 30 は、このようにして拡散されるフッ素を適切に捕獲することができる。このため、本実施形態の半導体装置によれば、金属配線 20 の底面付近や、シリコン窒化膜 22 の底面付近に、高い濃度でフッ素を含む膜（図5に示すF膜 24 に相当）が形成されるのを有効に防ぐことができる。従って、本実施形態の半導体装置、および上述した製造方法によれば、フッ素に起因する膜膨れや膜剥がれ、或いはパターン剥がれ等を防止して、優れた信頼性と高い歩留まりとを実現することができる。

【0044】

実施の形態 2 .

次に、図7および図8を参照して、本発明の実施の形態2について説明する。

図7は、上述した実施の形態1の半導体装置および製造方法に含まれる問題を説明するための図を示す。上述した実施の形態1において、 SiH_4 系シリコン酸化膜 30 は、金属配線 20 をパターニングするためのオーバーエッチングの影響を受ける。このため、例えば100nmの膜厚で形成された SiH_4 系シリコン酸化膜 30 は、金属配線 20 に覆われていない部分において50nm以下となることがある。

【0045】

SiH_4 系シリコン酸化膜 30 が十分な膜厚を有する場合は、フッ素含有シリコン酸化膜

16から拡散してくるフッ素を捕獲しても、その膜中のフッ素濃度は適切な範囲に抑えられる。しかし、オーバーエッチングの影響でその膜厚が過度に薄くなると、フッ素含有シリコン酸化膜16から拡散してきたフッ素を捕獲することで SiH_4 系シリコン酸化膜30中のフッ素濃度が許容範囲を超えることがある。このため、本実施形態では、かかる不都合を回避すべく、以下に説明する手順で半導体装置の製造を行う。

【0046】

図8は、本実施形態の製造方法で製造された半導体装置の断面図を示す。本実施形態では、実施の形態1の場合と同様の手順で、TEOS膜18の全面に SiH_4 系シリコン酸化膜30が堆積される。

【0047】

次に、例えばスパッタ法などにより、 SiH_4 系シリコン酸化膜30の上にアルミなどの金属膜が形成される。この際、半導体ウェハには400程度の熱が加わる。以下、この熱処理を「第1の熱処理」と称す。尚、第1の熱処理は、金属膜の形成処理とは別に実行してもよい。

【0048】

写真製版とエッチングとの組み合わせによって、上記の金属膜がパターンニングされる。その結果、金属配線20が形成される。

【0049】

本実施形態では、次に、金属配線20の下に存在する部分を除き、 SiH_4 系シリコン酸化膜30を除去する処理が実行される。その結果、 SiH_4 系シリコン酸化膜30は、図8に示すように金属配線20と同じ形状にパターンニングされる。

【0050】

上記の如く SiH_4 系シリコン酸化膜30がパターンニングされた後、本実施形態では、第2の熱処理が実行される。第2の熱処理は、400程度の温度で行われる。第2の熱処理が実行されることにより、 SiH_4 系シリコン酸化膜30の下地となる部分に存在していたフッ素は再び拡散して SiH_4 系シリコン酸化膜30に捕獲される。一方、TEOS膜18の露出部分に存在していたフッ素は外気中に拡散する。

【0051】

上述した処理が終了すると、以後、実施の形態1の場合と同様の手順で、シリコン窒化膜22が形成される。本実施形態では、上記の如く SiH_4 系シリコン酸化膜30が金属配線20の下にのみ形成される。金属配線20の下では、 SiH_4 系シリコン酸化膜20の膜厚が常に十分に確保される。このため、本実施形態では、 SiH_4 系シリコン酸化膜30の膜厚不足に起因する半導体装置の信頼性の劣化や歩留まりの低下を確実に防止することができる。また、本実施形態では、TEOS膜18内のフッ素が外気に拡散されているため、TEOS膜18とシリコン酸化膜22との境界付近にフッ素濃度の高い層が形成されるのを防ぐことができる。このため、本実施形態の半導体装置、およびその製造方法によれば、実施の形態1の場合に比して更に安定に、優れた信頼性を有し、高い歩留まりを実現し得る半導体装置を実現することができる。

【0052】

実施の形態3 .

次に、図9を参照して、本発明の実施の形態3について説明する。

図9は、本実施形態の半導体装置の断面図を示す。図9に示すように、本実施形態の半導体装置は、下層金属配線14の上に、フッ素バリア膜40を備えている。フッ素バリア膜40は、フッ素の拡散を防ぐ特性を有する膜であり、実施の形態1で用いられた SiH_4 系シリコン酸化膜、またはシリコン酸窒化膜により形成される。

【0053】

上述した実施の形態1または2の半導体装置においては、フッ素含有シリコン酸化膜16中のフッ素が、熱処理の実行に伴って下層金属配線14の上面付近に集まってF層を形成することがある。本実施形態では、下層金属配線14の上にフッ素バリア膜40が存在するため、そのようなF膜の形成が確実に防止される。このため、本実施形態の半導体装

置によれば、下層金属配線 40 付近の膜膨れや膜剥がれを防止して、優れた信頼性を有する半導体装置を実現することができる。

【0054】

実施の形態 4 .

次に、図 10 を参照して、本発明の実施の形態 4 について説明する。

図 10 は、本実施形態の半導体装置の断面図を示す。図 10 に示すように、本実施形態の半導体装置は、金属配線 20 の下にのみ存在する SiH₄ 系シリコン酸化膜 30 と、下層金属配線 14 の上面を覆うフッ素バリア膜 40 とを備えている。つまり、本実施形態の半導体装置は、上述した実施の形態 2 の構造と、上述した実施の形態 3 の構造とを組み合わせたものである。

【0055】

図 10 に示す構造では、フッ素含有シリコン酸化膜 16 と下層金属配線 14 との間、および TEOS 膜 18 と金属配線 20 との間に、それぞれフッ素の拡散を防止する膜が配置されている。このため、本実施形態の半導体装置では、実施の形態 2 または 3 の場合に比して更に高い信頼性を実現することができる。

【0056】

実施の形態 5 .

次に、図 11 を参照して、本発明の実施の形態 5 について説明する。

図 11 は、本実施形態の半導体装置の断面図を示す。図 11 に示すように、本実施形態の半導体装置は、実施の形態 3 の装置と同様に、金属配線 20 の下にのみ存在する SiH₄ 系シリコン酸化膜 30 を備えている。また、本実施形態の半導体装置は、TEOS 膜 18 の上に、シリコン酸化膜 50 とシリコン窒化膜 22 とからなるパッシベーション膜を備えている。

【0057】

本実施形態において、TEOS 膜 18 は、実施の形態 1 乃至 4 の場合と同様に、フッ素含有シリコン酸化膜 16 の上に堆積された後、CMP 法により平坦化される。この CMP は、フッ素含有シリコン酸化膜 16 が露出しない条件で実行されるが、種々の条件が変動することにより、フッ素含有シリコン酸化膜 16 の三角形状部分が TEOS 膜 18 の表面に露出することが考えられる。

【0058】

実施の形態 1 乃至 4 の構造では、このような場合に、TEOS 膜 18 表面に露出したフッ素含有シリコン酸化膜 16 がシリコン窒化膜 22 と直接接触する事態が生ずる。この場合、その接触部において、特にフッ素が高濃度となり膜膨れや膜剥がれが生じ易くなる。

【0059】

本実施形態の構造では、フッ素含有シリコン酸化膜 16 が TEOS 膜 18 表面に露出しても、パッシベーション膜の下層にシリコン酸化膜 50 が存在するため、フッ素含有シリコン酸化膜 16 とシリコン窒化膜 22 とは直接接触しない。このため、本実施形態の半導体装置によれば、実施の形態 1 乃至 4 の場合に比して、更に優れた信頼性および歩留まりを実現することができる。

【0060】

ところで、本実施形態において、パッシベーション膜の下層を構成するシリコン酸化膜 50 は、屈折率が 1.48 未満の低屈折率シリコン酸化膜で形成されている。シリコン酸化膜 50 のカバレッジ特性は、その屈折率が低いほど向上する。本実施形態では、フッ素含有シリコン酸化膜 16 とシリコン窒化膜 22 との直接接触を防止するという目的を達成するため、シリコン酸化膜 50 には優れたカバレッジ特性を付与することが必要である。

【0061】

また、パッシベーション膜の上層となるシリコン窒化膜 22 のカバレッジは、その下地となるシリコン酸化膜 50 が良好なカバレッジを示すほど良好となる。パッシベーション膜は、半導体装置を保護するための膜である。このため、パッシベーション膜には良好なカバレッジ特性が求められる。シリコン酸化膜 50 には、この点からも優れたカバレッジ

特性を付与する必要がある。

【 0 0 6 2 】

本実施形態では、上記の如く、良好なカバレッジ特性を示す低屈折膜でシリコン酸化膜 5 0 を構成している。このため、本実施形態の構造によれば、フッ素含有シリコン酸化膜 1 6 とシリコン窒化膜 2 2 との直接接触を防止するという所期の目的を達成し、かつ、パッシベーション膜に優れた保護特性を付与することができる。

【 0 0 6 3 】

実施の形態 6 .

次に、図 1 2 を参照して、本発明の実施の形態 6 の製造方法について説明する。

図 1 2 は、本実施形態の製造方法の主要部を説明するための図を示す。本実施形態の製造方法では、実施の形態 1 の場合と同様の手順で、フッ素含有シリコン酸化膜 1 6 の上に TEOS 膜 1 8 が形成される。

【 0 0 6 4 】

C M P 法で平坦化された TEOS 膜 1 8 の上には、所定の膜厚（例えば 1 0 0 nm）でフッ素捕獲膜 6 0 が形成される。フッ素捕獲膜 6 0 は、具体的には、 SiH_4 と O_2 とを反応ガスとするプラズマ C V D 法で形成される SiH_4 系シリコン酸化膜、或いは NH_3 ガスを反応ガスとするプラズマ C V D 法で形成されるシリコン窒化膜により構成される。

【 0 0 6 5 】

次に、本実施形態では、4 0 0 を越える温度（例えば 4 3 0 ）で所定の熱処理が実行される。上記の熱処理が実行されることにより、フッ素含有シリコン酸化膜 1 6 内のフッ素が拡散して、フッ素捕獲膜 6 0 により捕獲される。この際、フッ素捕獲膜 6 0 には適当な膜厚（例えば 1 0 0 nm）が付与されているため、膜剥がれ等は生じない。

【 0 0 6 6 】

次に、ドライエッチング、またはウェットエッチングによって、フッ素捕獲膜 6 0 が除去される。この際、フッ素捕獲膜 6 0 の内部に捕獲されているフッ素は、フッ素捕獲膜 6 0 と共に除去される。

【 0 0 6 7 】

フッ素捕獲膜 6 0 が除去された後、TEOS 膜 1 8 の上に、従来の製造方法と同じ手順で金属配線 2 0 およびシリコン窒化膜 2 2 が形成される（図 1 参照）。尚、フッ素捕獲膜 6 0 が除去された後に半導体ウェハに加えられる温度は、4 0 0 以下とすることが望ましい。

【 0 0 6 8 】

上述した本実施形態の製造方法によれば、フッ素含有シリコン酸化膜 1 6 に含まれるフッ素は、4 0 0 を越える高温の熱処理で強制的に拡散させられる。そして、TEOS 膜 1 8 の上面を越えて拡散するフッ素は、フッ素捕獲膜 6 0 と共に除去される。このため、以後、4 0 0 以下の熱処理が加えられても、金属配線 2 0 の底面付近やシリコン窒化膜 2 2 の底面付近に不当に高い濃度でフッ素を含む F 層が形成されることはない。従って、本実施形態の製造方法によれば、優れた信頼性を有する半導体装置を高い歩留まりで製造することができる。

【 0 0 6 9 】

実施の形態 7 .

次に、図 1 3 を参照して、本発明の実施の形態 7 の製造方法について説明する。

図 1 3 は、本実施形態の製造方法の主要部を説明するための図を示す。本実施形態の製造方法では、実施の形態 1 の場合と同様の手順で、フッ素含有シリコン酸化膜 1 6 の上に TEOS 膜 1 8 が形成される。

【 0 0 7 0 】

C M P 法で平坦化された TEOS 膜 1 8 の上には、所定の膜厚でフッ素捕獲膜 7 0 が形成される。本実施形態において、フッ素捕獲膜 7 0 は、例えばスパッタ法により形成される Ti 膜で構成される。

【 0 0 7 1 】

次に、400 を越える温度（例えば430）で所定の熱処理が実行される。上記の熱処理が実行されることにより、フッ素含有シリコン酸化膜16内のフッ素はフッ素捕獲膜70の底面付近にまで拡散する。その結果、フッ素捕獲膜70のTiがFと反応してTiF膜が生成される。

【0072】

次に、ドライエッチング、またはウェットエッチングによって、TiF膜を含むフッ素捕獲膜70が除去される。その結果、TEOS膜18の上面を越えて拡散してきたフッ素がフッ素捕獲膜70と共に除去される。

【0073】

フッ素捕獲膜70が除去された後、TEOS膜18の上に、従来の製造方法と同じ手順で金属配線20およびシリコン窒化膜22が形成される（図1参照）。尚、フッ素捕獲膜60が除去された後に半導体ウェハに加えられる温度は、400 以下とすることが望ましい。

【0074】

上述した本実施形態の製造方法によれば、フッ素含有シリコン酸化膜16に含まれるフッ素は、400 を越える高温の熱処理で強制的に拡散させられる。そして、TEOS膜18の上面を越えて拡散するフッ素は、TiF膜の形態で除去される。このため、以後、400 以下の熱処理が加えられても、金属配線20の底面付近やシリコン窒化膜22の底面付近に不当に高い濃度でフッ素を含むF層が形成されることはない。従って、本実施形態の製造方法によれば、優れた信頼性を有する半導体装置を高い歩留まりで製造することができる。

【0075】

実施の形態8 .

次に、図14を参照して、本発明の実施の形態8の製造方法について説明する。

図14は、本実施形態の半導体装置の断面図を示す。図14に示す構成要素のうち、TEOS膜18以下の層は、従来の製造方法（図2乃至図4参照）、実施の形態6の方法（図12参照）、または実施の形態7の方法（図13参照）と同じ手順で形成される。

【0076】

本実施形態において、平坦化されたTEOS膜18の上には、積層構造の金属配線80が設けられる。この金属配線80は、最も下層に、難フッ化金属膜82、すなわち、フッ素と反応し難い金属で形成された膜82を有している。難フッ化金属膜82は、具体的には、Ta膜、Ta₂N膜、或いはそれらの積層膜で構成される。難フッ化金属膜82の上には、AlCu膜84およびTiN膜86が形成されている。

【0077】

クォーターミクロン以下の設計ルールが用いられる半導体装置では、アルミ系金属をTi系金属で挟み込んだ金属配線が一般に用いられる。しかし、このような金属配線が、フッ素含有シリコン酸化膜と組み合わせて用いられると、バリアメタルとして機能すべきTi系金属がフッ素と反応して、膜剥がれ等の不具合が生じ易い。

【0078】

本実施形態の構造では、金属配線80の底面、すなわち、TEOS膜18を越えて拡散してくるフッ素と接触する面が、難フッ化金属膜82で構成されている。このため、金属配線80の底面がフッ素とは反応せず、膜剥がれ等の不具合を有効に防止することができる。従って、本実施形態の製造方法によれば、従来の製造方法、或いは、実施の形態6または7の製造方法に比して、半導体装置の信頼性および歩留まりを更に高めることができる。

【0079】

実施の形態9 .

次に、図15を参照して、本発明の実施の形態9について説明する。

図15は、本実施形態においてフッ素含有シリコン酸化膜16の内部に形成されるフッ素濃度分布を示す。尚、本実施形態の半導体装置は、上述した実施の形態1乃至8で説明した何れかの方法で製造された半導体装置に、或いは従来の製造方法で製造された半導体

装置に、図 15 に示すフッ素濃度分布を組み合わせるにより実現される。

【0080】

図 15 において、横軸は膜厚方向の位置を示す。この図に示すように、本実施形態において、フッ素含有シリコン酸化膜 16 は、膜厚方向の位置が低い領域に低いフッ素濃度を有し、また、膜厚方向の位置が高い領域に高いフッ素濃度を有している。換言すると、本実施形態におけるフッ素含有シリコン酸化膜 16 は、下層金属配線 14 の近傍に低いフッ素濃度を有し、下層金属配線 14 から離れた領域に高いフッ素濃度を有している。

【0081】

上述したフッ素濃度分布を有するフッ素含有シリコン酸化膜 16 は、プラズマ CVD 法によりフッ素含有シリコン酸化膜 16 を形成するステップにおいて、先ず、フッ素濃度の低い条件で CVD を実行し、次に、フッ素濃度の高い条件で CVD を実行することで形成することができる。

【0082】

本実施形態の半導体装置では、フッ素含有シリコン酸化膜 16 内のフッ素濃度が上記の如き分布を有するため、その内部のフッ素濃度が一様である場合に比して下層金属配線 14 の近傍におけるフッ素濃度を低くすることができる。このため、本実施形態の半導体装置では、層間絶縁膜の容量を抑制しつつ、下層金属配線 16 付近での膜剥がれの発生を有効に防止することができる。

【0083】

実施の形態 10 .

次に、図 16 (A) および図 16 (B) を参照して、本発明の実施の形態 10 について説明する。

図 16 (A) は、本実施形態においてフッ素含有シリコン酸化膜 16 の内部に形成されるフッ素濃度分布の一例を示す。また、図 16 (B) は、本実施形態においてフッ素含有シリコン酸化膜 16 の内部に形成されるフッ素濃度分布の他の例を示す。尚、本実施形態の半導体装置は、上述した実施の形態 1 乃至 8 で説明した何れかの方法で製造された半導体装置に、或いは従来の製造方法で製造された半導体装置に、図 16 (A) または図 16 (B) に示すフッ素濃度分布を組み合わせるにより実現される。

【0084】

図 16 (A) および図 16 (B) において、横軸は膜厚方向の位置を示す。これらの図に示すように、本実施形態において、フッ素含有シリコン酸化膜 16 は、下層金属配線 14 に近い第 1 領域に低いフッ素濃度を有し、かつ、下層金属配線 14 から離れた第 2 領域に高いフッ素濃度を有している。更に、第 2 領域のフッ素濃度は、膜厚方向の位置が高くなるに連れて、すなわち、TEOS 膜 18 に近づくに連れて低くなるように調整されている。

【0085】

上述したフッ素濃度分布を有するフッ素含有シリコン酸化膜 16 は、プラズマ CVD 法によりフッ素含有シリコン酸化膜 16 を形成するステップにおいて、先ず、フッ素濃度の低い条件で CVD を実行し、次に、フッ素濃度の高い条件で、連続的に、或いは段階的に、フッ素濃度を低くしながら CVD を実行することで形成することができる。

【0086】

本実施形態の半導体装置では、下層金属配線 14 の近傍におけるフッ素濃度を低くすることができると共に、TEOS 膜 18 を越えて金属配線 20 に到達するフッ素の濃度を低くすることができる。このため、本実施形態の半導体装置によれば、層間絶縁膜の容量を抑制しつつ、下層金属配線 16 付近での膜剥がれ、金属配線 20 付近での膜剥がれなどを有効に防止することができる。

【0087】

【発明の効果】

この発明は以上説明したように構成されているので、以下に示すような効果を奏する。

請求項 19 または 26 に記載の発明では、金属配線の下にのみ SiH_4 系シリコン酸化膜が配置される。この場合、金属配線で覆われていない部分からは、フッ素含有シリコン酸

化膜に含まれるフッ素を外気中に拡散させることができる。従って、本発明によれば、フッ素を不当に高い濃度で含むF層が形成されるのを防止して、半導体装置の信頼性と歩留まりを高めることができる。

【0088】

請求項20または27に記載の発明によれば、下層金属配線の上に拡散してくるフッ素を SiH_4 系シリコン酸化膜で捕獲することができる。このため、本発明によれば、下層金属配線付近の膜剥がれ等を有効に防止することができる。

【0089】

請求項21または28に記載の発明によれば、下層金属配線の上に拡散してくるフッ素をシリコン窒化膜で捕獲することができる。このため、本発明によれば、下層金属配線付近の膜剥がれ等を有効に防止することができる。

【0090】

請求項22または29に記載の発明によれば、パッシベーション膜がシリコン酸化膜を含んでいるため、フッ素含有シリコン膜とシリコン窒化膜との直接接触を防止することができる。

【0091】

請求項23または30に記載の発明によれば、パッシベーション膜に含まれるシリコン酸化膜が低屈折率の膜で構成される。この場合、そのシリコン酸化膜が良好なカバレッジ特性を示すため、フッ素含有シリコン膜とシリコン窒化膜との直接接触を防止するという所期の目的を確実に達成しつつ、パッシベーション膜の信頼性を高めることができる。

【0092】

請求項24、25、31または32に記載の発明によれば、金属配線の底面に難フッ化金属膜（TaまたはTa_N）が形成されているため、金属配線の底面付近にフッ素が拡散しても、その底面付近で膜剥がれ等が生ずるのを防止することができる。

【0093】

請求項33乃至36の何れか1項に記載の発明によれば、フッ素含有シリコン酸化膜から拡散してくるフッ素をフッ素捕獲膜の中に捕獲し、そのフッ素捕獲膜ごと除去することができる。このため、本発明によれば、フッ素に起因する膜剥がれ等を有効に防止し、半導体装置の信頼性と歩留まりを高めることができる。

【図面の簡単な説明】

【図1】 2層構造を有する従来の半導体装置の断面図である。

【図2】 図1に示す従来の半導体装置の製造方法を説明するための図（その1である）。

【図3】 図1に示す従来の半導体装置の製造方法を説明するための図（その2である）。

【図4】 図1に示す従来の半導体装置の製造方法を説明するための図（その3である）。

【図5】 図1に示す従来の半導体装置が有する問題を説明するための図である。

【図6】 本発明の実施の形態1の半導体装置の主要部を表す図である。

【図7】 実施の形態1で用いられる製造方法に含まれる問題を説明するための図である。

【図8】 本発明の実施の形態2の半導体装置の主要部を表す図である。

【図9】 本発明の実施の形態3の半導体装置の主要部を表す図である。

【図10】 本発明の実施の形態4の半導体装置の主要部を表す図である。

【図11】 本発明の実施の形態5の半導体装置の主要部を表す図である。

【図12】 本発明の実施の形態6の半導体装置の製造方法を説明するための図である。

【図13】 本発明の実施の形態7の半導体装置の製造方法を説明するための図である。

【図14】 本発明の実施の形態8の半導体装置の製造方法を説明するための図であ

る。

【図 1 5】 本発明の実施の形態 9 の半導体装置において用いられるフッ素濃度分布を説明するための図である。

【図 1 6】 本発明の実施の形態 1 0 の半導体装置において用いられるフッ素濃度分布を説明するための図である。

【符号の説明】

1 0 シリコン基板、 1 2 第 1 層間絶縁膜、 1 4 下層金属配線、 1 6
フッ素含有シリコン酸化膜、 1 8 TEOS膜、 2 0 ; 8 0 金属配線、 2 2
シリコン窒化膜、 2 4 F膜、 3 0 SiH_4 系シリコン酸化膜、 4 0 フッ素
バリア膜、 5 0 シリコン酸化膜、 6 0 ; 7 0 フッ素捕獲膜、 8 2 難フ
ッ化金属膜。