

申請日期:

87. 12. 31

案號:

87121933

類別:

H03K 5/26

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	相位比較器
	英文	PHASE COMPARATOR
二、 發明人	姓名 (中文)	1. 長尾文昭 2. 境祐二
	姓名 (英文)	1. FUMIAKI NAGAO 2. YUJI SAKAI
	國籍	1. 日本 2. 日本
	住、居所	1. 日本國岐阜縣揖斐郡池田町池野633-47 2. 日本國岐阜縣安八郡安八町大森180 三洋社宅3-226
三、 申請人	姓名 (名稱) (中文)	1. 三洋電機股份有限公司
	姓名 (名稱) (英文)	1. SANYO ELECTRIC CO., LTD.
	國籍	1. 日本
	住、居所 (事務所)	1. 日本國大阪府守口市京阪本通2丁目5番5號
	代表人 姓名 (中文)	1. 近藤定男
	代表人 姓名 (英文)	1.



本案已向

國(地區)申請專利

日本 JP

申請日期

1998/02/10 特願平10-28713

案號

主張優先權

有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

[發明所屬的技術領域]

本發明為關於用在鎖相環路(PLL:Phase Locked Loop)之相位比較電路。

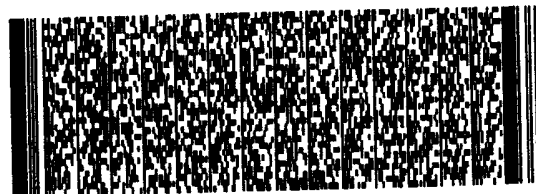
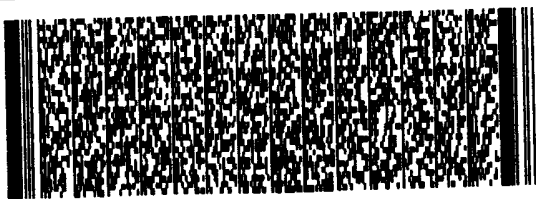
[習用的技術]

第4圖表示一般之PLL構成的方塊圖。

PLL為由相位比較器1, 電荷泵(charge pump)2, 低通濾波器3, 電壓控制振盪器4及分頻器5構成。相位比較器1比較基準時脈BCK與將後述之電壓控制振盪器4的振盪時脈OCK分頻之分頻時脈TCK的相位, 而產生應於其相位差的輸出PDU, PDD。電荷泵2具有對於輸出側供給一定電流之正的定電流原, 及由輸出側引入一定電流之負的定電流源, 而為應答於由相位比較器1輸入之比較輸出PDU, PDD對於低通濾波器3實行充放電。低通濾波器3除去由電荷泵2輸入之輸出PD中的交流成分以輸出應於輸出PD而變化的電壓 V_c 。電壓控制振盪器4為應於經由低通濾波器3施加的電壓 V_c 變化其振盪動作而產生應於電壓 V_c 變化之頻率的振盪時脈OCK然後分頻器5將由電壓控制振盪器4輸入之振盪時脈OCK。以預定的比率分頻, 將分頻時脈TCK供給於相位比較器1。分頻器5例如為對振盪時脈OCK實行1/2分頻而輸出荷周(duty)為1/2的分頻時脈TCK。

上述的PLL為應於基準時脈BCK與振盪時脈OCK的相位差而控制電壓控制振盪器4的振盪頻率, 由以保持基準時脈BCK與振盪時脈OCK之相位差於一定。

第5圖表示相位比較器1的構成之電路圖, 第6圖表示說



五、發明說明 (2)

明其動作的定時(timing)圖。

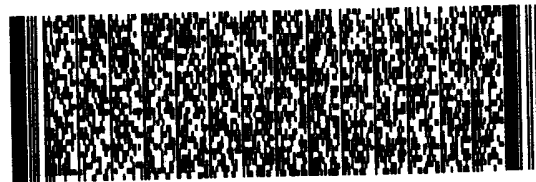
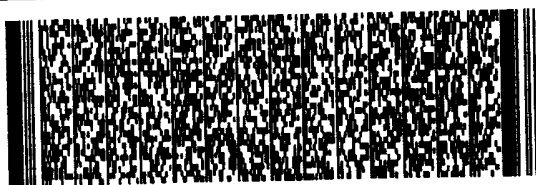
相位比較器1為由3個正反器11, 12, 13及2個XOR(排他論理和)閘14, 15構成。3個正反器11, 12, 13串聯連接構成移位暫存器(shift register), 對於第1段的正反器11之D輸入供給以基準時脈BCK。對於第1段及第2段之正反器11, 12之T輸入供給以分頻時脈TCK, 對於第3段的正反器13之T輸入則供給分頻時脈TCK的反轉時脈。由此將基準時脈BCK的狀態為應於分頻時脈TCK之上升的定時傳送於第1段正反器11及第2段正反器12, 而應於分頻時脈TCK之下落的定時傳送於第3正反器13。

第1 XOR閘14之兩輸入各為連接基準時脈BCK及正反器11之Q輸出, 其論理合成輸出則當做比較輸出PDU而供給於電荷泵2。第2 XOR閘15之兩輸入各為連接正反器12之Q輸出及正反器13之Q輸出, 其論理合成輸出則當做比較輸出PDD而供給於電荷泵2。

以下參照第6圖說明上述相位比較器1的動作。

基準時脈BCK為應於分頻時脈TCK的上升之定時取入正反器11。由於此, 正反器11之輸出Q1對基準時脈BCK的變化點為於分頻時脈TCK於其次上升的定時依基準時脈BCK而變化。輸入以基準時脈BCK與輸入Q1的XOR閘14之輸出PDU於基準時脈BCK的下落至其次之分頻時脈TCK的上升, 及由基準時脈BCK的上升至其次之分頻時脈TCK的上升之間成為低電位, 使電荷泵2之正的低電流源導通。

正反器11之輸出Q1於分頻時脈TCK之上升的定時取入



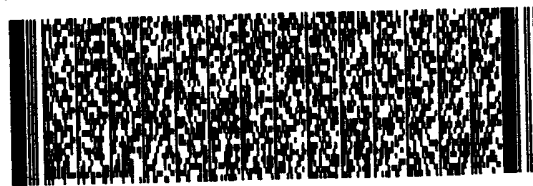
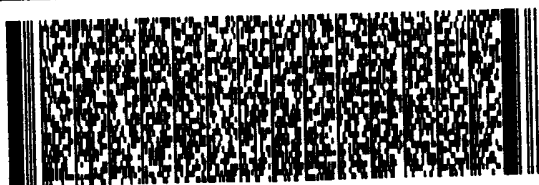
五、發明說明 (3)

正反器12。由於此，正反器12之輸出Q2表示輸出Q1為延遲分頻時脈TCK之1周期分的波形。正反器12之輸出Q2為於分頻時脈TCK之下降的定時取入正反器13。由於此，正反器13之輸出Q3為表示輸出Q2為延遲分頻時脈TCK之1/2周期分的波形。輸入以輸出Q2及輸出Q3的XOR閘15之輸出PDD於輸出Q2之上升至其次之輸出Q3的上升，及輸出Q2的下降至其次之輸出Q3的下降間成為高電位，由以使電荷泵2之負的低電流源導通。

於此之比較輸出PDU為以分頻時脈TCK之1/2周期的期間加算或減算對應於基準時脈BCK之變化點與分頻時脈TCK之下降之差的期間為維持於低電位。即於分頻時脈TCK比基準時脈BCK為遲時，連續於對應基準時脈BCK的變化點與分頻時脈TCK之上升之差的期間僅為維持分頻時脈TCK之1/2周期的期間於低電位。反之，如分頻時脈TCK比基準時脈BCK前進時，則比分頻時脈TCK之1/2周期為短出基準時脈BCK的變化點與分頻時脈TCK之下降之差所對應的期間之期間為維持於低電位。相對的，比較輸出PDD為由比較輸出之上升後遲分頻時脈TCK之1周期分的定時維持分頻時脈TCK之1/2周期之期間於高電位。該比較輸出PDD對於電荷泵2為抵消比較輸出PDU之低電位期間的加算分(分頻時脈TCK的1/2周期)。因此比較輸出PDU之低電位期間為應於基準時脈BCK與分頻時脈TCK之相位差的大小而得伸縮控制。

[發明所欲解決的課題]

依上述的相位比較器1，其使正反器11至13動作的分頻



五、發明說明 (4)

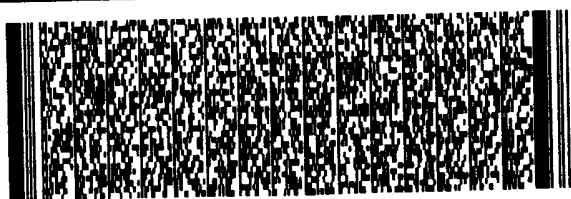
時脈TCK之表示低電位期間之分為加算於比較輸出PDU之低電位期間。又比較輸出PDD之高電位的期間為應於分頻時脈TCK表示高電位的期間而設定。因此必需將分頻時脈TCK之高電位期間與低電位的期間設定為相等，亦即必需將荷周設定為 $1/2$ 。由於電壓控制振盪器之振盪時脈的荷周不安定，因此將振盪時脈分頻以得荷周為 $1/2$ 的時脈。而由此發生必需將振盪頻率設定為實際於相位比較器1之比較所用分頻時脈TCK之頻率的2倍以上的問題。

本發明乃以提供不受振盪時脈之荷周比的限制而能實行相位比較之相位比較器為目的。

[解決課題的手段]

本發明為解決上述的課題，其第1特徵為對於用以檢出基準時脈與振盪時脈之相位差的相位比較電路，具備含有複數之串聯連接的正反器而其輸入於第1段之正反器之上述基準時脈的狀態為依上述振盪時脈之上升或下降之任一方的定時而順次移位的移位暫存器，用以檢出上述基準時脈之狀態與上述移位暫存器之第1段正反器的輸出訊號之狀態為一致或不一致的第1論理閘，以及用以檢出上述移位暫存器之第2段正反器之輸出訊號的狀態與第3段正反器之輸出訊號的狀態為一致或不一致之第2論理閘，並為應答於上述第1及第2論理閘的輸出以驅動電荷泵者。

依本發明則構成相位比較器的全部正反器只由振盪時脈的上升，或只由其下降而動作。因此於振盪時脈的荷周非為 $1/2$ 時，對於電路的動作亦全無影響。



五、發明說明 (5)

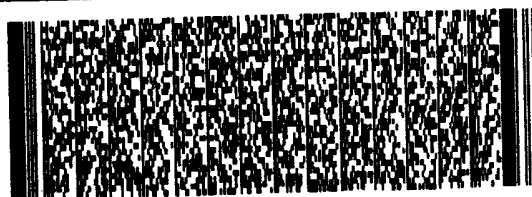
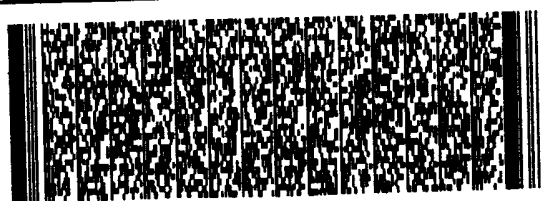
本發明的第2特徵為對於檢出基準時脈與具有比基準時脈之周期為短的周期之振盪時脈之相位差的相位比較電路，具備對於振盪時脈之 $1/2$ 周期的期間加算或減算對應於由上述振盪時脈之上升或下降之任一方與上述基準時脈之變化點的定時之差的期間所得的期間為維持第1極性並輸出為第1輸出之第1檢出手段，以及以相同於上述基準時脈之周期於上述振盪時脈之1周期的期間為維持第2極性並將其輸出為第2輸出的第2檢出手段，而以應答於上述第1及第2輸出以驅動電泵者。

依本發明則不必要將第2輸出為依據振盪時脈之 $1/2$ 周期的定時變化，而能只依振盪時脈之上升或下降之任一方的定時使其動作。

[發明的實施形態]

第1圖表示本發明之相位比較器之第1實施形態的電路圖，第2圖為說明其動作的定時圖。本發明之相位比較器為對應於第4圖所示的相位比較器，為以其輸出PDU, PDD驅動電荷泵的構成。

本實施形態的相位比較器由3個正反器21, 22, 23, XOR(排他論理和)閘24, 以及AND閘25構成。第1段之正反器21之D輸入為連接基準時脈BCK, 第2段之正反器22的D輸入為連接於第1段之正反器21的Q輸出。又第3段之正反器23之D輸入為連接於第2段之正反器22的*Q輸出(反轉輸出)。對於各段之正反器21, 22, 23之T輸入則供給以振盪時脈OCK。依上述電路構成將基準時脈BCK的狀態為應答於振盪時脈



五、發明說明 (6)

OCK 的上升之定時傳送於第1段之正反器21及第2段之正反器22，再則其反轉值為傳送於第3段之正反器23。

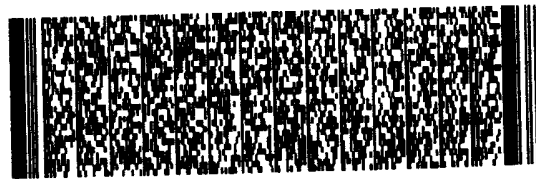
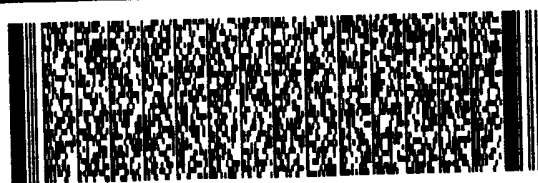
XOR 閘24之兩個輸入各為連接於基準時脈BCK的輸入及正反器21的Q輸出，其論理合成輸出當做比較輸出PDU供給於電荷泵。AND 閘25之兩個輸入各為連接於正反器22之Q輸出與正反器23之Q輸出，其論理合成輸出當做比較輸出PDD供給於電荷泵。

以下參照第2圖說明上述之相位比較器的動作。

基準時脈BCK為以振盪時脈OCK之上升的定時取入正反器21。由此使正反器21之輸出Q1對於基準時脈BCK的變化點為於其次之振盪時脈OCK之上升的定時依基準時脈BCK而變化。輸入有基準時脈BCK與輸出Q1之XOR 閘24的輸出PDU則於基準時脈BCK的下降至其次的振盪時脈OCK的上升，及由基準時脈之上升至其次的振盪時脈OCK的上升之間成為低電位，使電荷泵之正的低電流源成為導通。

正反器21的輸出Q1為以振盪時脈OCK之上升的定時取入正反器22。由此使正反器22之輸出Q2成為以輸出Q1延遲振盪時脈OCK之1周分的波形。又正反器22之輸出Q2之反轉訊號為以振盪時脈OCK的上升定時取入正反器23。由此使正反器23的輸出Q3成為輸出Q2之反轉訊號為延遲振盪時脈OCK之1周分的波形。輸入有輸出Q2與輸出Q3的AND 閘25的輸出PDD只在輸出Q2之上升至其次的Q3的下降期間成為高電位，於此使電荷泵之負的低電流源導通。

於此之比較輸出PDU為與第6圖的狀態相同，即只為對



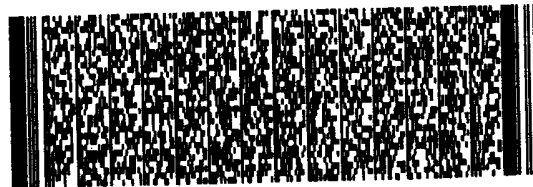
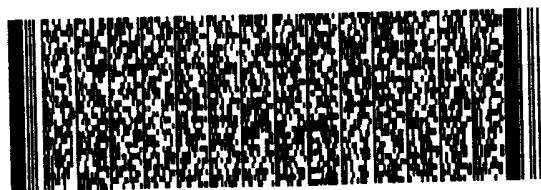
五、發明說明 (7)

於振盪時脈OCLK之 $1/2$ 周期的期間加算或減算對應於基準時脈BCK的變化點與振盪時脈OCLK之下降之差的期間之期間為維持於低電位。該比較輸出PDU成為低電位的期間於基準時脈BCK之每 $1/2$ 周期出現。一方面比較輸出PDD則由比較輸出PDU之上升延遲振盪時脈OCLK之1周期分的定時只在分頻時脈TCK之1周期的期間成為高電位。該比較輸出PDD成為高電位的期間為於基準時脈BCK的每1周期，亦即以比較輸出PDU表示低電位之周期的 $1/2$ 周期出現。由於比較輸出PDD維持高電位的期間為比較輸出PDU維持低電位之期間的加算分的2倍。因此其合計期間為與比較輸出PDU之低電位期間的加算分的合計一致。由而能將比較輸出PDU之低電位期間的加算分以比較輸出PDD抵消。

由以上所得之比較輸出PDU, PDD之對於電荷泵的驅動為與第5圖相同。依本發明, AND閘25之輸出PDD只應答於振盪時脈OCLK之上升的定時變化, 因此不必將振盪時脈OCLK的荷周變換為 $1/2$ 。

第3圖表示本發明之相位比較器之第2實施形態的電路圖。

本實施形態的相位比較器為由7個之正反器31至37, 2個NAND閘38, 39及2個AND閘40, 41構成。第1正反器31之D輸入為連接於基準時脈BCK的反轉訊號, 第2正反器32之D輸入為連接於基準時脈BCK的反轉訊號, 第2正反器32之D輸入為連接於第1正反器31之*輸出(反轉輸出)。又第3正反器33之D輸入為連接於第2正反器32之*輸出。第4正反器34之D輸入為連接於第2正反器32之*輸出。第5正反器35之D輸入為連接於基準時脈BCK, 第5正反器35之D輸入為連接於



五、發明說明 (8)

第4正反器34之*輸出的反轉訊號。該等第1至第5正反器31至35之T輸入各為連接於振盪時脈OCK。由而將基準時脈BCK的狀態為應答於振盪時脈OCK之上升的定時順次傳送於各正反器31至35。第6正反器36之D輸入為連接於電源電位，其T輸入為連接於基準時脈BCK之反轉信號之輸入端。第7正反器37為與第6正反器36同樣的將D輸入連接於電源電位，其T輸入則連接於基準時脈BCK。

第1NAND閘38之兩個輸入各為連接於第1正反器31之Q輸出與第6正反器36之Q輸出，第2NAND閘39之兩個輸入各為連接第4正反器34之Q輸出與第7正反器37的Q輸出。第1XOR閘40之兩個輸入各為連接於AND閘38, 39的輸出，其論理合成輸出當做比較輸出PDU供給於電荷泵。第2XOR閘41之兩個輸入各為連接於第2正反器32的Q輸出與第3正反器33的Q輸出，其論理合成輸出則當做比較輸出PDD供給於電荷泵。

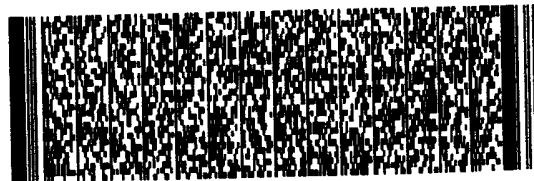
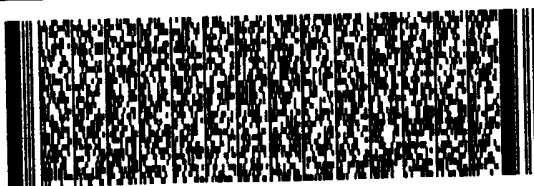
依上述的相位比較器，其第1至第5正反器31至35全為依振盪時脈OCK之上升的定時而動作，因此可得與第2圖同樣的輸出PDU, PDD。

[發明的效果]

依本發明可不必將用於相位比較的振盪時脈設定於 $1/2$ 的荷周比，可直接取入振盪器的輸出。由而可將電壓控制振盪器的振盪頻率設定較低。

[圖面的簡單說明]

第1圖表示本發明之相位比較器之第1實施形態的電路



五、發明說明 (9)

圖。

第2圖表示用以說明第1實施形態之動作的定時圖。

第3圖表示本發明之相位比較器之第2實施形態的電路

圖。

第4圖表示一般之PLL之構成的方塊圖。

第5圖表示習用之相位比較器之構成的電路圖。

第6圖表示用以說明習用之相位比較器之動作的定時

圖。

[符號的說明]

1 相位比較器

2 電荷泵

3 低通濾波器(LPF)

4 電壓控制振盪器(VCO)

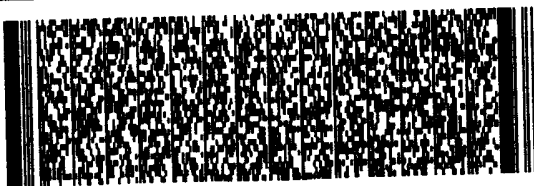
5 分頻器

11 至 13, 21 至 23, 31 至 37 正反器

14, 15, 24 XOR 閘

25, 40, 41 AND 閘

38, 39 NAND 閘

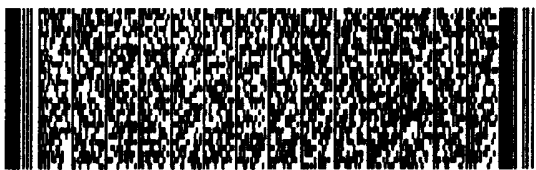


四、中文發明摘要 (發明之名稱：相位比較器)

本發明提供能對於具有任意之荷周比的時脈實行相位比較的相位比較器。

本發明之相位比較器將第1段的正反器21之輸出連接於第2段之正反器22的D輸入，將第2段之正反器22的反轉輸出連接於第3段之正反器23的D輸入。對於正反器21的D輸入為輸入基準時脈BCK，對於各正反器21至23之T輸入為輸入振盪時脈OCK。基準時脈BCK與正反器21之輸出訊號Q1之排他論理和當做第1比較輸出PDU，而正反器22之輸出訊號Q2與正反器23之輸出訊號Q3的論理積則當做第2比較輸出PDD。

英文發明摘要 (發明之名稱：PHASE COMPARATOR)



六、申請專利範圍

1. 一種相位比較器，為用以檢出基準時脈與振盪時脈之相位差的相位比較電路，具備：

含有複數之串聯連接的正反器，其輸入於第1段之正反器之上述基準時脈的狀態為依上述振盪時脈之上升或下降之任一方的定時而順次移位的移位暫存器；

用以檢出上述基準時脈之狀態與上述移位暫存器之第1段正反器的輸出訊號的狀態為一致或不一致的第1論理閘；以及

用以取出上述移位暫存器之第2段正反器的輸出訊號的狀態與第3段正反器之輸出訊號的狀態的論理積或論理和的第2論理閘，而以

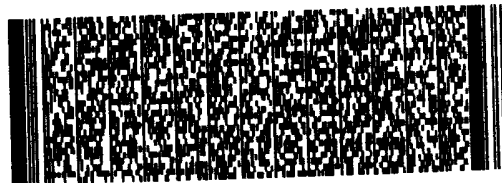
應答於上述第1及第2論理閘之輸出以驅動電荷泵為其特徵者。

2. 一種相位比較器，為用以檢出基準時脈與具有比基準時脈之周期為短的周期的振盪時脈之相位差的相位比較電路，具備：

對於上述振盪時脈之 $1/2$ 周期的期間加算或減算對應於由上述振盪時脈之上升或下降之任一方與上述基準時脈之變化點的定時以差的期間所得的期間為維持第1極性並輸出為第1輸出之第1檢出手段；以及

以相同於上述基準時脈之周期於上述振盪時脈之1周期的期間為維持第2極性並將其輸出為第2輸出的第2檢出手段，而以

應答於上述第1及第2輸出以驅動電荷泵為其特徵

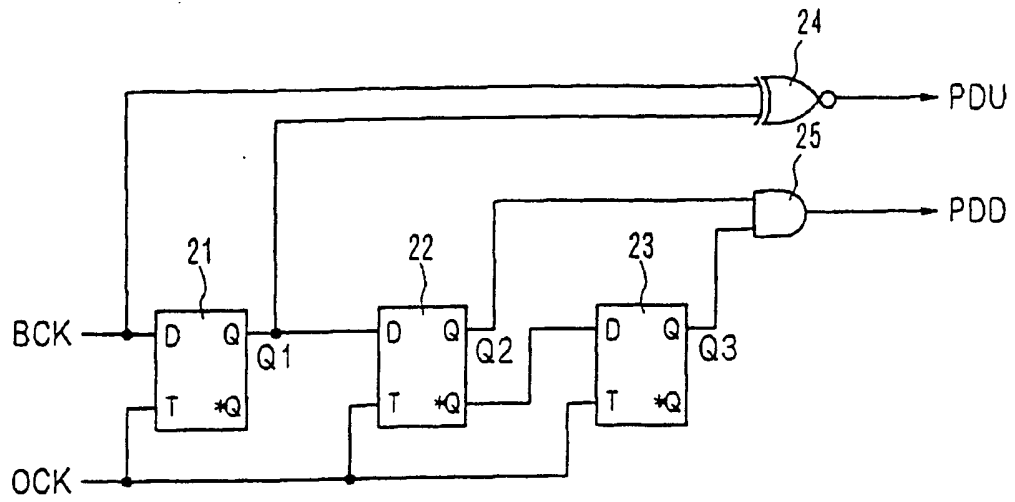


六、申請專利範圍

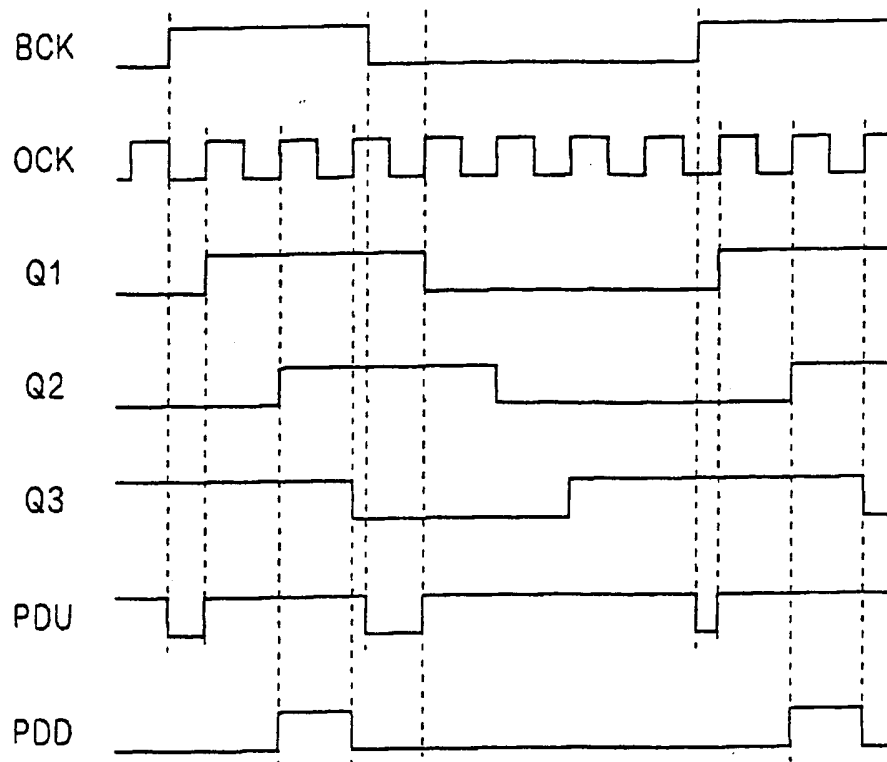
者。



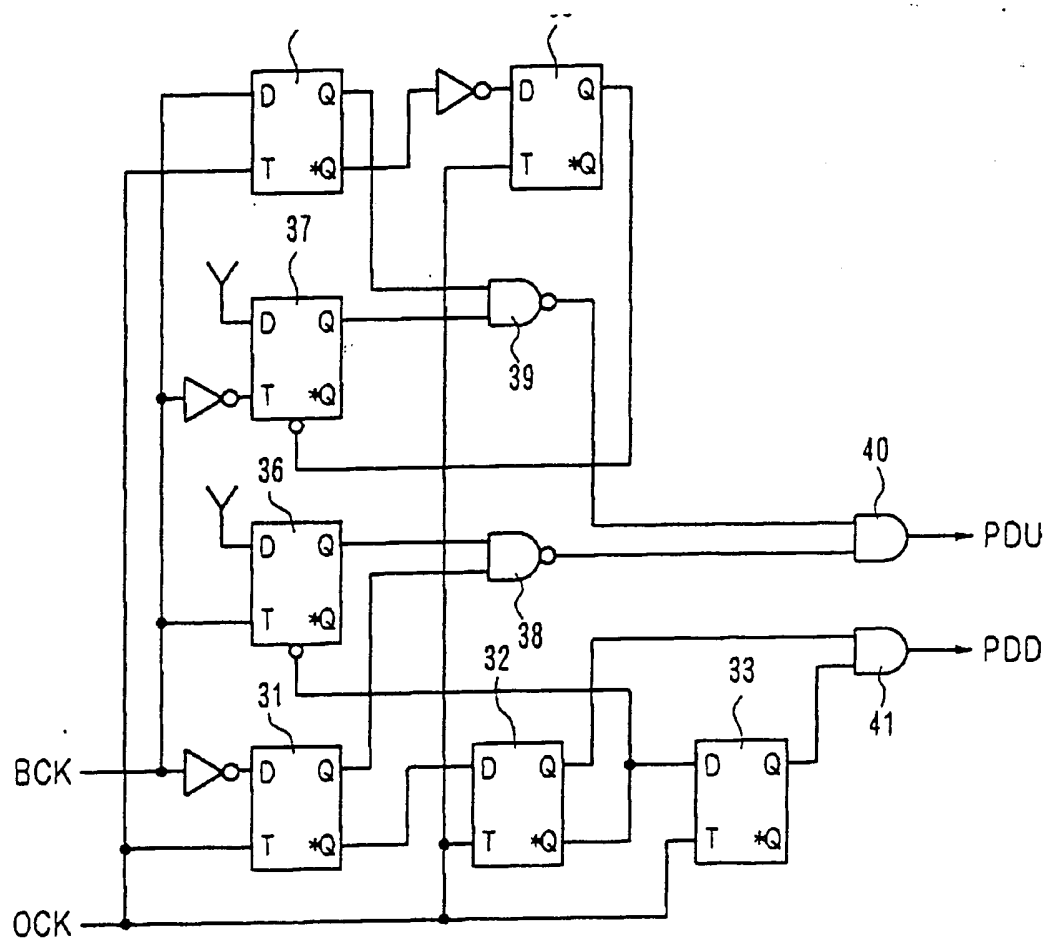
圖式



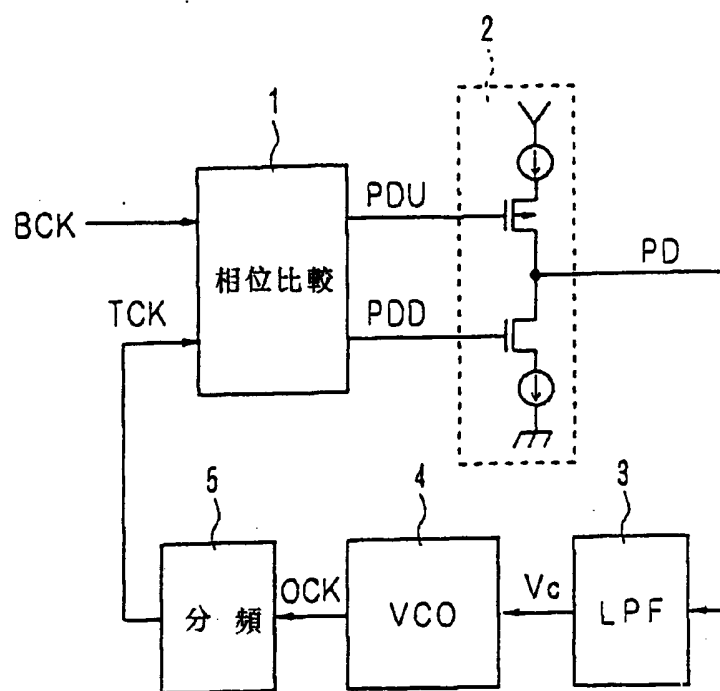
第 1 圖



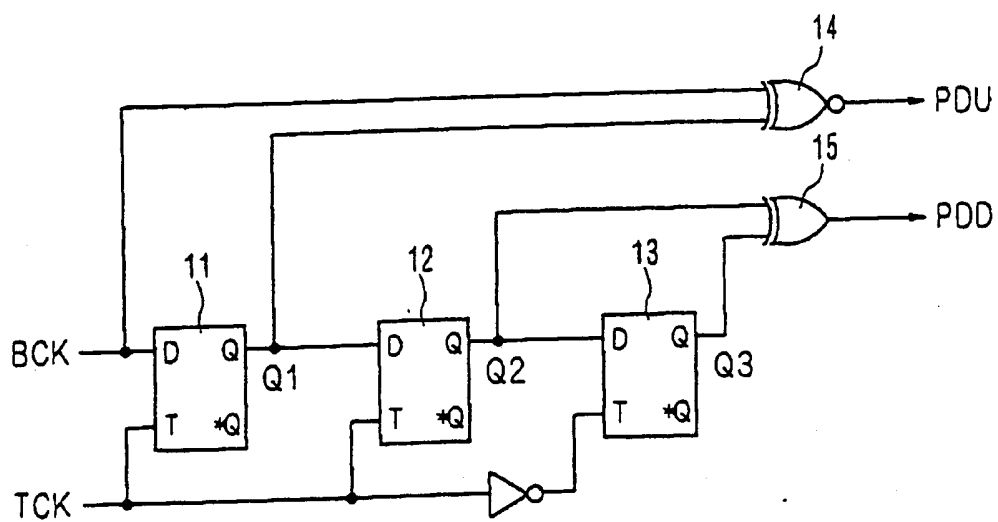
第 2 圖



第 3 圖

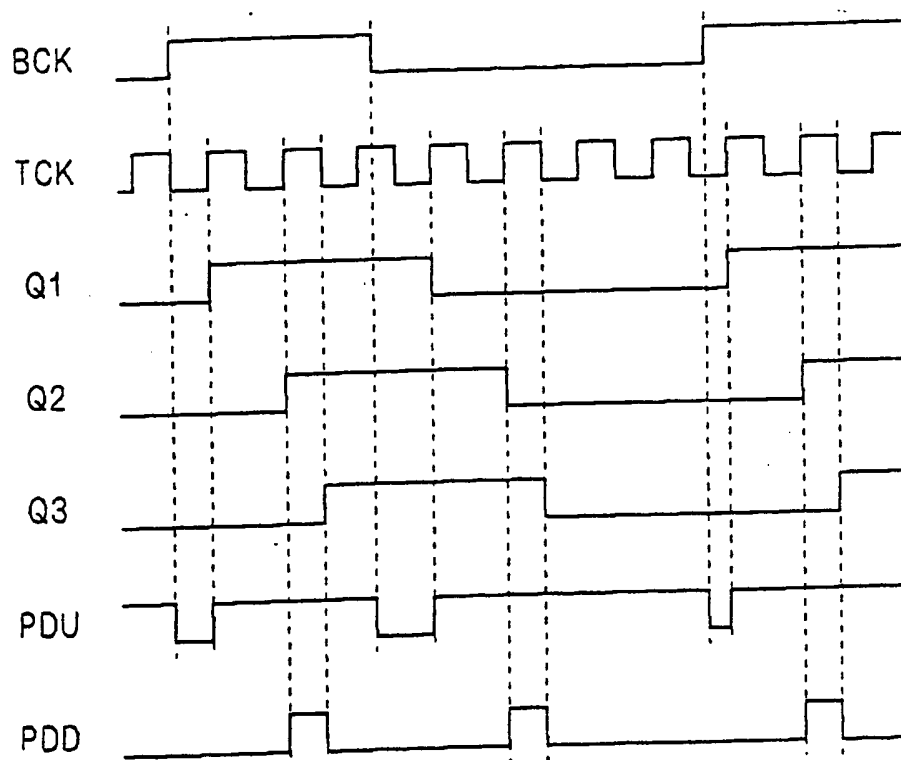


第 4 圖



第 5 圖

圖式



第 6 圖