

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-277323

(P2005-277323A)

(43) 公開日 平成17年10月6日(2005.10.6)

(51) Int. Cl.⁷

HO1L 29/786
HO1L 21/288
HO1L 21/336
HO1L 21/8234
HO1L 21/8238

F I

HO1L 29/78 617J
HO1L 21/288 Z
HO1L 27/08 331E
HO5B 33/10
HO5B 33/14 A

テーマコード(参考)

3K007
4M104
5F048
5F110

審査請求 未請求 請求項の数 17 O L (全 50 頁) 最終頁に続く

(21) 出願番号 特願2004-92093(P2004-92093)

(22) 出願日 平成16年3月26日(2004.3.26)

(71) 出願人 000153878

株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(72) 発明者 本田 達也

神奈川県厚木市長谷398番地 株式会社
半導体エネルギー研究所内

Fターム(参考) 3K007 AB18 BA06 DB03 FA01 GA00
4M104 AA01 AA08 AA09 AA10 BB02
BB04 BB05 BB06 BB07 BB08
BB09 BB18 BB30 BB36 CC05
DD51 DD53 DD65 EE03 EE17
FF09 FF13 FF18 GG05 GG09
GG10 HH20

最終頁に続く

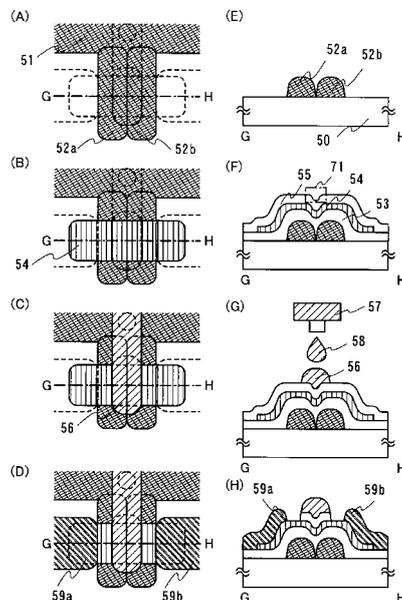
(54) 【発明の名称】 薄膜トランジスタ、表示装置及びそれらの作製方法、並びにテレビジョン装置

(57) 【要約】

【課題】 本発明は、材料の利用効率を向上させ、かつ、作製工程を簡略化して作製可能な薄膜トランジスタ、表示装置及びその作製技術を提供することを目的とする。また、それらの表示装置を構成する配線等のパターンを、制御性よく形成できる技術を提供することも目的とする。

【解決手段】 本発明の薄膜トランジスタの作製方法は凹部を有する第1の導電層を形成し、前記第1の導電層上に凹部を有する第1の絶縁層を形成し、前記第1の絶縁層上に凹部を有する半導体層を形成し、前記半導体層上に凹部を有する第2の絶縁層を形成し、前記第2の絶縁層が有する前記凹部に導電性材料を含む組成物を吐出し、第2の導電層を形成することを特徴とする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

凹部を有する第 1 の導電層を形成し、
 前記第 1 の導電層上に凹部を有する第 1 の絶縁層を形成し、
 前記第 1 の絶縁層上に凹部を有する半導体層を形成し、
 前記半導体層上に凹部を有する第 2 の絶縁層を形成し、
 前記第 2 の絶縁層が有する前記凹部に導電性材料を含む組成物を吐出し、第 2 の導電層を形成することを特徴とする薄膜トランジスタの作製方法。

【請求項 2】

電氣的に接続する第 1 の導電層及び第 2 の導電層を隣接して形成し、
 前記第 1 の導電層及び前記第 2 の導電層上に、凹部を有する第 1 の絶縁層を形成し、
 前記第 1 の絶縁層上に凹部を有する半導体層を形成し、
 前記半導体層上に凹部を有する第 2 の絶縁層を形成し、
 前記第 2 の絶縁層が有する前記凹部に導電性材料を含む組成物を吐出し、第 3 の導電層を形成することを特徴とする薄膜トランジスタの作製方法。

10

【請求項 3】

凹部を有する第 1 のゲート電極層を形成し、
 前記第 1 のゲート電極層上に凹部を有する第 1 の絶縁層を形成し、
 前記第 1 の絶縁層上に凹部を有する半導体層を形成し、
 前記半導体層上に凹部を有する第 2 の絶縁層を形成し、
 前記第 2 の絶縁層が有する前記凹部に導電性材料を含む組成物を吐出し、第 2 のゲート電極層を形成し、
 前記半導体層に電氣的に接続してソース電極層及びドレイン電極層を形成することを特徴とする薄膜トランジスタの作製方法。

20

【請求項 4】

電氣的に接続する第 1 の導電層及び第 2 の導電層を隣接して形成し、第 1 のゲート電極層を形成し、
 前記第 1 のゲート電極層上に、凹部を有する第 1 の絶縁層を形成し、
 前記第 1 の絶縁層上に凹部を有する半導体層を形成し、
 前記半導体層上に凹部を有する第 2 の絶縁層を形成し、
 前記第 2 の絶縁層が有する前記凹部に導電性材料を含む組成物を吐出し、第 2 のゲート電極層を形成し、
 前記半導体層に電氣的に接続してソース電極層及びドレイン電極層を形成することを特徴とする薄膜トランジスタの作製方法。

30

【請求項 5】

請求項 1 乃至 4 のいずれか一項において、前記凹部は溝状の形状であるように形成することを特徴とする薄膜トランジスタの作製方法。

【請求項 6】

請求項 1 乃至 4 のいずれか一項において、前記凹部は孔状の形状であるように形成することを特徴とする薄膜トランジスタの作製方法。

40

【請求項 7】

凹部を有する第 1 のゲート電極層を形成し、
 前記第 1 のゲート電極層上に凹部を有する第 1 の絶縁層を形成し、
 前記第 1 の絶縁層上に凹部を有する半導体層を形成し、
 前記半導体層上に凹部を有する第 2 の絶縁層を形成し、
 前記第 2 の絶縁層が有する前記凹部に導電性材料を含む組成物を吐出し、第 2 のゲート電極層を形成し、
 前記半導体層に電氣的に接続してソース電極層及びドレイン電極層を形成し、
 前記ソース電極層又は前記ドレイン電極層上に第 1 の電極層を形成し、
 前記第 1 の電極層上に電界発光層を形成し、

50

前記電界発光層上に第 2 の電極層を形成することを特徴とする表示装置の作製方法。

【請求項 8】

電氣的に接続する第 1 の導電層及び第 2 の導電層を隣接して形成し、第 1 のゲート電極層を形成し、

前記第 1 のゲート電極層上に、凹部を有する第 1 の絶縁層を形成し、

前記第 1 の絶縁層上に凹部を有する半導体層を形成し、

前記半導体層上に凹部を有する第 2 の絶縁層を形成し、

前記第 2 の絶縁層が有する前記凹部に導電性材料を含む組成物を吐出し、第 2 のゲート電極層を形成し、

前記半導体層に電氣的に接続してソース電極層及びドレイン電極層を形成し、

10

前記ソース電極層又は前記ドレイン電極層上に第 1 の電極層を形成し、

前記第 1 の電極層上に電界発光層を形成し、

前記電界発光層上に第 2 の電極層を形成することを特徴とする表示装置の作製方法。

【請求項 9】

凹部を有する第 1 の導電層を有し、

前記第 1 の導電層上に凹部を有する第 1 の絶縁層を有し、

前記第 1 の絶縁層上に凹部を有する半導体層を有し、

前記半導体層上に凹部を有する第 2 の絶縁層を有し、

前記第 2 の絶縁層が有する前記凹部に第 2 の導電層を形成することを特徴とする薄膜トランジスタ。

20

【請求項 10】

電氣的に接続する第 1 の導電層及び第 2 の導電層を隣接して有し、

前記第 1 の導電層及び前記第 2 の導電層上に、凹部を有する第 1 の絶縁層を有し、

前記第 1 の絶縁層上に凹部を有する半導体層を有し、

前記半導体層上に凹部を有する第 2 の絶縁層を有し、

前記第 2 の絶縁層が有する前記凹部に、第 3 の導電層を有することを特徴とする薄膜トランジスタ。

【請求項 11】

凹部を有する第 1 のゲート電極層を有し、

前記第 1 のゲート電極層上に凹部を有する第 1 の絶縁層を有し、

30

前記第 1 の絶縁層上に凹部を有する半導体層を有し、

前記半導体層上に凹部を有する第 2 の絶縁層を有し、

前記第 2 の絶縁層が有する前記凹部に第 2 のゲート電極層を有し、

前記半導体層に接してソース電極層及びドレイン電極層を有することを特徴とする薄膜トランジスタ。

【請求項 12】

電氣的に接続する第 1 の導電層及び第 2 の導電層を隣接して含む第 1 のゲート電極層を有し、

前記第 1 のゲート電極層上に、凹部を有する第 1 の絶縁層を有し、

前記第 1 の絶縁層上に凹部を有する半導体層を有し、

40

前記半導体層上に凹部を有する第 2 の絶縁層を有し、

前記第 2 の絶縁層が有する前記凹部に、第 2 のゲート電極層を有し、

前記半導体層に接してソース電極層及びドレイン電極層を有することを特徴とする薄膜トランジスタ。

【請求項 13】

請求項 9 乃至 12 のいずれか一項において、前記凹部は溝状の形状であることを特徴とする薄膜トランジスタ。

【請求項 14】

請求項 9 乃至 12 のいずれか一項において、前記凹部は孔状の形状であることを特徴とする薄膜トランジスタ。

50

【請求項 15】

凹部を有する第1のゲート電極層を有し、
 前記第1のゲート電極層上に凹部を有する第1の絶縁層を有し、
 前記第1の絶縁層上に凹部を有する半導体層を有し、
 前記半導体層上に凹部を有する第2の絶縁層を有し、
 前記第2の絶縁層が有する前記凹部に第2のゲート電極層を有し、
 前記半導体層に接してソース電極層及びドレイン電極層を有し、
 前記ソース電極層又は前記ドレイン電極層上に第1の電極層を有し、
 前記第1の電極層上に電界発光層を有し、
 前記電界発光層上に第2の電極層を有することを特徴とする表示装置。

10

【請求項 16】

電氣的に接続する第1の導電層及び第2の導電層を隣接して含む第1のゲート電極層を有し、
 前記第1のゲート電極層上に、凹部を有する第1の絶縁層を有し、
 前記第1の絶縁層上に凹部を有する半導体層を有し、
 前記半導体層上に凹部を有する第2の絶縁層を有し、
 前記第2の絶縁層が有する前記凹部に、第2のゲート電極層を有し、
 前記半導体層に接してソース電極層及びドレイン電極層を有し、
 前記ソース電極層又は前記ドレイン電極層上に第1の電極層を有し、
 前記第1の電極層上に電界発光層を有し、
 前記電界発光層上に第2の電極層を有することを特徴とする表示装置。

20

【請求項 17】

請求項 15 または 請求項 16 における表示装置により表示画面を構成されることを特徴とするテレビジョン装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、薄膜トランジスタ、表示装置及びそれらの作製方法、並びにテレビジョン装置に関する。

30

【背景技術】

【0002】

薄膜トランジスタ（以下、「TFT」という。）及びそれを用いた電子回路は、半導体、絶縁体及び導電体などの各種薄膜を基板上に積層し、適宜フォトリソグラフィ技術により所定のパターンを形成して製造されている。フォトリソグラフィ技術とは、フォトマスクと呼ばれる透明な平板面上に光を通さない材料で形成した回路等のパターンを、光を利用して目的とする基板上に転写する技術であり、半導体集積回路等の製造工程において広く用いられている。

【0003】

従来のフォトリソグラフィ技術を用いた製造工程では、フォトレジストと呼ばれる感光性の有機樹脂材料を用いて形成されるマスクパターンの取り扱いだけでも、露光、現像、焼成、剥離といった多段階の工程が必要になる。従って、フォトリソグラフィ工程の回数が増える程、製造コストは必然的に上がってしまうことになる。

40

【0004】

このような問題を解決するために、近年液滴吐出法が、フラットパネルディスプレイの分野に応用され、活発に開発が進められている。液滴吐出法は、直接描画するためにマスクが不要、大型基板に適用しやすい、材料の利用効率が高い等の多くの利点を有し、カラーフィルタやプラズマディスプレイの電極等の作製に応用されている。

【0005】

液滴吐出法で電子機器における配線などのパターンを形成するときに、細線化するため

50

に、液滴の吐出量の制御と、下地面に対してプラズマ処理などが行われていた（例えば、特許文献1参照。）。

【特許文献1】特開2003-133691号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかし、電子機器の分野では、さらに細い線幅の配線を形成し、電気的特性を向上させることが望まれていた。

【0007】

本発明は、TFT及びそれを用いる電子回路並びにTFTによって形成される表示装置の製造工程においてフォトリソグラフィ工程の回数を削減することを目的とする。より簡略化された製造工程でもって、電気的特性の高い薄膜トランジスタ、表示装置などに代表される電子機器を作製する。そして一辺が1メートルを越えるような大面積の基板にも、低いコストで歩留まり良く製造することができる技術を提供することを目的とする。

【0008】

また、本発明は、それらの表示装置を構成する配線等のパターンを、所望の形状で制御性よく形成できる技術を提供することも目的とする。

【課題を解決するための手段】

【0009】

本発明を用いて形成する薄膜トランジスタは、半導体層を挟んで一方の側に第1のゲート電極層を、他方の側に第2のゲート電極層を有する薄膜トランジスタである。本発明では、このような薄膜トランジスタをデュアルゲート型の薄膜トランジスタという。本発明では、パターンの被形成領域に、凹部を設け、その凹部にパターン形成材料含む組成物を付着させ、パターンを形成する。この凹部は、デュアルゲート型薄膜トランジスタにおける第1のゲート電極層の形状に起因して生じさせることができる。第1のゲート電極層を凹部（いわゆるくぼみ）を有するような形状に形成し、その後第1のゲート電極層上に積層される絶縁層や、半導体層にその凹部形状を反映させるのである。凹部形状は、第1のゲート電極層の形状によって、溝状、穴状、孔状の形状となる。第2のゲート電極層は、第1のゲート電極層上に絶縁層や半導体層を挟んで（介して）、第1のゲート電極層に重畳するように形成し、薄膜トランジスタの電気的特性を向上させる機能を果たす。本発明の薄膜トランジスタには、第1のゲート電極層の有する凹部に反映して、第2のゲート電極層の被形成領域に凹部が形成されている。よって、この凹部に、導電性材料を含む組成物を吐出することによって、所望の領域に制御性よく第2のゲート電極層を形成することができる。よって、パターンニング工程を行うことなく、自己整合的（セルフアライン的）に薄膜トランジスタを作製することができる。

【0010】

本発明の表示装置には、エレクトロルミネセンス（以下「EL」ともいう。）と呼ばれる発光を発現する有機物、若しくは有機物と無機物の混合物を含む媒体を、電極間に介在させた発光素子とTFTとが接続された発光表示装置や、液晶材料を有する液晶素子を表示素子として用いる液晶表示装置などがある。

【0011】

本発明の薄膜トランジスタの作製方法は、凹部を有する第1の導電層を形成し、前記第1の導電層上に凹部を有する第1の絶縁層を形成し、前記第1の絶縁層上に凹部を有する半導体層を形成し、前記半導体層上に凹部を有する第2の絶縁層を形成し、前記第2の絶縁層が有する前記凹部に導電性材料を含む組成物を吐出し、第2の導電層を形成することを特徴とする。

【0012】

本発明の薄膜トランジスタの作製方法は、電氣的に接続する第1の導電層及び第2の導電層を隣接して形成し、前記第1の導電層及び前記第2の導電層上に、凹部を有する第1の絶縁層を形成し、前記第1の絶縁層上に凹部を有する半導体層を形成し、前記半導体層

10

20

30

40

50

上に凹部を有する第2の絶縁層を形成し、前記第2の絶縁層が有する前記凹部に導電性材料を含む組成物を吐出し、第3の導電層を形成することを特徴とする。

【0013】

本発明の薄膜トランジスタの作製方法は、凹部を有する第1のゲート電極層を形成し、前記第1のゲート電極層上に凹部を有する第1の絶縁層を形成し、前記第1の絶縁層上に凹部を有する半導体層を形成し、前記半導体層上に凹部を有する第2の絶縁層を形成し、前記第2の絶縁層が有する前記凹部に導電性材料を含む組成物を吐出し、第2のゲート電極層を形成し、前記半導体層に接してソース電極層及びドレイン電極層を形成することを特徴とする。

【0014】

本発明の薄膜トランジスタの作製方法は、電氣的に接続する第1の導電層及び第2の導電層を隣接して形成し、第1のゲート電極層を形成し、前記第1のゲート電極層上に、凹部を有する第1の絶縁層を形成し、前記第1の絶縁層上に凹部を有する半導体層を形成し、前記半導体層上に凹部を有する第2の絶縁層を形成し、前記第2の絶縁層が有する前記凹部に導電性材料を含む組成物を吐出し、第2のゲート電極層を形成し、前記半導体層に接してソース電極層及びドレイン電極層を形成することを特徴とする。

10

【0015】

本発明の表示装置の作製方法は、凹部を有する第1のゲート電極層を形成し、前記第1のゲート電極層上に凹部を有する第1の絶縁層を形成し、前記第1の絶縁層上に凹部を有する半導体層を形成し、前記半導体層上に凹部を有する第2の絶縁層を形成し、前記第2の絶縁層が有する前記凹部に導電性材料を含む組成物を吐出し、第2のゲート電極層を形成し、前記半導体層に電氣的に接続してソース電極層及びドレイン電極層を形成し、前記ソース電極層又は前記ドレイン電極層上に第1の電極層を形成し、前記第1の電極層上に電界発光層を形成し、前記電界発光層上に第2の電極層を形成することを特徴とする。

20

【0016】

本発明の表示装置の作製方法は、電氣的に接続する第1の導電層及び第2の導電層を隣接して形成し、第1のゲート電極層を形成し、前記第1のゲート電極層上に、凹部を有する第1の絶縁層を形成し、前記第1の絶縁層上に凹部を有する半導体層を形成し、前記半導体層上に凹部を有する第2の絶縁層を形成し、前記第2の絶縁層が有する前記凹部に導電性材料を含む組成物を吐出し、第2のゲート電極層を形成し、前記半導体層に電氣的に接続してソース電極層及びドレイン電極層を形成し、前記ソース電極層又は前記ドレイン電極層上に第1の電極層を形成し、前記第1の電極層上に電界発光層を形成し、前記電界発光層上に第2の電極層を形成することを特徴とする。

30

【0017】

本発明の薄膜トランジスタは凹部を有する第1の導電層を有し、前記第1の導電層上に凹部を有する第1の絶縁層を有し、前記第1の絶縁層上に凹部を有する半導体層を有し、前記半導体層上に凹部を有する第2の絶縁層を有し、前記第2の絶縁層が有する前記凹部に第2の導電層を形成することを特徴とする。

【0018】

本発明の薄膜トランジスタは、電氣的に接続する第1の導電層及び第2の導電層を隣接して有し、前記第1の導電層及び前記第2の導電層上に、凹部を有する第1の絶縁層を有し、前記第1の絶縁層上に凹部を有する半導体層を有し、前記半導体層上に凹部を有する第2の絶縁層を有し、前記第2の絶縁層が有する前記凹部に、第3の導電層を有することを特徴とする。

40

【0019】

本発明の薄膜トランジスタは、凹部を有する第1のゲート電極層を有し、前記第1のゲート電極層上に凹部を有する第1の絶縁層を有し、前記第1の絶縁層上に凹部を有する半導体層を有し、前記半導体層上に凹部を有する第2の絶縁層を有し、前記第2の絶縁層が有する前記凹部に第2のゲート電極層を有し、前記半導体層に接してソース電極層及びドレイン電極層を有することを特徴とする。

50

【0020】

本発明の薄膜トランジスタは、電氣的に接続する第1の導電層及び第2の導電層を隣接して含む第1のゲート電極層を有し、前記第1のゲート電極層上に、凹部を有する第1の絶縁層を有し、前記第1の絶縁層上に凹部を有する半導体層を有し、前記半導体層上に凹部を有する第2の絶縁層を有し、前記第2の絶縁層が有する前記凹部に、第2のゲート電極層を有し、前記半導体層に接してソース電極層及びドレイン電極層を有することを特徴とする。

【0021】

本発明の表示装置は、凹部を有する第1のゲート電極層を有し、前記第1のゲート電極層上に凹部を有する第1の絶縁層を有し、前記第1の絶縁層上に凹部を有する半導体層を有し、前記半導体層上に凹部を有する第2の絶縁層を有し、前記第2の絶縁層が有する前記凹部に第2のゲート電極層を有し、前記半導体層に接してソース電極層及びドレイン電極層を有し、前記ソース電極層又は前記ドレイン電極層上に第1の電極層を有し、前記第1の電極層上に電界発光層を有し、前記電界発光層上に第2の電極層を有することを特徴とする。

10

【0022】

本発明の表示装置は、電氣的に接続する第1の導電層及び第2の導電層を隣接して含む第1のゲート電極層を有し、前記第1のゲート電極層上に、凹部を有する第1の絶縁層を有し、前記第1の絶縁層上に凹部を有する半導体層を有し、前記半導体層上に凹部を有する第2の絶縁層を有し、前記第2の絶縁層が有する前記凹部に、第2のゲート電極層を有し、前記半導体層に接してソース電極層及びドレイン電極層を有し、前記ソース電極層又は前記ドレイン電極層上に第1の電極層を有し、前記第1の電極層上に電界発光層を有し、前記電界発光層上に第2の電極層を有することを特徴とする。

20

【発明の効果】

【0023】

本発明により、工程が簡略化するので、材料のロスも少なく、コストダウンも達成できる。また、パターンを制御性よく形成できる。さらに電氣的特性が高い薄膜トランジスタを作製することができる。従って、高性能、高信頼性の表示装置を歩留まりよく作製することができる。

【発明を実施するための最良の形態】

30

【0024】

本発明の実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

【0025】

(実施の形態1)

本発明は、配線層若しくは電極を形成する導電層や、所定のパターンを形成するためのマスク層など表示パネルを作製するために必要なパターンのうち、少なくとも一つ若しくはそれ以上を、選択的にパターンを形成可能な方法により形成して、表示装置を作製することを特徴とするものである。本発明において、パターンとは、薄膜トランジスタや表示装置を構成する、ゲート電極層、ソース電極層、ドレイン電極層などの導電層、半導体層、マスク層、絶縁層などをいい、所定の形状を有して形成される全ての構成要素を含む。選択的にパターンを形成可能な方法として、導電層や絶縁層など形成し、特定の目的に調合された組成物の液滴を選択的に吐出(噴出)して所定のパターンを形成することが可能な、液滴吐出(噴出)法(その方式によっては、インクジェット法とも呼ばれる。)を用いる。また、パターンが転写、または描写できる方法、例えば各種印刷法(スクリーン(孔版)印刷、オフセット(平版)印刷、凸版印刷やグラビア(凹版)印刷などパターンが

40

50

形成される方法)なども用いることができる。

【0026】

本実施の形態は、流動体であるパターン形成材料を含む組成物を、液滴として吐出(噴出)し、パターンを形成する方法を用いている。パターンの被形成領域に、パターン形成材料を含む液滴を吐出し、焼成、乾燥等を行って固定化しパターンを形成する。本発明では、パターン形成領域に前処理を行う。

【0027】

パターンの形成に用いる液滴吐出装置の一態様を図28に示す。液滴吐出手段1403の個々のヘッド1405、ヘッド1412は制御手段1407に接続され、それがコンピュータ1410で制御することにより予めプログラミングされたパターンを描画することができる。描画するタイミングは、例えば、基板1400上に形成されたマーカー1411を基準に行えば良い。或いは、基板1400の縁を基準にして基準点を確定させても良い。これを撮像手段1404で検出し、画像処理手段1409にてデジタル信号に変換したものをコンピュータ1410で認識して制御信号を発生させて制御手段1407に送る。撮像手段1404としては、電荷結合素子(CCD)や相補型金属酸化物半導体(CMOS)を利用したイメージセンサなどを用いることができる。勿論、基板1400上に形成されるべきパターンの情報は記憶媒体1408に格納されたものであり、この情報を基にして制御手段1407に制御信号を送り、液滴吐出手段1403の個々のヘッド1405、ヘッド1412を個別に制御することができる。

10

【0028】

ヘッド1405とヘッド1412のノズルのサイズは異なっており、異なる材料を異なる幅で同時に描画することができる。一つのヘッドで、導電性材料や有機、無機材料などをそれぞれ吐出し、描画することができ、層間膜のような広領域に描画する場合は、スルーブットを向上させるため複数のノズルより同材料を同時に吐出し、描画することができる。大型基板を用いる場合、ヘッド1405、ヘッド1412は基板上を、矢印の方向に自在に走査し、描画する領域を自由に設定することができ、同じパターンを一枚の基板に複数描画することができる。

20

【0029】

液滴吐出法を用いて導電層などのパターン形成方法では、粒子状に加工されたパターン形成材料を吐出し、焼成によって融合や融着接合させ固化することでパターンを形成する。よって、そのパターンは、スパッタ法などで形成したパターンが、多くは柱状構造を示すのに対し、多くの粒界を有する多結晶状態を示すことが多い。

30

【0030】

本実施の形態において、形成する薄膜トランジスタは、半導体層を挟んで一方の側に第1のゲート電極層を、他方の側に第2のゲート電極層を有する薄膜トランジスタである。本発明では、このような薄膜トランジスタをデュアルゲート型の薄膜トランジスタという。本発明では、図1で示すようにパターンの被形成領域に、凹部を設け、その凹部にパターン形成材料を含む組成物を付着させ、パターンを形成する。この凹部は、デュアルゲート型薄膜トランジスタにおける第1のゲート電極層の形状に起因して生じさせることができる。第1のゲート電極層を凹部(いわゆるくぼみ)を有するような形状に形成し、その後第1のゲート電極層上に積層される絶縁層や、半導体層にその凹部形状を反映させるのである。第2のゲート電極層は、第1のゲート電極層上に絶縁層や半導体層を挟んで(介して)、第1のゲート電極層に重畳するように形成し、薄膜トランジスタの電気的特性を向上させる機能を果たす。本発明の薄膜トランジスタには、第1のゲート電極層の有する凹部に反映して、第2のゲート電極層の被形成領域に凹部が形成されている。よって、この凹部に、導電性材料を含む組成物を吐出することによって、所望の領域に制御性よく第2のゲート電極層を形成することができる。よって、パターンニング工程を行うことなく、自己整合的(セルフアライン的)に薄膜トランジスタを作製することができる。

40

【0031】

本発明の実施の形態で作製する薄膜トランジスタについて、図1を用いて説明する。

50

図1(A)乃至(D)は上面図であり、図1(E)乃至(H)は、図1(A)乃至(D)の線G-Hにおける断面図である。図1において、(A)と(E)、(B)と(F)、(C)と(G)、(D)と(H)はそれぞれ対応している。

【0032】

本実施の形態では、基板50上にゲート配線層51、及びゲート配線層51に接して形成される第1のゲート電極層52a、第1のゲート電極層52bを形成する。第1のゲート電極層52aと第1のゲート電極層52bは接して形成されるが、図1(E)で示すように、テーパ形状をしており、間に溝のような凹部が形成される。本発明においては、第1のゲート電極層が形成する形状が、溝のような形状(溝状)であっても穴(孔)のような形状(穴状、孔状)であってもよく、その全てを総称して凹部という。またその凹部は、複数のゲート電極層で形成されてもよいし、一つのゲート電極層が有しているものであってもよい。この凹部の他の例を図11に示す。

10

【0033】

図11(A)乃至(C)は、図1におけるゲート配線層、及び第1のゲート電極層の部分に対応している。図11(A)のように、第1のゲート電極層62a、第1のゲート電極層62bは、ゲート配線層61に接して形成されているが、第1のゲート電極層62a、第1のゲート電極層62b同士は離れて隣接している。よって第1のゲート電極層62a及び第1のゲート電極層62bは、間に溝のような凹部60を形成している。

【0034】

図11(B)は、凹部を4つの第1の電極層で形成している。図11(A)のようにゲート配線層81に接して形成される第1のゲート電極層82a、第1のゲート電極層82bの上に、第1のゲート電極層82a、ゲート電極層82bに跨るように、第1のゲート電極層82c、第1のゲート電極層82dが形成されている。槽を組むように形成される4つの第1のゲート電極層82a乃至82dによって中央部に、穴(孔)のような形状の凹部80が形成されている。本実施の形態では、第1のゲート電極層82a及び第1のゲート電極層82bを形成した後、第1のゲート電極層82c及び第1のゲート電極層82dを形成するが、その順番は前後してもよく、形成する順番によって重なり方が異なってくる。また3つの第1のゲート電極層で、三角形を組むように形成してもよいし、より複数の第1のゲート電極層によって中央に凹部を有するように形成してもよい。より多数の数の第1のゲート電極層によって凹部を形成すると、凹部の形状を細かく制御して形成することができる。図11(C)は、液滴吐出法によって、3つの第1のゲート電極層92a、第1のゲート電極層92b、第1のゲート電極層92cによって形成される凹部90の例である。よって、図11(B)、及び(C)のような穴状の凹部であると、図11(A)の溝状の形状の凹部より、吐出された組成物とその領域に留まり、他の場所へ流れ広がりにくいので、微細な領域に、パターンを形成したい場合に適している。いずれの場合でも第1のゲート電極層同士は電氣的に接続している。

20

30

【0035】

また、凹部を有しない第1のゲート電極層を形成した後、第1のゲート電極層の一部を除去することによって、凹部を形成することもできる。例えば、第1のゲート電極層を蒸着法やCVD法、スパッタ法、液滴吐出法などによって形成したのち、第1のゲート電極層の一部をマスク等を用いてエッチングする。また、形成時にマスク等を用いて、第1のゲート電極層に膜厚の差を有するように形成することもできる。また液滴吐出法など液状の形態で形成領域にパターン形成材料を含む組成物を付着させる形成法において、その後の乾燥、焼成時に生じるパターンの形状変化を利用することもできる。

40

【0036】

第1のゲート電極層52a、第1のゲート電極層52b上に、第1の絶縁層53を形成し、半導体層54、第2の絶縁層を形成する。一導電性型を有する半導体層は必要に応じて形成すればよい。またN型半導体層を形成し、Nチャネル型TFETのNMOS構造、P型半導体層を形成したPチャネル型TFETのPMOS構造、Nチャネル型TFETとPチャネル型TFETとのCMOS構造を作製することができる。また、導電性を付与するため

50

に、導電性を付与する元素をドーピングによって添加し、不純物領域を半導体層に形成することで、Nチャネル型TFT、Pチャネル型TFTを形成することもできる。

【0037】

第1の絶縁層53及び、第2の絶縁層55とは、珪素の酸化物材料又は窒化物材料等の公知の材料で形成すればよく、積層でも単層でもよい。本実施の形態では、第1の絶縁層として窒化珪素膜、酸化珪素膜、窒化珪素膜3層の積層を、第2の絶縁層55として酸化珪素膜を用いる。またそれらや、酸化窒化珪素膜の単層、2層からなる積層でも良い。好適には、緻密な膜質を有する窒化珪素膜を用いるとよい。また、液滴吐出法で形成される導電層に銀や銅などを用いる場合、その上にバリア膜として窒化珪素膜やNiB膜を形成すると、不純物の拡散を防ぎ、表面を平坦化する効果がある。なお、低い成膜温度でゲート

10

【0038】

また第1の絶縁層106、第2の絶縁層130は、液滴吐出法を用いてポリイミド又はポリビニルアルコール等を滴下してもよい。その結果、露光工程を省略することができる。無機材料(酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素など)、感光性または非感光性の有機材料(有機樹脂材料)(ポリイミド、アクリル、ポリアミド、ポリイミドアミド、レジスト、ベンゾシクロブテンなど)、低誘電率であるLow k材料などのもしくは複数種からなる膜、またはこれらの膜の積層などを用いることができる。また、シリコン(Si)と酸素(O)との結合で骨格構造が構成され、置換基に少なくとも水素を含む材料、もしくは置換基にフッ素、アルキル基、または芳香族炭化水素のうち少なくとも1種を有する材料を用いてもよい。作製法としては、プラズマCVD法や熱CVD法などの気相成長法やスパッタリング法を用いることができる。また、液滴吐出法や、印刷法(スクリーン印刷やオフセット印刷などパターンが形成される方法)を用いることもできる。塗布法で得られるTOF膜やSOG膜なども用いることができる。

20

【0039】

半導体層54を形成する材料は、シランやゲルマンに代表される半導体材料ガスを用いて気相成長法やスパッタリング法で作製されるアモルファス半導体(以下「AS」ともいう。)、該非晶質半導体を光エネルギーや熱エネルギーを利用して結晶化させた多結晶半導体、或いはセミアモルファス(微結晶若しくはマイクロクリスタルとも呼ばれる。以下「SAS」ともいう。)半導体などを用いることができる。半導体層は公知の手段(スパッタ法、LPCVD法、またはプラズマCVD法等)により成膜することができる。

30

【0040】

SASは、非晶質と結晶構造(単結晶、多結晶を含む)の中間的な構造を有し、自由エネルギー的に安定な第3の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する結晶質な領域を含んでいる。少なくとも膜中の一部の領域には、0.5~20nmの結晶領域を観測することが出来、珪素を主成分とする場合にはラマンスペクトルが 520 cm^{-1} よりも低波数側にシフトしている。X線回折では珪素結晶格子に由来するとされる(111)、(220)の回折ピークが観測される。未結合手(ダングリングボンド)の中和剤として水素またはハロゲンを少なくとも1原子%またはそれ以上含ませている。SASは、珪化物気体をグロー放電分解(プラズマCVD)して形成する。珪化物気体としては、 SiH_4 、その他にも Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 などを用いることが可能である。また F_2 、 GeF_4 を混合させても良い。この珪化物気体を H_2 、又は、 H_2 と He 、 Ar 、 Kr 、 Ne から選ばれた一種または複数種の希ガス元素で希釈しても良い。希釈率は2~1000倍の範囲、圧力は概略0.1Pa~133Paの範囲、電源周波数は1MHz~120MHz、好ましくは13MHz~60MHzである。基板加熱温度は300以下が好ましく、100~200の基板加熱温度でも形成可能である。ここで、主に成膜時に取り込まれる不純物元素として、酸素、窒素、炭素などの大気成分に由来する不純物は $1 \times 10^{20}\text{ cm}^{-3}$ 以下とすることが望ましく、特に、酸素濃度は $5 \times 10^{19}\text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{19}\text{ cm}^{-3}$ 以下となるようにすること

40

50

が好ましい。また、ヘリウム、アルゴン、クリプトン、ネオンなどの希ガス元素を含ませて格子歪みをさらに助長させることで安定性が増し良好なSASが得られる。また半導体層としてフッ素系ガスより形成されるSAS層に水素系ガスより形成されるSAS層を積層してもよい。

【0041】

アモルファス半導体としては、代表的には水素化アモルファスシリコン、結晶性半導体としては代表的にはポリシリコンなどがあげられる。ポリシリコン(多結晶シリコン)には、800以上のプロセス温度を経て形成されるポリシリコンを主材料として用いた所謂高温ポリシリコンや、600以下のプロセス温度で形成されるポリシリコンを主材料として用いた所謂低温ポリシリコン、また結晶化を促進する元素などを添加し結晶化させたポリシリコンなどを含んでいる。もちろん、前述したように、セミアモルファス半導体又は半導体層の一部に結晶相を含む半導体を用いることもできる。

10

【0042】

半導体層に、結晶性半導体層を用いる場合、その結晶性半導体層の作製方法は、公知の方法(レーザ結晶化法、熱結晶化法、またはニッケルなどの結晶化を助長する元素を用いた熱結晶化法等)を用いれば良い。また、SASである微結晶半導体をレーザ照射して結晶化し、結晶性を高めることもできる。結晶化を助長する元素を導入しない場合は、非晶質珪素膜にレーザ光を照射する前に、窒素雰囲気下500で1時間加熱することによって非晶質珪素膜の含有水素濃度を 1×10^{20} atoms/cm³以下にまで放出させる。これは水素を多く含んだ非晶質珪素膜にレーザ光を照射すると膜が破壊されてしまうから

20

【0043】

非晶質半導体層への金属元素の導入の仕方としては、当該金属元素を非晶質半導体層の表面又はその内部に存在させ得る手法であれば特に限定はなく、例えばスパッタ法、CVD法、プラズマ処理法(プラズマCVD法も含む)、吸着法、金属塩の溶液を塗布する方法を使用することができる。このうち溶液を用いる方法は簡便であり、金属元素の濃度調整が容易であるという点で有用である。また、このとき非晶質半導体層の表面のぬれ性を改善し、非晶質半導体層の表面全体に水溶液を行き渡らせるため、酸素雰囲気中のUV光の照射、熱酸化法、ヒドロキシラジカルを含むオゾン水又は過酸化水素による処理等により、酸化膜を成膜することが望ましい。

30

【0044】

非晶質半導体層の結晶化は、熱処理とレーザ光照射による結晶化を組み合わせてもよく、熱処理やレーザ光照射を単独で、複数回行ってよい。

【0045】

また、結晶性半導体層を、直接基板に線状プラズマ法により形成してもよい。また、線状プラズマ法を用いて、結晶性半導体層を選択的に基板に形成してもよい。

【0046】

半導体として、有機半導体材料を用い、印刷法、スプレー法、スピン塗布法、液滴吐出法などで形成することができる。この場合、上記エッチング工程が必要ないため、工程数を削減することが可能である。有機半導体としては、低分子材料、高分子材料などが用いられ、有機色素、導電性高分子材料などの材料も用いることができる。本発明に用いる有機半導体材料としては、その骨格が共役二重結合から構成される電子共役系の高分子材料が望ましい。代表的には、ポリチオフェン、ポリフルオレン、ポリ(3-アルキルチオフェン)、ポリチオフェン誘導体、ペンタセン等の可溶性の高分子材料を用いることができる。

40

【0047】

その他にも本発明に用いることができる有機半導体材料としては、可溶性の前駆体を成膜した後で処理することにより第1の半導体領域を形成することができる材料がある。なお、このような前駆体を経由する有機半導体材料としては、ポリチエニレンビニレン、ポリ(2,5-チエニレンビニレン)、ポリアセチレン、ポリアセチレン誘導体、ポリアリ

50

レンビニレンなどがある。

【0048】

前駆体を有機半導体に変換する際には、加熱処理だけではなく塩化水素ガスなどの反応触媒を添加することがなされる。また、これらの可溶性有機半導体材料を溶解させる代表的な溶媒としては、トルエン、キシレン、クロロベンゼン、ジクロロベンゼン、アニソール、クロロフォルム、ジクロロメタン、ブチルラクトン、ブチルセルソルブ、シクロヘキサン、NMP（N-メチル-2-ピロリドン）、シクロヘキサノン、2-ブタノン、ジオキサン、ジメチルホルムアミド（DMF）または、THF（テトラヒドロフラン）などを適用することができる。

【0049】

第1のゲート電極層52a、第1のゲート電極層52bは凹部を有するように形成されるので、第1のゲート電極層52a、及び第1のゲート電極層52b上に形成される第1の絶縁層53、半導体層54、第2の絶縁層55にも凹部の形状は反映する。よって、第2の絶縁層55表面にも凹部は形成される。この凹部の領域は、第1のゲート電極層52a、第1のゲート電極層52bと第1の絶縁層、半導体層54、第2の絶縁層55を介して重なっており、第2のゲート電極層の被形成領域である。この凹部71に液滴吐出手段57を用いて、導電性材料を含む組成物58を吐出し、第2のゲート電極層56を形成する（図1（C）及び（G）参照。）。吐出された導電性材料を含む組成物58は、凹部71に流れ込んで留まり、被形成領域へ流れ広がらない。この凹部に、導電性材料を含む組成物を吐出することによって、所望の領域に制御性よく第2のゲート電極層を形成することができる。よって、パターンニング工程を行うことなく、自己整合的（セルフアライン的）に薄膜トランジスタを作製することができる。このように、電気的特性の高い薄膜トランジスタを自己整合的に作製することができる。

【0050】

電気的特性を向上させるためには、第1のゲート電極層と第2のゲート電極層は、半導体層を挟んで重なっていることが好ましい。よって、半導体層の下に形成される第1のゲート電極層が複数である場合（第1のゲート電極層が半導体層の下で離れて存在する場合）、第1のゲート電極層同士間の距離より、第2のゲート電極層のチャンネル幅方向の幅が大きいことが好ましい。

【0051】

第2のゲート電極層56を形成する前に、第2の絶縁層及び第1の絶縁層にゲート配線層51に達する貫通孔を形成する。貫通孔を形成する際のエッチング加工はプラズマエッチング（ドライエッチング）又はウエットエッチングのどちらを採用しても良いが、大面積基板を処理するにはプラズマエッチングが適している。エッチングガスとしては、 CF_4 、 NF_3 、 Cl_2 、 BCl_3 、などのフッ素系又は塩素系のガスを用い、HeやArなどの不活性ガスを適宜加えても良い。また、大気圧放電のエッチング加工を適用すれば、局所的な放電加工も可能であり、基板の全面にマスク層を形成する必要はない。第2のゲート電極層56を形成するときに、その貫通孔も埋めるように形成し、第2のゲート電極層56及びゲート配線層51を電氣的に接続する。このことにより、第1のゲート電極層52a、第1のゲート電極層52b及び第2のゲート電極層56は同電位で同時駆動でき、半導体層54の上下にチャンネル領域が広がるため、薄膜トランジスタのオン電流が上昇するとともにS値も向上する。よって、電源電圧を低くすることができ、消費電力も低減できる。本発明により、薄膜トランジスタの電気的特性は向上する。

【0052】

本実施の形態では、ゲート配線層51、第1のゲート電極層52a、第1のゲート電極層52a、第2のゲート電極層56の形成は、液滴吐出手段を用いて行う。液滴吐出手段とは、組成物の吐出口を有するノズルや、1つ又は複数のノズルを具備したヘッド等の液滴を吐出する手段を有するものの総称とする。液滴吐出手段が具備するノズルの径は、 $0.02 \sim 100 \mu m$ （好適には $30 \mu m$ 以下）に設定し、該ノズルから吐出される組成物の吐出量は $0.001 p l \sim 100 p l$ （好適には $0.1 p l$ 以上 $40 p l$ 以下、より

10

20

30

40

50

好ましくは10 μ m以下)に設定する。吐出量は、ノズルの径の大きさに比例して増加する。また、被処理物とノズルの吐出口との距離は、所望の箇所に滴下するために、出来る限り近づけておくことが好ましく、好適には0.1~3mm(好適には1mm以下)程度に設定する。

【0053】

吐出口から吐出する組成物は、導電性材料を溶媒に溶解又は分散させたものを用いる。導電性材料とは、Ag、Au、Cu、Ni、Pt、Pd、Ir、Rh、W、Al等の金属、Cd、Znの金属硫化物、Fe、Ti、Si、Ge、Si、Zr、Baなどの酸化物、ハロゲン化銀の微粒子又は分散性ナノ粒子に相当する。また、透明導電膜として用いられるインジウム錫酸化物(ITO)、インジウム錫酸化物と酸化珪素からなるITSO、有機インジウム、有機スズ、酸化亜鉛、窒化チタン等に相当する。但し、吐出口から吐出する組成物は、比抵抗値を考慮して、金、銀、銅のいずれかの材料を溶媒に溶解又は分散させたものを用いることが好適であり、より好適には、低抵抗な銀、銅を用いるとよい。但し、銀、銅を用いる場合には、不純物対策のため、合わせてバリア膜を設けるとよい。バリア膜としては、窒化珪素膜やニッケルボロン(NiB)を用いることができる。

10

【0054】

また、導電性材料の周りに他の導電性材料がコーティングされ、複数の層になっている粒子でも良い。例えば、銅の周りにニッケルボロン(NiB)がコーティングされ、その周囲に銀がコーティングされている3層構造の粒子などを用いても良い。溶媒は、酢酸ブチル、酢酸エチル等のエステル類、イソプロピルアルコール、エチルアルコール等のアルコール類、メチルエチルケトン、アセトン等の有機溶剤等を用いる。組成物の粘度は20cp以下が好適であり、これは、乾燥が起こることを防止したり、吐出口から組成物を円滑に吐出できるようにしたりするためである。また、組成物の表面張力は、40mN/m以下が好適である。但し、用いる溶媒や、用途に合わせて、組成物の粘度等は適宜調整するとよい。一例として、ITOや、有機インジウム、有機スズを溶媒に溶解又は分散させた組成物の粘度は5~20mPa·s、銀を溶媒に溶解又は分散させた組成物の粘度は5~20mPa·s、金を溶媒に溶解又は分散させた組成物の粘度は5~20mPa·sに設定するとよい。

20

【0055】

また、導電層は、複数の導電性材料を積層しても良い。また、始めに導電性材料として銀を用いて、液滴吐出法で導電層を形成した後、銅などでめっきを行ってもよい。めっきは電気めっきや化学(無電界)めっき法で行えばよい。めっきは、めっきの材料を有する溶液を満たした容器に基板表面を浸してもよいが、基板を斜め(または垂直)に立てて設置し、めっきする材料を有する溶液を、基板表面に流すように塗布してもよい。基板を立てて溶液を塗布するようにめっきを行うと、工程装置が小型化する利点がある。

30

【0056】

各ノズルの径や所望のパターン形状などに依存するが、ノズルの目詰まり防止や高精細なパターンの作製のため、導電体の粒子の径はなるべく小さい方が好ましく、好適には粒径0.1 μ m以下が好ましい。組成物は、電解法、アトマイズ法又は湿式還元法等の公知の方法で形成されるものであり、その粒子サイズは、一般的に約0.01~10 μ mである。但し、ガス中蒸発法で形成すると、分散剤で保護されたナノ分子は約7nmと微細であり、またこのナノ粒子は、被覆剤を用いて各粒子の表面を覆うと、溶剤中に凝集がなく、室温で安定に分散し、液体とほぼ同じ挙動を示す。従って、被覆剤を用いることが好ましい。

40

【0057】

本発明では、流動体の組成物の流動性を利用して、所望のパターン形状に加工するため、組成物は、被処理物に着弾しても流動性を有していることが必要であるが、その流動性が失われない程度であれば、組成物を吐出する工程は、減圧下で行ってもよい。また、減圧下で行うと、導電体の表面に酸化膜などが形成されないため好ましい。組成物を吐出後、乾燥と焼成の一方又は両方の工程を行う。乾燥と焼成の工程は、両工程とも加熱処理の

50

工程であるが、例えば、乾燥は100度で3分間、焼成は200～350度で15分間～30分間で行うもので、その目的、温度と時間が異なるものである。乾燥の工程、焼成の工程は、常圧下又は減圧下で、レーザ光の照射や瞬間熱アニール、加熱炉などにより行う。なお、この加熱処理を行うタイミングは特に限定されない。乾燥と焼成の工程を良好に行うためには、基板を加熱しておいてもよく、そのときの温度は、基板等の材質に依存するが、一般的には100～800度（好ましくは200～350度）とする。本工程により、組成物中の溶媒の揮発、又は化学的に分散剤を除去するとともに、周囲の樹脂が硬化収縮することで、ナノ粒子間を接触させ、融合と融着を加速する。

【0058】

レーザ光の照射は、連続発振またはパルス発振の気体レーザ又は固体レーザを用いれば良い。前者の気体レーザとしては、エキシマレーザ、YAGレーザ等が挙げられ、後者の固体レーザとしては、Cr、Nd等がドーピングされたYAG、YVO₄、GdVO₄等の結晶を使ったレーザ等が挙げられる。なお、レーザ光の吸収率の関係から、連続発振のレーザを用いることが好ましい。また、パルス発振と連続発振を組み合わせた所謂ハイブリッドのレーザ照射方法を用いてもよい。但し、基板の耐熱性に依っては、レーザ光の照射による加熱処理は、該基板を破壊しないように、数マイクロ秒から数十秒の間で瞬間的に行うとよい。瞬間熱アニール(RTA)は、不活性ガスの雰囲気下で、紫外光乃至赤外光を照射する赤外ランプやハロゲンランプなどを用いて、急激に温度を上昇させ、数分～数マイクロ秒の間で瞬間的に熱を加えて行う。この処理は瞬間的に行うために、実質的に最表面の薄膜のみを加熱することができ、下層の膜には影響を与えない。つまり、プラスチック基板等の耐熱性が弱い基板にも影響を与えない。

【0059】

また、液滴吐出法により、ゲート電極層などを組成物を吐出し形成した後、その平坦性を高めるために表面を圧力によってプレスして平坦化してもよい。プレスの方法としては、ローラー状のものを表面に走査することによって、凹凸をならすように軽減したり、平坦な板状な物で表面を垂直にプレスしてもよい。プレスする時に、加熱工程を行っても良い。また溶剤等によって表面を軟化、または融解させエアナイフで表面の凹凸部を除去しても良い。また、CMP法を用いて研磨しても良い。この工程は、液滴吐出法によって凹凸が生じる場合に、その表面の平坦化する場合適用することができる。

【0060】

また、液滴吐出法を用いる場合、パターンと、被形成領域との密着性を向上させるため、下地膜を形成してもよい。例えば、第1のゲート電極層として銀を含む導電性材料を基板の上に塗布し、銀配線を形成する場合、密着性を向上させるために、基板の上に酸化チタン膜を形成してもよい。酸化チタン膜は、形成される銀を含む導電性材料などと密着性がよいので、信頼性が向上する。

【0061】

第2のゲート電極層56をマスクとして、第2の絶縁層をエッチングによってパターンニングし、ソース電極層又はドレイン電極層59a及びソース電極層又はドレイン電極層59bを半導体層54に接して形成する(図1(D)及び(H)参照。)。本実施の形態では、ソース電極層又はドレイン電極層59a、ソース電極層又はドレイン電極層59bを導電性材料を含む組成物を吐出する液滴吐出法を用いて形成する。

【0062】

ソース電極層又はドレイン電極層59a、ソース電極層又はドレイン電極層59bを形成する導電性材料としては、Ag(銀)、Au(金)、Cu(銅)、W(タングステン)、Al(アルミニウム)等の金属の粒子を主成分とした組成物を用いることができる。また、透光性を有するインジウム錫酸化物(ITO)、インジウム錫酸化物と酸化珪素からなるITSO、有機インジウム、有機スズ、酸化亜鉛、窒化チタンなどを組み合わせても良い。

【0063】

以上により、本実施の形態のデュアルゲート型の薄膜トランジスタが完成する。本発

明により、工程が簡略化するので、材料のロスも少なく、コストダウンも達成できる。また、パターンを制御性よく形成できる。さらに電気的特性が高い薄膜トランジスタを作製することができる。従って、高性能、高信頼性の表示装置を歩留まりよく作製することができる。

【0064】

(実施の形態2)

本発明の実施の形態について、図2乃至図9、図14及び図15を用いて説明する。より詳しくは、本発明を適用した、デュアルゲート型の薄膜トランジスタを有する表示装置の作製方法について説明する。図3乃至図8の(A)は表示装置画素部の上面図であり、図3乃至図8(B)は、図3乃至図8(A)における線A-Cによる断面図、(C)は線B-Dによる断面図である。

10

【0065】

図14(A)は本発明に係る表示パネルの構成を示す上面図であり、絶縁表面を有する基板2700上に画素2702をマトリクス上に配列させた画素部2701、走査線側入力端子2703、信号線側入力端子2704が形成されている。画素数は種々の規格に従って設ければ良く、XGAであれば1024×768×3(RGB)、UXGAであれば1600×1200×3(RGB)、フルスペックハイビジョンに対応させるのであれば1920×1080×3(RGB)とすれば良い。

【0066】

画素2702は、走査線側入力端子2703から延在する走査線と、信号線側入力端子2704から延在する信号線とが交差することで、マトリクス状に配設される。画素2702のそれぞれには、スイッチング素子とそれに接続する画素電極が備えられている。スイッチング素子の代表的な一例はTFTであり、TFTのゲート電極側が走査線と、ソース若しくはドレイン側が信号線と接続されることにより、個々の画素を外部から入力する信号によって独立して制御可能としている。

20

【0067】

図14(A)は、走査線及び信号線へ入力する信号を、外付けの駆動回路により制御する表示パネルの構成を示しているが、図15(A)に示すように、COG(Chip on Glass)方式によりドライバIC2751を基板2700上に実装しても良い。また他の実装形態として、図15(B)に示すようなTAB(Tape Automated Bonding)方式を用いてもよい。ドライバICは単結晶半導体基板に形成されたものでも良いし、ガラス基板上にTFTで回路を形成したものであっても良い。図15において、ドライバIC2751は、FPC(Flexible printed circuit)2750と接続している。

30

【0068】

また、画素に設けるTFTをSASで形成する場合には、図14(B)に示すように走査線側駆動回路3702を基板3700上に形成し一体化することもできる。図14(B)において、画素部3701は、信号線側入力端子3704と接続した図14(A)と同様に外付けの駆動回路により制御する。画素に設けるTFTを移動度の高い、多結晶(微結晶)半導体、単結晶半導体などで形成する場合は、図14(C)は、画素部4701、走査線駆動回路4702と、信号線駆動回路4704を基板4700上に一体形成することもできる。

40

【0069】

基板100は、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス等からなるガラス基板、石英基板、シリコン基板、金属基板、ステンレス基板又は本作製工程の処理温度に耐えうる耐熱性を有するプラスチック基板を用いる。また、基板100の表面が平坦化されるようにCMP法などによって、研磨しても良い。なお、基板100上に、絶縁層を形成してもよい。絶縁層は、CVD法、プラズマCVD法、スパッタリング法、スピニング法等の公知の方法により、珪素を含む酸化物材料、窒化物材料を用いて、単層又は積層して形成される。この絶縁層は、形成しなくても良いが、基板100からの汚染物質などを遮断する効果がある。

50

【0070】

基板100上に、ゲート配線層102、第1のゲート電極層103a、第1のゲート電極層103b、第1のゲート電極層104、第1のゲート電極層105a、第1のゲート電極層105a、第1のゲート電極層105bを形成する(図2参照。)。第1のゲート電極層103a及び第1のゲート電極層103bは、ゲート配線層102に接続し、お互いに隣接して形成している。第1のゲート電極層103a及び第1のゲート電極層103bはそれらの間に、溝上の形状の凹部を有するように形成されている。同様に、第1のゲート電極層105a及び第1のゲート電極層105bは、第1のゲート電極層104に接続し、お互いに隣接して形成している。第1のゲート電極層105a及び第1のゲート電極層105bはそれらの間に、溝上の形状の凹部を有するように形成されている。

10

【0071】

ゲート配線層102、第1のゲート電極層103a、第1のゲート電極層103b、第1のゲート電極層104、第1のゲート電極層105a、第1のゲート電極層105a、第1のゲート電極層105bは、CVD法やスパッタ法、液滴吐出法などを用いて形成することができる。ゲート配線層102、第1のゲート電極層103a、第1のゲート電極層103b、第1のゲート電極層104、第1のゲート電極層105a、第1のゲート電極層105a、第1のゲート電極層105bは、Ta、W、Ti、Mo、Al、Cuから選ばれた元素、又は前記元素を主成分とする合金材料もしくは化合物材料で形成すればよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜や、AgPdCu合金を用いてもよい。また、単層構造でも複数層の構造でもよく、例えば、窒化タンゲステン(TiN)膜とモリブデン(Mo)膜との2層構造としてもよいし、膜厚50nmのタンゲステン膜、膜厚500nmのアルミニウムとシリコンの合金(Al-Si)膜、膜厚30nmの窒化チタン膜を順次積層した3層構造としてもよい。また、3層構造とする場合、第1の導電膜のタンゲステンに代えて窒化タンゲステンを用いてもよいし、第2の導電膜のアルミニウムとシリコンの合金(Al-Si)膜に代えてアルミニウムとチタンの合金膜(Al-Ti)を用いてもよいし、第3の導電膜の窒化チタン膜に代えてチタン膜を用いてもよい。

20

【0072】

ゲート配線層102、第1のゲート電極層103a、第1のゲート電極層103b、第1のゲート電極層104、第1のゲート電極層105a、第1のゲート電極層105a、第1のゲート電極層105bの形状にパターニングが必要な場合、マスクを形成し、ドライエッチングまたはドライエッチングによりパターニングすればよい。ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用い、エッチング条件(コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等)を適宜調節することにより、電極層をテーパ形状にエッチングすることができる。なお、エッチング用ガスとしては、Cl₂、BCl₃、SiCl₄もしくはCCl₄などを代表とする塩素系ガス、CF₄、SF₆もしくはNF₃などを代表とするフッ素系ガス又はO₂を適宜用いることができる。

30

【0073】

パターニングのためのマスクは組成物を選択的に吐出して形成することができる。このように選択的にマスクを形成するとパターニングの工程が簡略化する効果がある。マスクは、エポキシ樹脂、アクリル樹脂、フェノール樹脂、ノボラック樹脂、アクリル樹脂、メラミン樹脂、ウレタン樹脂等の樹脂材料を用いる。また、ベンゾシクロブテン、パリレン、フレア、透過性を有するポリイミドなどの有機材料、シロキサン系ポリマー等の重合によってできた化合物材料、水溶性ホモポリマーと水溶性共重合体を含む組成物材料等を用いて液滴吐出法で形成する。或いは、感光剤を含む市販のレジスト材料を用いてもよく、例えば、代表的なポジ型レジストである、ノボラック樹脂と感光剤であるナフトキノンジアジド化合物、ネガ型レジストであるベース樹脂、ジフェニルシランジオール及び酸発生剤などを用いてもよい。いずれの材料を用いるとしても、その表面張力と粘度は、溶媒の濃度を調整したり、界面活性剤等を加えたりして適宜調整する。

40

50

【0074】

本実施の形態では、ゲート配線層102、第1のゲート電極層103a、第1のゲート電極層103b、第1のゲート電極層104、第1のゲート電極層105a、第1のゲート電極層105bの形成は、銀を含む導電性材料を含む組成物を用いて液滴吐出手段180a、液滴吐出手段180bにより行う。

【0075】

次に、ゲート配線層102、第1のゲート電極層103a、第1のゲート電極層103b、第1のゲート電極層104、第1のゲート電極層105a、第1のゲート電極層105bの上に第1の絶縁層106を形成する。第1の絶縁層106上に、半導体層を形成し、その上に一導電性を有する半導体層としてN型半導体層を形成する。マスク等を用いてパターンニングし、半導体層107、半導体層108、N型半導体層109、N型半導体層110を形成する(図3参照。)。半導体層107、半導体層108、N型半導体層109、N型半導体層110は、本実施の形態では、無機材料であるシリコンを用いるが、前述したようなベンタセンなどの有機半導体を用いることもできる。有機半導体を液滴吐出法などによって選択的に形成すると、パターンニングの工程を簡略化することができる。第1の絶縁層106は、珪素の酸化物材料又は窒化物材料等の公知の材料で形成すればよく、積層でも単層でもよい。本実施の形態では、第1の絶縁層として窒化珪素膜、酸化珪素膜、窒化珪素膜3層の積層を用いる。

10

【0076】

本実施の形態では、ぬれ性の違いを用いて、パターンを選択的に形成する。パターンの非形成領域に、あらかじめ形成するパターン形成材料を含む組成物に対して、ぬれ性の低い物質を形成するのである。よって、パターンの被形成領域近傍に、パターン形成材料を含む組成物に対するぬれ性の異なる領域が形成される。このぬれ性の違いは両領域の相対的な関係であり、パターンの形成領域と、その周囲の非形成領域とでパターン形成材料を含む組成物に対するぬれ性の程度に差を有していればよい。また、ぬれ性の異なる領域とは、パターン形成材料を含む組成物の接触角が異なることであり、パターン形成材料を含む組成物の接触角が大きい領域はよりぬれ性が低い領域(以下、低ぬれ性領域ともいう)となり、接触角が小さい領域はぬれ性の高い領域(以下、高ぬれ性領域ともいう)となる。接触角が大きいと、流動性を有する液状の組成物は、領域表面上で広がらず、組成物をはじくので、表面をぬらさないが、接触角が小さいと、表面上で流動性を有する組成物は広がり、よく表面をぬらすからである。よって、ぬれ性が異なる領域は、表面エネルギーも異なる。ぬれ性が低い領域における表面の、表面エネルギーは小さく、ぬれ性の高い領域表面における表面エネルギーは大きい。本発明においては、このぬれ性の異なる領域の接触角の差は30度以上、好ましくは40度以上であるとよい。

20

30

【0077】

N型半導体層109、N型半導体層110上にぬれ性の低い物質を含む組成物を液滴吐出手段181a、液滴吐出手段181bによって吐出し、ぬれ性の低い物質150a、ぬれ性の低い物質150bを形成する。このぬれ性の低い物質150a、ぬれ性の低い物質150bの形成領域は、本発明における第1のゲート電極層103a及び第1のゲート電極層103bにより、第1のゲート電極層105a及び第1のゲート電極層105bによって形成された凹部が反映されており、液状のぬれ性の低い組成物が流れ込むので、非形成領域まで組成物が広がってしまうことはない。よって、所望の領域に、所望な形状で制御性よく、ぬれ性の低い物質150a、ぬれ性の低い物質150bを形成することができる。そして、マスク101となるマスクパターン材料を含む組成物を塗布法等によって形成する。形成領域のぬれ性の違いにより、マスクパターン形成材料を含む組成物は、ぬれ性の低い物質150a、ぬれ性の低い物質150bにははじかれ、付着しない。よって、ぬれ性の低い物質150a、ぬれ性の低い物質150bの形成領域を除いて、マスク101は選択的に形成される(図4参照。)

40

【0078】

また、ぬれ性を低めるという処理は、その領域上に吐出される液滴を留めておく力(

50

密着力、固着力ともいう)を周囲の領域より低い状態にすることであり、領域を改質し、液滴との密着性を低めることとも同意味である。また、そのぬれ性は液滴に接し、留めておく表面だけでもよく、必ずしも膜厚方向全体にわたって同様の性質を有する必要はない。

【0079】

低ぬれ性領域を形成する溶液の組成物の一例としては、 $R_n - Si - X_{(4-n)}$ ($n = 1, 2, 3$)の化学式で表されるシランカップリング剤を用いる。ここで、Rは、アルキル基などの比較的不活性な基を含む物である。また、Xはハロゲン、メトキシ基、エトキシ基又はアセトキシ基など、基質表面の水酸基あるいは吸着水との縮合により結合可能な加水分解基からなる。

10

【0080】

また、シランカップリング剤の代表例として、Rにフルオロアルキル基を有するフッ素系シランカップリング剤(フルオロアルキルシラン(FAS))を用いることにより、よりぬれ性を低めることができる。FASのRは、 $(CF_3)(CF_2)_x(CH_2)_y$ ($x: 0$ 以上10以下の整数、 $y: 0$ 以上4以下の整数)で表される構造を持ち、複数個のR又はXがSiに結合している場合には、R又はXはそれぞれすべて同じでも良いし、異なってもよい。代表的なFASとしては、ヘプタデフルオロテトラヒドロデシルトリエトキシシラン、ヘプタデカフルオロテトラヒドロデシルトリクロロシラン、トリデカフルオロテトラヒドロオクチルトリクロロシラン、トリフルオロプロピルトリメトキシシラン等のフルオロアルキルシラン(以下、FASともいう。)が挙げられる。

20

【0081】

低ぬれ性領域を形成する溶液の溶媒としては、*n*-ペンタン、*n*-ヘキサン、*n*-ヘプタン、*n*-オクタン、*n*-デカン、ジシクロペンタン、ベンゼン、トルエン、キシレン、デュレン、インデン、テトラヒドロナフタレン、デカヒドロナフタレン、スクワランなどの炭化水素系溶媒、テトラヒドロフラン、ジオクサン、エタノール、ジメチルスルフォキシドなどを用いることができる。

【0082】

また、低ぬれ性領域を形成する溶液の組成物の一例として、フッ化炭素鎖を有する物質(フッ素系樹脂)を用いることができる。フッ素系樹脂として、ポリテトラフルオロエチレン(PTFE; 四フッ化エチレン樹脂)、パーフルオロアルコキシアリカン(PFA; 四フッ化エチレンパーフルオロアルキルビニルエーテル共重合樹脂)、パーフルオロエチレンプロペナーポリマー(PFEP; 四フッ化エチレン-六フッ化プロピレン共重合樹脂)、エチレン-テトラフルオロエチレンコポリマー(ETFE; 四フッ化エチレン-エチレン共重合樹脂)、ポリビニリデンフルオライド(PVDF; フッ化ビニリデン樹脂)、ポリクロロトリフルオロエチレン(PCTFE; 三フッ化塩化エチレン樹脂)、エチレン-クロロトリフルオロエチレンコポリマー(ECTFE; 三フッ化塩化エチレン-エチレン共重合樹脂)、ポリテトラフルオロエチレン-パーフルオロジオキソールコポリマー(TFE/PDD)、ポリビニルフルオライド(PVF; フッ化ビニル樹脂)等を用いることができる。

30

【0083】

また、低ぬれ性領域を形成しない(すなわち、高ぬれ性領域を形成する)有機材料を用い、後に CF_4 プラズマ等による処理を行って、低ぬれ性領域を形成してもよい。例えば、ポリビニルアルコール(PVA)のような水溶性樹脂を、 H_2O 等の溶媒に混合した材料を用いることができる。また、PVAと他の水溶性樹脂を組み合わせ使用してもよい。有機材料(有機樹脂材料)(ポリイミド、アクリル)やシリコン(Si)と酸素(O)との結合で骨格構造が構成され、置換基に少なくとも水素を含む材料、もしくは置換基にフッ素、アルキル基、または芳香族炭化水素のうち少なくとも1種を有する材料を用いてもよい。さらには、低ぬれ性領域を有する材料であっても、さらにプラズマ処理等を行うことによって、ぬれ性をより低下させることができる。

40

【0084】

50

マスクは、エポキシ樹脂、アクリル樹脂、フェノール樹脂、ノボラック樹脂、アクリル樹脂、メラミン樹脂、ウレタン樹脂等の樹脂材料を用いる。また、ベンゾシクロブテン、パリレン、フレア、透過性を有するポリイミドなどの有機材料、シロキサン系ポリマー等の重合によってできた化合物材料、水溶性ホモポリマーと水溶性共重合体を含む組成物材料等を用いて液滴吐出法で形成する。或いは、感光剤を含む市販のレジスト材料を用いてもよく、例えば、代表的なポジ型レジストである、ノボラック樹脂と感光剤であるナフトキノンジアジド化合物、ネガ型レジストであるベース樹脂、ジフェニルシランジオール及び酸発生剤などを用いてもよい。いずれの材料を用いるとしても、その表面張力と粘度は、溶媒の濃度を調整したり、界面活性剤等を加えたりして適宜調整する。

【0085】

ぬれ性の低い物質150a、ぬれ性の低い物質150bを酸素等によるアッシング、エッチング、プラズマ処理などにより除去し、マスク101を用いてN型半導体層109及びN型半導体層110をエッチングすることができる。このようにマスク101のパターニング工程を省き、工程をより簡略化することができる。本実施の形態では、ぬれ性の低い物質としてFASを、マスクとしてポリイミドを用いる。

【0086】

半導体層、N型半導体層、第1の絶縁層106上に、第2の絶縁層130を形成する(図5参照)。本実施の形態では、第2の絶縁層130として酸化珪素膜を形成する。

【0087】

第1のゲート電極層103a及び第1のゲート電極層103b、第1のゲート電極層105a及び第1のゲート電極層105bは凹部を有するように形成されるので、それらの第1のゲート電極層上に形成される第1の絶縁層106、半導体層107、半導体層108、N型半導体層109、N型半導体層110、第2の絶縁層130にも凹部の形状は反映する。よって、第2の絶縁層130表面にも凹部72a、凹部72bは形成される。この凹部72a、凹部72bの領域は、第1のゲート電極層103a及び第1のゲート電極層103b、第1のゲート電極層105a及び第1のゲート電極層105bと重なっており、第2のゲート電極層115及び第2のゲート電極層116の被形成領域である。この凹部72a、凹部72bに液滴吐出手段182a、液滴吐出手段182bを用いて、導電性材料を含む組成物を吐出し、第2のゲート電極層115、第2のゲート電極層116を形成する(図6参照)。吐出された導電性材料を含む組成物は、凹部72a、凹部72bに流れ込んで留まり、被形成領域へ流れ広がらない。この凹部72a、凹部72bに、導電性材料を含む組成物を吐出することによって、所望の領域に制御性よく第2のゲート電極層115、第2のゲート電極層116を形成することができる。よって、パターニング工程を行うことなく、自己整合的(セルフアライン的)に薄膜トランジスタを作製することができる。このように、電気的特性の高い薄膜トランジスタを自己整合的に作製することができる。

【0088】

第2のゲート電極層115、第2のゲート電極層116を形成する前に、第2の絶縁層及び第1の絶縁層にゲート配線層102、第1のゲート電極層104、第1のゲート電極層105a、第1のゲート電極層105bに達する貫通孔132a、貫通孔132b、貫通孔145を形成する。貫通孔を形成する際のエッチング加工はプラズマエッチング(ドライエッチング)又はウエットエッチングのどちらを採用しても良いが、大面積基板を処理するにはプラズマエッチングが適している。エッチングガスとしては、 CF_4 、 NF_3 、 Cl_2 、 BCl_3 、などのフッ素系又は塩素系のガスを用い、HeやArなどの不活性ガスを適宜加えても良い。また、大気圧放電のエッチング加工を適用すれば、局所的な放電加工も可能であり、基板の全面にマスク層を形成する必要はない。第2のゲート電極層115、第2のゲート電極層116を形成するとき、その貫通孔132a、貫通孔132bも埋めるように形成し、第2のゲート電極層115及びゲート配線層102、第2のゲート電極層116及び第1のゲート電極層105a、第1のゲート電極層105bをそれぞれ電氣的に接続する。このことにより、第1のゲート電極層103a、第1のゲート電

10

20

30

40

50

極層 103b 及び第 2 のゲート電極層 115、第 1 のゲート電極層 105a、第 1 のゲート電極層 105b 及び第 2 のゲート電極層 116 は同電位で同時駆動でき、半導体層の上下にチャネル領域が広がるため、薄膜トランジスタのオン電流が上昇するとともに S 値も向上する。よって、電源電圧を低くすることができ、消費電力も低減できる。本発明により、薄膜トランジスタの電気的特性は向上する。

【0089】

また、本実施の形態で、マスクを液滴吐出法によって形成する際、前処理として、被形成領域近傍をぬれ性が異なる領域を形成する処理を行ってもよい。本発明において、液滴吐出法により液滴を吐出してパターンを形成する際、パターンの被形成領域に低ぬれ性領域、高ぬれ性領域を形成し、パターンの形状を制御することができる。この処理を被形成領域に行うことによって、被形成領域では、ぬれ性に差が生じ、ぬれ性が高い被形成領域のみ液滴が留まり、制御性よくパターンを形成することができる。この工程は、液状材料を用いる場合、あらゆるパターン形成の前処理として適用することができる。

10

【0090】

第 2 のゲート電極層 115、第 2 のゲート電極層 116 をマスクとして第 2 の絶縁層 130 を除去する。本実施の形態では、第 1 の絶縁層 106 と第 2 の絶縁層 130 との選択比が高い条件でエッチングするので、第 2 の絶縁層 130 のみ除去される。第 1 の絶縁層と第 2 の絶縁層を同材料で形成し、エッチングにおける選択比が低い場合だと、第 1 の絶縁層 106 も同時にエッチングにより除去できる。ソース電極層又はドレイン電極層 111、ソース電極層又はドレイン電極層 112、ソース電極層又はドレイン電極層 113、ソース電極層又はドレイン電極層 114 を形成する（図 7 参照。）。本実施の形態では、液滴吐出法を用いて形成する。

20

【0091】

ソース電極層又はドレイン電極層 111 はソース配線層としても機能し、ソース電極層又はドレイン電極層 113 は電源線としても機能する。

【0092】

ソース電極層又はドレイン電極層 111、ソース電極層又はドレイン電極層 112、ソース電極層又はドレイン電極層 113、ソース電極層又はドレイン電極層 114 を形成する導電性材料としては、Ag（銀）、Au（金）、Cu（銅）、W（タングステン）、Al（アルミニウム）等の金属の粒子を主成分とした組成物を用いることができる。また、透光性を有するインジウム錫酸化物（ITO）、インジウム錫酸化物と酸化珪素からなる ITO、有機インジウム、有機スズ、酸化亜鉛、窒化チタンなどを組み合わせても良い。

30

【0093】

第 1 の絶縁層 106 に形成した貫通孔 145 において、ソース電極層又はドレイン電極層 112 と第 1 のゲート電極層 104 とを電氣的に接続させる。ソース電極層又はドレイン電極層の一部は容量素子を形成する。

【0094】

また、前処理として液滴吐出法によるパターンに対する密着性を上げるために、接着材として機能するような有機材料系の物質を形成してもよい。この場合、この物質上に、ぬれ性の異なる領域を形成する処理を行えばよい。有機材料（有機樹脂材料）（ポリイミド、アクリル）やシリコン（Si）と酸素（O）との結合で骨格構造が構成され、置換基に少なくとも水素を含む材料、もしくは置換基にフッ素、アルキル基、または芳香族炭化水素のうち少なくとも 1 種を有する材料を用いてもよい。

40

【0095】

本実施の形態では、第 1 の絶縁層 106 上に選択的に、導電性材料を含む組成物を吐出して、第 1 の電極層 117 を形成する（図 8 参照。）。第 1 の電極層 117 は、透光性を有する基板 100 側から光を放射する場合、または透過型の表示パネルを作製する場合には、インジウム錫酸化物（ITO）、酸化珪素を含むインジウム錫酸化物（ITO）、酸化亜鉛（ZnO）を含むインジウム亜鉛酸化物（IZO（indium zinc oxide））、酸

50

化亜鉛 (ZnO)、 ZnO にガリウム (Ga)をドーブしたものの、酸化スズ (SnO_2)などを含む組成物により所定のパターンを形成し、焼成によって形成しても良い。

【0096】

また、好ましくは、スパッタリング法によりインジウム錫酸化物 (ITO)、酸化珪素を含むインジウム錫酸化物 ($ITSO$)、酸化亜鉛 (ZnO)などで形成する。より好ましくは、 ITO に酸化珪素が2~10重量%含まれたターゲットを用いてスパッタリング法で酸化珪素を含む酸化インジウムスズを用いる。この他、 ZnO にガリウム (Ga)をドーブした導電性材料、酸化珪素を含み酸化インジウムに2~20%の酸化亜鉛 (ZnO)を混合した酸化物導電性材料であるインジウム亜鉛酸化物 (IZO (indium zinc oxide))を用いても良い。スパッタリング法で第1の電極層117を形成した後は、液滴吐出法を用いてマスク層を形成しエッチングにより、所望のパターンに形成すれば良い。本実施の形態では、第1の電極層117は、透光性を有する導電性材料により液滴吐出法を用いて形成し、具体的には、インジウム錫酸化物、 ITO と酸化珪素から構成される $ITSO$ を用いて形成する。

【0097】

本実施の形態では、第1の絶縁層は窒化珪素からなる窒化珪素膜/酸化窒化珪素膜 (酸化珪素膜) / 窒化珪素膜の3層の例を前述した。好ましい構成として、酸化珪素を含む酸化インジウムスズで形成される第1の電極層117は、第1の絶縁層106に含まれる窒化珪素からなる絶縁層と密接して形成され、それにより電界発光層で発光した光が外部に放射される割合を高めることができるという効果を発現させることができる。また、第1の絶縁物はゲート電極層や、ゲート電極層と、第1の電極層の間に介在し、容量素子として機能することもできる。

【0098】

第1の電極層117は、ソース電極層又はドレイン電極層114の形成前に、第1の絶縁層106上に選択的に形成することもできる。この場合、本実施の形態とはソース電極層又はドレイン電極層114と、第1の電極層117の接続構造が、第1の電極層の上にソース電極層又はドレイン電極層114が積層する構造となる。第1の電極層117をソース電極層又はドレイン電極層114より先に形成すると、平坦な形成領域に形成できるので、被覆性、成膜性がよく、CMPなどの研磨処理も十分に行えるので平坦性よく形成できる。

【0099】

また、ソース電極層又はドレイン電極層114上に層間絶縁層となる絶縁層を形成し、配線層によって、第1の電極層117と電気的に接続する構造を用いてもよい。この場合、開口部 (コンタクトホール) を絶縁層を除去して形成するのではなく、絶縁層に対してぬれ性が低い物質をソース電極層又はドレイン電極層114上に形成する。その後、絶縁層を含む組成物を塗布法などで塗布すると、ぬれ性が低い物質の形成されている領域を除いた領域に絶縁層は形成される。

【0100】

加熱、乾燥等によって絶縁層を固化して形成した後、ぬれ性が低い物質を除去し、開口部を形成する。この開口部を埋めるように配線層を形成し、この配線層に接するように第1の電極層117を形成する。この方法を用いると、エッチングによる開口部の形成が必要ないので工程が簡略化する効果がある。

【0101】

また、発光した光を透光性を有する基板100側とは反対側に放射させる構造とする場合、反射型のEL表示パネルを作製する場合には、 Ag (銀)、 Au (金)、 Cu (銅)、 W (タングステン)、 Al (アルミニウム)等の金属の粒子を主成分とした組成物を用いることができる。他の方法としては、スパッタリング法により透明導電膜若しくは光反射性の導電膜を形成して、液滴吐出法によりマスクパターンを形成し、エッチング加工を組み合わせて第1の電極層117を形成しても良い。

【0102】

10

20

30

40

50

第1の電極層117は、その表面が平坦化されるように、CMP法、ポリビニルアルコール系の多孔質体で拭淨し、研磨しても良い。またCMP法を用いた研磨後に、第1の電極層117の表面に紫外線照射、酸素プラズマ処理などを行ってもよい。

【0103】

以上の工程により、基板100上にデュアルゲート型の薄膜トランジスタと画素電極(第1の電極層)が接続された表示パネル用のTFT基板100が完成する。実施の形態で示すTFTは、本発明を用いるために、電気的特性が高く、かつ自己整合的に作製することができる。

【0104】

次に、絶縁物121(隔壁、土手とも呼ばれる)を選択的に形成する。絶縁物121は、第1の電極層117上に開口部を有するように形成する。本実施の形態では、絶縁物121を全面に形成し、レジスト等のマスクによって、エッチングしパターンニングする。絶縁物121を、直接選択的に形成できる液滴吐出法や印刷法などを用いて形成する場合は、エッチングによるパターンニングは必ずしも必要はない。また絶縁物121も本発明の前処理によって、所望の形状に形成できる。

【0105】

絶縁物121は、酸化珪素、窒化珪素、酸化窒化珪素、酸化アルミニウム、窒化アルミニウム、酸窒化アルミニウムその他の無機絶縁性材料、又はアクリル酸、メタクリル酸及びこれらの誘導体、又はポリイミド(polyimide)、芳香族ポリアミド、ポリベンゾイミダゾール(polybenzimidazole)などの耐熱性高分子、又はシロキサン系材料を出発材料として形成された珪素、酸素、水素からなる化合物のうちSi-O-Si結合を含む無機シロキサン、珪素上の水素がメチルやフェニルのような有機基によって置換された有機シロキサン系の絶縁材料で形成することができる。アクリル、ポリイミド等の感光性、非感光性の材料を用いて形成してもよい。絶縁物121は曲率半径が連続的に変化する形状が好ましく、上に形成される電界発光層122、第2の電極層123の被覆性が向上する。

【0106】

また、液滴吐出法により、絶縁物121を組成物を吐出し形成した後、その平坦性を高めるために表面を圧力によってプレスして平坦化してもよい。プレスの方法としては、ローラー状のものを表面に走査することによって、凹凸をならすように軽減したり、平坦な板状な物で表面を垂直にプレスしてもよい。また溶剤等によって表面を軟化、または融解させエアナイフで表面の凹凸部を除去してもよい。また、CMP法を用いて研磨してもよい。この工程は、液滴吐出法によって凹凸が生じる場合に、その表面の平坦化する場合適用することができる。この工程により平坦性が向上すると、表示パネルの表示ムラなどを防止することができる、高繊細な画像を表示することができる。

【0107】

表示パネル用のTFT基板100の上に、発光素子を形成する(図9参照。)

【0108】

電界発光層122を形成する前に、大気圧中で200の熱処理を行い第1の電極層117、絶縁物121中若しくはその表面に吸着している水分を除去する。また、減圧下で200~400、好ましくは250~350に熱処理を行い、そのまま大気に晒さずに電界発光層122を真空蒸着法や、減圧下の液滴吐出法で形成することが好ましい。

【0109】

電界発光層122として、赤色(R)、緑色(G)、青色(B)の発光を示す材料を、それぞれ蒸着マスクを用いた蒸着法等によって選択的に形成する。赤色(R)、緑色(G)、青色(B)の発光を示す材料はカラーフィルタ同様、液滴吐出法により形成することもでき(低分子または高分子材料など)、この場合マスクを用いずとも、RGBの塗り分けを行うことができるため好ましい。電界発光層122上に第2の電極層123を積層形成して、発光素子を用いた表示機能を有する表示装置が完成する。

【0110】

図示しないが、第2の電極層123を覆うようにしてパッシベーション膜を設けること

は有効である。表示装置を構成する際に設ける保護膜は、単層構造でも多層構造でもよい。パッシベーション膜としては、窒化珪素 (SiN)、酸化珪素 (SiO₂)、酸化窒化珪素 (SiON)、窒化酸化珪素 (SiNO)、窒化アルミニウム (AlN)、酸化窒化アルミニウム (AlON)、窒素含有量が酸素含有量よりも多い窒化酸化アルミニウム (AlNO) または酸化アルミニウム、ダイヤモンドライクカーボン (DLC)、窒素含有炭素膜 (CN_x) を含む絶縁膜からなり、該絶縁膜を単層もしくは組み合わせた積層を用いることができる。例えば窒素含有炭素膜 (CN_x) \ 窒化珪素 (SiN) のような積層、また有機材料を用いることも出来、スチレンポリマーなど高分子の積層でもよい。また、シリコン (Si) と酸素 (O) との結合で骨格構造が構成され、置換基に少なくとも水素を含む材料、もしくは置換基にフッ素、アルキル基、または芳香族炭化水素のうち少なくとも1種を有する材料を用いてもよい。

【0111】

この際、カバレッジの良い膜をパッシベーション膜として用いることが好ましく、炭素膜、特にDLC膜を用いることは有効である。DLC膜は室温から100以下の温度範囲で成膜可能であるため、耐熱性の低い電界発光層の上方にも容易に成膜することができる。DLC膜は、プラズマCVD法(代表的には、RFプラズマCVD法、マイクロ波CVD法、電子サイクロトロン共鳴(ECR)CVD法、熱フィラメントCVD法など)、燃焼炎法、スパッタ法、イオンビーム蒸着法、レーザ蒸着法などで形成することができる。成膜に用いる反応ガスは、水素ガスと、炭化水素系のガス(例えばCH₄、C₂H₂、C₆H₆など)とを用い、グロー放電によりイオン化し、負の自己バイアスがかかったカソードにイオンを加速衝突させて成膜する。また、CN膜は反応ガスとしてC₂H₄ガスとN₂ガスとを用いて形成すればよい。DLC膜は酸素に対するブロッキング効果が高く、電界発光層の酸化を抑制することが可能である。そのため、この後に続く封止工程を行う間に電界発光層が酸化するといった問題を防止できる。

【0112】

続いて、シール材を形成し、封止基板を用いて封止する。その後、ゲート配線層102に、フレキシブル配線基板を接続し、外部との電氣的な接続をしても良い。これは、ソース配線層でもあるソース電極層又はドレイン電極層111と電氣的に接続して形成されるソース配線層も同様である。

【0113】

本発明を用いて作製したEL表示パネルの完成図を図18に示す。図18(A)はEL表示パネルの上面図であり、図18(B)は、図18(A)における線E-Fによる断面図である。図18において、素子基板3300上に形成された画素部3301は、画素3302、ゲート配線層3306a、ゲート配線層3306b、ソース配線層3308を有しており、封止基板3310とシール材3303によって貼り合わされ固着されている。本実施の形態では、FPC3350上にドライバIC3351を設置し、TAB方式で実装している。

【0114】

図18(A)、(B)で示すとおり、表示パネル内には素子の水分による劣化を防ぐため、乾燥剤3305、乾燥剤3304a、乾燥剤3304bが設置されている。乾燥剤3305は画素部周囲を取り囲むように形成され、乾燥剤3304a、乾燥剤3304bは、ゲート配線層3306a、3306bに対応する領域に形成されている。本実施の形態では、乾燥剤は、図18(B)に示されるように封止基板に形成された凹部に設置され、薄型化を妨げない構成となっている。ゲート配線層に対応する領域にも乾燥剤を形成しているので、吸水面積を広く取ることができ、吸水効果も向上する。また、直接発光しないゲート配線層上に乾燥剤を形成しているので、光取り出し効率を低下させることもない。本実施の形態では、表示パネル内に充填剤3307を充填している。この充填剤として、乾燥剤などの吸湿性を含む物質を用いると、さらなる吸水効果が得られ、素子の劣化を防ぐことができる。

【0115】

10

20

30

40

50

なお、本実施の形態では、ガラス基板で発光素子を封止した場合を示すが、封止の処理とは、発光素子を水分から保護するための処理であり、カバー材で機械的に封入する方法、熱硬化性樹脂又は紫外光硬化性樹脂で封入する方法、金属酸化物や窒化物等のバリア能力が高い薄膜により封止する方法のいずれかを用いる。カバー材としては、ガラス、セラミックス、プラスチックもしくは金属を用いることができるが、カバー材側に光を放射させる場合は透光性でなければならない。また、カバー材と上記発光素子が形成された基板とは熱硬化性樹脂又は紫外光硬化性樹脂等のシール材を用いて貼り合わせられ、熱処理又は紫外光照射処理によって樹脂を硬化させて密閉空間を形成する。この密閉空間の中に酸化バリウムに代表される吸湿材を設けることも有効である。この吸湿材は、シール材の上に接して設けても良いし、発光素子よりの光を妨げないような、隔壁の上や周辺部に設けても良い。さらに、カバー材と発光素子の形成された基板との空間を熱硬化性樹脂若しくは紫外光硬化性樹脂で充填することも可能である。この場合、熱硬化性樹脂若しくは紫外光硬化性樹脂の中に酸化バリウムに代表される吸湿材を添加しておくことは有効である。

10

【0116】

本実施の形態では、スイッチングTFTはシングルゲート構造を示したが、ダブルゲート構造などのマルチゲート構造でもよい。また半導体をSASや結晶性半導体を用いて作製した場合、一導電性を付与する不純物の添加によって不純物領域を形成することもできる。この場合、半導体層は濃度の異なる不純物領域を有していてもよい。例えば、半導体層のチャンネル領域近傍、ゲート電極層と積層する領域は、低濃度不純物領域とし、その外側の領域を高濃度不純物領域としてもよい。

20

【0117】

以上示したように、本実施の形態では、フォトマスクを利用した光露光工程を用いないことにより、工程を省略することができる。また、液滴吐出法を用いて基板上に直接的に各種のパターンを形成することにより、1辺が1000mmを超える第5世代以降のガラス基板を用いても、容易に表示パネルを製造することができる。

【0118】

本発明により、工程が簡略化するので、材料のロスも少なく、コストダウンも達成できる。また、パターンを制御性よく形成できる。さらに電気的特性が高い薄膜トランジスタを作製することができる。従って、高性能、高信頼性の表示装置を歩留まりよく作製することができる。

30

【0119】

(実施の形態3)

本発明の実施の形態として、図10を用いて説明する。本実施の形態は、実施の形態2で形成したデュアルゲート型の薄膜トランジスタを用いて、表示装置を作製するものである。なお表示素子として液晶材料を用いた液晶表示装置の例を示す。よって、同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。なお、図10(A)は表示装置の上面図であり、図10(B)は図10(A)の線E-Fにおける断面図である。

【0120】

本実施の形態において、形成する薄膜トランジスタは、半導体層を挟んで一方の側に第1のゲート電極層を、他方の側に第2のゲート電極層を有するデュアルゲート型の薄膜トランジスタである。本発明では、図10で示すようにパターンの被形成領域に、凹部を設け、その凹部にパターン形成材料含む組成物を付着させ、パターンを形成する。

40

【0121】

基板300上に、第1のゲート電極層303a、第1のゲート電極層303bをゲート配線層302に接続し、お互いに隣接して形成する。また、容量配線層304も形成する。第1のゲート電極層303a及び第1のゲート電極層303bはその間に凹部を有するように形成される。本実施の形態では、銀を導電性材料として含む組成物を用いて、液滴吐出法により上記第1のゲート電極層303a、第1のゲート電極層303b、ゲート配線層302、容量配線層304を形成する。

【0122】

50

第1のゲート電極層、第1のゲート配線層上に次に、プラズマCVD法やスパッタリング法を用いて、第1の絶縁層305を形成する。第1の絶縁層305上に、半導体層及び導電性を有する半導体層としてN型半導体層を形成する。レジスト等のマスクを用いてパターンニングし、半導体層306、N型半導体層307を形成する。半導体層306は、本実施の形態では、無機材料であるシリコンを用いるが、前述したようなペンタセンなどの有機半導体を用いることもできる。有機半導体を液滴吐出法などによって選択的に形成すると、パターンニングの工程を簡略化することができる。

【0123】

実施の形態2で示したように、第1のゲート電極層303a、第1のゲート電極層303bの形成する凹部形状に反映して、形成されるN型半導体層307上の凹部に液滴吐出法を用いて、ぬれ性の低い物質を制御性よく形成し、N型半導体層をパターンニングするためのマスクを選択的に形成する。

10

【0124】

形成したマスクを用いて、N型半導体層307をパターンニングした後、第2の絶縁層310を形成する。第2の絶縁層310上にも、第1のゲート電極層303a、第1のゲート電極層303bが凹部を有するように形成されているために生じる凹部形状が形成される。第2のゲート電極層は、第1のゲート電極層上に絶縁層や半導体層を挟んで（介して）、第1のゲート電極層に重畳するように形成し、薄膜トランジスタの電気的特性を向上させる機能を果たす。本発明を用いると、第1のゲート電極層の有する凹部に反映して、第2のゲート電極層の被形成領域に凹部が形成されている。よって、この凹部に、導電性材料を含む組成物を吐出することによって、所望の領域に制御性よく第2のゲート電極層309を形成することができる。よって、パターンニング工程を行うことなく、自己整合的（セルフアライン的）に薄膜トランジスタを作製することができる。

20

【0125】

第2のゲート電極層309をマスクとして、第2の絶縁層310をエッチングにより除去する。そしてN型半導体層に接するように、ソース電極層又はドレイン電極層330、ソース電極層又はドレイン電極層308を形成する。本実施の形態では、銀を導電性材料として含む組成物を用いて、液滴吐出法によりソース電極層又はドレイン電極層330、ソース電極層又はドレイン電極層308を形成する。

【0126】

画素電極層311を液滴吐出法で形成する。画素電極層311とソース電極層又はドレイン電極層308と接して形成し、電気的に接続する。画素電極層311は、前述した第1の電極層117と同様な材料を用いることができ、透過型の液晶表示パネルを作製する場合には、インジウム錫酸化物（ITO）、酸化珪素を含むインジウム錫酸化物（ITSO）、酸化亜鉛（ZnO）、酸化スズ（SnO₂）などを含む組成物により所定のパターンを形成し、焼成によって形成しても良い。

30

【0127】

次に、画素電極層311を覆うように、印刷法やスピンコート法により、配向膜と呼ばれる絶縁層312を形成する。なお、絶縁層312は、スクリーン印刷法やオフセット印刷法を用いれば、選択的に形成することができる。その後、ラビングを行う。続いて、シール材を液滴吐出法により画素を形成した周辺の領域に形成する（図示せず。）。

40

【0128】

その後、配向膜として機能する絶縁層321、カラーフィルタとして機能する着色層322、対向電極として機能する導電体層323、偏光板325が設けられた対向基板324とTF基板300とをスペーサを介して貼り合わせ、その空隙に液晶層320を設けることにより液晶表示パネルを作製することができる（図11（B）参照。）。シール材にはフィルラが混入されていても良く、さらに対向基板324には、遮蔽膜（ブラックマトリクス）などが形成されていても良い。なお、液晶層を形成する方法として、ディスプレイ式（滴下式）や、対向基板324を貼り合わせてから毛細管現象を用いて液晶を注入するディップ式（汲み上げ式）を用いることができる。

50

【0129】

ディスペンサ方式を採用した液晶滴下注入法を図29を用いて説明する。図29の液晶滴下注入法は、制御装置40、撮像手段42、ヘッド43、液晶33、マーカー35、マーカー45は、バリア層34、シール材32、TFT基板30、対向基板20からなる。シール材32で閉ループを形成し、その中にヘッド43より液晶33を1回若しくは複数回滴下する。液晶材料の粘性が高い場合は、連続的に吐出され、繋がったまま被形成領域に付着する。一方、液晶材料の粘性が低い場合には、図29のように間欠的に吐出され液滴が滴下される。そのとき、シール材32と液晶33とが反応することを防ぐため、バリア層34を設ける。続いて、真空中で基板を貼り合わせ、その後紫外線硬化を行って、液晶が充填された状態とする。

10

【0130】

以上の工程で形成された画素部と外部の配線基板を接続するために接続部を形成する。大気圧又は大気圧近傍下で、酸素ガスを用いたアッシング処理により、接続部の絶縁体層を除去する。この処理は、酸素ガスと、水素、 CF_4 、 NF_3 、 H_2O 、 CHF_3 から選択された一つ又は複数とを用いて行う。本工程では、静電気による損傷や破壊を防止するために、対向基板を用いて封止した後に、アッシング処理を行っているが、静電気による影響が少ない場合には、どのタイミングで行っても構わない。

【0131】

続いて、異方性導電体層を介して、配線層が電氣的に接続するように、接続用の配線基板を設ける。配線基板は、外部からの信号や電位を伝達する役目を担う。上記工程を経て、表示機能を有する液晶表示パネルを作製することができる。

20

【0132】

本実施の形態では、スイッチングTFTはシングルゲート構造を示したが、ダブルゲート構造などのマルチゲート構造でもよい。また半導体をSASや結晶性半導体を用いて作製した場合、一導電型を付与する不純物の添加によって不純物領域を形成することもできる。この場合、半導体層は濃度の異なる不純物領域を有していてもよい。例えば、半導体層のチャネル領域近傍、ゲート電極層と積層する領域は、低濃度不純物領域とし、その外側の領域を高濃度不純物領域としてもよい。

【0133】

以上示したように、本実施の形態では、フォトマスクを利用した光露光工程を用いないことにより、工程を省略することができる。また、液滴吐出法を用いて基板上に直接的に各種のパターンを形成することにより、1辺が1000mmを超える第5世代以降のガラス基板を用いても、容易に表示パネルを製造することができる。

30

【0134】

本発明により、工程が簡略化するので、材料のロスも少なく、コストダウンも達成できる。また、パターンを制御性よく形成できる。さらに電氣的特性が高い薄膜トランジスタを作製することができる。従って、高性能、高信頼性の表示装置を歩留まりよく作製することができる。

【0135】

(実施の形態4)

本発明を適用して薄膜トランジスタを形成し、該薄膜トランジスタを用いて表示装置を形成することができるが、発光素子を用いて、なおかつ、該発光素子を駆動するトランジスタとしてN型トランジスタを用いた場合、該発光素子から発せられる光は、下面放射、上面放射、両面放射のいずれかを行う。ここでは、いずれの場合に応じた発光素子の積層構造について、図12を用いて説明する。

40

【0136】

また、本実施の形態では、本発明を適用した薄膜トランジスタ461、471、481を用いる。本実施の形態における薄膜トランジスタ481は、基板480上設けられ、第1のゲート電極層493a、第1のゲート電極層493bが間隔を持って隣接している。このように、第1のゲート電極層がある断面において接していなくても、その第1のゲ

50

ト電極層間で、凹部（いわゆるくぼみ）が形成されればよい。その凹部は上に積層されるゲート絶縁層、半導体層に反映され、第1のゲート電極層と重畳して形成される第2のゲート電極層をその凹部に制御性よく形成することができる。本実施の形態では、半導体層として非晶質の構造を有する珪素膜を用い、一導電型の半導体層としてN型の半導体層を用いる。N型半導体層を形成するかわりに、 PH_3 ガスによるプラズマ処理を行うことによって、半導体層に導電性を付与してもよい。半導体層は本実施の形態に限定されず、実施の形態2で示したように、結晶性半導体層を用いることもできる。ポリシリコンのような結晶性半導体層を用いる場合、一導電型の半導体層を形成せず、結晶性半導体層に不純物を導入（添加）して一導電性を有する不純物領域を形成してもよい。また、ペンタセンなどの有機半導体を用いることもでき、有機半導体を液滴吐出法などによって選択的に形成すると、パターンニングの工程を簡略化することができる。

10

【0137】

本実施の形態における薄膜トランジスタは、第1のゲート電極層と第2のゲート電極層とを、半導体層を挟んで設けられているデュアルゲート型の薄膜トランジスタのため、半導体層のチャネル領域が上下に広がり、高いオン電流が得られる。よって、電源電圧を低くすることができるので消費電力も低減することができる。本発明により、工程が簡略化するので、材料のロスも少なく、コストダウンも達成できる。また、パターンを制御性よく形成できる。さらに電気的特性が高い薄膜トランジスタを作製することができる。従って、高性能、高信頼性の表示装置を歩留まりよく作製することができる。

【0138】

20

まず、光が透光性を有する基板480側に放射する場合、つまり下面放射を行う場合について、図12(A)を用いて説明する。この場合、薄膜トランジスタ481に電気的に接続するように、ソース電極層又はドレイン電極層487に接して、第1の電極層484、電界発光層485、第2の電極層486が順に積層される。次に、光が基板460と反対側に放射する場合、つまり上面放射を行う場合について、図12(B)を用いて説明する。薄膜トランジスタ461は、前述した本発明のデュアルゲート型の薄膜トランジスタ481の同様の構造である。

【0139】

薄膜トランジスタ461に電気的に接続するソース電極層又はドレイン電極層462、第1の電極層463、電界発光層464、第2の電極層465が順に積層される。上記構成により、第1の電極層463において光が透過しても、該光はソース電極層又はドレイン電極層462において反射され、基板460と反対側に放射する。なお、本構成では、第1の電極層463、基板460には透光性を有する材料を用いる必要はない。最後に、光が透光性を有する基板470側とその反対側の両側に放射する場合、つまり両面放射を行う場合について、図12(C)を用いて説明する。薄膜トランジスタ471は、薄膜トランジスタ481と同様の本発明のデュアルゲート型の薄膜トランジスタである。薄膜トランジスタ471に電気的に接続するソース電極層又はドレイン電極層477、第1の電極層472、電界発光層473、第2の電極層474が順に積層される。このとき、第1の電極層472と第2の電極層474のどちらも透光性を有する材料、又は光を透過できる厚さで形成すると、両面放射が実現する。

30

40

【0140】

本実施の形態において適用できる発光素子の形態を図30に示す。発光素子は、電界発光層860を第1の電極層870と第2の電極層850で挟んだ構成になっている。第1の電極層及び第2の電極層は仕事関数を考慮して材料を選択する必要がある、そして第1の電極層及び第2の電極層は、画素構成によりいずれも陽極、又は陰極となりうる。本実施の形態では、駆動用TFTの極性がNチャンネル型であるため、第1の電極層を陰極、第2の電極層を陽極とすると好ましい。また駆動用TFTの極性がpチャンネル型である場合、第1の電極層を陽極、第2の電極層を陰極とするとよい。

【0141】

図30(A)及び(B)は、第1の電極層870が陽極であり、第2の電極層850が

50

陰極である場合であり、電界発光層 860 は、第 1 の電極層 870 側から、H I L (ホール注入層) / H T L (ホール輸送層) 804、E M L (発光層) 803、E T L (電子輸送層) / E I L (電子注入層) 802、第 2 の電極層 850 の順に積層するのが好ましい。図 30 (A) は第 1 の電極層 870 から光を放射する構成であり、第 1 の電極層 870 は透光性を有する酸化物導電性材料からなる電極層 805 で構成し、第 2 の電極層は電界発光層 860 側から、L i F や M g A g などアルカリ金属又はアルカリ土類金属を含む電極層 801 とアルミニウムなどの金属材料で形成する電極層 800 より構成されている。図 30 (B) は第 2 の電極層 850 から光を放射する構成であり、第 1 の電極層は、アルミニウム、チタンなどの金属、又は該金属と化学量論的組成比以下の濃度で窒素を含む金属材料で形成する電極層 807 と、酸化珪素を 1 ~ 15 原子% の濃度で含む酸化物導電性材料で形成する第 2 の電極層 806 より構成されている。第 2 の電極層は、第 2 の電極層は電界発光層 860 側から、L i F や M g A g などアルカリ金属又はアルカリ土類金属を含む電極層 801 とアルミニウムなどの金属材料で形成する電極層 800 より構成されているがいずれの層も 100 nm 以下の厚さとして光を透過可能な状態としておくことで、第 2 の電極層 850 から光を放射することが可能となる。

10

【0142】

図 30 (C) 及び (D) は、第 1 の電極層 870 が陰極であり、第 2 の電極層 850 が陽極である場合であり、電界発光層 860 は、陰極側から E I L (電子注入層) / E T L (電子輸送層) 802、E M L (発光層) 803、H T L (ホール輸送層) / H I L (ホール注入層) 804、陽極である第 2 の電極層 850 の順に積層するのが好ましい。図 30 (C) は第 1 の電極層 870 から光を放射する構成であり、第 1 の電極層 870 は電界発光層 860 側から、L i F や M g A g などアルカリ金属又はアルカリ土類金属を含む電極層 801 とアルミニウムなどの金属材料で形成する電極層 800 より構成されているがいずれの層も 100 nm 以下の厚さとして光を透過可能な状態としておくことで、第 1 の電極層 870 から光を放射することが可能となる。第 2 の電極層は、電界発光層 860 側から、酸化珪素を 1 ~ 15 原子% の濃度で含む酸化物導電性材料で形成する第 2 の電極層 806、アルミニウム、チタンなどの金属、又は該金属と化学量論的組成比以下の濃度で窒素を含む金属材料で形成する電極層 807 より構成されている。図 30 (D) は第 2 の電極層 850 から光を放射する構成であり、第 1 の電極層 870 は電界発光層 860 側から、L i F や M g A g などアルカリ金属又はアルカリ土類金属を含む電極層 801 とアルミニウムなどの金属材料で形成する電極層 800 より構成されており、膜厚は電界発光層 860 で発光した光を反射可能な程度に厚く形成している。第 2 の電極層 850 は、透光性を有する酸化物導電性材料からなる電極層 805 で構成されている。なお電界発光層は、積層構造以外に単層構造、又は混合構造をとることができる。

20

30

【0143】

また、電界発光層として、赤色 (R)、緑色 (G)、青色 (B) の発光を示す材料を、それぞれ蒸着マスクを用いた蒸着法等によって選択的に形成する。赤色 (R)、緑色 (G)、青色 (B) の発光を示す材料はカラーフィルタ同様、液滴吐出法により形成することもでき (低分子または高分子材料など)、この場合マスクを用いずとも、R G B の塗り分けを行うことができるため好ましい。

40

【0144】

また上面放射型の場合で、第 2 の電極層に透光性を有する I T O や I T S O を用いる場合、ベンゾオキサゾール誘導体 (B z O S) に L i を添加した B z O S - L i などを用いることができる。また例えば E M L は、R、G、B のそれぞれの発光色に対応したドーパント (R の場合 D C M 等、G の場合 D M Q D 等) をドーブした A l q₃ を用いればよい。

【0145】

なお、電界発光層は上記材料に限定されない。例えば、C u P c や P E D O T の代わりに酸化モリブデン (M o O_x : x = 2 ~ 3) 等の酸化物と - N P D やルブレンを共蒸着して形成し、ホール注入性を向上させることもできる。また電界発光層の材料は、有機材料 (低分子又は高分子を含む)、又は有機材料と無機材料の複合材料として用いることが

50

できる。以下発光素子を形成する材料について詳細に述べる。

【0146】

電荷注入輸送物質のうち、特に電子輸送性の高い物質としては、例えばトリス(8-キノリノラト)アルミニウム(略称: Alq₃)、トリス(5-メチル-8-キノリノラト)アルミニウム(略称: Almq₃)、ビス(10-ヒドロキシベンゾ[h]-キノリナト)ベリリウム(略称: BeBq₂)、ビス(2-メチル-8-キノリノラト)-4-フェニルフェノラト-アルミニウム(略称: BAlq)など、キノリン骨格またはベンゾキノリン骨格を有する金属錯体等が挙げられる。また正孔輸送性の高い物質としては、例えば4,4'-ビス[N-(1-ナフチル)-N-フェニル-アミノ]-ピフェニル(略称: NPD)や4,4'-ビス[N-(3-メチルフェニル)-N-フェニル-アミノ]-ピフェニル(略称: TPD)や4,4',4''-トリス(N,N-ジフェニル-アミノ)-トリフェニルアミン(略称: TDATA)、4,4',4''-トリス[N-(3-メチルフェニル)-N-フェニル-アミノ]-トリフェニルアミン(略称: MTDATA)などの芳香族アミン系(即ち、ベンゼン環-窒素の結合を有する)の化合物が挙げられる。

10

【0147】

また、電荷注入輸送物質のうち、特に電子注入性の高い物質としては、フッ化リチウム(LiF)、フッ化セシウム(CsF)、フッ化カルシウム(CaF₂)等のようなアルカリ金属又はアルカリ土類金属の化合物が挙げられる。また、この他、Alq₃のような電子輸送性の高い物質とマグネシウム(Mg)のようなアルカリ土類金属との混合物であってもよい。

20

【0148】

電荷注入輸送物質のうち、正孔注入性の高い物質としては、例えば、モリブデン酸化物(MoO_x)やバナジウム酸化物(VO_x)、ルテニウム酸化物(RuO_x)、タングステン酸化物(WO_x)、マンガン酸化物(MnO_x)等の金属酸化物が挙げられる。また、この他、フタロシアニン(略称: H₂Pc)や銅フタロシアニン(CuPC)等のフタロシアニン系の化合物が挙げられる。

【0149】

発光層は、発光波長帯の異なる発光層を画素毎に形成して、カラー表示を行う構成としても良い。典型的には、R(赤)、G(緑)、B(青)の各色に対応した発光層を形成する。この場合にも、画素の光放射側にその発光波長帯の光を透過するフィルターを設けた構成とすることで、色純度の向上や、画素部の鏡面化(映り込み)の防止を図ることができる。フィルターを設けることで、従来必要であるとされていた円偏光版などを省略することが可能となり、発光層から放射される光の損失を無くすることができる。さらに、斜方から画素部(表示画面)を見た場合に起こる色調の変化を低減することができる。

30

【0150】

発光材料には様々な材料がある。低分子系有機発光材料では、4-ジシアノメチレン-2-メチル-6-(1,1,7,7-テトラメチルジュロリジル-9-エニル)-4H-ピラン(略称: DCJT)、4-ジシアノメチレン-2-t-ブチル-6-(1,1,7,7-テトラメチルジュロリジル-9-エニル)-4H-ピラン(略称: DPA)、ペリフランテン、2,5-ジシアノ-1,4-ビス(10-メトキシ-1,1,7,7-テトラメチルジュロリジル-9-エニル)ベンゼン、N,N'-ジメチルキナクリドン(略称: DMQd)、クマリン6、クマリン545T、トリス(8-キノリノラト)アルミニウム(略称: Alq₃)、9,9'-ピアントリル、9,10-ジフェニルアントラセン(略称: DPA)や9,10-ビス(2-ナフチル)アントラセン(略称: DNA)等を用いることができる。また、この他の物質でもよい。

40

【0151】

一方、高分子系有機発光材料は低分子系に比べて物理的強度が高く、素子の耐久性が高い。また塗布により成膜することが可能であるので、素子の作製が比較的容易である。高分子系有機発光材料を用いた発光素子の構造は、低分子系有機発光材料を用いたときと基

50

本的には同じであり、陰極/有機発光層/陽極となる。しかし、高分子系有機発光材料を用いた発光層を形成する際には、低分子系有機発光材料を用いたときのような積層構造を形成させることは難しく、多くの場合2層構造となる。具体的には、陰極/発光層/正孔輸送層/陽極という構造である。

【0152】

発光色は、発光層を形成する材料で決まるため、これらを選択することで所望の発光を示す発光素子を形成することができる。発光層の形成に用いることができる高分子系の電界発光材料は、ポリパラフェニレンビニレン系、ポリパラフェニレン系、ポリチオフェン系、ポリフルオレン系が挙げられる。

【0153】

ポリパラフェニレンビニレン系には、ポリ(パラフェニレンビニレン) [PPV] の誘導体、ポリ(2,5-ジアルコキシ-1,4-フェニレンビニレン) [RO-PPV]、ポリ(2-(2'-エチル-ヘキソキシ)-5-メトキシ-1,4-フェニレンビニレン) [MEH-PPV]、ポリ(2-(ジアルコキシフェニル)-1,4-フェニレンビニレン) [ROPh-PPV]等が挙げられる。ポリパラフェニレン系には、ポリパラフェニレン [PPP] の誘導体、ポリ(2,5-ジアルコキシ-1,4-フェニレン) [RO-PPP]、ポリ(2,5-ジヘキソキシ-1,4-フェニレン)等が挙げられる。ポリチオフェン系には、ポリチオフェン [PT] の誘導体、ポリ(3-アルキルチオフェン) [PAT]、ポリ(3-ヘキシルチオフェン) [PHT]、ポリ(3-シクロヘキシルチオフェン) [PCHT]、ポリ(3-シクロヘキシル-4-メチルチオフェン) [PCHMT]、ポリ(3,4-ジシクロヘキシルチオフェン) [PDCHT]、ポリ[3-(4-オクチルフェニル)-チオフェン] [POPT]、ポリ[3-(4-オクチルフェニル)-2,2ピチオフェン] [PTOPT]等が挙げられる。ポリフルオレン系には、ポリフルオレン [PF] の誘導体、ポリ(9,9-ジアルキルフルオレン) [PDAF]、ポリ(9,9-ジオクチルフルオレン) [PDOF]等が挙げられる。

【0154】

なお、正孔輸送性の高分子系有機発光材料を、陽極と発光性の高分子系有機発光材料の間に挟んで形成すると、陽極からの正孔注入性を向上させることができる。一般にアクセプター材料と共に水に溶解させたものをスピンコート法などで塗布する。また、有機溶媒には不溶であるため、上述した発光性の有機発光材料との積層が可能である。正孔輸送性の高分子系有機発光材料としては、PEDOTとアクセプター材料としてのショウノウスルホン酸(CSA)の混合物、ポリアニリン[PANI]とアクセプター材料としてのポリスチレンスルホン酸[PSS]の混合物等が挙げられる。

【0155】

また、発光層は単色又は白色の発光を呈する構成とすることができる。白色発光材料を用いる場合には、画素の光放射側に特定の波長の光を透過するフィルター(着色層)を設けた構成としてカラー表示を可能にすることができる。

【0156】

白色に発光する発光層を形成するには、例えば、Alq₃、部分的に赤色発光色素であるニルレッドをドーブしたAlq₃、Alq₃、p-EtTAZ、TPD(芳香族ジアミン)を蒸着法により順次積層することで白色を得ることができる。また、スピンコートを用いた塗布法によりELを形成する場合には、塗布した後、真空加熱で焼成することが好ましい。例えば、正孔注入層として作用するポリ(エチレンジオキシチオフェン)/ポリ(スチレンスルホン酸)水溶液(PEDOT/PSS)を全面に塗布、焼成し、その後、発光層として作用する発光中心色素(1,1,4,4-テトラフェニル-1,3-ブタジエン(TPB)、4-ジシアノメチレン-2-メチル-6-(p-ジメチルアミノ-スチリル)-4H-ピラン(DCM1)、ニルレッド、クマリン6など)ドーブしたポリビニルカルバゾール(PVK)溶液を全面に塗布、焼成すればよい。

【0157】

発光層は単層で形成することもでき、ホール輸送性のポリビニルカルバゾール(PVK)

10

20

30

40

50

)に電子輸送性の1, 3, 4-オキサジアゾール誘導体(PBD)を分散させてもよい。また、30wt%のPBDを電子輸送剤として分散し、4種類の色素(TPB、クマリン6、DCM1、ナイルレッド)を適量分散することで白色発光が得られる。ここで示した白色発光が得られる発光素子の他にも、発光層の材料を適宜選択することによって、赤色発光、緑色発光、または青色発光が得られる発光素子を作製することができる。

【0158】

なお、正孔輸送性の高分子系有機発光材料を、陽極と発光性の高分子系有機発光材料の間に挟んで形成すると、陽極からの正孔注入性を向上させることができる。一般にアクセプター材料と共に水に溶解させたものをスピコート法などで塗布する。また、有機溶媒には不溶であるため、上述した発光性の有機発光材料との積層が可能である。正孔輸送性の高分子系有機発光材料としては、PEDOTとアクセプター材料としてのショウノウスルホン酸(CSA)の混合物、ポリアニリン[PANI]とアクセプター材料としてのポリスチレンスルホン酸[PSS]の混合物等が挙げられる。

10

【0159】

さらに、発光層は、一重項励起発光材料の他、金属錯体などを含む三重項励起材料を用いても良い。例えば、赤色の発光性の画素、緑色の発光性の画素及び青色の発光性の画素のうち、輝度半減時間が比較的短い赤色の発光性の画素を三重項励起発光材料で形成し、他を一重項励起発光材料で形成する。三重項励起発光材料は発光効率が良いので、同じ輝度を得るのに消費電力が少なく済むという特徴がある。すなわち、赤色画素に適用した場合、発光素子に流す電流量が少なく済むので、信頼性を向上させることができる。低消費電力化として、赤色の発光性の画素と緑色の発光性の画素とを三重項励起発光材料で形成し、青色の発光性の画素を一重項励起発光材料で形成しても良い。人間の視感度が高い緑色の発光素子も三重項励起発光材料で形成することで、より低消費電力化を図ることができる。

20

【0160】

三重項励起発光材料の一例としては、金属錯体をドーパントとして用いたものがあり、第三遷移系列元素である白金を中心金属とする金属錯体、イリジウムを中心金属とする金属錯体などが知られている。三重項励起発光材料としては、これらの化合物に限られることはなく、上記構造を有し、且つ中心金属に周期表の8~10属に属する元素を有する化合物を用いることも可能である。

30

【0161】

以上に掲げる発光層を形成する物質は一例であり、正孔注入輸送層、正孔輸送層、電子注入輸送層、電子輸送層、発光層、電子ブロック層、正孔ブロック層などの機能性の各層を適宜積層することで発光素子を形成することができる。また、これらの各層を合わせた混合層又は混合接合を形成しても良い。発光層の層構造は変化しうるものであり、特定の電子注入領域や発光領域を備えていない代わりに、もっぱらこの目的用の電極層を備えたり、発光性の材料を分散させて備えたりする変形は、本発明の趣旨を逸脱しない範囲において許容されうるものである。

【0162】

上記のような材料で形成した発光素子は、順方向にバイアスすることで発光する。発光素子を用いて形成する表示装置の画素は、単純マトリクス方式、若しくはアクティブマトリクス方式で駆動することができる。いずれにしても、個々の画素は、ある特定のタイミングで順方向バイアスを印加して発光させることとなるが、ある一定期間は非発光状態となっている。この非発光時間に逆方向のバイアスを印加することで発光素子の信頼性を向上させることができる。発光素子では、一定駆動条件下で発光強度が低下する劣化や、画素内で非発光領域が拡大して見かけ上輝度が低下する劣化モードがあるが、順方向及び逆方向にバイアスを印加する交流的な駆動を行うことで、劣化の進行を遅くすることができる。また、デジタル駆動、アナログ駆動どちらでも適用可能である。

40

【0163】

50

よって、図12には図示していないが、透光性を有する基板480の封止基板にカラーフィルタ（着色層）を形成してもよい。カラーフィルタ（着色層）は液滴吐出法によって形成することができ、その場合、前述の下地前処理として光照射処理などを適用することができる。本発明を用いると、所望なパターンに制御性よくカラーフィルタ（着色層）を形成することができる。カラーフィルタ（着色層）を用いると、高精細な表示を行うこともできる。カラーフィルタ（着色層）により、各RGBの発光スペクトルにおいてブロードなピークを鋭くなるように補正できるからである。

【0164】

以上、各RGBの発光を示す材料を形成する場合を説明したが、単色の発光を示す材料を形成し、カラーフィルタや色変換層を組み合わせることによりフルカラー表示を行うことができる。カラーフィルタ（着色層）や色変換層は、例えば第2の基板（封止基板）に形成し、基板へ張り合わせればよい。また上述したように、単色の発光を示す材料、カラーフィルタ（着色層）、及び色変換層のいずれも液滴吐出法により形成することができる。

10

【0165】

もちろん単色発光の表示を行ってもよい。例えば、単色発光を用いてエリアカラータイプの表示装置を形成してもよい。エリアカラータイプは、パッシブマトリクス型の表示部が適しており、主に文字や記号を表示することができる。

【0166】

上記構成において、陰極としては、仕事関数が小さい材料を用いることが可能で、例えば、Ca、Al、CaF、MgAg、AlLi等が望ましい。電界発光層は、単層型、積層型、また層の界面がない混合型のいずれでもよい。またシングレット材料、トリプレット材料、又はそれらを組み合わせた材料や、有機化合物又は無機化合物を含む電荷注入輸送物質及び発光材料で形成し、その分子数から低分子系有機化合物、中分子系有機化合物（昇華性を有さず、且つ分子数が20以下、又は連鎖する分子の長さが10 μ m以下の有機化合物を指している）、高分子系有機化合物から選ばれた一種又は複数種の層を含み、電子注入輸送性又は正孔注入輸送性の無機化合物と組み合わせてもよい。第1の電極層484、第1の電極層463、第1の電極層472は光を透過する透明導電膜を用いて形成し、例えばITO、ITSOの他、酸化インジウムに2~20%の酸化亜鉛（ZnO）を混合した透明導電膜を用いる。なお、第1の電極層484、第1の電極層463、第1の電極層472形成前に、酸素雰囲気中でのプラズマ処理や真空雰囲気下での加熱処理を行うとよい。隔壁（土手ともいう）は、珪素を含む材料、有機材料及び化合物材料を用いて形成する。また、多孔質膜を用いても良い。但し、アクリル、ポリイミド等の感光性、非感光性の材料を用いて形成すると、その側面は曲率半径が連続的に変化する形状となり、上層の薄膜が段切れせずに形成されるため好ましい。本実施の形態は、上記の実施の形態と自由に組み合わせることが可能である。

20

30

【0167】

（実施の形態5）

実施の形態4乃至6によって作製される表示パネルにおいて、半導体層をSASで形成することによって、図14（B）で説明したように、走査線側の駆動回路を基板3700上に形成することができる。

40

【0168】

図25は、1~15 $\text{cm}^2/\text{V}\cdot\text{sec}$ の電界効果移動度が得られるSASを使ったnチャンネル型のTFTで構成する走査線側駆動回路のブロック図を示している。

【0169】

図25においてブロック500が1段分のサンプリングパルスを出力するパルス出力回路に相当し、シフトレジスタはn個のパルス出力回路により構成される。901はバッファ回路であり、その先に画素902が接続される。

【0170】

図26は、パルス出力回路に相当するブロック500の具体的な構成を示したものであ

50

り、nチャネル型のTFT601～612で回路が構成されている。このとき、SASを使ったnチャネル型のTFTの動作特性を考慮して、TFTのサイズを決定すれば良い。例えば、チャネル長を8 μ mとすると、チャネル幅は10～80 μ mの範囲で設定することができる。

【0171】

また、バッファ回路901の具体的な構成を図27に示す。バッファ回路も同様にnチャネル型のTFT620～635で構成されている。このとき、SASを使ったnチャネル型のTFTの動作特性を考慮して、TFTのサイズを決定すれば良い。例えば、チャネル長を10 μ mとすると、チャネル幅は10～1800 μ mの範囲で設定することとなる。本発明を用いると、電気的特性の高い薄膜トランジスタを形成することができるので、このようなチャネル幅の設定をマージンを持って決定することができる。よって微細化が困難な液滴吐出法を用いた薄膜トランジスタであっても、その電気的特性を損なうことなく作製することができる。

10

【0172】

このような回路を実現するには、TFT相互を配線によって接続する必要があり、その場合における配線の構成例を図16に示す。図16では、実施の形態2と同様に、第1のゲート電極層103a、第1のゲート電極層103b、第1の絶縁層106（本実施の形態では窒化珪素からなる絶縁体層、酸化珪素からなる絶縁体層、窒化珪素からなる絶縁体層の3層の積層体）、半導体層107、N型半導体層109、第2の絶縁層130、第2のゲート電極層115、ソース電極層171、ソース電極層又はドレイン電極層112が形成された状態を示している。本実施の形態では、第2のゲート電極層115は、ソース電極層171と電気的に接続している。このように第2のゲート電極層115をソース電極層171と同電位に固定しておくことで、絶縁層などに存在する浮遊電荷の影響を無くし、薄膜トランジスタの電気的特性のばらつきを防ぐことができる。よってそれらを用いた表示装置や電子機器の信頼性が向上する。

20

【0173】

また、本実施の形態における薄膜トランジスタは、簡略化な工程作製でき、かつ構成されるパターンを制御性よく形成することができる。

【0174】

基板100上には、第1のゲート電極層103a、第1のゲート電極層103bと同じ工程で接続配線層160、接続配線層161、接続配線層162を形成しておく。そして、接続配線層160、接続配線層161、接続配線層162が露出するように絶縁層の一部をエッチング加工して、ソース電極層又はドレイン電極層111、ソース電極層又はドレイン電極層112及びそれと同じ工程で形成する接続配線層163により適宜TFTを接続することにより様々な回路を実現することができる。

30

【0175】

（実施の形態6）

次に、実施の形態4乃至7によって作製される表示パネルに駆動用のドライバ回路を実装する態様について説明する。

【0176】

まず、COG方式を採用した表示装置について、図15(A)を用いて説明する。基板2700上には、文字や画像などの情報を表示する画素部2701が設けられる。複数の駆動回路が設けられた基板を、矩形状に分断し、分断後の駆動回路（ドライバICとも表記）2751は、基板2700上に実装される。図15(A)は複数のドライバIC2751、該ドライバIC2751の先にFPC2750を実装する形態を示す。また、分割する大きさを画素部の信号線側の辺の長さと同様にし、単数のドライバICに、該ドライバICの先にテープを実装してもよい。

40

【0177】

また、TAB方式を採用してもよく、その場合は、図15(B)で示すように複数のテープを貼り付けて、該テープにドライバICを実装すればよい。COG方式の場合と同様

50

に、単数のテープに単数のドライバICを実装してもよく、この場合には、強度の問題から、ドライバICを固定する金属片等を一緒に貼り付けるとよい。

【0178】

これらの表示パネルに実装されるドライバICは、生産性を向上させる観点から、一辺が300mmから1000mm以上の矩形の基板上に複数個作り込むとよい。

【0179】

つまり、基板上に駆動回路部と入出力端子を一つのユニットとする回路パターンを複数個形成し、最後に分割して取り出せばよい。ドライバICの長辺の長さは、画素部の一辺の長さや画素ピッチを考慮して、長辺が15～80mm、短辺が1～6mmの矩形に形成してもよいし、画素領域の一辺、又は画素部の一辺と各駆動回路の一辺とを足した長さに形成してもよい。

10

【0180】

ドライバICのICチップに対する外形寸法の優位性は長辺の長さであり、長辺が15～80mmで形成されたドライバICを用いると、画素部に対応して実装するのに必要な数がICチップを用いる場合よりも少なく済み、製造上の歩留まりを向上させることができる。また、ガラス基板上にドライバICを形成すると、母体として用いる基板の形状に限定されないため生産性を損なうことがない。これは、円形のシリコンウエハからICチップを取り出す場合と比較すると、大きな優位点である。

【0181】

また、図14(B)のように走査線側駆動回路3702は基板上に一体形成される場合、画素部3701の外側の領域には、信号線側の駆動回路駆動回路が形成されたドライバICが実装される。これらのドライバICは、信号線側の駆動回路である。RGBフルカラーに対応した画素領域を形成するためには、XGAクラスで信号線の本数が3072本必要であり、UXGAクラスでは4800本が必要となる。このような本数で形成された信号線は、画素部3701の端部で数ブロック毎に区分して引出線を形成し、ドライバICの出力端子のピッチに合わせて集められる。

20

【0182】

ドライバICは、基板上に形成された結晶質半導体により形成されることが好適であり、該結晶質半導体は連続発光のレーザ光を照射することで形成されることが好適である。従って、当該レーザ光を発生させる発振器としては、連続発光の固体レーザ又は気体レーザを用いる。連続発光のレーザを用いると、結晶欠陥が少なく、大粒径の多結晶半導体層を用いて、トランジスタを作成することが可能となる。また移動度や応答速度が良好なために高速駆動が可能で、従来よりも素子の動作周波数を向上させることができ、特性バラツキが少ないために高い信頼性を得ることができる。なお、さらなる動作周波数の向上を目的として、トランジスタのチャンネル長方向とレーザ光の走査方向と一致させるとよい。これは、連続発光レーザによるレーザ結晶化工程では、トランジスタのチャンネル長方向とレーザ光の基板に対する走査方向とが概ね並行(好ましくは-30度以上30度以下)であるときに、最も高い移動度が得られるためである。なおチャンネル長方向とは、チャンネル形成領域において、電流が流れる方向、換言すると電荷が移動する方向と一致する。このように作製したトランジスタは、結晶粒がチャンネル方向に延在する多結晶半導体層によって構成される活性層を有し、このことは結晶粒界が概ねチャンネル方向に沿って形成されていることを意味する。

30

40

【0183】

レーザ結晶化を行うには、レーザ光の大幅な絞り込みを行うことが好ましく、そのレーザ光の形状(ビームスポット)の幅は、ドライバICの短辺の同じ幅の1mm以上3mm以下程度とすることがよい。また、被照射体に対して、十分に且つ効率的なエネルギー密度を確保するために、レーザ光の照射領域は、線状であることが好ましい。但し、ここでいう線状とは、厳密な意味で線を意味しているのではなく、アスペクト比の大きい長方形もしくは長楕円形を意味する。例えば、アスペクト比が2以上(好ましくは10以上1000以下)のものを指す。このように、レーザ光のレーザ光の形状(ビームスポット)

50

の幅をドライバICの短辺と同じ長さとするこゝで、生産性を向上させた表示装置の作製方法を提供することができる。

【0184】

図15(A)、(B)のように走査線駆動回路及び信号線駆動回路の両方として、ドライバICを実装してもよい。その場合には、走査線側と信号線側で用いるドライバICの仕様を異なるものにするこゝよい。

【0185】

画素領域は、信号線と走査線が交差してマトリクスを形成し、各交差部に対応してトランジスタが配置される。本発明は、画素領域に配置されるトランジスタとして、非晶質半導体又はセミアモルファス半導体をチャンネル部としたTFTを用いるこゝを特徴とする。非晶質半導体は、プラズマCVD法やスパッタリング法等の方法により形成する。セミアモルファス半導体は、プラズマCVD法で300以下の温度で形成するこゝが可能であり、例えば、外寸550×650mmの無アルカリガラス基板であっても、トランジスタを形成するのに必要な膜厚を短時間で形成するこゝという特徴を有する。こゝのような製造技術の特徴は、大画面の表示装置を作製する上で有効である。また、セミアモルファスTFTは、SASでチャンネル形成領域を構成するこゝにより2~10cm²/V・secの電界効果移動度を得るこゝができる。本発明を用いると、電気的特性の高い薄膜トランジスタを形成するこゝができるので、画素を十分機能させるのに必要な電気特性を有するTFTを形成できる。従って、こゝのTFTを画素のスイッチング用素子や、走査線側の駆動回路を構成する素子として用いるこゝができる。従って、システムオンパネル化を実現した表示パネルを作製するこゝができる。

10

20

【0186】

半導体層をSASで形成したTFTを用いるこゝにより、走査線側駆動回路も基板上に一体形成するこゝができ、半導体層をASで形成したTFTを用いる場合には、走査線側駆動回路及び信号線側駆動回路の両方をドライバICを実装するこゝよい。

【0187】

その場合には、走査線側と信号線側で用いるドライバICの仕様を異なるものにするこゝが好適である。例えば、走査線側のドライバICを構成するトランジスタには30V程度の耐圧が要求されるものの、駆動周波数は100kHz以下であり、比較的高速動作は要求されない。従って、走査線側のドライバを構成するトランジスタのチャンネル長(L)は十分大きく設定するこゝが好適である。一方、信号線側のドライバICのトランジスタには、12V程度の耐圧があれば十分であるが、駆動周波数は3Vにて65MHz程度であり、高速動作が要求される。そのため、ドライバを構成するトランジスタのチャンネル長などはマイクロルールで設定するこゝが好適である。本発明を用いると、電気的特性の高い薄膜トランジスタを形成するこゝができるので、こゝのようなマイクロルールの設定をマージンを持って決定するこゝができる。よって微細化が困難な液滴吐出法を用いた薄膜トランジスタであっても、その電気的特性を損なうこゝなく作製するこゝができる。

30

【0188】

ドライバICの実装方法は、特に限定されるものではなく、公知のCOG方法やワイヤボンディング方法、或いはTAB方法を用いるこゝができる。

40

【0189】

ドライバICの厚さは、対向基板と同じ厚さとするこゝで、両者の間の高さはほぼ同じものとなり、表示装置全体としての薄型化に寄与する。また、それぞれの基板を同じ材質のもので作製するこゝにより、こゝの表示装置に温度変化が生じても熱応力が発生するこゝなく、TFTで作製された回路の特性を損なうこゝはない。その他にも、本実施形態で示すようにICチップよりも長尺のドライバICで駆動回路を実装するこゝにより、1つの画素領域に対して、実装されるドライバICの個数を減らすこゝができる。

【0190】

以上のようにして、表示パネルに駆動回路を組み入れるこゝができる。

【0191】

50

(実施の形態7)

本実施の形態で示す表示パネルの画素の構成について、図17に示す等価回路図を参照して説明する。

【0192】

図17(A)に示す画素は、列方向に信号線410及び電源線411、電源線412、電源線413、行方向に走査線414が配置される。また、スイッチング用TFT401、駆動用TFT403、電流制御用TFT404、容量素子402及び発光素子405を有する。

【0193】

図17(C)に示す画素は、TFT403のゲート電極が、行方向に配置された電源線415に接続される点が異っており、それ以外は図17(A)に示す画素と同じ構成である。つまり、図17(A)(C)に示す両画素は、同じ等価回路図を示す。しかしながら、行方向に電源線412が配置される場合(図17(A))と、列方向に電源線415が配置される場合(図17(C))では、各電源線は異なるレイヤーの導電体層で形成される。ここでは、駆動用TFT403のゲート電極が接続される配線に注目し、これらを作製するレイヤーが異なることを表すために、図17(A)(C)として分けて記載する。

【0194】

図17(A)(C)に示す画素の特徴として、画素内にTFT403、TFT404が直列に接続されており、TFT403のチャンネル長 L_3 、チャンネル幅 W_3 、TFT404のチャンネル長 L_4 、チャンネル幅 W_4 は、 $L_3/W_3 : L_4/W_4 = 5 \sim 6000 : 1$ を満たすように設定される点が挙げられる。6000 : 1を満たす場合の一例としては、 L_3 が500 μm 、 W_3 が3 μm 、 L_4 が3 μm 、 W_4 が100 μm の場合がある。本発明を用いると、電気的特性の高い薄膜トランジスタを形成することができるので、このようなチャンネル幅の設定をマージンを持って決定することができる。よって微細化が困難な液滴吐出法を用いた薄膜トランジスタであっても、その電気的特性を損なうことなく作製することができる。よって、図17(A)(C)のような画素を十分機能させるのに必要な電気特性を有するTFTを形成でき、表示能力の優れた信頼性の高い表示パネルを作製することが可能となる。

【0195】

なお、TFT403は、飽和領域で動作し発光素子405に流れる電流値を制御する役目を有し、TFT404は線形領域で動作し発光素子405に対する電流の供給を制御する役目を有する。両TFTは同じ導電性を有していると作製工程上好ましい。またTFT403には、エンハンスメント型だけでなく、ディプリーション型のTFTを用いてもよい。上記構成を有する本発明は、TFT404が線形領域で動作するために、TFT404の V_{GS} の僅かな変動は発光素子405の電流値に影響を及ぼさない。つまり、発光素子405の電流値は、飽和領域で動作するTFT403により決定される。上記構成を有する本発明は、TFTの特性バラツキに起因した発光素子の輝度ムラを改善して画質を向上させた表示装置を提供することができる。

【0196】

図17(A)~(D)に示す画素において、TFT401は、画素に対するビデオ信号の入力を制御するものであり、TFT401がオンして、画素内にビデオ信号が入力されると、容量素子402にそのビデオ信号が保持される。なお図17(A)(C)には、容量素子402を設けた構成を示したが、本発明はこれに限定されず、ビデオ信号を保持する容量がゲート容量などでまかなうことが可能な場合には、明示的に容量素子402を設けなくてもよい。

【0197】

発光素子405は、2つの電極間に電界発光層が挟まれた構造を有し、順バイアス方向の電圧が印加されるように、画素電極と対向電極の間(陽極と陰極の間)に電位差が設けられる。電界発光層は有機材料や無機材料等の広汎に渡る材料により構成され、この電界

10

20

30

40

50

発光層におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光（蛍光）と、三重項励起状態から基底状態に戻る際の発光（リン光）とが含まれる。

【0198】

図17(B)に示す画素は、TFT406と走査線416を追加している以外は、図17(A)に示す画素構成と同じである。同様に、図17(D)に示す画素は、TFT406と走査線416を追加している以外は、図17(C)に示す画素構成と同じである。

【0199】

TFT406は、新たに配置された走査線416によりオン又はオフが制御される。TFT406がオンになると、容量素子402に保持された電荷は放電し、TFT406がオフする。つまり、TFT406の配置により、強制的に発光素子405に電流が流れない状態を作ることができる。従って、図17(B)(D)の構成は、全ての画素に対する信号の書き込みを待つことなく、書き込み期間の開始と同時に又は直後に点灯期間を開始することができるため、デューティ比を向上することが可能となる。

10

【0200】

図17(E)に示す画素は、列方向に信号線450、電源線451、電源線452、行方向に走査線453が配置される。また、スイッチング用TFT441、駆動用TFT443、容量素子442及び発光素子444を有する。図17(F)に示す画素は、TFT445と走査線454を追加している以外は、図17(E)に示す画素構成と同じである。なお、図17(F)の構成も、TFT445の配置により、デューティ比を向上することが可能となる。

20

【0201】

以上のように、本発明を用いると、電気的特性の高い薄膜トランジスタを形成することができるので、このような微細なパターンを設定をマージンを持って決定することができる。よって微細化が困難な液滴吐出法を用いた薄膜トランジスタであっても、その電気的特性を損なうことなく作製することができる。また、制御性よく安定して形成することが出来るので、TFTに高い電気的特性や信頼性をも付与することができ、使用目的に合わせて画素の表示能力を向上するための応用技術にも十分対応できる。

【0202】

(実施の形態8)

走査線側入力端子部と信号線側入力端子部とに保護ダイオードを設けた一態様について図24を参照して説明する。図24において画素2702にはTFT501、TFT502、容量素子504、発光素子503が設けられている。このTFTは実施の形態2と同様な構成を有している。

30

【0203】

信号線側入力端子部には、保護ダイオード561と保護ダイオード562が設けられている。この保護ダイオードは、TFT501若しくはTFT502と同様な工程で作製され、ゲートとドレイン若しくはソースの一方とを接続することによりダイオードとして動作させている。図24で示す上面図の等価回路図を図23に示している。

【0204】

保護ダイオード561は、ゲート電極層、半導体層、配線層から成っている。保護ダイオード562も同様な構造である。この保護ダイオードと接続する共通電位線554、共通電位線555はゲート電極層と同じ層で形成している。従って、配線層と電氣的に接続するには、絶縁層にコンタクトホールを形成する必要がある。

40

【0205】

絶縁層へのコンタクトホールは、マスク層を形成し、エッチング加工すれば良い。この場合、大気圧放電のエッチング加工を適用すれば、局所的な放電加工も可能であり、基板の全面にマスク層を形成する必要はない。

【0206】

信号配線層はTFT501におけるソース及びドレイン配線層505と同じ層で形成され、それに接続している信号配線層とソース又はドレイン側が接続する構造となっている

50

【0207】

走査信号線側の入力端子部も同様な構成である。入力段に設けられる保護ダイオードを同時に形成することができる。なお、保護ダイオードを挿入する位置は、本実施の形態のみに限定されず、駆動回路と画素との間に設けることもできる。

【0208】

以上のように、本発明を用いると、配線等のパターンを形成不良を生じることなく制御性よく安定して形成することが出来るので、保護回路を形成することで、配線等が複雑化し、密に形成される場合であっても、形成時の設置不良によるショートなどを生じることはない。また、電気的特性が高い薄膜トランジスタを用いることができるので、低消費電力化でき、装置が小型化、薄型化しても十分に対応できる。よって、良好な電気的特性と高い信頼性とを有する表示装置を作製することができる。

10

【0209】

(実施の形態9)

図22は、本発明を適用して作製されるTFT基板2800を用いてEL表示モジュールを構成する一例を示している。図22において、TFT基板2800上には、画素により構成された画素部が形成されている。

【0210】

図22では、画素部の外側であって、駆動回路と画素との間に、画素に形成されたものと同様なTFT又はそのTFTのゲートとソース若しくはドレインの一方とを接続してダイオードと同様に動作させた保護回路部2801が備えられている。駆動回路2809は、単結晶半導体で形成されたドライバIC、ガラス基板上に多結晶半導体膜で形成されたスティックドライバIC、若しくはSASで形成された駆動回路などが適用されている。

20

【0211】

TFT基板2800は、液滴吐出法で形成されたスペーサ2806a、スペーサ2806bを介して封止基板2820と固着されている。スペーサは、基板の厚さが薄く、また画素部の面積が大型化した場合にも、2枚の基板の間隔を一定に保つために設けておくことが好ましい。TFT2802、TFT2803とそれぞれ接続する発光素子2804、発光素子2805上であって、TFT基板2800と封止基板2820との間にある空隙には透光性の樹脂材料を充填して固体化しても良いし、無水化した窒素若しくは不活性気体を充填させても良い。

30

【0212】

図22では発光素子2804、発光素子2805を上面放射型(トップエミッション型)の構成とした場合を示し、図中に示す矢印の方向に光を放射する構成としている。各画素は、画素を赤色、緑色、青色として発光色を異ならせることで、多色表示を行うことができる。また、このとき封止基板2820側に各色に対応した着色層2807a、着色層2807b、着色層2807cを形成しておくことで、外部に放射される発光の色純度を高めることができる。また、画素を白色発光素子として着色層2807a、着色層2807b、着色層2807cと組み合わせても良い。

【0213】

外部回路である駆動回路2809は、TFT基板2800の一端に設けられた走査線若しくは信号線接続端子と、配線基板2810で接続される。また、TFT基板2800に接して若しくは近接させて、ヒートパイプ2813と放熱板2812を設け、放熱効果を高める構成としても良い。

40

【0214】

なお、図22では、トップエミッションのELモジュールとしたが、発光素子の構成や外部回路基板の配置を変えてボトムエミッション構造、もちろん上面、下面両方から光が放射する両面放射構造としても良い。トップエミッション型の構成の場合、隔壁となる絶縁層を着色しブラックマトリクスとして用いてもよい。この隔壁は液滴吐出法により形成することができ、ポリイミドなどの樹脂材料に、顔料系の黒色樹脂やカーボンブラック等

50

を混合させて形成すればよく、その積層でもよい。

【0215】

また、TFT基板2800において、画素部が形成された側にシール材や接着性の樹脂を用いて樹脂フィルムを貼り付けて封止構造を形成してもよい。本実施の形態では、ガラス基板を用いるガラス封止を示したが、樹脂による樹脂封止、プラスチックによるプラスチック封止、フィルムによるフィルム封止、など様々な封止方法を用いることができる。樹脂フィルムの表面には水蒸気の透過を防止するガスバリア膜を設けておくことが良い。フィルム封止構造とすることで、さらなる薄型化及び軽量化を図ることができる。

【0216】

(実施の形態10)

本発明によって形成される表示装置によって、テレビジョン装置を完成させることができる。表示パネルには、図14(A)で示すような構成として画素部のみが形成されて走査線側駆動回路と信号線側駆動回路とが、図15(B)のようなTAB方式により実装される場合と、図15(A)のようなCOG方式により実装される場合と、図14(B)に示すようにSASでTFTを形成し、画素部と走査線側駆動回路を基板上に一体形成し信号線側駆動回路を別途ドライバICとして実装する場合、また図14(C)のように画素部と信号線側駆動回路と走査線側駆動回路を基板上に一体形成する場合などがあるが、どのような形態としても良い。

【0217】

その他の外部回路の構成として、映像信号の入力側では、チューナで受信した信号のうち、映像信号を増幅する映像信号増幅回路と、そこから出力される信号を赤、緑、青の各色に対応した色信号に変換する映像信号処理回路と、その映像信号をドライバICの入力仕様に変換するためのコントロール回路などからなっている。コントロール回路は、走査線側と信号線側にそれぞれ信号が出力する。デジタル駆動する場合には、信号線側に信号分割回路を設け、入力デジタル信号をm個に分割して供給する構成としても良い。

【0218】

チューナで受信した信号のうち、音声信号は、音声信号増幅回路に送られ、その出力は音声信号処理回路を経てスピーカに供給される。制御回路は受信局(受信周波数)や音量の制御情報を入力部から受け、チューナや音声信号処理回路に信号を送出する。

【0219】

図13は液晶表示モジュールの一例であり、TFT基板2600と対向基板2601がシール材2602により固着され、その間に画素部2603と液晶層2604が設けられ表示領域を形成している。着色層2605はカラー表示を行う場合に必要であり、RGB方式の場合は、赤、緑、青の各色に対応した着色層が各画素に対応して設けられている。TFT基板2600と対向基板2601の外側には偏光板2606、偏光板2607、レンズフィルム2613が配設されている。光源は冷陰極管2610と反射板2611により構成され、回路基板2612は、駆動回路2608とフレキシブル配線基板2609によりTFT基板2600と接続され、コントロール回路や電源回路などの外部回路が組み込まれている。

【0220】

表示モジュールを、図20(A)、(B)に示すように、筐体に組みこんで、テレビジョン装置を完成させることができる。図22のようなEL表示モジュールを用いると、ELテレビジョン装置に、図13のような液晶表示モジュールを用いると液晶テレビジョン装置を完成させることができる。表示モジュールにより主画面2003が形成され、その他付属設備としてスピーカ部2009、操作スイッチなどが備えられている。このように、本発明によりテレビジョン装置を完成させることができる。

【0221】

また、図19に示すように、位相差板や偏光板を用いて、外部から入射する光の反射光を遮断するようにしてもよい。図19はトップエミッション型の構成であり、隔壁となる絶縁層3605を着色しブラックマトリクスとして用いている。この隔壁は液滴吐出法に

10

20

30

40

50

より形成することができ、ポリイミドなどの樹脂材料に、カーボンブラック等を混合させてもよく、その積層でもよい。液滴吐出法によって、異なった材料を同領域に複数回吐出し、隔壁を形成してもよい。本実施の形態では、顔料系の黒色樹脂を用いる。位相差板 3603、位相差板 3604 としては /4 \ /2 を使い、光を制御できるように設計すればよい。構成としては、TFT素子基板 2800 \ 発光素子 2804 \ 封止基板 (封止材) 2820 \ 位相差板 3603、位相差板 3604 (/4 \ /2) \ 偏光板 3602 となり、発光素子から放射された光は、これらを通し偏光板側より外部に放射される。この位相差板や偏光板は光が放射される側に設置すればよく、両面放射される両面放射型の表示装置であれば両方に設置することもできる。また、偏光板の外側に反射防止膜 3601 を有していても良い。これにより、より高繊細で精密な画像を表示することができる。

10

【0222】

図 20 (A) に示すように、筐体 2001 に表示素子を利用した表示用パネル 2002 が組みこまれ、受信機 2005 により一般のテレビ放送の受信をはじめ、モデム 2004 を介して有線又は無線による通信ネットワークに接続することにより一方向 (送信者から受信者) 又は双方向 (送信者と受信者間、又は受信者間同士) の情報通信をすることもできる。テレビジョン装置の操作は、筐体に組みこまれたスイッチ又は別体のリモコン操作機 2006 により行うことが可能であり、このリモコン装置にも出力する情報を表示する表示部 2007 が設けられていても良い。

【0223】

また、テレビジョン装置にも、主画面 2003 の他にサブ画面 2008 を第 2 の表示用パネルで形成し、チャンネルや音量などを表示する構成が付加されていても良い。この構成において、主画面 2003 を視野角の優れた EL 表示用パネルで形成し、サブ画面を低消費電力で表示可能な液晶表示用パネルで形成しても良い。また、低消費電力化を優先させるためには、主画面 2003 を液晶表示用パネルで形成し、サブ画面を EL 表示用パネルで形成し、サブ画面は点滅可能とする構成としても良い。本発明を用いると、このような大型基板を用いて、多くの TFT や電子部品を用いても、信頼性の高い表示装置とすることができる。

20

【0224】

図 20 (B) は例えば 20 ~ 80 インチの大型の表示部を有するテレビジョン装置であり、筐体 2010、操作部であるキーボード部 2011、表示部 2012、スピーカ部 2013 等を含む。本発明は、表示部 2012 の作製に適用される。図 20 (B) の表示部は、わん曲可能な物質を用いているので、表示部がわん曲したテレビジョン装置となっている。このように表示部の形状を自由に設計することができるので、所望な形状のテレビジョン装置を作製することができる。

30

【0225】

本発明を用いたことにより、工程が簡略化し、1 辺が 1000 mm を超える第 5 世代以降のガラス基板を用いても、容易に表示パネルを製造することができる。

【0226】

本発明により、所望なパターンを制御性よく形成できる。また、材料のロスも少なく、コストダウンも達成できる。よって本発明を用いたテレビジョン装置では、大画面の表示部を有しても低いコストで形成できる。また電気的特性が高いので、低消費電力化を実現できる。よって高性能、高信頼性のテレビジョン装置を歩留まりよく作製することができる。

40

【0227】

勿論、本発明はテレビジョン装置に限定されず、パーソナルコンピュータのモニタをはじめ、鉄道の駅や空港などにおける情報表示盤や、街頭における広告表示盤など大面積の表示媒体としても様々な用途に適用することができる。

【0228】

(実施の形態 11)

50

本発明を適用して、様々な表示装置を作製することができる。即ち、それら表示装置を表示部に組み込んだ様々な電子機器に本発明を適用できる。

【0229】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、カーステレオ、パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはDigital Versatile Disc（DVD）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。それらの例を図21に示す。

【0230】

図21（A）は、コンピュータであり、本体2101、筐体2102、表示部2103、キーボード2104、外部接続ポート2105、ポインティングマウス2106等を含む。本発明を用いると、小型化し、配線等が精密化しても、信頼性が高く、低消費電力な高画質な画像を表示するコンピュータを完成させることができる。

【0231】

図21（B）は記録媒体を備えた画像再生装置（具体的にはDVD再生装置）であり、本体2201、筐体2202、表示部A2203、表示部B2204、記録媒体（DVD等）読み込み部2205、操作キー2206、スピーカー部2207等を含む。表示部A2203は主として画像情報を表示し、表示部B2204は主として文字情報を表示する。本発明を用いると、小型化し、配線等が精密化しても、信頼性が高く、低消費電力な高画質な画像を表示する画像再生装置を完成させることができる。

【0232】

図21（C）は携帯電話であり、本体2301、音声出力部2302、音声入力部2303、表示部2304、操作スイッチ2305、アンテナ2306等を含む。本発明を用いると、小型化し、配線等が精密化しても、信頼性が高く、低消費電力な高画質な画像を表示する携帯電話を完成することができる。

【0233】

図21（D）はビデオカメラであり、本体2401、表示部2402、筐体2403、外部接続ポート2404、リモコン受信部2405、受像部2406、バッテリー2407、音声入力部2408、接眼部2409、操作キー2410等を含む。本発明を用いると、小型化し、配線等が精密化しても、信頼性が高く、低消費電力な高画質な画像を表示できるビデオカメラを完成することができる。本実施の形態は、上記の実施の形態と自由に組み合わせることができる。

【図面の簡単な説明】

【0234】

【図1】本発明を説明する図。

【図2】本発明の表示装置の作製方法を説明する図。

【図3】本発明の表示装置の作製方法を説明する図。

【図4】本発明の表示装置の作製方法を説明する図。

【図5】本発明の表示装置の作製方法を説明する図。

【図6】本発明の表示装置の作製方法を説明する図。

【図7】本発明の表示装置の作製方法を説明する図。

【図8】本発明の表示装置の作製方法を説明する図。

【図9】本発明の表示装置の作製方法を説明する図。

【図10】本発明の表示装置の作製方法を説明する図。

【図11】本発明を説明する図。

【図12】本発明の表示装置の断面図。

【図13】本発明の液晶表示モジュールの構成例を説明する断面図。

【図14】本発明の表示装置の上面図。

【図15】本発明の表示装置の上面図。

10

20

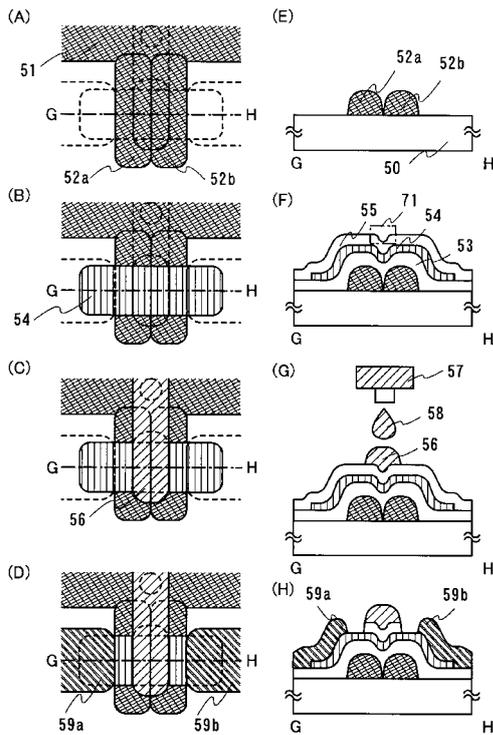
30

40

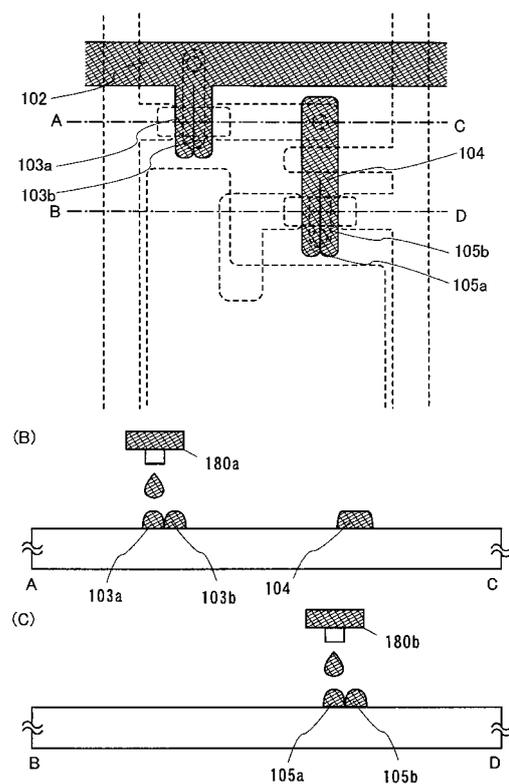
50

- 【図16】本発明の表示装置の作製方法を説明する図。
- 【図17】本発明のEL表示パネルに適用できる画素の構成を説明する回路図。
- 【図18】本発明の表示パネルを説明する上面図。
- 【図19】本発明のEL表示モジュールの構成例を説明する断面図。
- 【図20】本発明が適用される電子機器を示す図。
- 【図21】本発明が適用される電子機器を示す図。
- 【図22】本発明のEL表示モジュールの構成例を説明する断面図。
- 【図23】図24で説明するEL表示パネルの等価回路図。
- 【図24】本発明のEL表示パネルを説明する上面図。
- 【図25】本発明のEL表示パネルにおいて走査線側駆動回路をTFTで形成する場合の回路構成を説明する図。
- 【図26】本発明のEL表示パネルにおいて走査線側駆動回路をTFTで形成する場合の回路構成を説明する図（シフトレジスタ回路）。
- 【図27】本発明のEL表示パネルにおいて走査線側駆動回路をTFTで形成する場合の回路構成を説明する図（バッファ回路）。
- 【図28】本発明に適用することのできる液滴吐出装置の構成を説明する図。
- 【図29】本発明に適用することのできる液晶滴下注入法を説明する図。
- 【図30】本発明に適用できる発光素子の構成を説明する図。

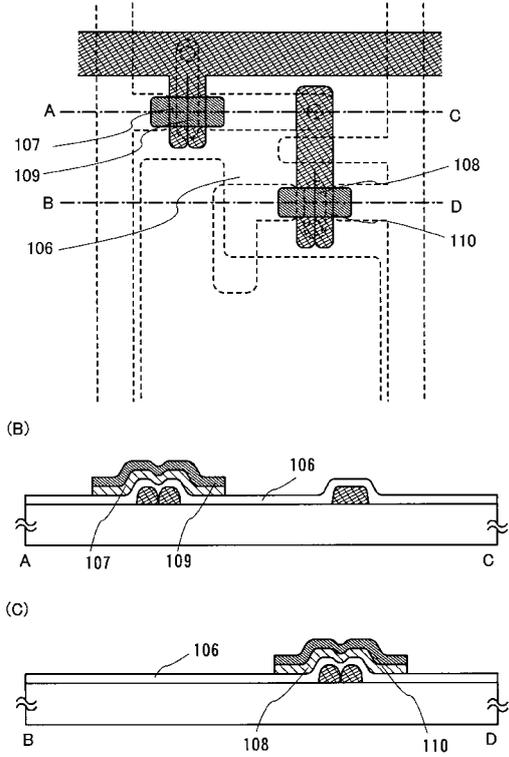
【図1】



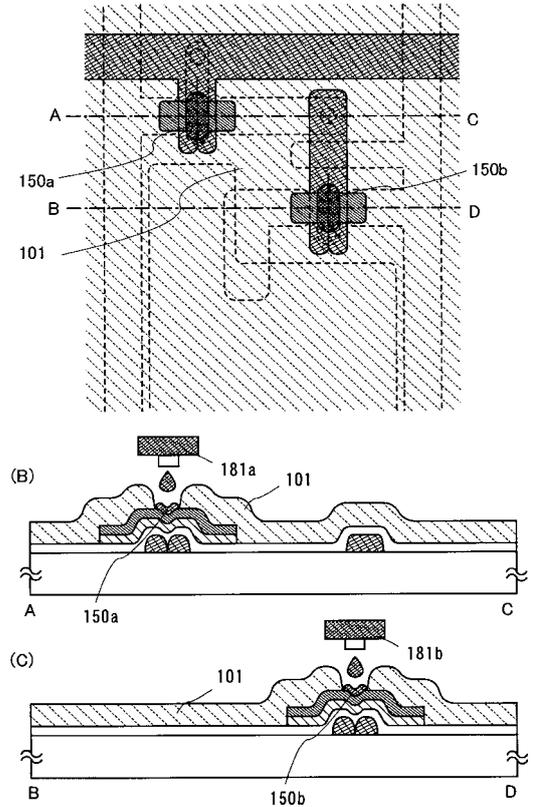
【図2】



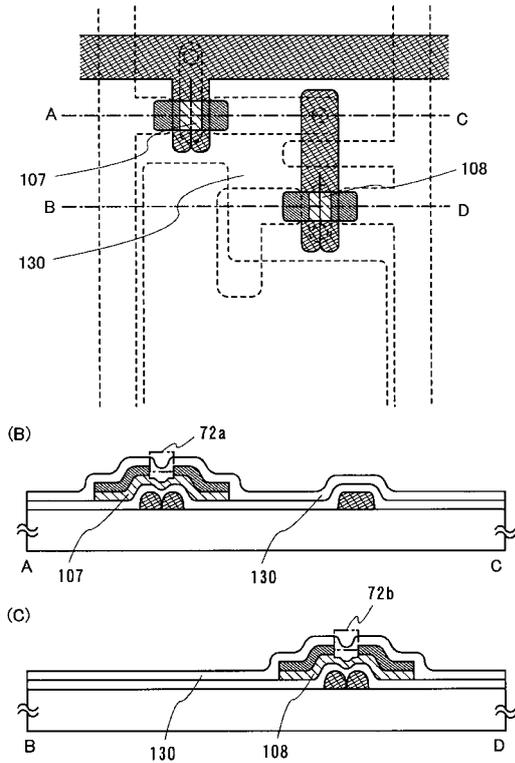
【 図 3 】



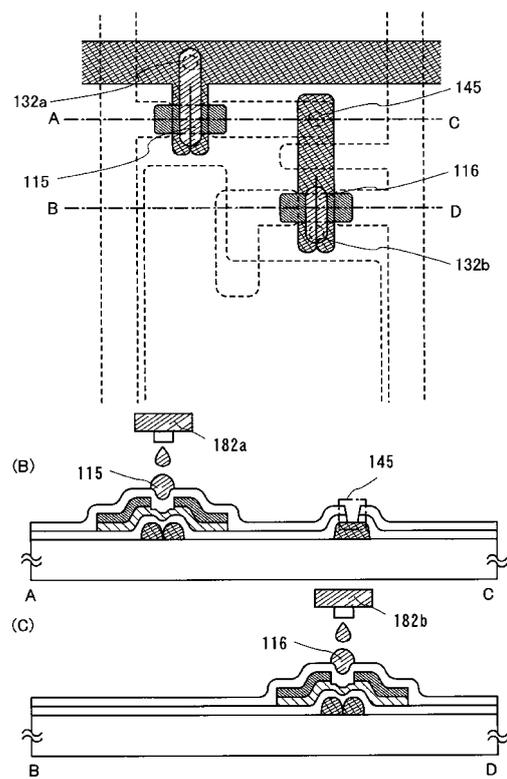
【 図 4 】



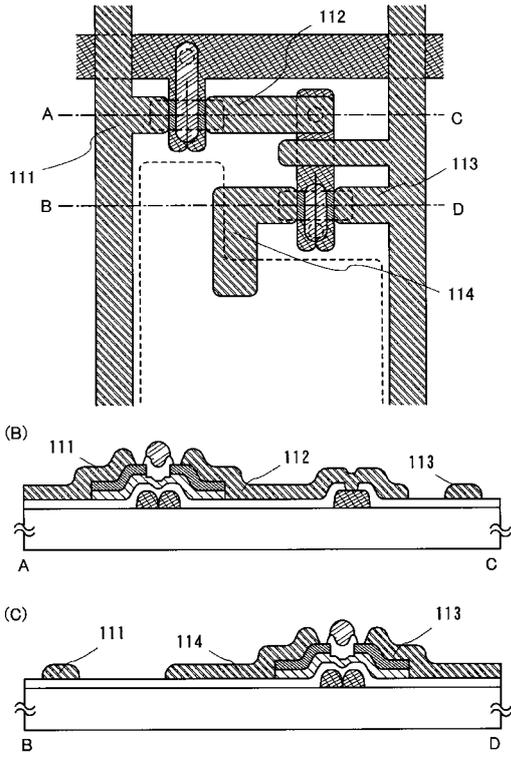
【 図 5 】



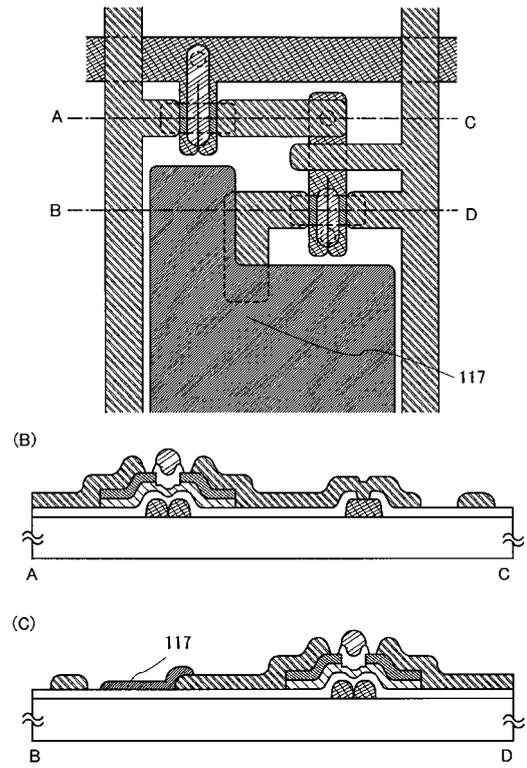
【 図 6 】



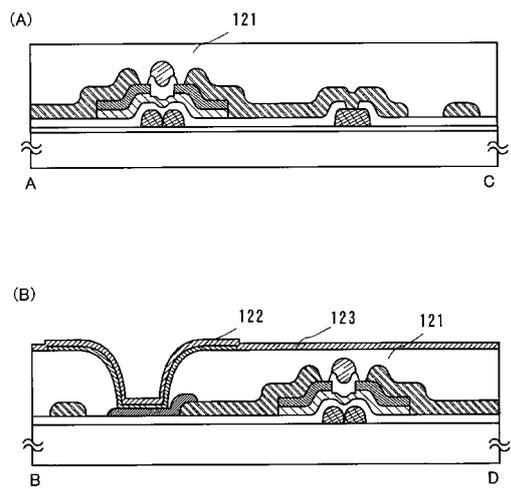
【 図 7 】



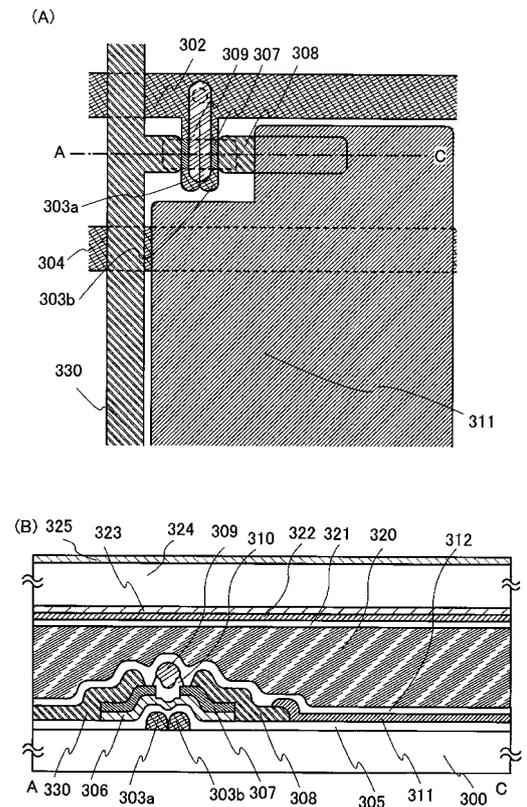
【 図 8 】



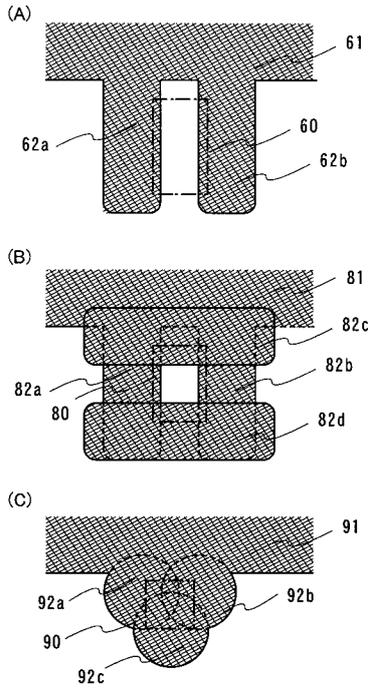
【 図 9 】



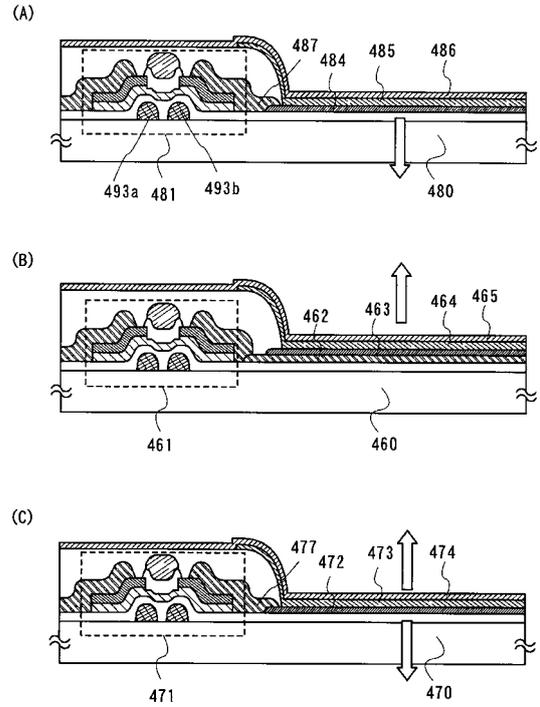
【 図 10 】



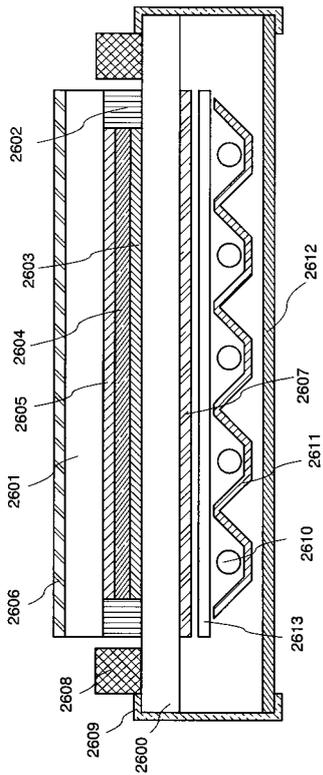
【 図 1 1 】



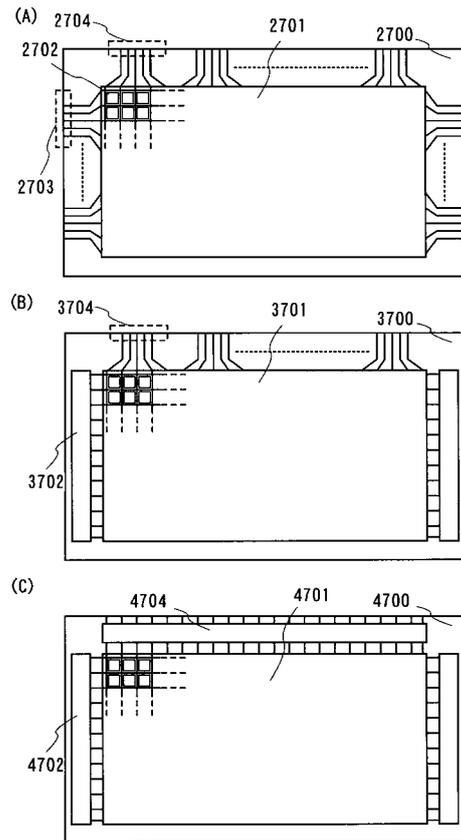
【 図 1 2 】



【 図 1 3 】

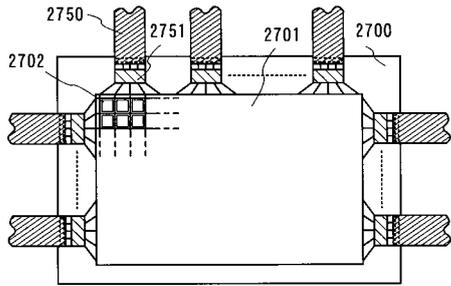


【 図 1 4 】

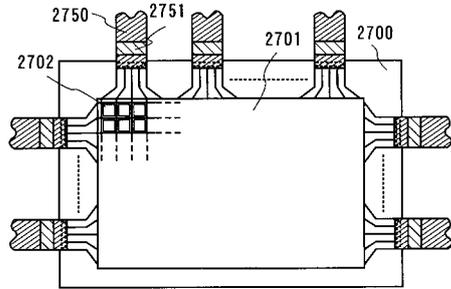


【 図 1 5 】

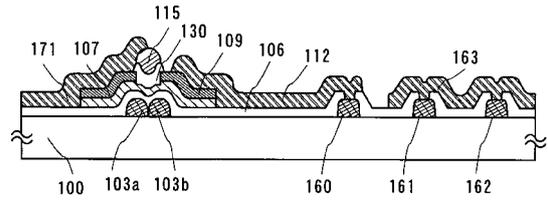
(A)



(B)

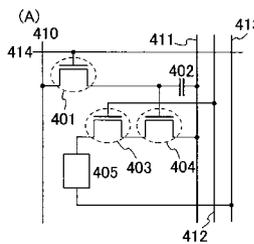


【 図 1 6 】

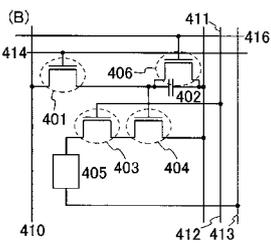


【 図 1 7 】

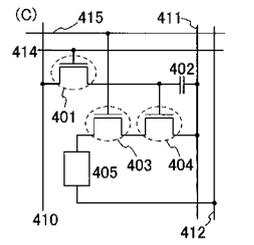
(A)



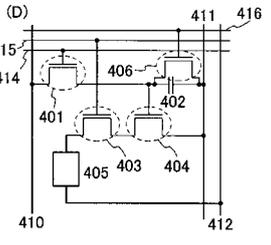
(B)



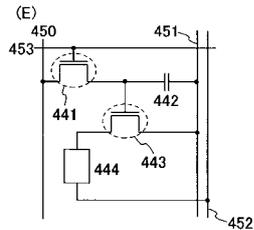
(C)



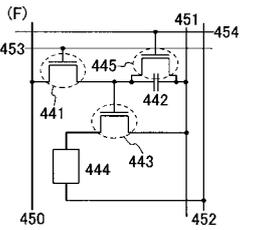
(D)



(E)

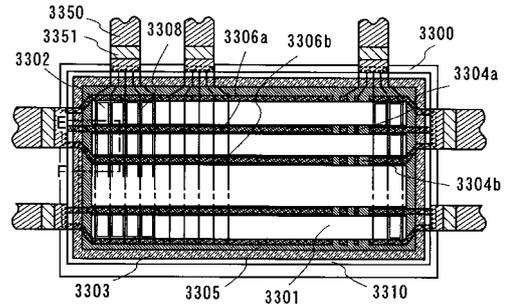


(F)

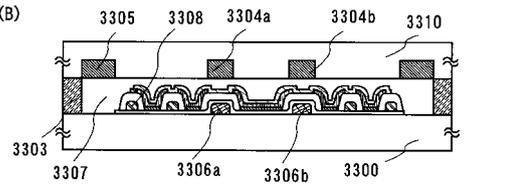


【 図 1 8 】

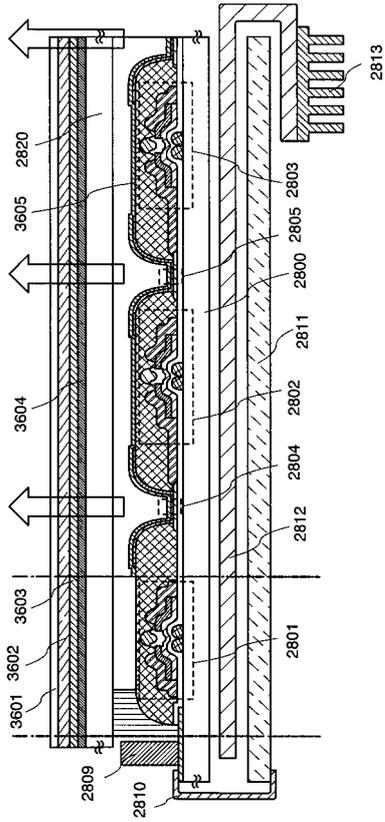
(A)



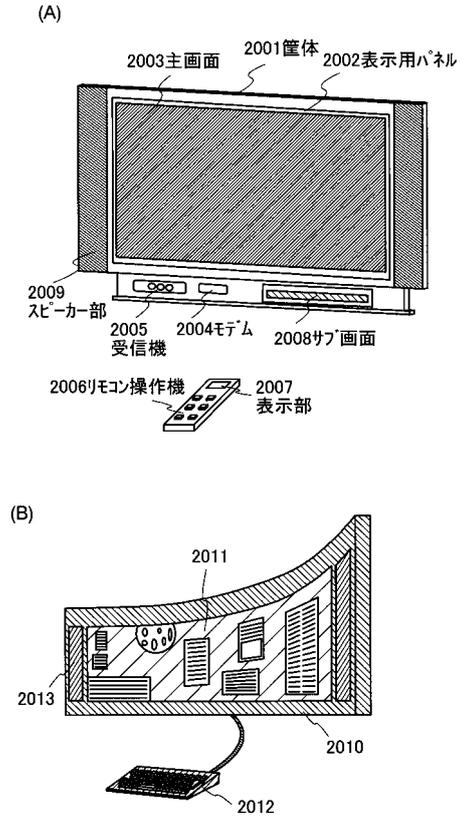
(B)



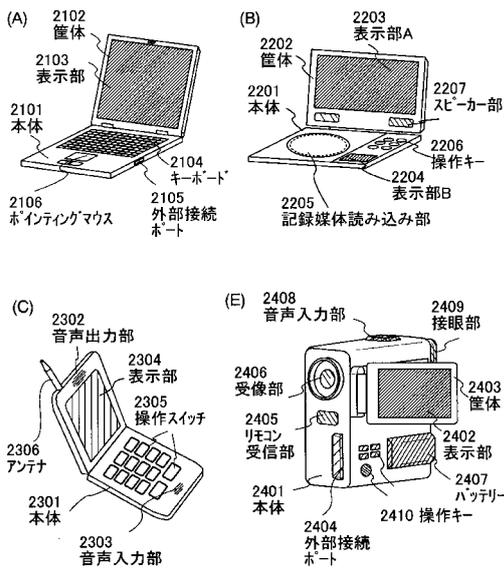
【図19】



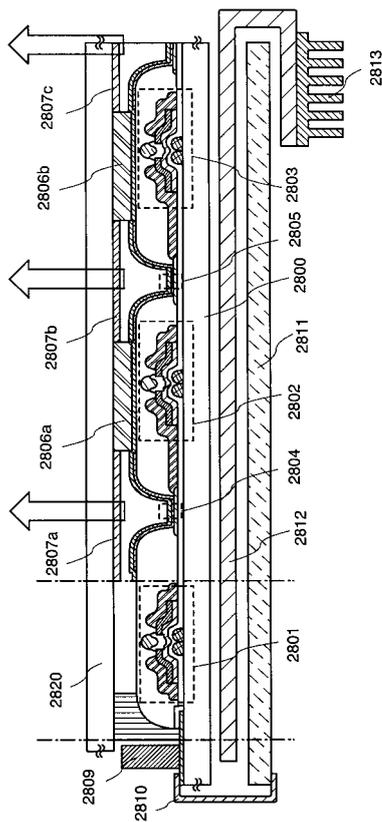
【図20】



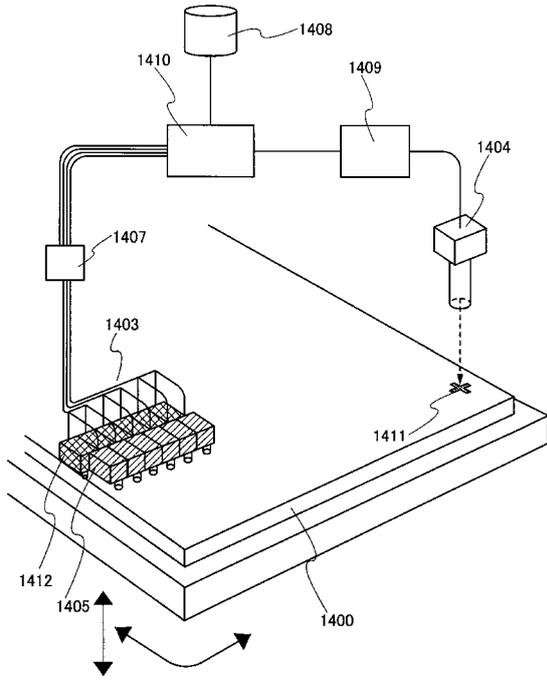
【図21】



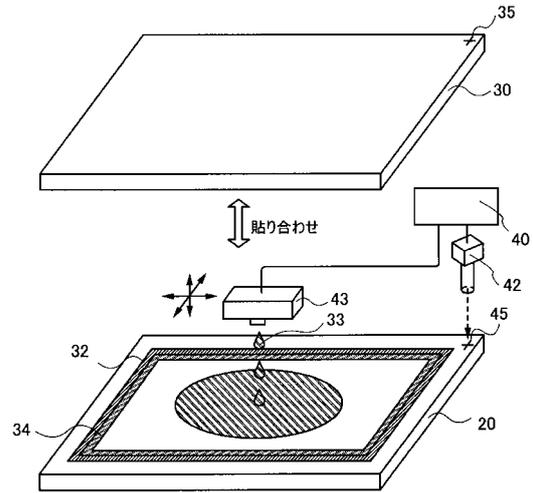
【図22】



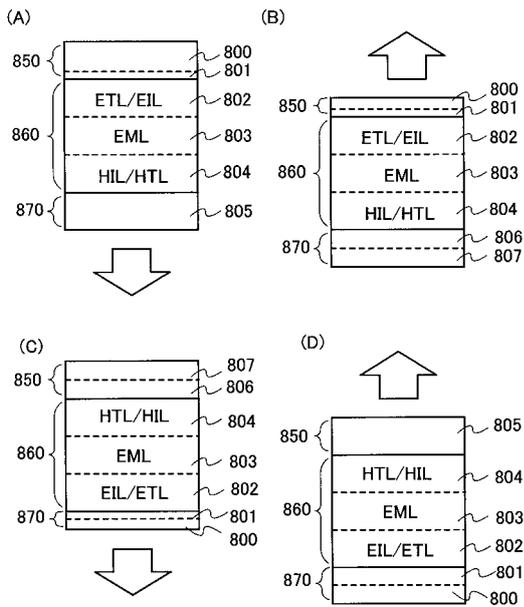
【図 28】



【図 29】



【図 30】



フロントページの続き

| (51)Int.Cl. ⁷ | F I | テーマコード(参考) |
|--------------------------|---------------|------------|
| H 0 1 L 27/08 | H 0 1 L 29/78 | 6 1 7 K |
| H 0 1 L 27/088 | H 0 1 L 29/78 | 6 1 7 N |
| H 0 1 L 27/092 | H 0 1 L 29/78 | 6 2 7 C |
| H 0 1 L 29/423 | H 0 1 L 29/78 | 6 1 2 D |
| H 0 1 L 29/49 | H 0 1 L 29/28 | |
| H 0 1 L 51/00 | H 0 1 L 27/08 | 1 0 2 C |
| H 0 5 B 33/10 | H 0 1 L 27/08 | 3 2 1 D |
| H 0 5 B 33/14 | H 0 1 L 29/58 | G |

| F ターム(参考) | 5F048 | AA09 | AB10 | AC01 | AC04 | BA14 | BA16 | BB02 | BB04 | BB09 | BB11 |
|-----------|-------|------|------|------|------|------|------|------|------|------|------|
| | | | BB12 | BC16 | BF01 | BF02 | BF07 | | | | |
| | 5F110 | AA16 | AA28 | BB02 | BB04 | DD01 | DD02 | DD03 | DD05 | DD12 | DD13 |
| | | DD14 | DD25 | EE01 | EE02 | EE03 | EE04 | EE06 | EE07 | EE15 | EE22 |
| | | EE24 | EE30 | EE42 | EE43 | EE44 | EE45 | EE48 | FF01 | FF02 | FF03 |
| | | FF07 | FF09 | FF10 | FF27 | FF28 | FF29 | FF30 | GG02 | GG03 | GG05 |
| | | GG06 | GG13 | GG14 | GG15 | GG28 | GG29 | GG33 | GG42 | GG43 | GG45 |
| | | GG47 | HK02 | HK03 | HK04 | HK07 | HK32 | NN02 | NN33 | NN40 | NN71 |
| | | NN73 | NN78 | PP01 | PP03 | PP06 | PP24 | PP29 | PP34 | PP35 | QQ01 |
| | | QQ02 | QQ04 | QQ11 | QQ19 | | | | | | |