

211609

公告本

申請日期	10.1.10
案 號	8107171
類 別	G06F15/62

A4
C4

(以上各欄由本局填註)

發明
新型 專利說明書

(請先閱讀背面之注意事項再填寫本頁各欄)

一、發明 創作名稱	中 文	影像處理系統之邊緣檢知方法及其裝置
	英 文	
二、發明 創作人	姓 名	1.白 俊 基 2.朴 容 詒 3.明 贊 奎
	籍 貫 (國籍)	韓 國
	住、居所	1.韓國漢城市江南區驛三洞695-15 2.韓國全羅北道全州市完山區中華山洞1街214-13 3.韓國京畿道富川市南區深谷1洞極東Apt. 5-101
三、申請人	姓 名 (名稱)	韓商.三星電子股份有限公司 (三星電子株式會社)
	籍 貫 (國籍)	韓 國
	住、居所 (事務所)	韓國京畿道水原市勸善區梅灘洞416
	代表人 姓 名	金 光 浩

經濟部中央標準局員工消費合作社印製

五、發明說明 (1)

〈發明之背景〉

本發明係有關一種影像處理系統，尤指一種使用多態樣線性臨界邏輯元件之一影像處理系統之邊緣檢知方法與裝置。

在一影像信號處理系統中，其乃是本發明之一最重要的申請範圍，係推薦一種預先處理方法，因為其可藉由在影像中移除不想要的因素（如雜訊）而增進在檢知動作向量之準確性。預先處理亦可藉由對應一已完全解析度影像而降低計算負荷，通常每一像素由 8 位元(bits)表示，與每一像素由少於 8 位元(bits)表示為不同型式。

以上提及之目的有多種預先處理方式已被提出，例如，波段截取代表點(BERP)方法係被 Uomori 等人在「藉由完全數位處理信號之自動化影像穩定系統」中被使用過，在 1990 年 8 月公開的 IEEE 消費電子學會報(Transactions on Consumer Electronics) 36 冊第三期(510~519 頁)，可被思及一種帶通濾波法，雖然 BERP 法可有效地一起過濾掉極高地存在頻率（如雜訊）成份與低頻成份（如在電流強度中平直的範圍），其仍然需要每一像素多於 2 位元 (bits) 以表示 BERP 影像，然而，檢知之邊緣資訊可被每一像素以 1 位元(bits)表示。依照上述，邊緣檢知方法可簡化硬體，有多種邊緣檢知方式，如：(1) 使用影像存在梯度，(2) 使用拉普拉斯(Laplace)轉換技術，(3) 使用平均的差異，(4) 匹配或調配至一預先指定圖型，與(5) 在影像中藉由高斯 (Gaussian) LOG 運算法則之拉普拉斯 (

五、發明說明(2)

Laplace) 轉換技術過濾 0 交叉點之檢知法。(1)~(4)所列舉之邊緣檢波器主要二項障礙在它們只能對某些影像可作較佳的處理，但對邊緣檢知之處理係顯著地被惡化，由於它們檢知影像信號中之高頻成份而使雜訊顯現出來，另一方面，方式(5)可有效降低雜訊但具有潛在的障礙，即，用以除去大量雜訊之計算的數量顯著地增加。亦即，步驟(5)需要較堅固的低通過濾以檢知邊緣成份，因為雜訊與邊緣資訊係設於不同高頻區域。因此，檢視窗必需變得更大以檢知邊緣。

〈發明之總論〉

因此，本發明之一目的為提供一無需增加檢視窗尺寸而能減少雜訊之一邊緣檢知方法。

本發明其另一目的為提供一可簡化一硬體設施與作一及時處理之一邊緣檢知裝置。

為完成第一目的，本發明之邊緣檢知方法包括下列步驟：

轉換輸入像素資料成為一組多態樣值；

對前述一組多態樣值與一組預先指定值作內乘；以及依內乘之結果作一判定。

為完成第二目的，本發明之邊緣檢知裝置包括：

一轉換機構轉換輸入圖像元素(Pixel，簡樣像素)資料成為多態樣值；

一匹配機構以對前述多態樣值與預先指定值執行一內乘；與

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (3)

一判定機構以依前述內乘之結果作一判定。

〈圖式簡單說明〉。

第1圖係依本發明之影像處理系統之邊緣檢知裝置中之信號流程之流程圖。

第2圖係依本發明之邊緣檢知裝置之方塊圖。

第3圖係依本發明之一較佳具體之邊緣檢知裝置之方塊圖。

第4圖係依本發明之一邊緣檢知裝置之譯碼電路方塊圖。

第5圖係依本發明之內乘積預先指定邊緣圖型。

第6A圖係依本發明之邊緣檢知裝置執行內乘積 $W1 \cdot V$ 之匹配機構電路圖。

第6B圖係依本發明之邊緣檢知裝置執行內乘積 $W2 \cdot V$ 之匹配機構電路圖。

第6C圖係依本發明之邊緣檢知裝置執行內乘積 $W3 \cdot V$ 之匹配機構電路圖。

第6D圖係依本發明之邊緣檢知裝置執行內乘積 $W4 \cdot V$ 之匹配機構電路圖。

第7圖係依本發明之邊緣檢知裝置中， W 與 V 內乘積輸出真值表。

第8圖係依本發明之邊緣檢知裝置中，獲得內乘積之一Karnaugh圖與特性方程式。

第9圖係依本發明之邊緣檢知裝置中之匹配機構中，絕對值電路之邏輯電路圖。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (4)

第10圖係依本發明之邊緣檢知裝置中之判定電路之邏輯電路圖。

第11圖係圖以解釋依本發明之邊緣檢知裝置動作之時序圖。

〈本發明之詳細描述〉

本發明係基於多態樣線性臨界邏輯中，線性之可分離性，其可藉以下定義與定理解釋之。二進位輸入之線性可分離性由 P.M. Lewis二世與 C.L. Coates；臨界邏輯由 John Wiley與Sons於1967年都已討論過，多態樣輸入之線性可分離函數之定又在此首先提出說明。

令 P 為一組 L 次元向量，在 P 中任何向量之每一分量取一 $M=j+k+1$ 值，在 $\{-j, \dots, -1, 0, 1, \dots, k\}$ 中，即為 $P = \{X \mid X_i \in \{-j, \dots, -1, 0, 1, \dots, k\}, i=1, \dots, L\}$ 。

此時，在 P 中不同向量之數目變為 M^L ，而我們稱 $-j$ 與 k 為輸入狀態之極端值。令 P_0 與 P_1 為 P 之二相互獨立之副集使得 $P_0 \cup P_1 = P$ 。

給予加權向量 W ，以下式定義一邏輯函數 F ，

$$F(X) = \begin{cases} 1, & W^T X \geq \theta \\ 0, & W^T X < \theta \end{cases}$$

其中 θ 為一臨界值，係於線性地可分離類別中若且唯若 $W^T X > W^T Y$ ， $\forall X \in P_1$ ，且 $\forall Y \in P_0$ 。

多態樣線性可分離性之分析通常是一複雜的工作，然而，一特別種類之邏輯函數將被推薦使用於邊緣檢波器，可依照下列定理說明線性可分離特性：

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (5)

令 X 為一 L 次元輸入向量，其分量全為極端值，且令 $P_1 = \{X\}$ 與 $P_0 = P - \{X\}$ ，亦即， $P_1 = \{X \mid X_i \in \{-j, k\}, i=1, \dots, L\}$ 且 $P_0 = P - P_1$ ，其中 P 、 $-j$ 與 k 係在以上定義中被給予，則該處存在一線性可分離函數 F ，其由其他向量分離出輸入向量 X 。

以上定理之證明如下，我們藉由使用以上定義與顯示該處存在一加權向量 W 滿足

$$W^T X > W^T Y,$$

$$\forall X \in P_1 \text{ 與 } \forall Y \in P_0$$

以證明此定理。該我們考慮以下加權向量

$$W_i = \begin{cases} 1, & X_i = k \\ -1, & X_i = -j \end{cases} \quad i=1, \dots, L$$

則以下不等式維持 $W_i X_i \geq W_i Y_i, \forall i$

藉由將這些不等式以 $i=1, \dots, L$ 總和起來，我們可得

$$W^T X > W^T Y$$

因為對至少一個 i 而言，該等式即無法保持。

我們也可考慮一組 $P_{-1} = \{-X\}$ ，其中， X 與 W 係在以上等式中被各自地定義，因而我們有一種多態樣輸入之多種類判別式函數，如 $W^T (-X) < W^T Y < W^T X, \forall Y \in P_0$ 。

為了使用多態樣線性臨界邏輯作為邊緣檢波，我們必須畫出一像素之連續強度值至數個不連續狀態。

讓我們使用一 $l \times l$ 局部檢視窗以檢知一已知像素位置之邊緣，我們假設影像尺寸為 $n=n_1 \times n_2$ ，令 $X_i, i=1, \dots, r$ ，為在辭典編纂地排列影像中第 i 個像素值，而 $Z_j, j=1, \dots, r$ ，為以 X_i 為中心之局部檢視窗內的辭典編

五、發明說明 (6)

裏地排列像素值中之第j個像素值，其中， $r = l \times l$ 。則，在對應 X_i 的局部檢視窗， Z_j 可藉由對應

$$Z_j = X_k, j=1, \dots, r \text{ 獲得}$$

其中， $K = i + \{ \lfloor (j-1)/l \rfloor - \lfloor l/2 \rfloor \} n_2 + \{ (j-1) \bmod l - \lfloor l/2 \rfloor \}$ ，該符號 $\lfloor l/2 \rfloor$ 表示依除法計算答案之整數部份，且 $i \bmod l$ 等於 i 除以 l 之餘數值。

在獲得一次元排列 Z_j 以後，對應至第 i 像素之局部平均值係等於 $M_i = \frac{1}{r} \sum_{j=1}^r Z_j$ ，因而以第j個輸入多態樣線性臨界邏輯狀態 V_j 係被定義為

$$V_j = \begin{cases} -1 & Z_j < M_i - \epsilon \\ 0 & M_i - \epsilon < Z_j \leq M_i + \epsilon \\ 1 & Z_j > M_i + \epsilon \end{cases}$$

其中， ϵ 為相對於雜訊資料之安全系數，較大的 ϵ 應可壓抑較大的雜訊。

我們定義四對雙向邊緣，其方向分別為 0 與 180 度、 90 與 270 度、 45 與 225 度、 135 與 315 度。

首先，一右邊緣係藉由在局部檢視窗內由右向左提升輸入狀態來定義之。以 $l=3$ 來說，例如，右邊緣與其雙向附合部，左邊緣，係各自被設為：

$$\begin{bmatrix} 1 & X & -1 \\ 1 & X & -1 \\ 1 & X & -1 \end{bmatrix} \quad \text{與} \quad \begin{bmatrix} -1 & X & 1 \\ -1 & X & 1 \\ -1 & X & 1 \end{bmatrix}$$

其中 X 表示不特定狀態。

第二對邊緣藉由上與下邊緣表示，係以同樣方法定義為

五、發明說明 (7)

$$\begin{bmatrix} -1 & -1 & -1 \\ X & X & X \\ 1 & 1 & 1 \end{bmatrix} \quad \text{與} \quad \begin{bmatrix} 1 & 1 & 1 \\ X & X & X \\ -1 & -1 & -1 \end{bmatrix}$$

第三對邊緣藉由右上與左下邊緣表示，係被定義為：

$$\begin{bmatrix} X & -1 & -1 \\ 1 & X & -1 \\ 1 & 1 & X \end{bmatrix} \quad \text{與} \quad \begin{bmatrix} X & 1 & 1 \\ -1 & X & 1 \\ -1 & -1 & X \end{bmatrix}$$

最後，第四對邊緣藉由左上與右下邊緣表示，係被定義為：

$$\begin{bmatrix} -1 & -1 & X \\ -1 & X & 1 \\ X & 1 & 1 \end{bmatrix} \quad \text{與} \quad \begin{bmatrix} 1 & 1 & X \\ 1 & X & -1 \\ X & -1 & -1 \end{bmatrix}$$

以 $\ell=5$ 而言，例如，其右邊緣，在第 1 行中有 1，在最後一行中有 -1，與 X（不特定）在其他的中間行。

使用以上所提出之多種類判別式函數 ($W^T(-X) < W^T Y < W^T X$, $\forall Y \in P_0$)，其右邊緣與左邊緣兩者皆可藉相同加權向量被檢知，此向量以 W_- 表示，由於其係藉極端值所組成，且左邊緣右邊緣相等符號相反。以同樣方式，上與下邊緣，右上與左下邊緣及左上與右下邊緣分別藉由 $W|$ ， $W/$ 與 $W \setminus$ 而被檢出。如以上描述之定理所示，一個用以檢知右或左邊緣之可能加權向量，例如，以 $\ell=3$ 而言，係等於

$$W_- = [1 \times -1 \ 1 \times -1 \ 1 \times -1]^T.$$

無疑地，基於此等式，其餘的加權向量，即為， $W|$ 、 $W/$ 與 $W \setminus$ 可藉由適當地排列 W_- 之元素而獲得。

或亦可由使用 LMS 順序法 (algorithm) 獲得加權向量。

基於上述對邊緣之定義，藉由以適當地排列加權向量

(請先閱讀背面之注意事項再填寫本頁)

.....裝.....訂.....線.....

五、發明說明 (8)

將四個多態樣線性臨界邏輯之輸出作邏輯上“OR”動作處理而檢知邊緣，完全的邊緣檢知程序之描述如下列順序法：

1. 選擇局部檢視窗之尺寸 l 。

2. 以 $i=1, \dots, n$ 作

2.1 形成 Z

2.2 計算輸入狀態 V ，設定 $V_0=1$

2.3 計算四個內積， $W_1^T V$ ， $W_2^T V$ ， $W_3^T V$ 與 $W_4^T V$

如果其中至少有一個大於或等於輸出臨界值 θ ，或小於或等於 $-\theta$ ，在該情形下 OR 閘之輸出等於 1，一個在位置 i 之邊緣被檢知，否則，就沒有邊緣。

在實行以上順序，下列之非線性函數 $g(\cdot)$ 乃被使用：

$$g(u) = \begin{cases} 1 & u \geq \theta \\ 0 & -\theta < u < \theta \\ -1 & u \leq -\theta \end{cases}$$

其中， θ 為臨界值，當以上加權向量被使用時， θ 被設定等於 6。

關於映像罩尺寸之選擇，以下的論點應該列入考慮。較大的映像罩由於在以上順序步驟 2.2 之局部平均動作而有較佳之雜訊控制，然而，在增加映像罩尺寸上有二點障礙，即為，(1) 在異於 0、45、90、135、180、225、270 與 315 等角度之方向要檢知邊緣變得更困難，(2) 因為多態樣線性臨界邏輯需要更多輸入，所以需要更多的內部連接與演算。基於檢視窗係最易受任何方向之邊緣所影響，故

五、發明說明(9)

$l=3$ 之映像罩尺寸已被顯示係極有效的，因為其為最小對稱檢視窗。

第1圖係依本發明之邊緣檢知方法中之信號流程圖，藉使用第1圖，軟體之執行可直接地被了解，在第一步驟中，標記 i 代表辭典編纂的順序像素位置，在第二步驟中，藉一以第 i 個像素 X_i 為中心之局部影像圖型，得一鄰近位置 Z_j ， $j=1, \dots, m$ 。在第三步驟中， Z_j 表示在局部檢視窗的一組像素，該局部檢視窗包括第 i 畫面 X_i 與在局部檢視窗內之畫面數目 m 。並且，在第三步驟中， Z_j ， $j=1, \dots, m$ ，係被對應到一相當的多態樣值 V_j ， $j=1, \dots, m$ ，在第四步驟中， $V = [V_1, \dots, V_m]^T$ 係分別地與一預先指定邊緣圖型 W_1, W_2, W_3, W_4 比較。在第五步驟中，如果 V 匹配於預先指定邊緣圖表 W_1, W_2, W_3 與 W_4 中的至少一個，在第六步驟中，第 i 像素 X_i 即被決定為一邊緣，否則，在第七步驟中，第 i 像素 X_i 係被決定不成為一邊緣。在第八步驟中，如果第 i 像素 X_i 不是全體像素，在第九步驟中， i 係以1逐漸增加且其過程返回到第二步驟並重複執行一主迴圈，否則，在第八步驟中，動作停止。

第2圖係依本發明之一邊緣檢知裝置的一實施方塊圖，該裝置之結構與功能如下：

如第2圖所示之邊緣檢知裝置由三方塊組成；一譯碼方塊，在藉由使用一局部檢視窗使一原始影像資料 X_i 依辭典編纂方式排列以後，以轉換辭典編纂的指令資料 $Z_1, \dots, Z_m$ 成為一多態樣 $V_1, \dots, V_m$ ；一匹配方塊，用以執行一多態

五、發明說明 (10)

樣資料 $V_1, \dots, V_m$ 以及各自對應至 W_1, W_2, W_3 與 W_4 之預先指令邊緣圖型 W_1, W_2, W_3 與 W_4 內部乘積；與一判定方塊，用以將內積之結果資料與一輸出臨界值相比較，OR 動作比較結果，且判定原始影像資料 X_i 是否為一邊緣。

以上三個方塊執行功能如下：

首先，一個檢窗概念係需要的，以藉由相關聯之一鄰近像素判定原始影像資料 X_i 是否一邊緣，此編碼方塊一次元地排列鄰近像素 $Z_1, \dots, Z_m$ ，並得一具有一強度之平均值且轉變鄰近像素 $Z_1, \dots, Z_m$ 成為對應的多態樣值 $V_1, \dots, V_m$ 。

如果 $V_j, j=1, \dots, m$ ，具有 M 態樣 ($M > 2$)， $\lceil \log_2 M \rceil$ 係被必需用來代表 V_j ，符號 $\lceil \log_2 M \rceil$ 表示 $\log_2 M$ ，如果 M 為一個 2 的倍數，而且在其他方面，其表示 $\log_2 M + 1$ 的整數部份，在此，藉由插入平均值與一雜訊控制參數 ϵ ，匹配方塊分離個別的像素成為三階層，其各自地具有一大於平均數 $+\epsilon$ 的值，一小於平均數 $-\epsilon$ 的值，與一在平均數 $+\epsilon$ 與平均數 $-\epsilon$ 之間的值。在此，雜訊依參數 ϵ 顯著地呈現有效的降低。

一匹配方塊乃個別地輸出影像轉換資料的匹配角度與預先指定四個邊緣圖型。那就是，匹配方塊執行轉換影像資料 $V_1, \dots, V_m$ ； V 與各別的四個預先指定邊緣圖型 W_1, W_2, W_3 與 W_4 之內部乘積，而個別的邊緣圖型係被要求考慮水平、垂直與二正交方向。在此， $W_1^T \cdot V$ 表示轉換影像資料 $V_1, V_2, \dots, V_m$ ； V 之內積，而預先指定邊緣圖型 W_1 係被期待與水平方向有關。

五、發明說明 (11)

一及時處理可藉由同時執行四個內部乘積而基於影像處理系統而被實現。

一判別方塊執行一內積 $W_1^T \cdot V$, $W_2^T \cdot V$, $W_3^T \cdot V$, $W_4^T \cdot V$ 之一輸出值各別地與一定值比較之功能，而且，如果至少有一輸出值大於已知定值，則判決為一邊緣。而用來與內積輸出值比較之已知定值可由使用者藉使用一微電腦來控制。

第3圖係依本發明之一較佳具體邊緣檢知裝置，該裝置結構與功能如下：

一編碼裝置，包括：一第一延遲裝置10以輸出一輸入
了影像資料的水平掃描線延遲信號，一第二延遲裝置20
，係串聯至第一延遲裝置10，以輸出二水平掃描線延遲信
號，一 3×3 檢視窗電路30，其係連接至編碼機構之輸入端
，第一延遲裝置10之輸出端與第二延遲裝置20之輸出端，
以儲存九個像素資料在 3×3 局部檢視窗電路內，一平均計
算電路40，用以得到一除了在 3×3 局部檢視窗內中央像素
資料以外之八個像素資料之平均值，以及，一三態樣編碼
器50，其係用以藉由使用平均值與已知臨界值 ϵ 分別的分
離八個像素資料成為三階層，並且轉換該八個像素資料成
為對應三階層之碼。

一匹配機構包括內部乘積電路60、61、62、63以分別執行預先指定邊緣圖型W1、W2、W3、W4，與三態樣編碼器50之輸出的內乘。

一判定機構包括比較器70、71、72、73以各別的將內

(請先閱讀背面之注意事項再填寫本頁)

五、發明說明 (12)

部乘積電路60、61、62、63之輸出與已知定值比較，並輸出匹配信號，與OR閘80，以邏輯地總和比較器70、71、72、73之輸出。

第4圖表示出一較佳具體之編碼機構，該 3×3 檢視窗電路30包括：三個記錄器90、91、92，其個各別地包含一組八個並聯著的D型跳擺器且串聯至一輸入端以輸入一由八位元所代表之連續掃描數值位視頻訊號，與三個記錄器100、101、102，分別地包括一組八個平行連接D型跳擺器並串聯至一第一延遲裝置10之輸出端，以輸入第一延遲裝置10之輸出信號，而三個記錄器110、111、112分別地包括一組八個平行連接D型跳擺器，並串聯至第二延遲裝置20之輸出端，以輸入第二延遲裝置20之輸出信號，因此九個像素資料係儲存在 3×3 檢視窗電路30之內，一實際平均計算電路120包括：加算計121、122、123、124以將八個記錄器90、91、92、100、102、110、111、112之二輸出相加，除了一記錄器101之輸出以外，以及，加算器130、131，以將由加算器121、122、123、124輸出信號中除去最小位元LSB之後剩餘二信號相加，與一加算器140，其係用將由加算器130、131輸出信號除去一最小位元LSB後之剩餘信號相加，且用以輸出一將其輸出信號之一最小位元LSB除去後之剩餘信號。

八個記錄器90、91、92、100、102、110、111、112之輸出信號與加算器140輸出信號係暫時地儲存在記錄器(未畫出)內，以輸入以下階態，那即是，平均計算電路

五、發明說明 (13)

120計算一平均值如下。

令Z1、Z2、Z3、Z4、Z6、Z7、Z8與Z9係記錄器90、91、92、100、102、110、111、112之輸出，令A、B、C與D為從記錄器輸出選擇二資料之和，A、B、C與D以 $A=Z1+Z2$ ， $B=Z3+Z4$ ， $C=Z6+Z7$ 與 $D=Z8+Z9$ 代表。在此，令E、F、G與H為在除去A、B、C、D一LSB位元值後之剩餘值，因此，E、F、G與H在此係以下式表之：

$$E = \frac{A}{2} = \frac{Z1+Z2}{2}, \quad F = \frac{B}{2} = \frac{Z3+Z4}{2}$$

$$G = \frac{C}{2} = \frac{Z6+Z7}{2} \quad \text{與} \quad H = \frac{D}{2} = \frac{Z8+Z9}{2}$$

且，令I及J分別為E與F，及G與H之和，因此I及J由

$$I = E + F = \frac{Z1+Z2+Z3+Z4}{2}$$

$$\text{而 } J = G + H = \frac{Z6+Z7+Z8+Z9}{2} \text{ 表示。}$$

在此，令K與L分別為由I與J除去一LSB後之剩餘值，因此K與L由

$$K = \frac{E+F}{2} = \frac{Z1+Z2+Z3+Z4}{4}$$

$$\text{且 } L = \frac{G+H}{2} = \frac{Z6+Z7+Z8+Z9}{4} \text{ 表之。}$$

而且，假設藉相加K與L並除去其結果值一LSB位元所獲得之值為一平均值M，則M係由

五、發明說明 (14)

$$M = \frac{K+L}{2} = \frac{Z1+Z2+Z3+Z4+Z6+Z7+Z8+Z9}{8}$$

該所獲得平均值 M並非一精確值。但在精確平均值與所得平均值之間的差異並不會使結果的邊緣品質惡化，因為所得平均值被用作下列階態之三態樣編碼。

而且，該三態樣編碼電路 150包括：加算器 160，以將平均值 M與一具有降低雜訊效力之參數 ϵ 並產生一 $M+\epsilon$ 值；加算器 161，以相加平均值 M與參數 $-\epsilon$ 並以產生一 $M-\epsilon$ 值；一比較器 170，用以將 $M+\epsilon$ 值分別比較除了中央像素資料Z5以外之像素資料Z1.....Z9；比較器 171，用以將 $M-\epsilon$ 值分別比較除了中央像素資料Z5以外之像素資料Z1.....Z9；一反相器 180，用以輸出一比較器 170中最大位元 MSB信號V11、V21.....V91；以及，OR閘 190，作OR動作，亦即，分別邏輯地將三態樣信號之最小位元 LSB信號V10、V20.....V90與比較器 171之輸出相加，即是，三態樣編碼器 150，如果當各自像素資料係小於 $M-\epsilon$ 值時，輸出一11值；如果各自像素資料大於 $M+\epsilon$ 時，則輸出一01值，而其他情形有一00值。此處，假設最大位元 MSB為一符號位元且最小位元 LSB為一數量位元，則11,00,01值分別地對應至三狀態-1,0,1。

第5圖表示出四個預先指定邊緣圖型W1、W2、W3及W4。

。

第6A、6B、6C、6D圖係表示本發明匹配機構執行內部乘積之電路圖。

五、發明說明 (15)

該匹配機構執行在各自四個預先指定邊緣圖型W1、W2、W3及W4之元件中二個成份與轉換值V11、V10、V21、V20.....V91、V90之間的內乘。

第7圖表示一內乘之真實表。

第8圖表示一Karnaugh圖以簡化內乘電路。

由第8圖簡化之邏輯等式為：

$$Uj1 \text{ (MSB)} = \overline{Vj1} Vjo Wj1 + Vj1 \overline{Wj1} Wjo$$

$$Ujo \text{ (LSB)} = Vjo Wjo$$

這些邏輯等式可藉使用四個預先指定邊緣圖型之性質而更進一步簡化：

首先，在Wj1 = Wjo = 1之情形，

$$Uj1 \text{ (MSB)} = \overline{Vj1} Vjo \quad Ujo \text{ (LSB)} = Vjo$$

第二，在Wj1=Wjo=0之情形，

$$Uj1 \text{ (MSB)} = Ujo \text{ (LSB)} = 0$$

那就是，不論影像資料如何，該內部輸出經常為“0”，如此，使得其結果邊緣上沒有影響。

第三，在Wj1= 0，Wjo = 1之情形，

$$Uj1 \text{ (MSB)} = Vj1, Ujo \text{ (LSB)} = Vjo$$

結果，在一硬體工程中，四個預先指定邊緣圖型絕對地存在，且只有三態樣值看似對內積之輸出具有一影響，並且，所獲得內乘輸出係藉兩個位元表示，具只有除了九個像素中加權值為 0以外的六個像素在硬體化工程中被使用。

一使用以上邏輯等式之硬體化工程乃表示如下：

五、發明說明 (16)

首先, $W1 \cdot V$ 的匹配電路輸出 $(\overline{V11} \cdot V10)V10$, $(V31)$
 $V30$, $(\overline{V41}, V40)V40$, $V61V60$, $(\overline{V71} \cdot V70)V70$, $V91V90$,

第二, $W2 \cdot V$ 的匹配电路输出 $(\overline{V11}, V10)V10, V71V70$
 $, (\overline{V21}, V20)V20, V81V80, (\overline{V31}, V30)V30, V91V90,$

第三, W3·V的匹配電路輸出 $(\overline{V11}, V10)V10, V61V60$, $(\overline{V21}, V20)V20, V81V80, (\overline{V41}, V40)V40, V91V90,$

第四, $W_4 \cdot V$ 的匹配電路輸出 $(\overline{V_{21}} \cdot V_{20})V_{20}$, $V_{41}V_{40}$, $(\overline{V_{31}} \cdot V_{30})V_{30}$, $V_{71}V_{70}$, $(\overline{V_{61}} \cdot V_{60})V_{60}$, $V_{81}V_{80}$,

這些邏輯等式藉由反相器 200與 AND閘210而被實行，（如第6A、6B、6C及6D圖所示）。

再者，在對應的匹配電路中，及（AND）閘210之輸出與反相器 200之輸出以內積被相加。

在此，該加算係藉使用加算器 220並藉加上一絕對值電路 230而被實行，絕對值電路 230之加入係使用在因為及（AND）閘210之輸出係由二的餘數表示而使相加的最終值為一負值之情形下而獲得相同的邊緣結果。並且， AND 閘 210之輸出與反相器 200輸出之加算係使用信號擴充法。

如第6A、6B、6C與6D圖所示之用以獲得絕對值的絕對值電路 230係於第9圖有更詳細之解釋。

在第9圖中，假設一個四位元輸入資料為A3、A2、A1、A0，且輸出資料為B2、B1、B0，絕對值電路 230由以下所組成：或（OR）閘 240，以對輸入資料A1及A0作OR動作；與非及（NAND）閘 250以在當OR閘 240與輸入資料A3皆

(請先閱讀背面之注意事項再填寫本頁)

裝訂線

五、發明說明 (17)

為“1”時供應“0”；NAND閘 260，以在當輸入資料A3與A0皆為“1”時供應“0”；一EXNOR閘 270，以在當輸入資料A2與NAND閘 250之輸出為不同值時輸出“1”；一EXNOR閘 280，以在當輸入資料A1與NAND閘 260輸出不同值時輸出“1”。如此，EXNOR閘 270、280之輸出值與一輸出值與一輸入資料A0，分別變成絕對值電路 230之輸出B2B1B0。

第10圖表示本發明之邊緣檢知裝置較佳具體之判定機構，此判定機構由以下組成：四個比較器 290，以輸入由絕對值電路 230輸出信號OUT1、OUT2、OUT3與OUT4以及一臨界值“110”來表示一邊緣；與二個OR閘 300，以分別對由四個比較器 290輸出信號選出二個作OR動作；與OR閘 310，用以對二個OR閘300之輸出信號作OR動作。並且，若至少有一由輸出信號OUT1、OUT2、OUT3與OUT4選出之信號大於或等於“6”，則OR閘 310之輸出變成“1”，且被判定為一邊緣。

第11圖係本發明邊緣檢知電路動作之時序圖。

假設輸入影像資料如第11圖所示，係儲存在3×3檢視窗電路90、91、92、100、101、102、110、111與112。此處， ϵ 設定為10，且三態樣值V1、V2、V3、V4、V6、V7、V8、V9即如第11圖所示。此處二個以虛線圍繞的方形面積之輸入圖型係等於對應預先指定邊緣圖型。亦即，第一個虛線圍繞方形面積係等於W1且第二個虛線圍繞方形面積係等於W2。因此，當至少有一個輸出信號OUT1與OUT2為

五、發明說明 (18)

“ 1 ”時，輸出信號 EDGE 變成“ 1 ”。

依本發明之邊緣檢知裝置具有下列優點：

首先，藉由在多態樣編碼方法中使用雜訊降低參數，可無需使用增加低通濾波器而能大大有效的降低雜訊。

第二，其可大大地簡化硬體並藉由使用 3×3 局部檢視窗使操作時間減至最少（因其為最小為二次元對稱檢視窗）。

第三，藉由同時使用複數個線性臨界邏輯，其可利用多層線性臨界邏輯旋轉不變之特性。

（請先閱讀背面之注意事項再填寫本頁）

裝
訂
線

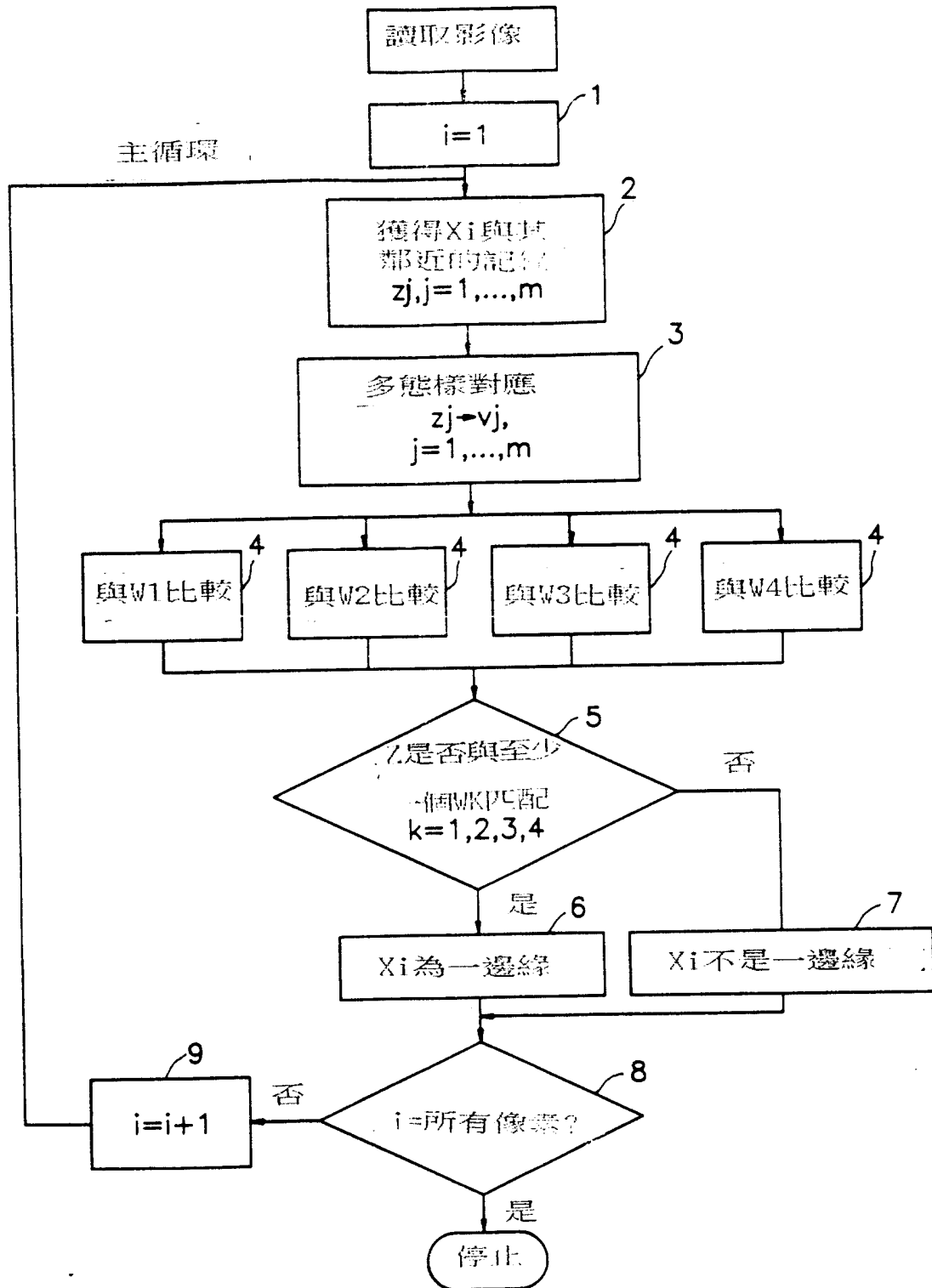
四、中文發明摘要(發明之名稱：影像處理系統之邊緣檢知方法及其裝置)

本發明乃揭示一種影像處理系統之邊緣檢知裝置與方法，該裝置包括：一轉換機構以轉換輸入像素資料成為多態樣值，一匹配機構以執行多態樣值與預先指定值之內乘，以及一判定機構以依照內乘之結果作一判定。該裝置可不用加裝低通濾波器而消除雜訊，因此，其可簡化硬體並可作即時處理。

英文發明摘要(發明之名稱：)

附註：本案已向 韓國(地區) 申請專利，申請日期 1991.3.28 案號：91-4871

第 1 圖



第 2 圖

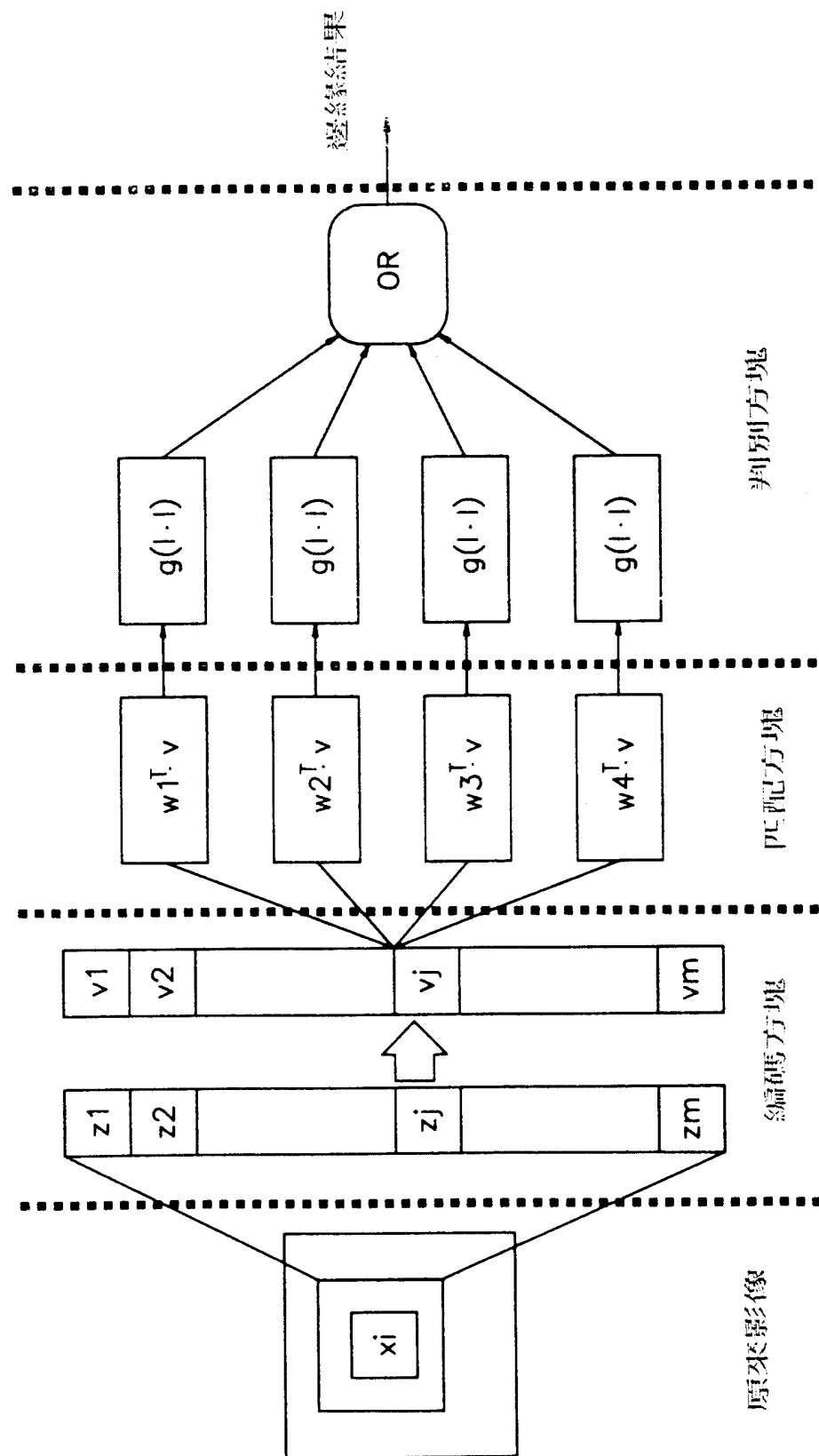
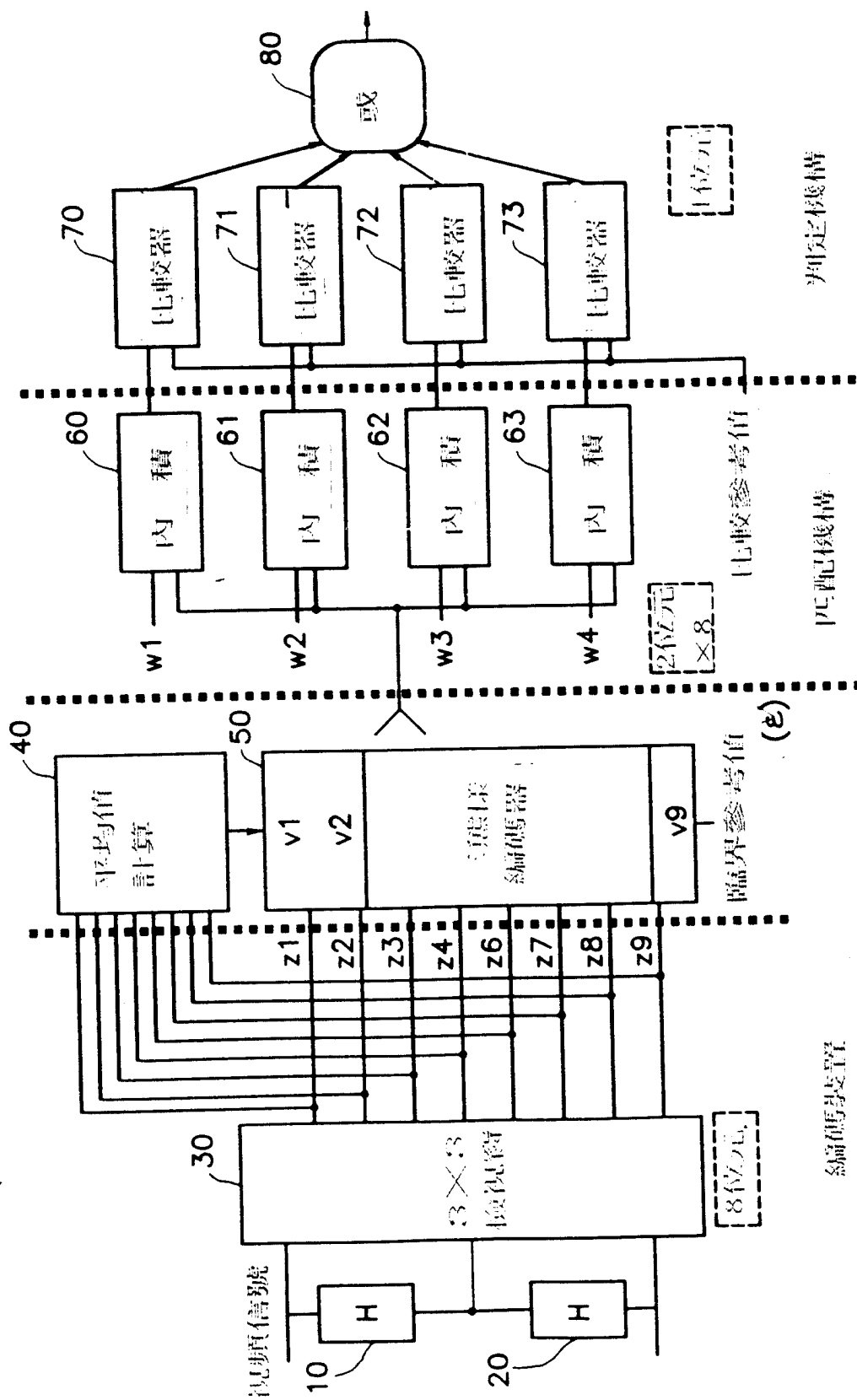
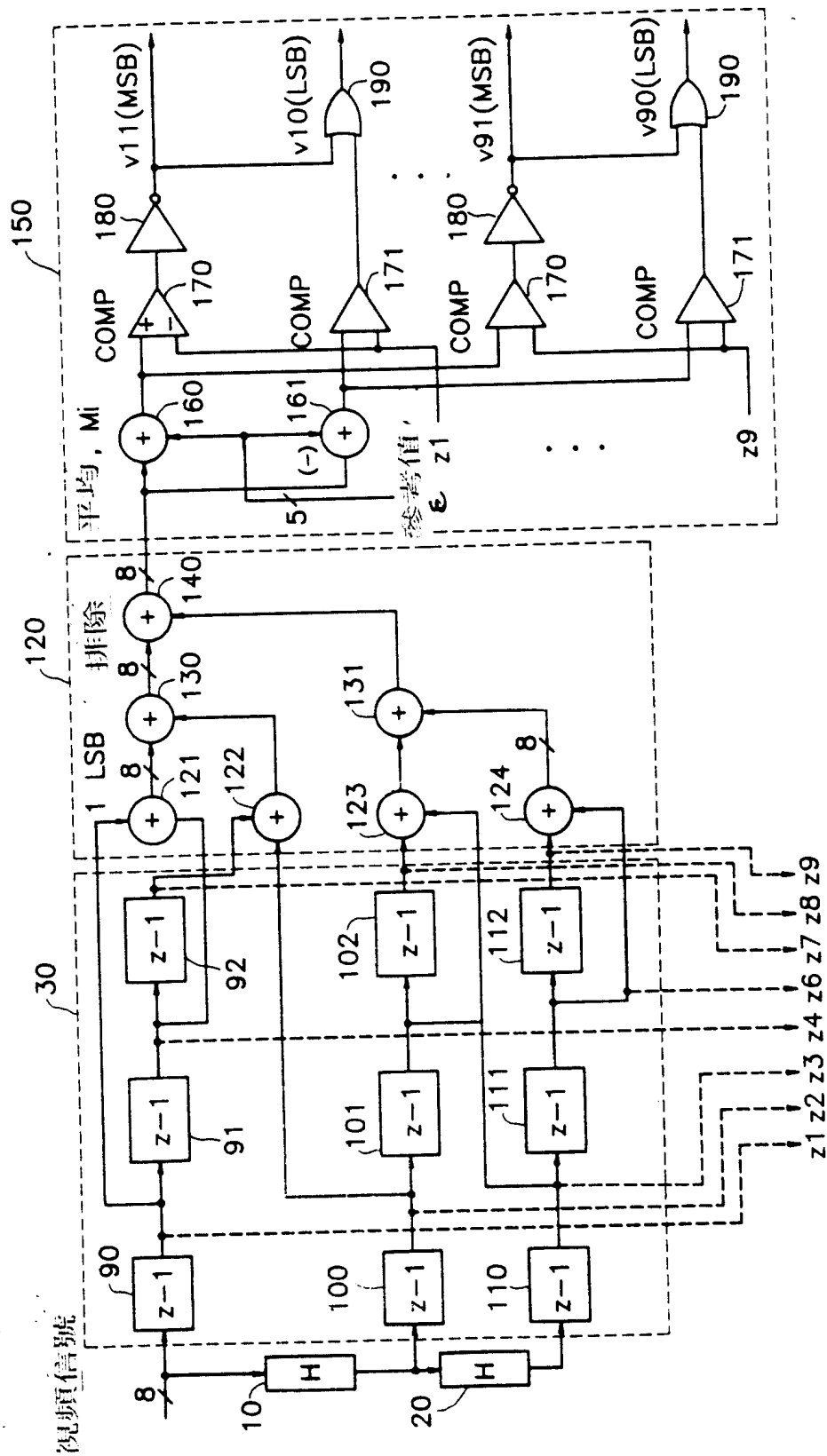


圖 3 第



第 4 圖



211609

第 5 圖

 $w1 =$

-1	0	1
-1	0	1
-1	0	1

 $w2 =$

-1	-1	-1
0	0	0
1	1	1

 $w3 =$

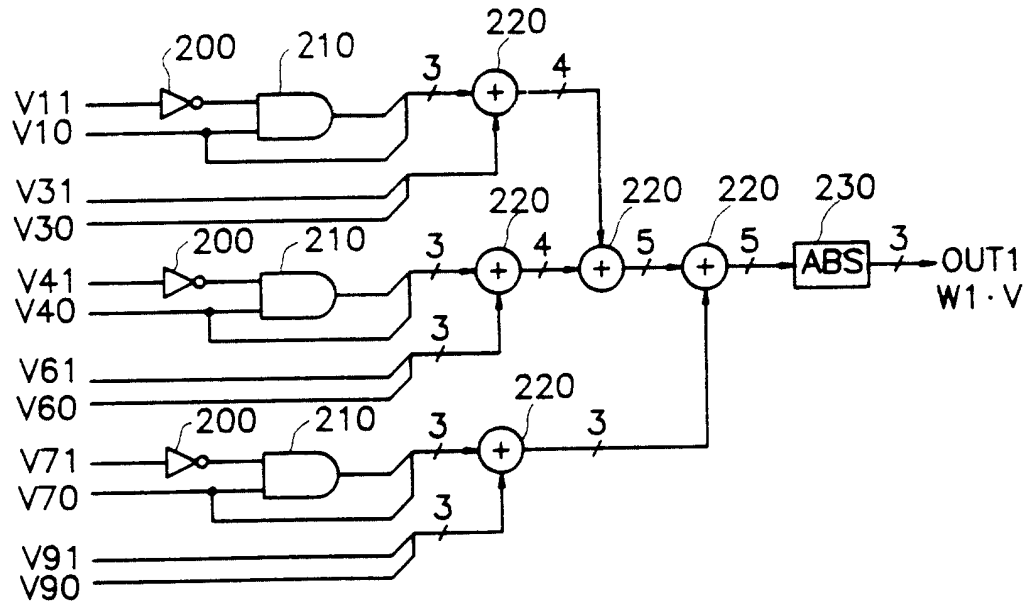
-1	-1	0
-1	0	1
0	1	1

 $w4 =$

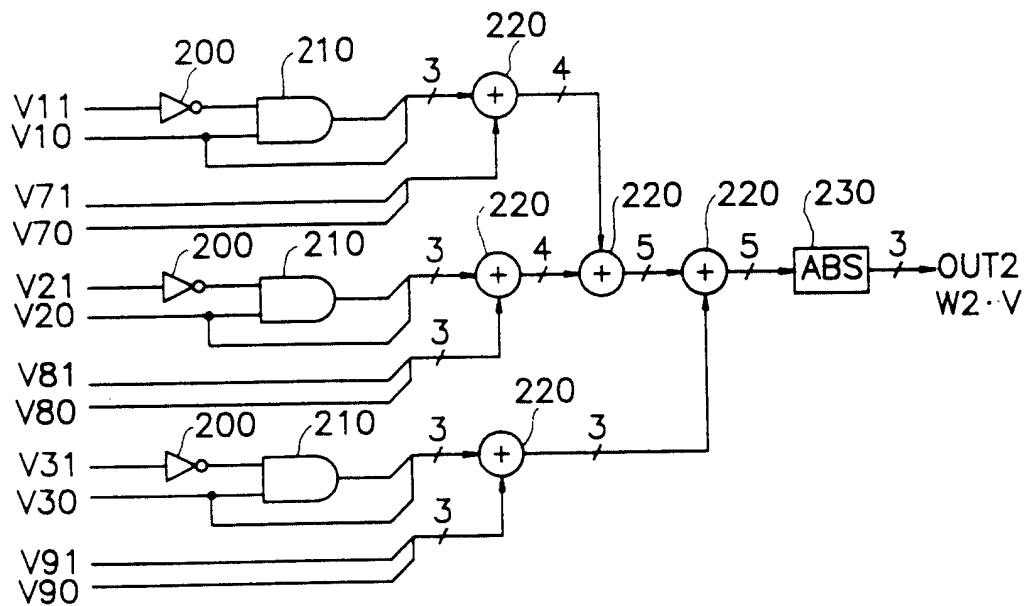
0	-1	-1
1	0	-1
1	1	0

211609

第6 A圖
符號擴充

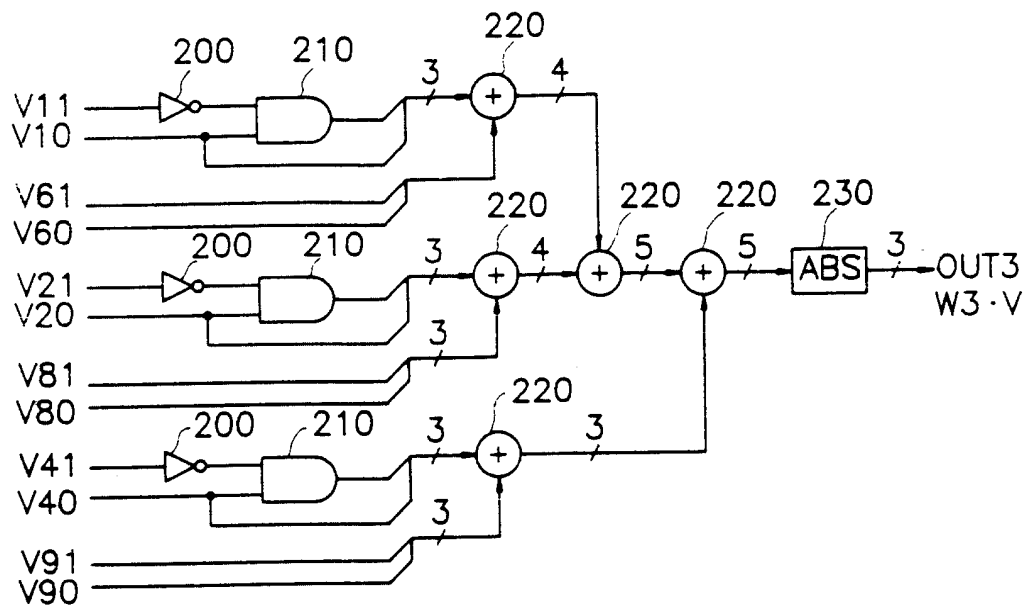


第6 B圖
符號擴充

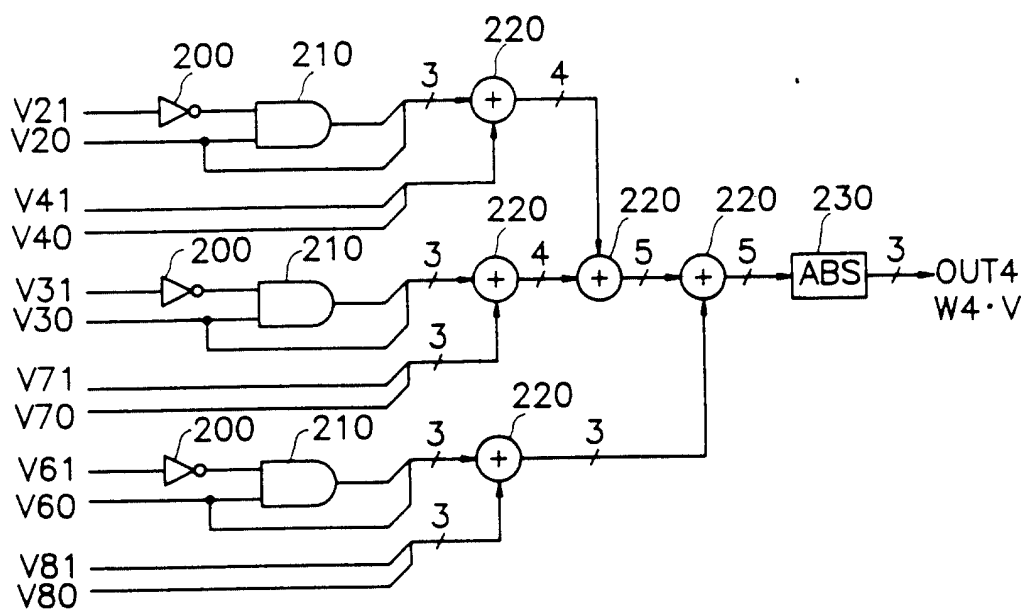


211609

第6 C 圖
符號擴充



第6 D 圖
符號擴充



第 7 圖

已編碼的 影像資料		預先規定之 邊緣圖型		內乘積輸出	
Vj1(MSB)	Vj0(LSB)	Wj1(MSB)	Wj0(LSB)	Uj1(MSB)	Uj0(LSB)
0	0	0	0	0	0
0	0	0	1	0	0
0	0	1	0	X	X
0	0	1	1	0	0
0	1	0	0	0	0
0	1	0	1	0	1
0	1	1	0	X	X
0	1	1	1	1	1
1	0	0	0	X	X
1	0	0	1	X	X
1	0	1	0	X	X
1	0	1	1	X	X
1	1	0	0	0	0
1	1	0	1	1	1
1	1	1	0	X	X
1	1	1	1	0	1

第 8 圖

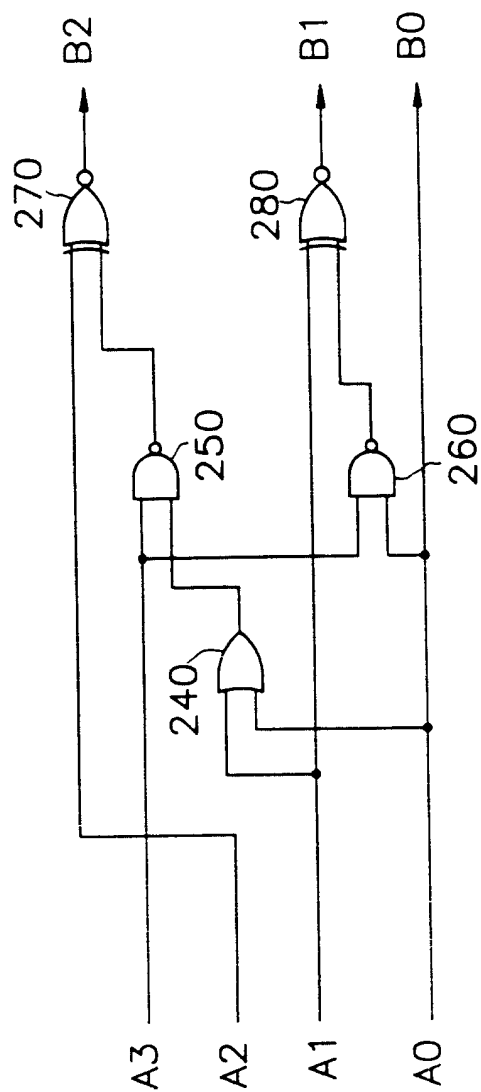
		Vj1	Vj0	
Vj1	Vj0	0	0	0 X
		0	0	1 X
		0	1	0 X
		X	X	X X

$$Uj1(MSB) = \overline{Vj1}Vj0Wj1 + Vj1\overline{Wj1}Wj0$$

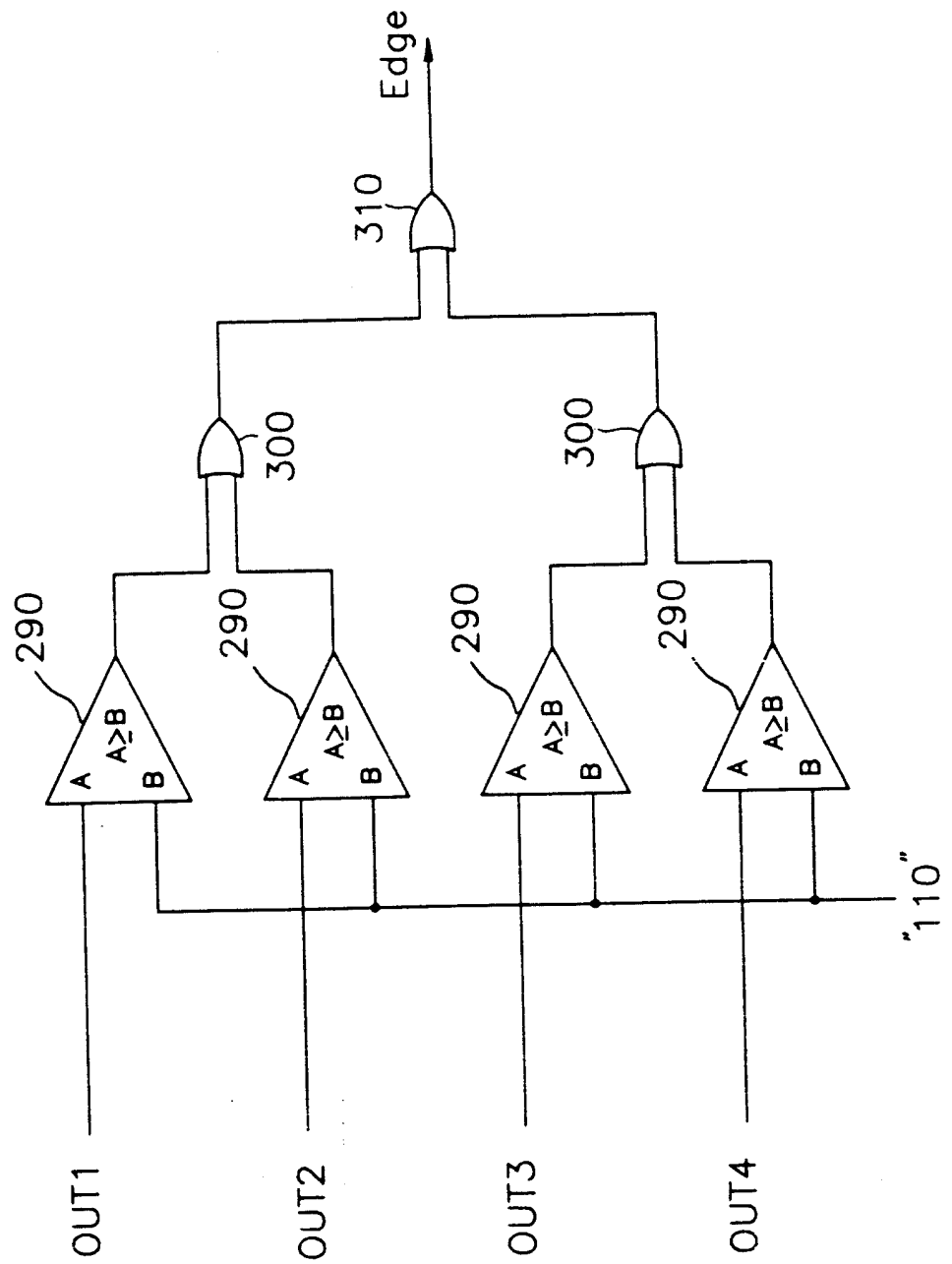
		Vj1	Vj0	
Vj1	Vj0	0	0	0 X
		0	1	1 X
		0	1	1 X
		X	X	X X

$$Uj0(LSB) = Vj0Wj0$$

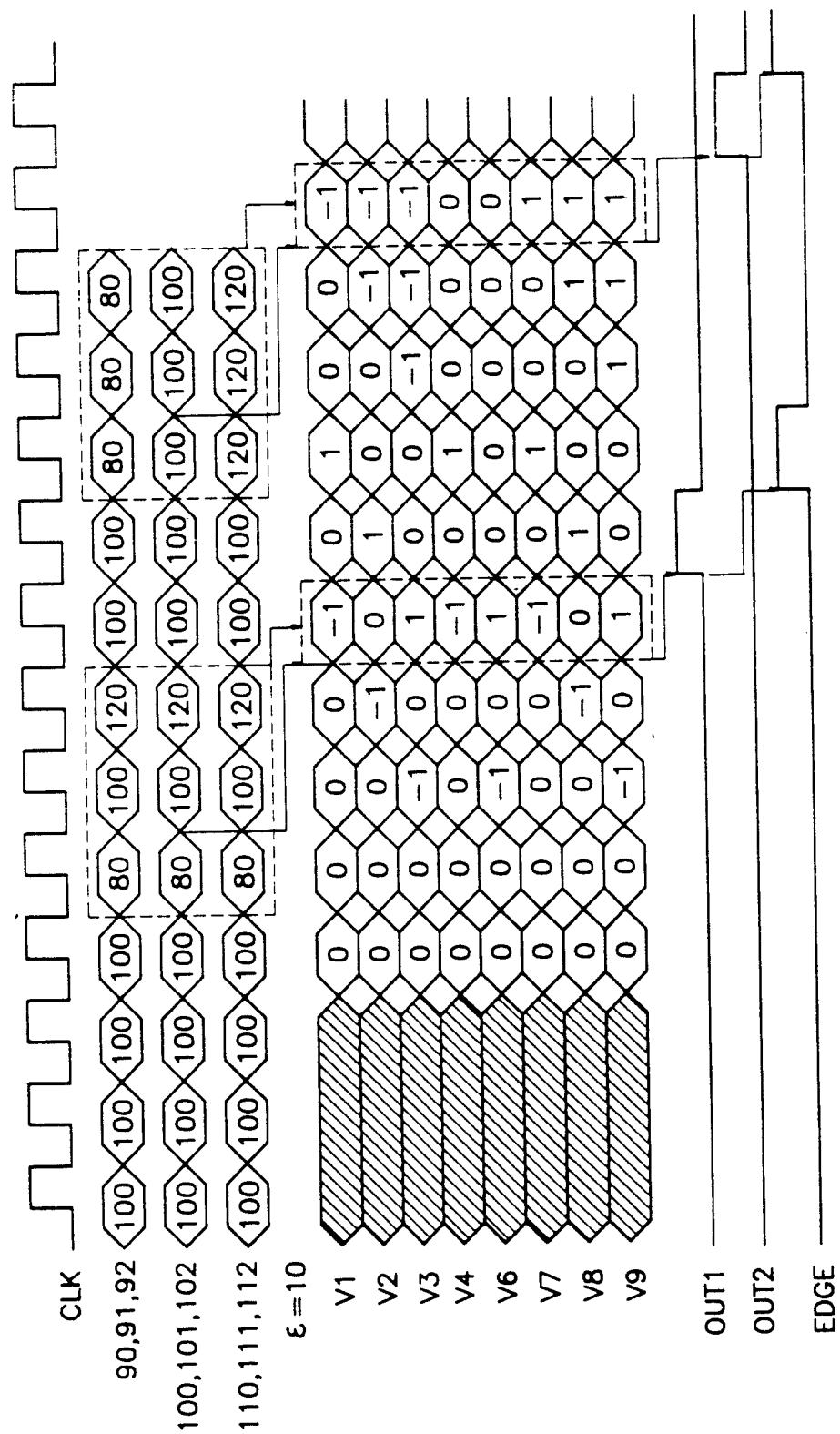
第 9 圖



第 10 圖



第 11 圖



211609

A7
B7
C7
D7

六、申請專利範圍

1. 一種影像處理系統之邊緣檢知方法，包括下列步驟：

一轉換步驟，用以在一 $n \times n$ 檢視窗內獲得一像素資料的平均值，而且使用所述平均值以及一預定的臨界值 ϵ ，將所述 $n \times n$ 檢視窗中之像素資料 Z_j 轉換成三態樣值 V_j ，其中

$$V_j = \begin{cases} -1 & Z_j < M_i - \epsilon \\ 0 & M_i - \epsilon < Z_j < M_i + \epsilon \\ 1 & Z_j > M_i + \epsilon \end{cases}$$

$$j=1, 2, \dots, n$$

一比較步驟，用以比較 V_j ，其係為表示於三態樣值中的所述像素資料，其並有四個預先的邊緣圖型 W_1, W_2, W_3 與 W_4 ，四個預先規定的邊緣圖型定義如下：

$$W_1 = [-1 \ 0 \ -1 \ 0 \ 1 \ -1 \ 0 \ 1]^T$$

$$W_2 = [-1 \ -1 \ -1 \ 0 \ 0 \ 0 \ 1 \ 1]^T$$

$$W_3 = [-1 \ -1 \ 0 \ -1 \ 0 \ 1 \ 0 \ 1]^T$$

$$W_4 = [0 \ -1 \ -1 \ 1 \ 0 \ -1 \ 1 \ 1]^T$$

其中，標準 T 代表矩陣的轉置；以及

一決定步驟，如果 V_j 等於所述四個預先規定的邊緣圖型時，用以決定所述輸入像素資料為一邊緣，否則就是一個邊緣。

2. 一種影像處理系統之邊緣檢知裝置，包括：

一轉換機構，以轉換輸入像素資料成為多態樣值；
一匹配機構，以對所述多態樣值與預先指定值執行內乘；與

211609

(請先閱讀背面之注意事項再填寫本頁)

六、申請專利範圍

一判定機構，以依所述內乘結果作一判定。

- 3.如申請專利範圍第2項所述之一種影像處理系統邊緣檢知裝置，其中所述轉換機構更包括一儲存機構30以儲存所述像素資料。
- 4.如申請專利範圍第3項所述之一種影像處理系統邊緣檢知裝置，其中所述儲存機構30儲存 1×1 資料以儲存中央像素周圍之鄰近像素。
- 5.如申請專利範圍第4項所述之一種影像處理系統邊緣檢知裝置，其中所述轉換機構包括：一平均值計算電路40，以計算所述 1×1 資料之一平均值；與一對應電路50藉由使用所述平均值與一任意的常數以轉換所述 1×1 資料成為所述多態樣值。
- 6.如申請專利範圍第5項所述之一種影像處理系統邊緣檢知裝置，其中所述任意常數係一雜訊降低參數。
- 7.如申請專利範圍第6項所述之一種影像處理系統邊緣檢知裝置，其中所述 1 為 3 。
- 8.如申請專利範圍第7項所述之一種影像處理系統邊緣檢知裝置，其中所述儲存機構30包括：
一第一延遲裝置10以藉一水平掃描線延遲所述輸入像素資料；
一第二延遲裝置20，其係串聯至所述第一延遲裝置，以藉由二條水平掃描線延遲所述輸入像素資料；
第一組三個記錄器90、91、92，其係串聯至一輸入端，以輸入所述輸入像素資料；

裝
訂
處

六、申請專利範圍

- 第二組三個記錄器 100、101、102，其係串聯至第一延遲裝置，以輸入所述一水平掃描線被延遲之信號；
- 第三組三個記錄器 110、111、112，其係串聯至所述第二延遲裝置，以輸入所述二水平掃描線被延遲之信號。
9. 如申請專利範圍第 8 項所述之一種影像處理系統邊緣檢知裝置，其中所述第一、第二、第三 90、91、92、100、101、102、110、111、112 各自分別由一多數 D 型跳擺器所組成。
10. 如申請專利範圍第 9 項所述之一種影像處理系統邊緣檢知裝置，其中，所述平均值計算電路 120 包括：
- 第一組四個加算器 121、122、123、124，以加算由所述第一、第二與第三記錄器中除了所述第二記錄所具有一中央像素資料之外的四對輸出信號；
- 第二組二個加算器 130、131，以加算在由所述第一組四個加算器輸出中除去小位元之後由剩餘之輸出信號選出之二個信號；
- 一第三加算器 140 以加算在由所述第二組二個加算器之輸出除去最小位元之後所剩餘之輸出信號，並輸出一在除去相加信號的最小位元之後所剩餘之信號。
11. 如申請專利範圍第 10 項所述之一種影像處理系統邊緣檢知裝置，其中所述對應電路 150 轉換前述輸入像素資料成為三態樣值。
12. 如申請專利範圍第 11 項所述之一種影像處理系統邊緣檢知裝置，其中所述三態樣值分別為以 2 餘數二進位數字

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

- 11、01與00表示。
- 13.如申請專利範圍第12項所述之一種影像處理系統邊緣檢知裝置，其中，所述對應電路 150包括：
- 一第四加算器 160，以加算所述第三加算器之輸出信號與所述任意常數；
 - 一第五加算器 161以加算所述第三加算器之輸出信號與所述任意常數之負值；
 - 第一組八個比較器 170，以分別比較由所述第四加算器輸出信號與除去中央像素資料之八個像素資料；
 - 第二組八個比較器 171，以分別比較所述第五加算器輸出之一個信號與所述八個像素資料；
 - 八個反相器 180以分別地變換前述第一比較器之輸出信號並各別地輸出前述三態樣值中最小位元信號；與
 - 一組八個OR閘 190，以將所述八個反相輸出信號與所述第二組八個比較器輸出信號作一“OR”動作並分別輸出所述三態樣值中最小位元信號。
- 14.如申請專利範圍第13項所述之一種影像處理系統邊緣檢知裝置，其中所述匹配機構執行所述三態樣值與所述四個預先指定邊緣圖型之內乘。
- 15.如申請專利範圍第14項所述之一種影像處理系統邊緣檢知裝置，其中所述四個預先指定邊緣圖型係由對應的 3×3 矩陣所組成。
- 16.如申請專利範圍第15項所述之一種影像處理系統邊緣檢知裝置，其中每一所述四個預先指定邊緣圖型包括一第

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

一圖型(W_1)，具有在第一行的-1，在第二行的 0，在第三行的 1；一第二圖型(W_2)具有在第一列的-1，在第二列的 0，在第三列的 1；一第三圖型(W_3)具有在第一列的-1、-1、0，在第二列的-1、 0、1，在第三列的 0、1、1；與一第四圖型(W_4)，具有在第一列的(0、-1、-1)在第二列的1、0、1，在第三列的1、1、0。

17. 如申請專利範圍第16項所述之一種影像處理系統邊緣檢知裝置，其中，所述三態樣值與所述第一圖型之內乘電路60包括：

三個反相器 200，以分別轉換所述三態樣值中第一，第四與第七值之最大位元；

三個 AND閘 210，以分別對所述三個反相器之輸出信號與所述三態樣值中第一、第四及第七值中最小位元作邏輯地相乘；

第八組五個加算器 220，以藉使用信號延伸將前述三態樣值中之第三、第六、第九值，與所述三個 AND閘之三個輸出信號，相加；以及

一絕對值電路 230以在當所述第八組五個加算器最後輸出信號為負值時獲得一絕對值。

18. 如申請專利範圍第17項所述之一種影像處理系統邊緣檢知裝置，其中所述三態樣值之內乘電路61與所述第二圖型包括：

三個反相器 200，用以分別轉換所述三態樣值之第一、第二與第三值中的最大位元；

(請先閱讀背面之注意事項再填寫本頁)

裝
訂

六、申請專利範圍

三個 AND閘 210，用以分別對所述三個反相器之輸出信號與所述三狀態值中第一、第二與第三值中最小位元作邏輯相乘；

第九組五個加算器 220，用以藉使用信號延伸將前述三態樣值中第七、第八、第九值三個 AND閘輸出信號相加；以及

一絕對值電路 230，以於當所述第九組五個加算器最後輸出信號為負值時，獲得一絕對值。

19.如申請專利範圍第18項所述之一種影像處理系統邊緣檢知裝置，其中所述三態樣值之內乘電路61與所述第三圖型包括：

三個反相器 200，用以分別地轉換所述三態樣值之第一、第二與第四值中的最大位元；

三個 AND閘 210，用以分別對所述三個反相器之輸出信號與所述三狀態值中第一、第二與第四值中最小位元作邏輯相乘；

第十組五個加算器 220，用以藉使用信號延伸將前述三態樣值中第六、第八、第九值三個 AND閘輸出信號相加；以及

一絕對值電路 230，以於當所述第十組五個加算器最後輸出信號為負值時，獲得一絕對值。

20.如申請專利範圍第19項所述之一種影像處理系統邊緣檢知裝置，其中所述三態樣值之內乘電路63與所述第四圖型包括：

六、申請專利範圍

三個反相器 200，用以分別轉換所述三態樣值之第二、第三與第六值中的最大位元；

三個 AND 閘 210，用以分別對所述三個反相器之輸出信號與所述三狀態值中第二、第三與第六值中最小位元作邏輯相乘；

第十一組五個加算器 220，用以藉使用信號延伸將前述三態樣值中第四、第七、第八值三個 AND 閘輸出信號相加；以及

一絕對值電路 230，以於當所述第十一組五個加算器最後輸出信號為負值時，獲得一絕對值。

21. 如申請專利範圍第20項所述之一種影像處理系統邊緣檢知裝置，其中，所述絕對值電路 230包括：

一OR閘 240，以對輸入四位元中二最小位元作OR動作；

一第一NAND閘 250，以輸入所述OR閘之一輸出信號與所述輸入四位元中的最大位元；

一第二NAND閘 260，以輸入所述輸入四位元中的最大位元與最小位元；

一第一EXNOR閘 270，以輸入所述第一NAND閘輸出之信號與所述輸入四位元之第二最大位元；與

一第二EXNOR閘280，以輸入所述第二NAND閘輸出之信號與所述輸入四位元中之第二最小位元，

藉此，一所述第一 EXNOR閘之一輸出為所述絕對值中之最大位元，所述第八組加算器之最小位元為絕對值中的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

最小位元，所述第二 EXNOR 閘之一輸出為絕對值之中間位元。

22. 如申請專利範圍第 21 項所述之一種影像處理系統邊緣檢知裝置，其中所述判定機構包括：

第三組四個比較器 270，以分別輸入四個絕對值電路之輸出信號與一設定臨界值；

二個 OR 閘 300，以對從所述第三組四個比較器輸出之信號中選出二個信號作 OR 動作；以及

一 OR 閘 310，以對前述二個 OR 閘輸出信號作 OR 動作。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂