



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I612321 B

(45)公告日：中華民國 107 (2018) 年 01 月 21 日

(21)申請案號：103105280

(22)申請日：中華民國 103 (2014) 年 02 月 18 日

(51)Int. Cl. : G01T1/20 (2006.01) H01L27/14 (2006.01)

(30)優先權：2013/02/27 日本 2013-037039

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；秋元健吾 AKIMOTO, KENGO (JP)；高橋
寬暢 TAKAHASHI, HIRONOBU (JP)；金村大志 KANEMURA, HIROSHI (JP)；宮
永昭治 MIYANAGA, AKIHARU (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 201243382A

US 2012/0175618A1

審查人員：林佑霖

申請專利範圍項數：9 項 圖式數：31 共 116 頁

(54)名稱

成像裝置

IMAGING DEVICE

(57)摘要

本發明的目的之一是提供一種對 X 射線等放射線照射的穩定性高，並具有可以抑制電特性的降低的結構的成像裝置。該成像裝置使用 X 射線等放射線獲取影像，並包括與閃爍體重疊的配置為矩陣狀的像素電路。該像素電路包括關態電流極小的開關用電晶體以及受光元件，該電晶體及受光元件與由金屬材料等形成的遮蔽層重疊。藉由採用該結構，可以提供對 X 射線等放射線照射的穩定性高，並可以抑制電特性的降低的成像裝置。

An imaging device which is highly stable to irradiation with radiations such as X-rays and can inhibit a decrease in electrical characteristics is provided. The imaging device obtains an image using radiations such as X-rays and includes pixel circuits which are arranged in a matrix and which a scintillator overlaps. Each of the pixel circuits includes a switching transistor whose off-state current is extremely low and a light-receiving element. A shielding layer formed using a metal material and the like overlaps the transistor and the light-receiving element. With the structure, an imaging device which is highly stable to irradiation with radiations such as X-rays and can inhibit a decrease in electrical characteristics can be provided.

指定代表圖：

符號簡單說明：

- 100 . . . 基板
- 110 . . . 像素電路
- 120 . . . 電路部
- 130 . . . 開口部
- 140 . . . 電路
- 150 . . . 電路
- 160 . . . 遮蔽層
- 170 . . . 層間絕緣膜
- 180 . . . 閃爍體

圖 1A

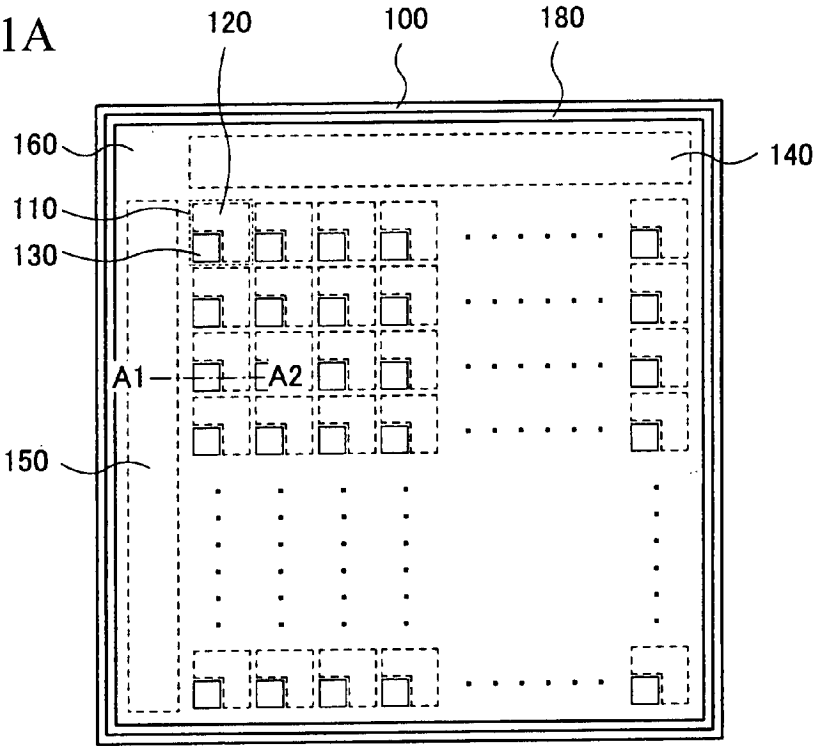
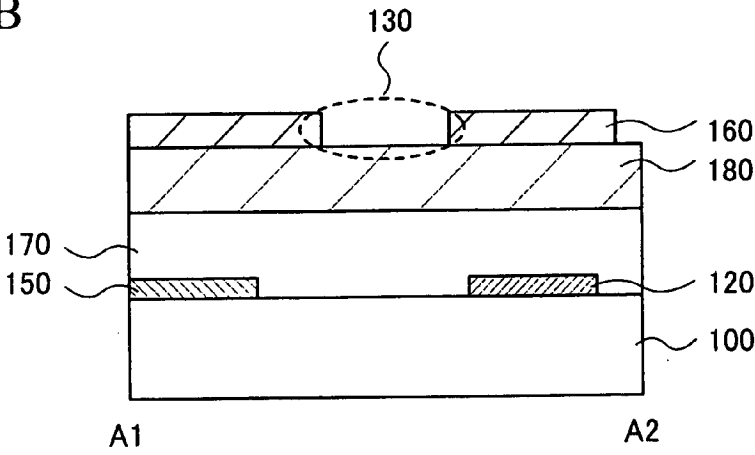


圖 1B



發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

成像裝置

Imaging device

【技術領域】

[0001] 本發明係關於一種物體、方法或製造方法。或者，本發明係關於一種製程 (process)、機器 (machine)、製品 (manufacture) 或組合物 (composition of matter)。尤其是，本發明係關於一種半導體裝置、顯示裝置、發光裝置、蓄電裝置、上述裝置的驅動方法或上述裝置的製造方法。尤其是，本發明係關於一種具有閃爍體 (scintillator) 的成像裝置。

【先前技術】

[0002] 在醫療實務中，使用如下成像技術的醫用影像診斷裝置已廣泛普及：對患者的特定部位（骨、肺等）照射 X 射線，由透過該特定部位的 X 射線將 X 射線底片感光，藉由沖洗該 X 射線底片，使該特定部位的內部的狀態視覺化。

[0003] 上述使用 X 射線底片的方法由於需要確保保管 X 射線底片的空間且其管理繁雜，因此對影像的電子化進行了開發。作為將影像電子化的一個方法，已知有使用

包含具有藉由 X 射線的照射而發光的特性（光激發）的材料成像板（Imaging Plate）的方法。藉由使用掃描器感測從該成像板發出的光，可以得到電子化影像。

[0004] 上述成像板是塗敷有光激發螢光體的板，其對 X 射線吸收差的探測靈敏度比 X 射線底片要高。此外，可以刪除 X 射線照射的資訊，而可以反復使用。然而，能夠由成像板獲取的資訊是類比資訊，所以為了使該資訊電子化必須進行數位化處理。

[0005] 因此，近年來，能夠直接獲取數位資料的平板探測器（Flat Panel Detector）備受注目（例如，專利文獻 1）。平板探測器有直接系統和間接系統的兩種系統，直接系統是使用 X 射線感測元件將 X 射線直接轉換為電荷的系統，而間接系統是使用閃爍體將 X 射線轉換為可見光，並使用光電二極體將該可見光轉換為電荷的方式。在任一實施方式中，平板探測器都包括配置為矩陣狀的多個像素電路。

[0006]

[專利文獻 1]日本專利申請公開平 11-311673 號公報

[0007] 平板探測器所包括的像素電路包括多個電晶體。該電晶體中包含半導體材料，當能量較強的 X 射線等放射線照射於該半導體材料時，該半導體材料中產生缺陷能階，導致電晶體的電特性變動。

[0008] 由於透過閃爍體的微量的放射線也會引起上述現象，因此上述現象成為平板探測器的功耗增加及可靠

性劣化的一個原因。

【發明內容】

[0009] 因此，本發明的一實施方式的目的之一是提供一種對 X 射線等放射線照射的穩定性高的成像裝置。另外，本發明的一實施方式的目的之一是提供一種能夠抑制電特性的降低的結構的成像裝置。另外，本發明的一實施方式的目的之一是提供一種低功耗的成像裝置。另外，本發明的一實施方式的目的之一是提供一種可靠性高的成像裝置。另外，本發明的一實施方式的目的之一是提供一種新穎的成像裝置。

[0010] 請注意，這些目的的記載不妨礙其他目的的存在。本發明的一實施方式並不需要達到所有上述目的。說明書、圖式、申請專利範圍等的記載中顯然存在上述目的以外的目的，而可以從說明書、圖式、申請專利範圍等的記載中抽出上述目的以外的目的。

[0011] 本發明的一實施方式是使用 X 射線等放射線來獲取影像的成像裝置，並包括與閃爍體重疊的配置為矩陣狀的像素電路。該像素電路包括關態電流（off-state current）極小的開關用電晶體以及受光元件，該電晶體及受光元件與由金屬材料等形成的遮蔽層重疊。

[0012] 本發明的一實施方式包括：基板上的多個配置為矩陣狀的像素電路；與基板重疊的閃爍體；以及與閃爍體接觸且重疊的遮蔽層。像素電路包括：受光元件以及

與該受光元件電連接的電路部。遮蔽層與像素電路所包括的區域的一部分重疊。受光元件及電路部與遮蔽層重疊。

[0013] 上述遮蔽層可以使用選自鉛、金、鉑、銥、鐵、銻、鎢、鉭、鉛、鈮、銻和鈦的材料，並以單層或疊層形成。

[0014] 另外，本發明的其他實施方式是一種成像裝置，包括：基板的一個面上的多個配置為矩陣狀的像素電路；以及與基板的另一個面接觸且重疊的閃爍體。像素電路包括受光元件以及與該受光元件電連接的電路部。基板為包含重金屬的玻璃基板。

[0015] 另外，本發明的其他實施方式是一種成像裝置，包括：基板上的多個配置為矩陣狀的像素電路；以及與基板重疊的閃爍體。像素電路包括受光元件以及與該受光元件電連接的電路部。閃爍體包含重金屬。

[0016] 作為上述基板或閃爍體所包含的重金屬，可以使用選自鉛、金、鉑、銥、鐵、銻、鎢、鉭、鉛、鈮、銻和鈦中的一種以上的材料。

[0017] 作為上述受光元件可以使用：由氧化物半導體形成通道形成區的電晶體、光電二極體或者在一對電極間具有半導體層的可變電阻元件。

[0018] 上述包括像素電路的電路部可以採用如下結構：包括電荷積蓄部、第一電晶體、第二電晶體以及第三電晶體。第一電晶體的源極和汲極中的一個與受光元件電連接，第一電晶體的源極和汲極中的另一個與電荷積蓄部

電連接，第二電晶體的閘極與電荷積蓄部電連接，第二電晶體的源極和汲極中的一個與第三電晶體的源極和汲極中的一個電連接，並且，至少第一電晶體的通道形成區由氧化物半導體形成。

[0019] 包括像素電路的電路部可以採用如下結構：包括電荷積蓄部、第一電晶體、第二電晶體、第三電晶體以及第四電晶體。第一電晶體的源極和汲極中的一個與受光元件電連接，第一電晶體的源極和汲極中的另一個與電荷積蓄部電連接，第二電晶體的閘極與電荷積蓄部電連接，第二電晶體的源極和汲極中的一個與第三電晶體的源極和汲極中的一個電連接，第四電晶體的源極和汲極中的一個與電荷積蓄部電連接，並且，至少第一電晶體及第四電晶體的通道形成區由氧化物半導體形成。

[0020] 根據本發明的一實施方式，可以提供一種對X射線等放射線照射的穩定性高的成像裝置。可以提供一種能夠抑制電特性的降低的結構的成像裝置。可以提供一種低功耗的成像裝置。可以提供一種可靠性高的成像裝置。可以提供一種新穎的成像裝置。

[0021] 請注意，這些效果的記載不妨礙其他效果的存在。本發明的一實施方式並不需要具有所有上述效果。說明書、圖式、申請專利範圍等的記載中顯然存在上述效果以外的效果，而可以從說明書、圖式、申請專利範圍等的記載中抽出上述效果以外的效果。

【圖式簡單說明】

[0022]

圖 1A 和圖 1B 是說明成像裝置的圖；

圖 2 是說明成像裝置的圖；

圖 3 是說明成像裝置的圖；

圖 4A 和圖 4B 是說明成像裝置的圖；

圖 5 是說明成像裝置的圖；

圖 6A 和圖 6B 是說明成像裝置的圖；

圖 7A 和圖 7B 是說明成像裝置的圖；

圖 8A 和圖 8B 是各說明像素電路的組態的圖；

圖 9A 至圖 9C 是各說明像素電路的工作的時序圖；

圖 10A 和圖 10B 是各說明像素電路的組態的圖；

圖 11 是說明像素電路的組態的圖；

圖 12 是說明像素電路的組態的圖；

圖 13A 和圖 13B 是各說明像素電路的工作的時序圖；

圖 14 是說明像素電路的組態的圖；

圖 15A 至圖 15C 是各說明積分電路的圖；

圖 16A 和圖 16B 分別是說明全域快門系統和滾動快門系統的工作的時序圖；

圖 17 是配置為矩陣狀的多個像素電路的電路圖；

圖 18 是配置為矩陣狀的多個像素電路的電路圖；

圖 19 是配置為矩陣狀的多個像素電路的電路圖；

圖 20 是配置為矩陣狀的多個像素電路的電路圖；

圖 21 是配置為矩陣狀的多個像素電路的電路圖；

圖 22 是配置為矩陣狀的多個像素電路的電路圖；

圖 23 是配置為矩陣狀的多個像素電路的電路圖；

圖 24 是配置為矩陣狀的多個像素電路的電路圖；

圖 25A 和圖 25B 分別是說明像素電路的佈局的俯視圖及剖面圖；

圖 26A 和圖 26B 分別是說明像素電路的佈局的俯視圖及剖面圖；

圖 27 是說明像素電路的佈局的俯視圖；

圖 28 是說明像素電路的佈局的剖面圖；

圖 29A 和圖 29B 是各說明電晶體的結構的圖；

圖 30 是顯示 X 射線照射前後的電晶體的 I_d-V_g 特性的圖；

圖 31 是顯示因紫外線照射而引起的電晶體的 I_d-V_g 特性變動的圖。

【實施方式】

[0023] 下面，參照圖式對本發明的實施方式進行詳細說明。請注意，本發明不侷限於以下說明，所屬技術領域中具有通常知識者可以很容易地理解一個事實就是，其方式及詳細內容可以被變換為各種各樣的形式。此外，本發明不應該被解釋為僅限定於以下所示的實施方式的記載內容中。請注意，在用於說明實施方式的所有圖式中，使用相同的元件符號來表示相同的部分或具有相似功能的部

分，而省略其重複說明。

[0024] 請注意，在本說明書等中，當明確地記載為「X 與 Y 連接」時，包括如下情況：X 與 Y 電連接的情況；X 與 Y 在功能上連接的情況；以及 X 與 Y 直接連接的情況。這裡，X 和 Y 為目標物（例如，裝置、元件、電路、佈線、電極、端子、導電膜和層等）。因此，不侷限於圖式或文中所例示的連接關係等特定的連接關係，還包括其他元件插置於圖式或文中所示的連接關係中的連接關係。

[0025] 作為 X 和 Y 電連接時的一個例子，可以在 X 和 Y 之間連接一個以上的能夠電連接 X 和 Y 的元件（例如開關、電晶體、電容元件、電感器、電阻元件、二極體、顯示元件、發光元件和負載等）。另外，開關具有控制導通和關閉的功能。換言之，藉由使開關處於導通狀態（開啟狀態）或非導通狀態（關閉狀態）來控制是否使電流流過。或者，開關具有選擇並切換電流路徑的功能。

[0026] 作為 X 和 Y 在功能上連接時的一個例子，可以在 X 和 Y 之間連接一個以上的能夠在功能上連接 X 和 Y 的電路（例如，邏輯電路（反相器、NAND 電路、NOR 電路等）、信號轉換電路（DA 轉換電路、AD 轉換電路、伽馬校正電路等）、電位位準轉換電路（電源電路（升壓電路、降壓電路等）、改變信號的電位位準的位準轉移電路等）、電壓源、電流源、切換電路、放大電路（能夠增大信號振幅或電流量等的電路、運算放大器、差分放大電

路、源極隨耦電路、緩衝電路等）、信號產生電路、記憶體電路、控制電路等）。即使在 X 與 Y 之間設有其他電路，當從 X 輸出的信號傳送到 Y 時，也可以說 X 與 Y 在功能上是連接著的。

[0027] 請注意，當明確地記載為「X 與 Y 連接」時，包括如下情況：X 與 Y 電連接的情況（換言之，以中間設有其他元件或其他電路的方式連接 X 與 Y 的情況）；X 與 Y 在功能上連接的情況（換言之，以中間設有其他電路的方式在功能上連接 X 與 Y 的情況）；以及 X 與 Y 直接連接的情況（換言之，以中間不設有其他元件或其他電路的方式連接 X 與 Y 的情況）。換言之，當明確記載為「電連接」時，與只明確記載為「連接」的情況相同。

[0028] 即使圖式顯示在電路圖上獨立的組件彼此電連接，也有一個組件兼有多個組件的機能的情況。例如，在佈線的一部分被用作電極時，一個導電膜兼有佈線和電極的兩個組件的機能。因此，本說明書中的「電連接」的範疇內還包括這種一個導電膜兼有多個組件的機能的情況。

[0029] 請注意，在本說明書等中，可以使用各種基板形成電晶體。對基板的種類沒有特別的限制。作為該基板的一個例子，如半導體基板（例如，單晶基板或矽基板）、SOI 基板、玻璃基板、石英基板、塑膠基板、金屬基板、不鏽鋼基板、包含不鏽鋼箔的基板、鎢基板、包含

鎢箔的基板、撓性基板、貼合薄膜、包含纖維狀材料的紙或基材薄膜等。作為玻璃基板的一個例子，如鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃或鈉鈣玻璃等。作為撓性基板的一例，如以聚對苯二甲酸乙二醇酯（PET）、聚萘二甲酸乙二醇酯（PEN）、聚醚砜（PES）為代表的塑膠或丙烯酸樹脂等具有撓性的合成樹脂等。作為貼合薄膜的一個例子，如聚丙烯、聚酯、聚氟化乙烯或聚氯乙烯等。作為基材薄膜的一個例子，如聚酯、聚醯胺、聚醯亞胺、無機蒸鍍薄膜或紙等。尤其是，藉由使用半導體基板、單晶基板或 SOI 基板等製造電晶體，可以製造特性、尺寸或形狀等的偏差小、電流能力高且尺寸小的電晶體。當利用上述電晶體構成電路時，可以實現電路的低功耗化或電路的高積體化。

[0030] 請注意，也可以使用某個一基板形成電晶體，然後將電晶體轉移並配置到其他基板上。作為被轉移有電晶體的基板，除了上述可以形成電晶體的基板之外，還可以使用紙基板、玻璃紙基板、石材基板、木材基板、布基板（包括天然纖維（絲、棉、麻）、合成纖維（尼龍、聚氨酯、聚酯）或再生纖維（醋酯纖維、銅氨纖維、人造纖維、再生聚酯）等）、皮革基板、或橡膠基板等。藉由使用上述基板，可以形成特性良好的電晶體或功耗低的電晶體，可以製造不容易發生故障並具有耐熱性的裝置，並且可以實現輕量化或薄型化。

[0031]

實施方式 1

在本實施方式中，參照圖式說明本發明的一實施方式的使用 X 射線等放射線的成像裝置。

[0032] 圖 1A 是本發明的一實施方式的成像裝置的俯視圖，圖 1B 是沿著該俯視圖所示的 A1-A2 的剖面圖。請注意，為了明確起見，省略圖 1A 中的一部分的要素。

[0033] 本發明的一實施方式的成像裝置包括：基板 100 上的配置為矩陣狀的像素電路 110；用來驅動該像素電路的第一電路 140 及第二電路 150；形成在像素電路 110、第一電路 140 以及第二電路 150 上的層間絕緣膜 170 及閃爍體 180；以及與該閃爍體重疊的遮蔽層 160。

[0034] 在圖 1A 中，雖然將用來驅動像素電路 110 的電路稱為第一電路 140 及第二電路 150 並配置為兩個區域，但是該電路的結構並不侷限於此。例如，也可以將用來驅動像素電路 110 的電路組合配置為一個區域。此外，也可以將用來驅動像素電路 110 的電路分割配置為三個以上的區域。此外，用來驅動像素電路 110 的電路既可以採用與構成像素電路 110 的電晶體同樣地直接形成於基板 100 上的結構，又可以採用 COG (Chip On Glass：玻璃上晶片) 等安裝 IC 晶片的結構。此外，也可以將 TCP (Tape Carrier Package：帶載封裝) 等連接於像素電路 110。

[0035] 穿過被攝體的 X 射線等放射線穿過設置在遮蔽層 160 中的開口部 130 入射到閃爍體 180，並轉換成可

見光或紫外線等光（螢光）。於是，設置於該像素電路 110 的受光元件感測出該光，而獲取影像資料。請注意，開口部 130 並不侷限於圖式所示的形狀，也可以是矩形或圓形。此外，遮蔽層 160 也可以形成為島狀。

[0036] 閃爍體 180 由如下物質或材料構成：當被 X 射線或伽馬射線等放射線照射時，吸收其能量而發出可見光或紫外線的物質或包含該物質的材料，已知例如， $\text{Gd}_2\text{O}_2\text{S} : \text{Tb}$ 、 $\text{Gd}_2\text{O}_2\text{S} : \text{Pr}$ 、 $\text{Gd}_2\text{O}_2\text{S} : \text{Eu}$ 、 $\text{BAFCl} : \text{Eu}$ 、 NaI 、 CsI 、 CaF_2 、 BaF_2 、 CeF_3 、 LiF 、 LiI 、 ZnO 等材料和將上述材料分散在樹脂或陶瓷中的材料。唯，照射於閃爍體 180 的放射線的一部分不被利用於光致發光，而穿過閃爍體 180。

[0037] 層間絕緣膜較佳為使用對閃爍體 180 所發的光具有透光性的材料來形成。例如，作為對可見光及紫外線的穿透率高的材料，如氧化矽等。

[0038] 像素電路 110 包括電路部 120，該電路部 120 包含受光元件部及電晶體等。在圖 1B 所示的結構中，受光元件部包含在電路部 120 中。

[0039] 如圖 1A 和圖 1B 所示，由於電路部 120、第一電路 140 以及第二電路 150 與遮蔽層 160 重疊，因此可以防止透過閃爍體的 X 射線等放射線照射於構成上述電路的電晶體。例如，當將 1000Gy 的 X 射線照射於將氧化物半導體用於通道形成區的電晶體時，電晶體的 I_d-V_g 特性如圖 30 所示其臨界電壓向負向漂移。藉由採用本發明的

一實施方式的成像裝置的結構，可以抑制上述電特性的變動。

[0040] 在圖 1B 的結構中，如圖 2 所示，在閃爍體 180 內從 X 射線等放射線 190 轉換成可見光或紫外線等光的光 195 進入到具有透光性的層間絕緣膜 170 中。並且，光 195 的一部分直接到達電路部 120 所包含的受光元件部。

[0041] 閃爍體所包含的樹脂等構成材料較佳為具有比層間絕緣膜 170 高的折射率。藉由採用該材料和層間絕緣膜 170 的結構，可以使在閃爍體 180 內散射的光 195 以容易到達位於遮蔽層 160 下的受光元件部的方式折射。此外，為了使在閃爍體 180 中散射的光 195 容易到達位於遮蔽層 160 下的受光元件部，可以在開口部 130 中設置擴散板、透鏡陣列、繞射光柵、波導（光導纖維）或金屬鏡等。

[0042] 遮蔽層 160 可以使用選自鉛、金、鉑、銥、鐵、銻、鎢、鉭、鉛、鈮、銻和鈳的材料，並以單層或疊層形成。尤其是，當注重安全性和遮蔽能力時，可以選擇鎢或鉭。當注重價格等時，可以選擇鉛。遮蔽層 160 具有遮蔽 X 射線等放射線的功能。

[0043] 藉由採用上述結構，可以減少穿過閃爍體 180 及開口部 130 的 X 射線等放射線直接照射於受光元件部的量。因此，可以抑制與電晶體同樣由半導體形成的受光元件部的電特性的變動。

[0044] 另外，如圖 3 所示的剖面圖所示，也可以在開口部 130 的正下方配置受光元件 125。在此情況下，由於使用閃爍體 180 使從 X 射線等放射線轉換的可見光或紫外線等光 195 容易到達受光元件 125，因此可以提高感光度。但是，穿過閃爍體 180 的 X 射線等放射線直接照射於受光元件 125。因此，作為受光元件 125，較佳為使用因放射線照射引起的電特性變動量較少的元件。

[0045] 本發明的一實施方式的成像裝置也可以具有圖 4A 和圖 4B 所示的結構。圖 4A 是俯視圖，圖 4B 是沿著該俯視圖所示的虛線 B1-B2 的剖面圖。請注意，為了明確起見，省略圖 4A 中的一部分的組件。

[0046] 圖 4A 和圖 4B 所示的成像裝置包括：基板 100 上的配置為矩陣狀的像素電路 110；用來驅動該像素電路的第一電路 140 及第二電路 150；形成在像素電路 110、第一電路 140 以及第二電路 150 上的具有透光性的層間絕緣膜 170 及遮蔽層 160；以及與該遮蔽層重疊的閃爍體 180。

[0047] 圖 4A 和圖 4B 所示的成像裝置與圖 1A 和圖 1B 所示的裝置在遮蔽層 160 與閃爍體 180 的層疊順序上不同，而其他結構相同。

[0048] 在圖 4A 和圖 4B 所示的成像裝置中，如圖 5 所示，在閃爍體 180 內從 X 射線 190 轉換成可見光或紫外線等光的光 195 進入到具有透光性的層間絕緣膜 170 中。而後，光 195 的一部分直接到達電路部 120 所包含的受光

元件部。此外，在閃爍體 180 內散射的光 195 可以在層間絕緣膜 170 內反復地反射，而使其一部分到達電路部 120 所包含的受光元件部。

[0049] 開口部 130 較佳為具有比層間絕緣膜 170 的折射率高的材料。藉由將該材料形成於開口部 130，可以使在閃爍體 180 內散射的光 195 以容易到達位於遮蔽層 160 下的受光元件部的方式折射。此外，開口部 130 還可以具有閃爍體 180 或透光性的黏合層。此外，也可以在閃爍體 180 與遮蔽層 160 之間具有黏合層。此外，可以在開口部 130 中設置擴散板、透鏡陣列、繞射光柵、波導（光導纖維）或金屬鏡等。

[0050] 請注意，圖 4A 和圖 4B 所示的成像裝置也可以採用如圖 3 所示的在開口部 130 的正下方配置受光元件 125 的結構。

[0051] 本發明的一實施方式的成像裝置也可以具有圖 6A 和圖 6B 所示的結構。圖 6A 是俯視圖，圖 6B 是沿著該俯視圖所示的虛線 C1-C2 的剖面圖。請注意，為了明確起見，省略圖 6A 中的一部分的組件。

[0052] 圖 6A 和圖 6B 所示的成像裝置包括：包含重金屬的基板 101 的一個面上的配置為矩陣狀的像素電路 110；用來驅動該像素電路的第一電路 140 及第二電路 150；以及形成在像素電路 110、第一電路 140 以及第二電路 150 上的具有透光性的層間絕緣膜 170，在基板 101 的另一個面上具有閃爍體 180。

[0053] 圖 1A 和圖 1B 以及圖 4A 和圖 4B 所示的成像裝置各具有由使用上述金屬材料的遮蔽層 160 遮蔽照射於電晶體等的 X 射線等放射線的結構。另一方面，圖 6A 和圖 6B 所示的成像裝置為由包含以鉛玻璃為代表的重金屬等的基板 101 遮蔽 X 射線等放射線的結構。因此，可以省略作為圖 1A 和圖 1B 以及圖 4A 和圖 4B 的成像裝置的組件的遮蔽層 160。

[0054] 作為包含重金屬的基板 101，例如可以使用包含一種以上的上述能夠用作遮蔽層 160 的金屬材料的玻璃基板。此外，也可以使用作為放射線的遮蔽物包含鋇或鋇的玻璃基板。其他與圖 1A 和圖 1B 中的元件相似的元件可以參照圖 1A 和圖 1B 的成像裝置的說明。

[0055] 本發明的一實施方式的成像裝置也可以是圖 7A 和圖 7B 所示的結構。圖 7A 是俯視圖，圖 7B 是沿著該俯視圖所示的虛線 D1-D2 的剖面圖。請注意，為了明確起見，省略圖 7A 中的一部分的組件。

[0056] 圖 7A 和圖 7B 所示的成像裝置包括：基板 100 上的配置為矩陣狀的像素電路 110；用來驅動該像素電路的第一電路 140 及第二電路 150；以及形成在像素電路 110、第一電路 140 以及第二電路 150 上的具有透光性的層間絕緣膜 170，以及在該層間絕緣膜 170 上具有包含重金屬的閃爍體 181。

[0057] 圖 7A 和圖 7B 所示的成像裝置具有由包含重金屬的閃爍體 181 遮蔽照射於電晶體等的 X 射線等放射線

的結構。因此，可以省略作為圖 1A 和圖 1B 以及圖 4A 和圖 4B 的成像裝置的組件的遮蔽層 160。

[0058] 作為包含重金屬的閃爍體 181，例如可以使用包含一種以上的上述能夠用作遮蔽層 160 的金屬材料的閃爍體。其他與圖 1A 和圖 1B 中的元件相似的元件可以參照圖 1A 和圖 1B 的成像裝置的說明。

[0059] 由此，可以提供對 X 射線等放射線照射的穩定性高並可以抑制電特性的降低的結構的成像裝置。

[0060] 請注意，本實施方式可以與本說明書所示的其他實施方式適當地組合。

[0061]

實施方式 2

在本實施方式中，對在實施方式 1 中說明的可以用作像素電路的電路進行說明。

[0062] 圖 8A 顯示可以用作像素電路 110 的電路的一個例子。電路 200 包括：光電二極體 220；第一電晶體 201；第二電晶體 202；以及第三電晶體 203。

[0063] 光電二極體 220 的陽極與第一佈線 211（RS）電連接，光電二極體 220 的陰極與第一電晶體 201 的源極和汲極中的一個電連接，第一電晶體 201 的源極和汲極中的另一個與佈線 205（FD）電連接，第一電晶體 201 的閘極與第二佈線 212（TX）電連接，第二電晶體 202 的源極和汲極中的一個與第四佈線 214（GND）電連接，第二電晶體 202 的源極和汲極中的另一個與第三電晶

體 203 的源極和汲極中的一個電連接，第二電晶體 202 的閘極與佈線 205 (FD) 電連接，第三電晶體 203 的源極和汲極中的另一個與第五佈線 215 (OUT) 電連接，第三電晶體 203 的閘極與第三佈線 213 (SE) 電連接。

[0064] 光電二極體 220 是受光元件，生成對應於入射到像素電路的光的量的電流。第一電晶體 201 控制光電二極體 220 於佈線 205 (FD) 的電荷積蓄。第二電晶體 202 輸出對應於佈線 205 (FD) 的電位的信號。第三電晶體 203 控制讀出時的像素電路的選擇。

[0065] 請注意，佈線 205 (FD) 是電荷保持節點，保持根據光電二極體 220 接受的光的量而變化的電荷，即電荷積蓄部。實質上的電荷積蓄部為：與佈線 205 (FD) 電連接的第一電晶體 201 的源極區或汲極區附近的空乏層的電容、佈線 205 (FD) 的佈線電容、與佈線 205 (FD) 電連接的第二電晶體 202 的閘極電容等。

[0066] 第一佈線 211 (RS) 是用來將佈線 205 (FD) 重設的信號線。電路 200 中的第一佈線 211 (RS) 也是用來對佈線 205 (FD) 進行電荷積蓄的信號線。第二佈線 212 (TX) 是用來控制第一電晶體 201 的信號線。第三佈線 213 (SE) 是用來控制第三電晶體 203 的信號線。第四佈線 214 (GND) 是設定參考電位 (例如 GND) 的信號線。第五佈線 215 (OUT) 是用來讀出在電路 200 得到的資訊的信號線。

[0067] 像素電路 110 也可以是圖 8B 所示的結構。圖

8B 所示的電路 210 與圖 8A 所示的電路 200 雖然包含相同組件，但是其不同之處在於：光電二極體 220 的陽極與第一電晶體 201 的源極和汲極中的一個電連接，而光電二極體 220 的陰極與第一佈線 211 (RS) 電連接。

[0068] 接著，對圖 8A 和圖 8B 所示的各元件的結構進行說明。

[0069] 作為光電二極體 220，可以使用由矽半導體等形成的 pn 接面光電二極體或 pin 接面的光電二極體。當閃爍體發出可見光時，較佳為使用具有由非晶矽形成的 i 型的半導體層的 pin 型光電二極體。非晶矽在可見光的波長區域中的光譜靈敏度高，而易於感測微弱的可見光。

[0070] 請注意，本說明書中 i 型半導體不僅指費米能階位於能帶間隙的中央的所謂的本質半導體，還指包含在半導體中的賦予 p 型的雜質或賦予 n 型的雜質的濃度分別為 $1 \times 10^{20} \text{ atoms/cm}^3$ 以下以及光電導率比暗電導率高的半導體。

[0071] 第一電晶體 201、第二電晶體 202 以及第三電晶體 203 雖然可以使用非晶矽、微晶矽、多晶矽、單晶矽等矽半導體形成，但是較佳為使用氧化物半導體形成。使用氧化物半導體形成通道形成區域的電晶體具有極低的關態電流。

[0072] 尤其是，若與佈線 205 (FD) 連接的第一電晶體 201 的洩漏電流大，會使能夠保存積蓄於佈線 205 (FD) 的電荷的時間不夠充分，因此較佳為至少第一電

晶體 201 使用氧化物半導體形成。藉由使用將氧化物半導體用於電晶體的電晶體，可以防止經過光電二極體的不必要的電荷洩漏。

[0073] 另外，在第二電晶體 202、第三電晶體 203 中，若洩漏電流大，會引起不必要的電荷輸出到第四佈線 214 或第五佈線 215，因此作為上述電晶體，較佳使用由氧化物半導體形成通道形成區的電晶體。

[0074] 接著，參照圖 9A 所示的時序圖說明圖 8A 的電路 200 的工作的例子。

[0075] 在圖 9A 中，為了簡化說明，將各佈線的電位設定為在兩個位準之間變化的信號。請注意，由於各電位是類比信號，因此實際上根據情況電位可以具有多個位準而不限於兩個位準。圖 9A 所示的信號 301 相當於第一佈線 211 (RS) 的電位，信號 302 相當於第二佈線 212 (TX) 的電位，信號 303 相當於第三佈線 213 (SE) 的電位，信號 304 相當於佈線 205 (FD) 的電位，信號 305 相當於第五佈線 215 (OUT) 的電位。

[0076] 在時刻 A 中，當將第一佈線 211 的電位（信號 301）設定為「High」，並將第二佈線 212 的電位（信號 302）設定為「High」時，光電二極體 220 被施加正向偏壓，而佈線 205 的電位（信號 304）成為「High」。也就是說，電荷積蓄部的電位被初始化為第一佈線 211 的電位，而成為重設狀態。以上為重設工作的開始。請注意，將第五佈線 215 的電位（信號 305）預充電為「High」。

[0077] 在時刻 B 中，當將第一佈線 211 的電位（信號 301）設定為「Low」，並將第二佈線 212 的電位（信號 302）設定為「High」時，重設工作結束，而積蓄工作開始。在此，因為光電二極體 220 被施加反向偏壓，所以反向電流導致佈線 205 的電位（信號 304）開始降低。由於當光電二極體 220 被照射光時反向電流會增大，因此佈線 205 的電位（信號 304）的降低速度根據照射於光電二極體 220 的光的量變化。也就是說，第二電晶體 202 的源極與汲極之間的通道電阻根據照射於光電二極體 220 的光的量變化。

[0078] 請注意，在此，照射於光電二極體 220 的光是指從 X 射線等放射線藉由閃爍體轉換成的光。

[0079] 在時刻 C 中，當將第二佈線 212 的電位（信號 302）設定為「Low」時，積蓄工作結束，佈線 205 的電位（信號 304）被固定。在此，該電位根據在積蓄工作中光電二極體 220 所產生的電荷量來決定。也就是說，該電位根據照射於光電二極體 220 的光的量變化。此外，第一電晶體 201 由於是由使用氧化物半導體層形成通道形成區的關態電流極小的電晶體構成的，因此直到進行後面的選擇工作（讀出工作）為止，可以將佈線 205 的電位保持為固定。

[0080] 請注意，當將第二佈線 212 的電位（信號 302）設定為「Low」時，有時因第二佈線 212 與佈線 205 之間的寄生電容而使佈線 205 的電位產生變化。當該電位

的變化量大時，無法在積蓄工作中獲取正確的光電二極體 220 生成的電荷量。減少該電位的變化量的有效例子是減少第一電晶體 201 的閘極與源極之間（或閘極與汲極之間）的電容、增大第二電晶體 202 的閘極電容或在佈線 205 中設置儲存電容器等。請注意，在本實施方式中，藉由上述對策而可以忽略該電位的變化。

[0081] 在時刻 D 中，當將第三佈線 213 的電位（信號 303）設定為「High」時，第三電晶體 203 導通並開始選擇工作，第四佈線 214 和第五佈線 215 藉由第二電晶體 202 和第三電晶體 203 相互電連接。並且，第五佈線 215 的電位（信號 305）逐漸降低。請注意，僅需在時刻 D 之前結束第五佈線 215 的預充電。在此，第五佈線 215 的電位（信號 305）降低的速度取決於第二電晶體 202 的源極與汲極之間的電流。也就是說，根據在積蓄工作中照射於光電二極體 220 的光的量變化。

[0082] 在時刻 E 中，當將第三佈線 213 的電位（信號 303）設定為「Low」時，第三電晶體 203 被關閉而結束選擇工作，第五佈線 215 的電位（信號 305）成為固定值。在此，成為固定值的值根據照射於光電二極體 220 的光的量變化。因此，藉由取得第五佈線 215 的電位，可以得知在積蓄工作中的照射於光電二極體 220 的光的量。

[0083] 明確而言，若照射於光電二極體 220 的光較強，則佈線 205 的電位變低，第二電晶體 202 的閘極電壓變低，所以第五佈線 215（信號 305）的電位緩慢降低。

因此，可以從第五佈線 215 讀出較高的電位。

[0084] 與此相反，若照射於光電二極體 220 的光較弱，則佈線 205 的電位變高，第二電晶體 202 的閘極電壓變高，所以第五佈線 215（信號 305）的電位快速降低。因此，可以從第五佈線 215 讀出較低的電位。

[0085] 接著，參照圖 9B 所示的時序圖說明圖 8B 的電路 210 的工作的例子。

[0086] 在時刻 A 中，當將第一佈線 211 的電位（信號 301）設定為「Low」，並將第二佈線 212 的電位（信號 302）設定為「High」時，光電二極體 220 被施加正向偏壓，而佈線 205 的電位（信號 304）成為「Low」。也就是說，電荷積蓄部的電位成為重設狀態。以上為重設工作的開始。另外，將第五佈線 215 的電位（信號 305）預充電為「High」。

[0087] 在時刻 B 中，當將第一佈線 211 的電位（信號 301）設定為「High」，並將第二佈線 212 的電位（信號 302）設定為「High」時，重設工作結束，而積蓄工作開始。在此，因為光電二極體 220 被施加反向偏壓，所以反向電流導致佈線 205（信號 304）的電位開始增加。由於當光電二極體 220 被照射光時反向電流會增大，因此佈線 205 的電位（信號 304）的增加速度根據照射於光電二極體 220 的光的量變化。也就是說，第二電晶體 202 的源極與汲極之間的通道電阻根據照射於光電二極體 220 的光的量變化。

[0088] 時刻 C 及其後的工作可以參照圖 9A 的時序圖的說明，藉由在時刻 E 中取得第五佈線 215 的電位，可以得知在積蓄工作中的照射於光電二極體 220 的光的量。

[0089] 另外，像素電路 110 也可以是圖 10A 和圖 10B 所示的組態。

[0090] 圖 10A 所示的電路 250 具有圖 8A 所示的電路 200 的組態附加了第四電晶體 204 的組態，該電晶體的閘極與第一佈線 211 (RS) 電連接，該電晶體的源極和汲極中的一個與佈線 205 (FD) 電連接，該電晶體的源極和汲極中的另一個與第七佈線 217 電連接，光電二極體 220 的陽極電連接於第六佈線 216。在此，第六佈線 216 是用來不間斷地對光電二極體 220 施加反向偏壓的信號線（低電位線）。此外，第七佈線 217 是用來將佈線 205 重設到高電位的信號線（高電位線）。

[0091] 第四電晶體 204 用作將佈線 205 (FD) 重設的重設電晶體。因此，不同於圖 8A 所示的電路 200，不進行藉由光電二極體 220 的重設工作，而不間斷地對該光電二極體施加反向偏壓。佈線 205 (FD) 的重設可以藉由將第一佈線 211 (RS) 的電位控制為「High」而進行，電路 250 與圖 8A 所示的電路 200 相同，可以根據圖 9A 所示的時序圖來工作。

[0092] 圖 10B 所示的電路 260 具有圖 8B 所示的電路 210 組態附加了第四電晶體 204 的組態，該電晶體的閘極與第一佈線 211 (RS) 電連接，該電晶體的源極和汲極中

的一個與佈線 205 (FD) 電連接，該電晶體的源極和汲極中的另一個與第七佈線 217 電連接，光電二極體 220 的陰極電連接於第六佈線 216。在此，第六佈線 216 是用來不間斷地對光電二極體 220 施加反向偏壓的信號線（高電位線）。此外，第七佈線 217 是用來將佈線 205 重設到低電位的信號線（低電位線）。

[0093] 第四電晶體 204 用作將佈線 205 (FD) 重設的重設電晶體。因此，不同於圖 8B 所示的電路 210，不進行藉由光電二極體 220 的重設工作，而不間斷地對該光電二極體施加反向偏壓。佈線 205 (FD) 的重設可以藉由將第一佈線 211 (RS) 的電位控制為「High」而進行，電路 260 可以根據圖 9C 所示的時序圖來工作。

[0094] 第四電晶體 204 可以使用非晶矽、微晶矽、多晶矽、單晶矽等矽半導體來形成，但是若第四電晶體 204 洩漏電流大，會使能夠在電荷積蓄部保存電荷的時間不夠充分。因此，與第一電晶體 201 相同，第四電晶體 204 較佳為使用由具有關態電流極小的特性的氧化物半導體形成的電晶體。

[0095] 另外，像素電路 110 也可以是圖 11 所示的結構。圖 11 所示的電路 270 具有圖 8A 或圖 8B 的組態中的感光元件將光電二極體替換成可變電阻元件 230 的組態。可以將一對電極及設置於該一對電極之間的具有 i 型導電型的半導體層用於該可變電阻元件。

[0096] 例如，當作為該半導體層使用 i 型非晶矽層

時，因被可見光照射而使電阻變化，所以與使用光電二極體的情況同樣地可以改變佈線 205 的電位，並可以得知在積蓄工作中照射於可變電阻元件 230 的光的量。此外，作為具有 i 型導電型的半導體層，也可以使用能帶間隙為 3eV 以上的氧化物半導體層。該氧化物半導體層由於被紫外線照射而電阻產生變化，因此可以改變佈線 205 的電位，並可以得知在積蓄工作中照射於可變電阻元件 230 的光的量。另外，若要選擇照射於可變電阻元件 230 的光的波長，可改變閃爍體 180 的種類。

[0097] 在圖 11 所示的電路 270 中，藉由將第六佈線 216 的電位設定為「Low」並將第七佈線 217 的電位設定為「High」，可以根據圖 9A 所示的時序圖工作。此外，藉由將第六佈線 216 的電位設定為「High」並將第七佈線 217 的電位設定為「Low」，可以根據圖 9C 所示的時序圖工作。

[0098] 另外，像素電路 110 也可以是圖 12 所示的組態。

[0099] 圖 12 所示的電路 280 具有將圖 8A 所示的電路 200 的組態中的光電二極體 220 替換成電晶體 240 的組態，該電晶體的閘極與第一佈線 211 (RS) 電連接，該電晶體的源極和汲極中的一個與第一電晶體 201 的源極和汲極中的一個電連接，該電晶體的源極和汲極中的另一個與第八佈線 (RS2) 電連接。

[0100] 電晶體 240 在關閉狀態時流動的電流根據光

的照射強度變化（光的照射強度越大，流動的電流越多）。因此，藉由以使電晶體 240 成為關閉狀態的方式對閘極施加電壓，可以使其成為與光電二極體的反向偏差同樣的狀態，並可以使其作為受光元件而工作。不需要另行形成光電二極體，而可以以低成本形成成像裝置。

[0101] 作為電晶體 240，藉由使用關態電流極小的電晶體，可以擴大動態範圍。作為該電晶體，較佳為使用可以用於上述第一電晶體 201 至第三電晶體 203 的氧化物半導體的電晶體。

[0102] 另外，當使用能帶間隙為 3eV 以上的氧化物半導體來形成用作受光元件的電晶體 240 時，該電晶體的關態電流隨紫外線的照射發生大的變化。換言之，可以將該電晶體用作紫外線感測器而工作。例如，圖 31 顯示對使用 In-Ga-Zn 氧化物形成通道形成區的電晶體照射波長不同的紫外線時的 I_d-V_g 特性。可知波長越短，關閉狀態的電流值越高，越容易對紫外線產生反應。

[0103] 接著，參照圖 13A 所示的時序圖說明圖 12 的電路 280 的工作的例子。

[0104] 圖 13A 所示的信號 301 相當於第一佈線 211（RS）的電位，信號 302 相當於第二佈線 212（TX）的電位，信號 303 相當於第三佈線 213（SE）的電位，信號 304 相當於佈線 205（FD）的電位，信號 305 相當於第五佈線 215（OUT）的電位，信號 308 相當於第八佈線 218 的電位。

[0105] 在時刻 A 中，當將第一佈線 211 的電位（信號 301）設定為「High」，將第二佈線 212 的電位（信號 302）設定為「High」，並將第八佈線 218 的電位（信號 308）設定為「High」時，電晶體 240 成為開啟狀態（on-state），而佈線 205 的電位（信號 304）成為「High」。也就是說，電荷積蓄部的電位被初始化為第八佈線 218 的電位，成為重設狀態。以上為重設工作的開始。請注意，將第五佈線 215 的電位（信號 305）預充電為「High」。

[0106] 在時刻 B 中，當將第一佈線 211 的電位（信號 301）設定為「Low」，將第二佈線 212 的電位（信號 302）設定為「High」，並將第八佈線 218 的電位（信號 308）設定為「Low」時，重設工作結束，而積蓄工作開始。在此，雖然電晶體 240 成為關閉狀態，但是因為在該電晶體的源極與汲極之間流動的電流根據光的照射強度而變化，所以佈線 205 的電位（信號 304）開始降低。由於當電晶體 240 被照射光時關態電流會增大，因此佈線 205 的電位（信號 304）的降低速度根據照射於電晶體 240 的光的量變化。也就是說，第二電晶體 202 的源極與汲極之間的通道電阻根據照射於電晶體 240 的光的量變化。

[0107] 請注意，在此，照射於電晶體 240 的光是指從 X 射線等放射線藉由閃爍體轉換成的光。

[0108] 在時刻 C 中，當將第二佈線 212 的電位（信號 302）設定為「Low」時，積蓄工作結束，因而佈線

205 的電位（信號 304）被固定。在此，該電位根據在積蓄工作中照射於電晶體 240 的光的量變化。此外，第一電晶體 201 由於是由使用氧化物半導體層形成通道形成區的關態電流極小的電晶體構成的，因此直到進行後面的選擇工作（讀出工作）為止，可以將佈線 205 的電位保存為固定。

[0109] 在時刻 D 中，當將第三佈線 213 的電位（信號 303）設定為「High」時，第三電晶體 203 導通並開始選擇工作，第四佈線 214 和第五佈線 215 藉由第二電晶體 202 和第三電晶體 203 相互電連接。並且，第五佈線 215 的電位（信號 305）開始降低。請注意，僅需在時刻 D 之前結束第五佈線 215 的預充電。在此，第五佈線 215 的電位（信號 305）降低的速度取決於第二電晶體 202 的源極與汲極之間的電流。也就是說，第五佈線 215 的電位（信號 305）根據在積蓄工作中照射於電晶體 240 的光的量變化。

[0110] 在時刻 E 中，當將第三佈線 213 的電位（信號 303）設定為「Low」時，第三電晶體 203 被遮擋而選擇工作結束，第五佈線 215 的電位（信號 305）成為固定值。在此，成為固定值的值根據照射於電晶體 240 的光的量變化。因此，藉由取得第五佈線 215 的電位，可以得知在積蓄工作中照射於電晶體 240 的光的量。

[0111] 另外，圖 12 的電路 280 也可以根據圖 13B 所示的時序圖工作。

[0112] 在時刻 A 中，當將第一佈線 211 的電位（信號 301）設定為「High」，將第二佈線 212 的電位（信號 302）設定為「High」，並將第八佈線 218 的電位（信號 308）設定為「Low」時，電晶體 240 成為開啟狀態，而佈線 205 的電位（信號 304）成為「Low」。也就是說，電荷積蓄部的電位被初始化為第八佈線 218 的電位，而成為重設狀態。以上為重設工作的開始。請注意，將第五佈線 215 的電位（信號 305）預充電為「High」。

[0113] 在時刻 B 中，當將第一佈線 211 的電位（信號 301）設定為「Low」，將第二佈線 212 的電位（信號 302）設定為「High」，並將第八佈線 218（信號 308）的電位設定為「High」時，結束重設工作，而開始積蓄工作。在此，雖然電晶體 240 為關閉狀態，但是因為在該電晶體的源極與汲極之間流動的電流根據光的照射而變化，所以佈線 205 的電位（信號 304）開始上升。由於當電晶體 240 被照射光時關態電流會增大，因此佈線 205 的電位（信號 304）的上升速度根據照射於電晶體 240 的光的量變化。也就是說，第二電晶體 202 的源極與汲極之間的通道電阻根據照射於電晶體 240 的光的量變化。

[0114] 時刻 C 之後的工作可以參照圖 13A 的時序圖的說明，藉由在時刻 E 中取得第五佈線 215 的電位，可以得知在積蓄工作中照射於電晶體 240 的光的量。

[0115] 像素電路 110 可以有圖 14 所示的組態。

[0116] 圖 14 所示的電路 290 是將圖 10A 所示的電路

250 的組態中的光電二極體 220 替換成電晶體 240 的結構。該電晶體的閘極與第六佈線 216 電連接，該電晶體的源極和汲極中的一個與第一電晶體 201 的源極和汲極中的一個電連接，該電晶體的源極和汲極中的另一個與第八佈線 218 電連接。

[0117] 藉由將第六佈線 216 的電位設定為始終為「Low」，將第七佈線 217 的電位設定為始終為「High」，並將第八佈線 218 的電位設定為始終為「Low」，圖 14 所示的電路 290 可以根據圖 9A 所示的時序圖工作。此外，藉由將第六佈線 216 的電位設定為始終為「Low」，將第七佈線 217 的電位設定為始終為「Low」，並將第八佈線 218 的電位設定為始終為「High」，圖 14 所示的電路 290 可以根據圖 9C 所示的時序圖工作。

[0118] 請注意，在上述能夠用於像素電路 110 的電路例子中，可以將如圖 15A、圖 15B 和圖 15C 所示的積分電路連接於第五佈線 215 (OUT)。根據該電路，可以提高讀出信號的 S/N 比，而感測出更微弱的光。也就是說，可以提高成像裝置的靈敏度。

[0119] 圖 15A 是使用了運算放大電路（亦稱為 op-amp）的積分電路。運算放大電路的反相輸入端子藉由電阻元件 R 連接於第五佈線 215 (OUT)。運算放大電路的非反相輸入端子連接於地電位。運算放大電路的輸出端子藉由電容元件 C 連接於運算放大電路的反相輸入端子。

[0120] 在此，假設運算放大電路是理想的放大電路。換言之，假設輸入阻抗是無限大的（電流不流入輸入端子）。由於在穩態下非反相輸入端子的電位與反相輸入端子的電位相等，因此可以認為反相輸入端子的電位是地電位。

[0121] 當將第五佈線 215（OUT）的電位表示為 V_i ，將運算放大電路的輸出端子的電位表示為 V_o ，將流過電阻元件 R 的電流表示為 i_1 ，並將流過電容元件 C 的電流表示為 i_2 時，下列算式（1）、算式（2）和算式（3）的關係成立。

[0122]

$$V_i = i_1 \cdot R \quad (1)$$

$$i_2 = C \cdot dV_o / dt \quad (2)$$

$$i_1 + i_2 = 0 \quad (3)$$

[0123] 在此，在時刻 $t=0$ 時將電容元件 C 的電荷放電時，時刻 $t=t$ 的運算放大電路的輸出端子的電位 V_o 以算式（4）表示。

[0124]

$$V_o = -(1/CR) \int V_i dt \quad (4)$$

[0125] 也就是說，藉由將時間 t （積分時間）設定得較長，可以提高讀出的電位（ V_i ）並作為輸出信號 V_o 將其輸出。此外，將時間 t （積分時間）設定得較長相當於使熱雜訊等平均化，而可以提高輸出信號 V_o 的 S/N 比。

[0126] 在實際的運算放大電路中，在輸入端子沒有輸入信號時，偏壓電流也會流動，因此在輸出端子產生輸出電壓，於是電荷積蓄在電容元件 C 中。因此，有效的是，採用以與電容元件 C 並聯的方式連接電阻元件並進行放電的結構。

[0127] 圖 15B 是包含結構不同於圖 15A 的運算放大電路的積分電路。運算放大電路的反相輸入端子藉由電阻元件 R 和電容元件 $C1$ 連接於第五佈線 215 (OUT)。運算放大電路的非反相輸入端子連接於地電位。運算放大電路的輸出端子藉由電容元件 $C2$ 連接於運算放大電路的反相輸入端子。

[0128] 在此，假設運算放大電路是理想的。換言之，假設輸入阻抗是無限大的（輸入端子沒有流入電流）。由於在穩態下非反相輸入端子的電位與反相輸入端子的電位相等，因此可以認為反相輸入端子的電位是地電位。

[0129] 當將第五佈線 215 (OUT) 的電位表示為 V_i ，將運算放大電路的輸出端子的電位表示為 V_o ，將流過電阻元件 R 以及電容元件 $C1$ 的電流表示為 i_1 ，並將流過電容元件 $C2$ 的電流表示為 i_2 時，下列算式 (5)、算式 (6) 和算式 (7) 的關係成立。

[0130]

$$V_i = (1/C_1) \int i_1 dt + i_1 \cdot R \quad (5)$$

$$i_2 = C_2 \cdot dV_o / dt \quad (6)$$

$$i_1 + i_2 = 0 \quad (7)$$

[0131] 在此，在時刻 $t=0$ 且將電容元件 C_2 的電荷放電時，作為時刻 $t=t$ 時的運算放大電路的輸出端子的電位 V_o ，在算式（8）滿足的情況下算式（9）對應於高頻成分，而在算式（10）滿足的情況下算式（11）對應於低頻成分。

[0132]

$$V_o \ll dV_o / dt \quad (8)$$

$$V_o = -(1/C_2 R) \int V_i dt \quad (9)$$

$$V_o \gg dV_o / dt \quad (10)$$

$$V_o = -C_1 / C_2 \cdot V_i \quad (11)$$

[0133] 也就是說，適宜地設定電容元件 C_1 及電容元件 C_2 的電容比，可以提高讀出的電位（ V_i ）並作為輸出信號 V_o 將其輸出。此外，藉由時間積分可以將輸入信號的高頻的雜訊成分平均化，而可以提高輸出信號 V_o 的 S/N 比。

[0134] 在實際的運算放大電路中，在輸入端子沒有輸入信號時，偏壓電流也會流動，因此在輸出端子產生輸出電壓，於是電荷積蓄在電容元件 C_2 中。因此，有效的是，採用以與電容元件 C_2 並聯的方式連接電阻元件並進

行放電的結構。

[0135] 圖 15C 是使用結構不同於圖 15A 及圖 15B 的運算放大電路的積分電路。運算放大電路的非反相輸入端子藉由電阻元件 R 連接於第五佈線 215 (OUT)，並藉由電容元件 C 連接於地電位。運算放大電路的輸出端子連接於運算放大電路的反相輸入端子。電阻元件 R 和電容元件 C 構成 CR 積分電路。運算放大電路構成單一增益緩衝器 (unity gain buffer)。

[0136] 當將第五佈線 215 的電位表示為 V_i ，並將運算放大電路的輸出端子的電位表示為 V_o 時， V_o 可以以算式 (12) 表示。另外，雖然 V_o 以 V_i 的值飽和，但藉由 CR 積分電路，可以將輸入信號 V_i 所包含的雜訊成分平均化，而可以提高輸出信號 V_o 的 S/N 比。

[0137]

$$V_o = (1/CR) \int V_i dt \quad (12)$$

[0138] 請注意，在本說明書等中，有時即使不指定主動元件（電晶體、二極體等）、被動元件（電容元件、電阻元件等）等所具有的所有端子的連接位置，所屬技術領域中具有通常知識者也能夠構成發明的一實施方式。也就是說，即使未指定連接位置，也可以說其是發明的一實施方式是明確的。並且，當在本說明書等中記載有指定了連接位置的內容時，有時可以判斷為本說明書等中記載有未指定連接位置的本發明的一實施方式。尤其是，在作為

端子的連接位置有可能有多個位置的情況下，該端子的連接位置不限於指定的位置。因此，有時藉由僅指定主動元件（電晶體、二極體等）、被動元件（電容元件、電阻元件等）等所具有的一部分的端子的連接位置，就能夠構成發明的一實施方式。

[0139] 請注意，在本說明書等中，只要至少指定特定的電路的連接位置，有時所屬技術領域中具有通常知識者就能夠特定發明。或者，只要至少指定特定的電路的功能，有時所屬技術領域中具有通常知識者就能夠特定發明。也就是說，只要指定功能，有時就可以判斷其是發明的一實施方式是明確的，並且作為本發明的一實施方式記載在本說明書中。因此，即使未指定某一個電路的功能，只要指定其連接位置，該電路就是可作為發明的一實施方式被公開的電路，而可以構成發明的一實施方式。或者，即使不指定特定的電路的連接位置，只要指定其功能，該電路就是可以作為本發明的一實施方式被公開的電路，而可以構成發明的一實施方式。

[0140] 請注意，在本說明書等中，可以在某一個實施方式中所述的圖式或文章中取出其一部分而構成發明的一實施方式。因此，在記載有說明某一部分的圖式或文章的情況下，被取出的其一部分的圖式或文章的內容也是作為發明的一實施方式被公開的內容，而能夠構成發明的一實施方式。因此，例如，可以在記載有一個或多個主動元件（電晶體、二極體等）、佈線、被動元件（電容元件、

電阻元件等）、導電層、絕緣層、半導體層、有機材料、無機材料、構件、裝置、工作方法、製造方法等的圖式或文章中，取出其一部分而構成發明的一實施方式。例如，可以從包括 N 個（ N 是整數）電路元件（電晶體、電容元件等）的電路圖中取出 M 個（ M 是整數， $M < N$ ）電路元件（電晶體、電容元件等）來構成發明的一實施方式。作為其他例子，可以從包括 N 個（ N 是整數）層而構成的剖面圖中取出 M 個（ M 是整數， $M < N$ ）層來構成發明的一實施方式。再者，作為其他例子，可以從包括 N 個（ N 是整數）要素而構成的流程圖中取出 M 個（ M 是整數， $M < N$ ）要素來構成發明的一實施方式。

[0141] 請注意，本實施方式可以與本說明書所示的其他實施方式適當地組合。

[0142]

實施方式 3

在本實施方式中，對在實施方式 2 中說明的像素電路的驅動方法的一個例子進行說明。

[0143] 如在實施方式 2 中所述，像素電路的工作就是反復進行重設工作、積蓄工作以及選擇工作。在使用 X 射線等放射線的成像裝置中，考慮到對活體的影響，較佳為盡力縮短放射線的照射時間。為了縮短放射線的照射時間並在短時間內進行成像，需要迅速地進行所有像素電路的重設工作、積蓄工作以及選擇工作。

[0144] 因此，作為成像方法，較佳為使用如圖 16A

所示的時序圖的全域快門（global shutter）系統的驅動方法。請注意，在圖 16A 中，將包括配置為矩陣狀的多個像素電路並在該像素電路中包括圖 8A 的電路 200 的成像裝置作為例子，對電路 200 的第一行至最後一行中的第一行至第三行的工作進行說明。也可以將下面的工作說明應用到圖 10A 的電路 250、圖 11 的電路 270、圖 12 的電路 280 以及圖 14 的電路 290。

[0145] 在圖 16A 中，信號 501、信號 502 以及信號 503 係輸入到連接於第一行、第二行以及第三行的各像素電路的第一佈線 211（RS）的信號。此外，信號 504、信號 505 以及信號 506 係輸入到連接於第一行、第二行以及第三行的各像素電路的第二佈線 212（TX）的信號。信號 507、信號 508 以及信號 509 係輸入到連接於第一行、第二行以及第三行的各像素電路的第三佈線 213（SE）的信號。

[0146] 期間 510 是一次成像所要的期間。於期間 511 各行的像素電路進行重設工作。於期間 520 各行的像素電路進行積蓄工作。請注意，各行的像素電路依次進行選擇工作。作為一個例子，期間 531 第一行的像素電路進行選擇工作。如此，在全域快門系統中，在全像素電路大致同時進行了重設工作之後，全像素電路大致同時進行積蓄工作，並各行依次進行讀出工作。

[0147] 也就是說，在全域快門系統中，由於在所有像素電路中大致同時進行積蓄工作，因此確保各行的像素

電路中的成像的同時性。因此，藉由同步進行放射線照射和積蓄工作，可以縮短對被攝體照射放射線的時間。換言之，只在期間 520 中進行放射線照射。

[0148] 另一方面，圖 16B 是使用了滾動快門（rolling shutter）方式的情況的時序圖。期間 610 是一次成像所要的期間。期間 611、期間 612 以及期間 613 分別是第一行、第二行以及第三行的重設期間，而期間 621、期間 622 以及期間 623 分別是第一行、第二行以及第三行的積蓄工作期間。期間 631 是第一行的像素電路進行選擇工作的期間。如上所述，在滾動快門系統中，由於積蓄工作不是在所有像素電路中同時進行，而是各行依次進行，因此不能確保各行的像素電路中的成像的同時性。因此，即使使放射線照射與積蓄工作同步進行，滾動快門系統的總和的放射線照射期間 620 也比全域快門系統長。但是，藉由進行高速工作，滾動快門系統的放射線照射時間也可以得到縮短，而作為本發明的一實施方式的成像裝置的驅動方式，也可以使用滾動快門系統。

[0149] 為了實現全域快門系統，在積蓄工作結束之後也需要在直到讀出為止的時間內長時間保存各像素電路中的佈線 205（FD）的電位。如上所述，藉由將關態電流極低且由氧化物半導體形成通道形成區的電晶體用於第一電晶體 201，可以長時間保存佈線 205（FD）的電位。另一方面，在將由矽半導體等形成通道形成區的電晶體用於第一電晶體 201 時，因為關態電流高所以無法長時間保存

佈線 205 (FD) 的電位，因此必須使用滾動快門系統快門系統。

[0150] 如上所述，藉由將由氧化物半導體形成通道形成區的電晶體用於像素電路，可以容易地實現全域快門系統，而可以提供照射於被攝體的放射線量少的成像裝置。

[0151] 請注意，本實施方式可以與本說明書所示的其他實施方式適當地組合。

[0152]

實施方式 4

在本實施方式中，更詳細地說明在實施方式 1 及實施方式 2 中所示的成像裝置的組態。參照圖 17 至圖 24 對包括配置為 m 行 n 列的矩陣狀的像素電路的成像裝置的結構例子進行說明。

[0153] 圖 17 是將多個圖 8A 所示的電路 200 配置為 m (m 是 2 以上的自然數) 行 n (n 是 2 以上的自然數) 列的矩陣狀的例子。各電路 200 電連接於：多個第一佈線 211 (RS) (表示為 211 (RS) ₁ 至 211 (RS) _{m}) 中的任一個、多個第二佈線 212 (TX) (表示為 212 (TX) ₁ 至 212 (TX) _{m}) 中的任一個、多個第三佈線 213 (SE) (表示為 213 (SE) ₁ 至 213 (SE) _{m}) 中的任一個、多個第四佈線 214 (GND) (表示為 214 (GND) ₁ 至 214 (GND) _{n}) 中的任一個以及多個第五佈線 215 (OUT) (表示為 215 (OUT) ₁ 至 215 (OUT) _{n}) 中

的任一個。

[0154] 在圖 17 中，各行（圖式的水平方向）的電路 200 共同使用第一佈線 211（RS）、第二佈線 212（TX）以及第三佈線 213（SE）。各列（圖式的垂直方向）的電路 200 共同使用第四佈線 214（GND）及第五佈線 215（OUT）。唯，本發明的一實施方式不侷限於此組態。也可以在各行上設置多個第一佈線 211（RS）、多個第二佈線 212（TX）以及多個第三佈線 213（SE），並電連接於分別的電路 200。也可以在各列上設置多個第四佈線 214（GND）及多個第五佈線 215（OUT），並電連接於分別的電路 200。

[0155] 在圖 17 中，雖然顯示各列的電路 200 共同使用第四佈線 214（GND），但是也可以在各行的電路 200 中共同使用第四佈線 214（GND）。

[0156] 藉由如上所述的共同使用佈線來減少佈線數量，可以簡化用來驅動配置為 m 行 n 列的矩陣狀的電路 200 的驅動電路。

[0157] 在圖 18 中，多個電路 200 配置為 m 行 n 列的矩陣狀。各電路 200 電連接於：多個第一佈線 211（RS）（表示為 211（RS）₁ 至 211（RS） _{n} ）中的任一個、多個第二佈線 212（TX）（表示為 212（TX）₁ 至 212（TX） _{n} ）中的任一個、多個第三佈線 213（SE）（表示為 213（SE）₁ 至 213（SE） _{m} ）中的任一個、多個第四佈線 214（GND）（表示為 214（GND）₁ 至 214

(GND) _n) 中的任一個以及多個第五佈線 215 (OUT) (表示為 215 (OUT) _1 至 215 (OUT) _n) 中的任一個。

[0158] 在圖 18 中，各行的電路 200 共同使用第三佈線 213 (SE)。各列的電路 200 共同使用第一佈線 211 (RS)、第二佈線 212 (TX)、第四佈線 214 (GND) 以及第五佈線 215 (OUT)。唯，本發明的一實施方式不侷限於此組態。也可以在各行上設置多個第三佈線 213 (SE)，並電連接於分別的電路 200。也可以在各列上設置多個第一佈線 211 (RS)、多個第二佈線 212 (TX)、多個第四佈線 214 (GND) 以及多個第五佈線 215 (OUT)，並電連接於分別的電路 200。

[0159] 在圖 18 中，雖然顯示各列的電路 200 共同使用第四佈線 214 (GND)，但是也可以在各行的電路 200 中共同使用第四佈線 214 (GND)。

[0160] 藉由如上所述的共同使用佈線來減少佈線數量，可以簡化用來驅動配置為 m 行 n 列的矩陣狀的電路 200 的驅動電路。

[0161] 請注意，在圖 17 及圖 18 的組態中，電路 200 可以與圖 8B 所示的電路 210 互相調換。

[0162] 圖 19 是將多個圖 10A 所示的電路 250 配置為 m 行 n 列的矩陣狀的例子。各電路 250 電連接於：多個第一佈線 211 (RS) (表示為 211 (RS) _1 至 211 (RS) _n) 中的任一個、多個第二佈線 212 (TX) (表示為 212

(TX)₁ 至 212 (TX)_m 中的任一個、多個第三佈線 213 (SE) (表示為 213 (SE)₁ 至 213 (SE)_m) 中的任一個、多個第四佈線 214 (GND) (表示為 214 (GND)₁ 至 214 (GND)_n) 中的任一個、多個第五佈線 215 (OUT) (表示為 215 (OUT)₁ 至 215 (OUT)_n) 中的任一個、多個第六佈線 216 (表示為 216₁ 至 216_m) 中的任一個以及多個第七佈線 217 (表示為 217₁ 至 217_m) 中的任一個。

[0163] 在圖 19 中，各行（圖式的水平方向）的電路 250 共同使用第二佈線 212 (TX)、第三佈線 213 (SE)、第六佈線 216 以及第七佈線 217。各列（圖式垂直方向）的電路 250 共同使用第一佈線 211 (RS)、第四佈線 214 (GND) 以及第五佈線 215 (OUT)。唯，本發明的一實施方式不侷限於此組態。也可以在各行上設置多個第二佈線 212 (TX)、多個第三佈線 213 (SE)、多個第六佈線 216 以及多個第七佈線 217，並電連接於分別的電路 250。也可以在各列上設置多個第一佈線 211 (RS)、多個第四佈線 214 (GND) 以及多個第五佈線 215 (OUT)，並電連接於分別的電路 250。

[0164] 在圖 19 中，雖然顯示各列的電路 250 共同使用第一佈線 211 (RS)，但是也可以在各行的電路 250 中共同使用第一佈線 211 (RS)。

[0165] 在圖 19 中，雖然顯示各列的電路 250 共同使用第四佈線 214 (GND)，但是也可以在各行的電路 250

中共同使用第四佈線 214 (GND) 。

[0166] 在圖 19 中，雖然顯示各行的電路 250 共同使用第七佈線 217，但是也可以在各列的電路 250 中共同使用第七佈線 217。

[0167] 藉由如上所述的共同使用佈線來減少佈線數量，可以簡化用來驅動配置為 m 行 n 列的矩陣狀的電路 250 的驅動電路。

[0168] 在圖 20 中，多個電路 250 配置為 m 行 n 列的矩陣狀。各電路 250 電連接於：多個第一佈線 211 (RS) (表示為 211 (RS) _1 至 211 (RS) _ m) 中的任一個、多個第二佈線 212 (TX) (表示為 212 (TX) _1 至 212 (TX) _ n) 中的任一個、多個第三佈線 213 (SE) (表示為 213 (SE) _1 至 213 (SE) _ m) 中的任一個、多個第四佈線 214 (GND) (表示為 214 (GND) _1 至 214 (GND) _ n) 中的任一個、多個第五佈線 215 (OUT) (表示為 215 (OUT) _1 至 215 (OUT) _ n) 中的任一個、多個第六佈線 216 (表示為 216_1 至 216_ n) 中的任一個以及多個第七佈線 217 (表示為 217_1 至 217_ m) 中的任一個。

[0169] 在圖 20 中，各行的電路 250 共同使用第一佈線 211 (RS)、第三佈線 213 (SE) 以及第七佈線 217。各列的電路 250 共同使用第二佈線 212 (TX)、第四佈線 214 (GND)、第五佈線 215 (OUT) 以及第六佈線 216。唯，本發明的一實施方式不侷限於此組態。也可以在各行

上設置多個第一佈線 211 (RS)、多個第三佈線 213 (SE) 以及多個第七佈線 217，並電連接於分別的電路 250。也可以在各列上設置多個第二佈線 212 (TX)、多個第四佈線 214 (GND)、多個第五佈線 215 (OUT) 以及多個第六佈線 216，並電連接於分別的電路 250。

[0170] 在圖 20 中，雖然顯示各行的電路 250 共同使用第一佈線 211 (RS)，但是也可以在各列的電路 250 中共同使用第一佈線 211 (RS)。

[0171] 在圖 20 中，雖然顯示各列的電路 250 共同使用第四佈線 214 (GND)，但是也可以在各行的電路 250 中共同使用第四佈線 214 (GND)。

[0172] 在圖 20 中，雖然顯示各行的電路 250 共同使用第七佈線 217，但是也可以在各列的電路 250 中共同使用第七佈線 217。

[0173] 藉由如上所述的共同使用佈線來減少佈線數量，可以簡化用來驅動配置為 m 行 n 列的矩陣狀的電路 250 的驅動電路。

[0174] 請注意，在圖 19 及圖 20 的組態中，電路 250 可以與圖 10B 所示的電路 260 或圖 11 所示的電路 280 互相調換。

[0175] 圖 21 是將多個圖 12 所示的電路 280 配置為 m (m 是 2 以上的自然數) 行 n (n 是 2 以上的自然數) 列的矩陣狀的例子。各電路 280 電連接於：多個第一佈線 211 (RS) (表示為 211 (RS) _1 至 211 (RS) _ m) 中的

任一個、多個第二佈線 212 (TX) (表示為 212 (TX) _1 至 212 (TX) _m) 中的任一個、多個第三佈線 213 (SE) (表示為 213 (SE) _1 至 213 (SE) _m) 中的任一個、多個第四佈線 214 (GND) (表示為 214 (GND) _1 至 214 (GND) _n) 中的任一個以及多個第五佈線 215 (OUT) (表示為 215 (OUT) _1 至 215 (OUT) _n) 中的任一個以及多個第八佈線 218 (RS2) (表示為 218 (RS2) _1 至 218 (RS2) _n) 中的任一個。

[0176] 在圖 21 中，各行（圖式的水平方向）的電路 280 共同使用第一佈線 211 (RS)、第二佈線 212 (TX) 以及第三佈線 213 (SE)。各列（圖式的垂直方向）的電路 280 共同使用第四佈線 214 (GND)、第五佈線 215 (OUT) 以及第八佈線 218 (RS2)。唯，本發明的一實施方式不侷限於此組態。也可以在各行上設置多個第一佈線 211 (RS)、多個第二佈線 212 (TX) 以及多個第三佈線 213 (SE)，並電連接於分別的電路 280。也可以在各列上設置多個第四佈線 214 (GND)、多個第五佈線 215 (OUT) 以及多個第八佈線 218 (RS2)，並電連接於分別的電路 280。

[0177] 在圖 21 中，雖然顯示各列的電路 280 共同使用第四佈線 214 (GND)，但是也可以在各行的電路 280 中共同使用第四佈線 214 (GND)。

[0178] 藉由如上所述的共同使用佈線來減少佈線數量，可以簡化用來驅動配置為 m 行 n 列的矩陣狀的電路

280 的驅動電路。

[0179] 在圖 22 中，多個電路 280 配置為 m 行 n 列的矩陣狀。各電路 280 電連接於如下佈線：多個第一佈線 211 (RS) (表示為 211 (RS) ₁ 至 211 (RS) _{n}) 中的任一個、多個第二佈線 212 (TX) (表示為 212 (TX) ₁ 至 212 (TX) _{n}) 中的任一個、多個第三佈線 213 (SE) (表示為 213 (SE) ₁ 至 213 (SE) _{m}) 中的任一個、多個第四佈線 214 (GND) (表示為 214 (GND) ₁ 至 214 (GND) _{n}) 中的任一個以及多個第五佈線 215 (OUT) (表示為 215 (OUT) ₁ 至 215 (OUT) _{n}) 中的任一個以及多個第八佈線 218 (SE2) (表示為 218 (SE2) ₁ 至 218 (SE2) _{m}) 中的任一個。

[0180] 在圖 22 中，各行的電路 280 共同使用第三佈線 213 (SE) 及第八佈線 218 (SE2)。各列的電路 280 共同使用第一佈線 211 (RS)、第二佈線 212 (TX)、第四佈線 214 (GND) 以及第五佈線 215 (OUT)。唯，本發明的一實施方式不侷限於此組態。也可以在各行上設置多個第三佈線 213 (SE) 以及多個第八佈線 218 (SE2)，並電連接於分別的電路 280。也可以在各列上設置多個第一佈線 211 (RS)、多個第二佈線 212 (TX)、多個第四佈線 214 (GND) 以及多個第五佈線 215 (OUT)，並電連接於分別的電路 280。

[0181] 在圖 22 中，雖然顯示各列的電路 280 共同使用第四佈線 214 (GND)，但是也可以在各行的電路 280

中共同使用第四佈線 214 (GND) 。

[0182] 藉由如上所述的共同使用佈線來減少佈線數量，可以簡化用來驅動配置為 m 行 n 列的矩陣狀的電路 280 的驅動電路。

[0183] 圖 23 是將多個圖 14 所示的電路 290 配置為 m 行 n 列的矩陣狀的例子。各電路 290 電連接於：多個第一佈線 211 (RS) (表示為 211 (RS) _1 至 211 (RS) _n) 中的任一個、多個第二佈線 212 (TX) (表示為 212 (TX) _1 至 212 (TX) _m) 中的任一個、多個第三佈線 213 (SE) (表示為 213 (SE) _1 至 213 (SE) _m) 中的任一個、多個第四佈線 214 (GND) (表示為 214 (GND) _1 至 214 (GND) _n) 中的任一個以及多個第五佈線 215 (OUT) (表示為 215 (OUT) _1 至 215 (OUT) _n) 中的任一個、多個第六佈線 216 (表示為 216_1 至 216_m) 中的任一個、多個第七佈線 217 (表示為 217_1 至 217_m) 中的任一個以及多個第八佈線 218 (表示為 218_1 至 218_n) 中的任一個。

[0184] 在圖 23 中，各行 (圖式中的水平方向) 的電路 290 共同使用第二佈線 212 (TX) 、第三佈線 213 (SE) 、第六佈線 216 以及第七佈線 217。各列 (圖式中的垂直方向) 的電路 290 共同使用第一佈線 211 (RS) 、第四佈線 214 (GND) 、第五佈線 215 (OUT) 以及第八佈線 218。唯，本發明的一實施方式不侷限於此組態。也可以在各行上設置多個第二佈線 212 (TX) 、多個第三佈

線 213 (SE)、多個第六佈線 216 以及多個第七佈線 217，並電連接於分別的電路 290。也可以在各列上設置多個第一佈線 211 (RS)、多個第四佈線 214 (GND)、多個第五佈線 215 (OUT) 以及第八佈線 218，並電連接於分別的電路 290。

[0185] 在圖 23 中，雖然顯示各列的電路 290 共同使用第一佈線 211 (RS)，但是也可以在各行的電路 290 中共同使用第一佈線 211 (RS)。

[0186] 在圖 23 中，雖然顯示各列的電路 290 共同使用第四佈線 214 (GND)，但是也可以在各行的電路 290 中共同使用第四佈線 214 (GND)。

[0187] 在圖 23 中，雖然顯示各行的電路 290 共同使用第七佈線 217，但是也可以在各列的電路 290 中共同使用第七佈線 217。

[0188] 在圖 23 中，雖然顯示各列的電路 290 共同使用第八佈線 218，但是也可以在各行的電路 290 中共同使用第八佈線 218。

[0189] 藉由如上所述的共同使用佈線來減少佈線數量，可以簡化用來驅動配置為 m 行 n 列的矩陣狀的電路 290 的驅動電路。

[0190] 在圖 24 中，多個電路 290 配置為 m 行 n 列的矩陣狀。各電路 290 電連接於如下佈線：多個第一佈線 211 (RS) (表示為 211 (RS) ₁ 至 211 (RS) _{m}) 中的任一個、多個第二佈線 212 (TX) (表示為 212 (TX) ₁

至 212 (TX) _n) 中的任一個、多個第三佈線 213 (SE) (表示為 213 (SE) ₁ 至 213 (SE) _m) 中的任一個、多個第四佈線 214 (GND) (表示為 214 (GND) ₁ 至 214 (GND) _n) 中的任一個以及多個第五佈線 215 (OUT) (表示為 215 (OUT) ₁ 至 215 (OUT) _n) 中的任一個、多個第六佈線 216 (表示為 216₁ 至 216_n) 中的任一個、多個第七佈線 217 (表示為 217₁ 至 217_m) 中的任一個以及多個第八佈線 218 (表示為 218₁ 至 218_m) 中的任一個。

[0191] 在圖 24 中，各行（圖式中的水平方向）的電路 290 共同使用第一佈線 211 (RS)、第三佈線 213 (SE)、第七佈線 217 以及第八佈線 218。各列（圖式中的垂直方向）的電路 290 共同使用第二佈線 212 (TX)、第四佈線 214 (GND)、第五佈線 215 (OUT) 以及第六佈線 216。唯，本發明的一實施方式不侷限於此組態。也可以在各行上設置多個第一佈線 211 (RS)、多個第三佈線 213 (SE)、多個第七佈線 217 以及多個第八佈線 218，並電連接於分別的電路 290。也可以在各列上設置多個第二佈線 212 (TX)、多個第四佈線 214 (GND)、多個第五佈線 215 (OUT) 以及多個第六佈線 216，並電連接於分別的電路 290。

[0192] 在圖 24 中，雖然顯示各行的電路 290 共同使用第一佈線 211 (RS)，但是也可以在各列的電路 290 中共同使用第一佈線 211 (RS)。

[0193] 在圖 24 中，雖然顯示各列的電路 290 共同使用第四佈線 214 (GND)，但是也可以在各行的電路 290 中共同使用第四佈線 214 (GND)。

[0194] 在圖 24 中，雖然顯示各行的電路 290 共同使用第七佈線 217，但是也可以在各列的電路 290 中共同使用第七佈線 217。

[0195] 在圖 24 中，雖然顯示各行的電路 290 共同使用第八佈線 218，但是也可以在各列的電路 290 中共同使用第八佈線 218。

[0196] 藉由如上所述的共同使用佈線來減少佈線數量，可以簡化用來驅動配置為 m 行 n 列的矩陣狀的電路 290 的驅動電路。

[0197] 接著，參照圖 25A 和圖 25B 對圖 8A 所示的電路 200 的佈局的一個例子進行說明。

[0198] 圖 25A 顯示電路 200 的俯視圖，圖 25B 顯示沿著圖 8A 的虛線 E1-E2 的剖面圖。

[0199] 電路 200 包括：用作第一佈線 211 (RS) 的導電膜 1211；用作第二佈線 212 (TX) 的導電膜 1212；用作第三佈線 213 (SE) 的導電膜 1213；用作第四佈線 214 (GND) 的導電膜 1214；以及用作第五佈線 215 (OUT) 的導電膜 1215。

[0200] 電路 200 所包括的光電二極體 220 包括依次層疊的 p 型半導體膜 315、 i 型半導體膜 316 以及 n 型半導體膜 317。導電膜 1211 電連接於用作光電二極體 220

的陽極的 p 型半導體膜 315。

[0201] 電路 200 所包括的導電膜 1218 用作第一電晶體 201 的閘極電極並電連接於導電膜 1212。電路 200 所包括的導電膜 1219 用作第一電晶體 201 的源極和汲極中的一個。電路 200 所包括的導電膜 1220 用作第一電晶體 201 的源極和汲極中的另一個。電路 200 所包括的導電膜 1221 電連接於 n 型半導體膜 317 及導電膜 1219。電路 200 所包括的導電膜 1222 用作第二電晶體 202 的閘極電極並電連接於導電膜 1220。

[0202] 電路 200 所包括的導電膜 1223 用作第二電晶體 202 的源極和汲極中的一個。電路 200 所包括的導電膜 1224 用作第二電晶體 202 的源極和汲極中的另一個及第三電晶體 203 的源極和汲極中的一個。此外，導電膜 1214 用作第三電晶體 203 的源極和汲極中的另一個。導電膜 1213 還用作第三電晶體 203 的閘極電極。電路 200 所包括的導電膜 1225 電連接於導電膜 1223 及導電膜 1214。

[0203] 在圖 25A 和圖 25B 中，電路 200 所包括的導電膜 1226 電連接於用作第一佈線 211 (RS) 的導電膜 1211。電路 200 所包括的導電膜 1227 電連接於用作第二佈線 212 (TX) 的導電膜 1212。

[0204] 可以藉由將形成在絕緣表面上的一個導電膜加工為所希望的形狀來形成導電膜 1213、導電膜 1218、導電膜 1222、導電膜 1225、導電膜 1226 以及導電膜

1227。在導電膜 1213、導電膜 1218、導電膜 1222、導電膜 1225、導電膜 1226 以及導電膜 1227 上形成有閘極絕緣膜 1228。可以藉由將形成在閘極絕緣膜 1228 上的一個導電膜加工為所希望的形狀來形成導電膜 1211、導電膜 1212、導電膜 1214、導電膜 1215、導電膜 1219、導電膜 1220、導電膜 1223 以及導電膜 1224。

[0205] 在導電膜 1211、導電膜 1212、導電膜 1214、導電膜 1215、導電膜 1219、導電膜 1220、導電膜 1223 以及導電膜 1224 上形成有絕緣膜 1281 及絕緣膜 1282。在絕緣膜 1281 及絕緣膜 1282 上形成導電膜 1221。

[0206] 作為第一電晶體 201 的半導體層 1250，較佳為使用氧化物半導體。為了在電荷積蓄部長時間保存藉由對光電二極體 220 照射光而產生的電荷，需要使用關態電流極低的電晶體構成電連接於電荷積蓄部的第一電晶體 201。因此，藉由作為半導體層 1250 使用氧化物半導體材料，可以提高電路 200 的性能。請注意，電荷積蓄部是指電路 200 中的佈線 205，在圖 25A 和圖 25B 中相當於導電膜 1220。第二電晶體 202 及第三電晶體 203 也可以採用與第一電晶體 201 相似的結構。

[0207] 另外，如圖 26A 和圖 26B 所示，電路 200 也可以是電晶體等元件與光電二極體 220 重疊的組態。藉由採用該組態，可以提高像素密度，而可以提高成像裝置的解析度。另外，由於可以增大光電二極體 220 的面積，因此還可以提高成像裝置的靈敏度。圖 26A 顯示電路 200 的

俯視圖，圖 26B 顯示沿著圖 26A 的虛線 F1-F2 的剖面圖。

[0208] 在圖 26A 和圖 26B 所示的電路 200 中，用作第一電晶體 201 的源極和汲極中的一個的導電膜 1219 與用作光電二極體 220 的陰極的 n 型半導體膜 317 藉由導電膜 1229 彼此電連接。用作光電二極體 220 的陽極的 p 型半導體膜 315 藉由導電膜 1221 與接觸於第一佈線 211 的導電膜 1226 電連接。形成有保護光電二極體 220 的絕緣膜 1283。除了上述結構以及電晶體等元件與光電二極體 220 重疊的結構以外的結構可以採用與圖 25A 和圖 25B 所示的電路 200 相似的結構。

[0209] 請注意，雖然顯示 p 型半導體膜 315 與導電膜 1226 藉由導電膜 1221 直接電連接的組態的例子，但是也可以設置藉由形成於絕緣膜 1281、絕緣膜 1282 以及絕緣膜 1283 中的開口部而電連接於導電膜 1226 的其他的導電膜，而使該導電膜與導電膜 1221 電連接。

[0210] 另外，如圖 26A 和圖 26B 所示的電晶體等元件與光電二極體等受光元件重疊的組態也可以應用於圖 8B 所示的電路 210、圖 10A 所示的電路 250、圖 10B 所示的電路 260 以及圖 11 所示的電路 270。

[0211] 接著，參照圖 27 和圖 28 對圖 12 所示的電路 280 的佈局的一個例子進行說明。

[0212] 圖 27 顯示電路 280 的俯視圖，圖 28 顯示沿著圖 27 的虛線 G1-G2 的剖面圖。

[0213] 電路 280 是將圖 25A 和圖 25B 以及圖 26A 所示的電路 200 的組態中的光電二極體 220 替換成電晶體 240 的組態，該電晶體的閘極電極 1232 與用作第一佈線 211 (RS) 的導電膜 1211 電連接，導電膜 1219 兼用作該電晶體的源極和汲極中的一個及第一電晶體 201 的源極和汲極中的一個，用作該電晶體的源極和汲極中的另一個的導電膜 1230 與用作第八佈線 (RS2) 的導電膜 1231 電連接。電路 280 的其他要素可以參照電路 200 的說明。

[0214] 作為電晶體 240，藉由使用關態電流極小的電晶體，可以擴大動態範圍。該電晶體較佳為使用氧化物半導體的電晶體。當使用能帶間隙為 3eV 以上的氧化物半導體來形成電晶體 240 時，該電晶體的關態電流隨紫外線的照射發生大的變化。換言之，可以將該電晶體用作紫外線感測器。請注意，可以將與上述第一電晶體 201 相四的結構的電晶體用於電晶體 240。

[0215] 本實施方式可以與本說明書所示的其他實施方式適當地組合。

[0216]

實施方式 5

在本實施方式中，對可以用於實施方式 1 至實施方式 4 所說明的電路的關態電流極小的電晶體及構成該電晶體的材料進行說明。

[0217] 作為電晶體的結構，圖 25A 和圖 25B 至圖 28 顯示包括半導體層 1250 的第一電晶體 201 或電晶體 240

的俯視圖及剖面圖。雖然顯示該電晶體為通道蝕刻型的底閘極結構的一個例子，但是該電晶體也可以是通道保護型的底閘極結構、非自對準型的頂閘極結構或自對準型的頂閘極結構。當成像裝置為圖 6A 和圖 6B 所示的結構且受光元件為電晶體時，用於受光元件的電晶體只能採用頂閘極結構。

[0218] 為了形成關態電流極小的電晶體，較佳為將能帶間隙比氧化物半導體等矽半導體寬且本質載子密度比矽低的半導體材料用於半導體層 1250。

[0219] 作為上述半導體材料的一個例子，除了氧化物半導體以外還有碳化矽（SiC）、氮化鎵（GaN）等化合物半導體，但是不同於碳化矽和氮化鎵，氧化物半導體可以利用濺射法或濕處理來製造，所以具有量產性高等優點。此外，由於可以在室溫下形成氧化物半導體膜，因此可以在玻璃基板上或在使用矽的積體電路上形成氧化物半導體膜。此外，還可以對應基板的大型化。由此，在上述寬能隙半導體中，尤其是氧化物半導體具有量產性高的優點。此外，在為了提高電晶體的性能（例如，場效移動率）而想要獲得結晶氧化物半導體的情況下，藉由 250℃ 至 800℃ 的熱處理可以容易地獲得結晶氧化物半導體。

[0220] 另外，藉由減少用作電子予體（施體）的雜質並減少氧缺陷來實現高度純化的氧化物半導體（purified OS）的導電型是 i 型或實質上 i 型。因此，使用上述氧化物半導體的電晶體具有關態電流極低的特性。

此外，氧化物半導體的能帶間隙為 2eV 以上，較佳為 2.5eV 以上，更佳為 3eV 以上。使用藉由充分減少水分或氫等雜質濃度並減少氧缺陷而被高度純化的氧化物半導體膜，可以降低電晶體的關態電流。

[0221] 在氧化物半導體層中，氫、氮、碳、矽以及除了主成分以外的金屬元素都是雜質。例如，氫和氮引起施體能階的形成，而增高載子密度。此外，矽在氧化物半導體層中形成雜質能階。有時該雜質能階成為陷阱，使電晶體的電特性劣化。較佳為在氧化物半導體層中或與其他層的介面中降低雜質濃度。

[0222] 請注意，為了對將氧化物半導體層用作通道的電晶體賦予穩定的電特性，藉由降低氧化物半導體層中的雜質濃度，來實現氧化物半導體層的本質或實質上本質是有效的。在此，「實質上本質」是指氧化物半導體層的載子密度低於 $1 \times 10^{17}/\text{cm}^3$ ，較佳為低於 $1 \times 10^{15}/\text{cm}^3$ ，更佳為低於 $1 \times 10^{13}/\text{cm}^3$ 。

[0223] 為了使氧化物半導體層實現本質或實質上本質，在 SIMS (Secondary Ion Mass Spectrometry: 二次離子質譜) 分析測定中，例如在氧化物半導體層的特定的深度或氧化物半導體層的特定的區域中包含矽濃度低於 $1 \times 10^{19} \text{atoms}/\text{cm}^3$ ，較佳為低於 $5 \times 10^{18} \text{atoms}/\text{cm}^3$ ，更佳為低於 $1 \times 10^{18} \text{atoms}/\text{cm}^3$ 的部分。此外，例如在氧化物半導體層的特定的深度或氧化物半導體層的特定的區域中包含氫濃度為 $2 \times 10^{20} \text{atoms}/\text{cm}^3$ 以下，較佳為 $5 \times 10^{19} \text{atoms}/\text{cm}^3$

以下，更佳為 $1 \times 10^{19} \text{atoms/cm}^3$ 以下，進一步較佳為 $5 \times 10^{18} \text{atoms/cm}^3$ 以下的部分。此外，在氧化物半導體層的特定的深度或氧化物半導體層的特定的區域中包含氮濃度低於 $5 \times 10^{19} \text{atoms/cm}^3$ ，較佳為 $5 \times 10^{18} \text{atoms/cm}^3$ 以下，更佳為 $1 \times 10^{18} \text{atoms/cm}^3$ 以下，進一步較佳為 $5 \times 10^{17} \text{atoms/cm}^3$ 以下的部分。

[0224] 在氧化物半導體層包含結晶時，若包含高濃度的矽或碳，有時會使氧化物半導體層的結晶性降低。為了防止氧化物半導體層的結晶性的降低，在氧化物半導體層的特定的深度或氧化物半導體層的特定的區域中包含矽濃度低於 $1 \times 10^{19} \text{atoms/cm}^3$ ，較佳為低於 $5 \times 10^{18} \text{atoms/cm}^3$ ，更佳為低於 $1 \times 10^{18} \text{atoms/cm}^3$ 的部分。此外，在氧化物半導體層的特定的深度或氧化物半導體層的特定的區域中包含碳濃度低於 $1 \times 10^{19} \text{atoms/cm}^3$ ，較佳為低於 $5 \times 10^{18} \text{atoms/cm}^3$ ，更佳為低於 $1 \times 10^{18} \text{atoms/cm}^3$ 的部分。

[0225] 明確而言，根據各種實驗可以證明將被高度純化的氧化物半導體膜用於通道形成區的電晶體的關態電流低。例如，即使通道寬度為 $1 \times 10^6 \mu\text{m}$ 且通道長度為 $10 \mu\text{m}$ 的元件也可以在源極電極與汲極電極之間的電壓（汲極電壓）為 1V 至 10V 的範圍內獲得關態電流為半導體參數分析儀的測量極限以下，即 $1 \times 10^{-13} \text{A}$ 以下的特性。在此情況下，可知以電晶體的通道寬度標準化的關態電流為 $100 \text{zA}/\mu\text{m}$ 以下。此外，藉由使用如下電路來進行

關態電流的測量：在該電路中，使電容元件與電晶體連接，並由該電晶體來控制流入到電容元件的電荷或從電容元件流出的電荷。在該測量中，將被高度純化的氧化物半導體膜用於上述電晶體的通道形成區，並且根據電容元件的每單位時間的電荷量推移測量該電晶體的關態電流。其結果是，可知當電晶體的源極電極與汲極電極之間的電壓為 3V 時，可以獲得幾十 $\text{yA}/\mu\text{m}$ 的更低的關態電流。由此，將被高度純化的氧化物半導體膜用於通道形成區的電晶體的關態電流比使用具有結晶性的矽的電晶體的關態電流顯著低。

[0226] 請注意，作為氧化物半導體，較佳為至少包含銦（In）或鋅（Zn）。尤其較佳為包含 In 及 Zn。另外，作為降低使用該氧化物半導體的電晶體的電特性的不均勻的穩定劑，除了上述元素以外較佳為還包含鎵（Ga）。此外，作為穩定劑較佳為包含錫（Sn）。作為穩定劑較佳為包含鈦（Hf）。此外，作為穩定劑較佳為包含鋁（Al）。

[0227] 作為其它穩定劑，也可以含有鑰系元素的鑰（La）、鈰（Ce）、鐮（Pr）、釹（Nd）、釷（Sm）、鎔（Eu）、釷（Gd）、鉕（Tb）、鐳（Dy）、釹（Ho）、鉕（Er）、銩（Tm）、鐳（Yb）、鑰（Lu）中的一種或多種。

[0228] 例如，作為氧化物半導體可以使用：氧化銦、氧化錫、氧化鋅、In-Zn 類氧化物、Sn-Zn 類氧化

物、Al-Zn 類氧化物、Zn-Mg 類氧化物、Sn-Mg 類氧化物、In-Mg 類氧化物、In-Ga 類氧化物、In-Ga-Zn 類氧化物（也稱為 IGZO）、In-Al-Zn 類氧化物、In-Sn-Zn 類氧化物、Sn-Ga-Zn 類氧化物、Al-Ga-Zn 類氧化物、Sn-Al-Zn 類氧化物、In-Hf-Zn 類氧化物、In-La-Zn 類氧化物、In-Ce-Zn 類氧化物、In-Pr-Zn 類氧化物、In-Nd-Zn 類氧化物、In-Sm-Zn 類氧化物、In-Eu-Zn 類氧化物、In-Gd-Zn 類氧化物、In-Tb-Zn 類氧化物、In-Dy-Zn 類氧化物、In-Ho-Zn 類氧化物、In-Er-Zn 類氧化物、In-Tm-Zn 類氧化物、In-Yb-Zn 類氧化物、In-Lu-Zn 類氧化物、In-Sn-Ga-Zn 類氧化物、In-Hf-Ga-Zn 類氧化物、In-Al-Ga-Zn 類氧化物、In-Sn-Al-Zn 類氧化物、In-Sn-Hf-Zn 類氧化物、In-Hf-Al-Zn 類氧化物。上述氧化物半導體也可以包含矽。

[0229] 請注意，例如，In-Ga-Zn 類氧化物是指包含 In、Ga 和 Zn 的氧化物，而對 In、Ga、Zn 的比率沒有限制。也可以包含 In、Ga 及 Zn 以外的金屬元素。另外，In-Ga-Zn 類氧化物由於具有無電場時的電阻足夠高而能夠充分地降低關態電流且移動率高的特徵，因此作為用於半導體裝置的半導體材料十分合適。

[0230] 例如，可以使用其原子比為 In : Ga : Zn=1 : 1 : 1 (=1/3 : 1/3 : 1/3) 或 In : Ga : Zn=2 : 2 : 1 (=2/5 : 2/5 : 1/5) 的 In-Ga-Zn 類氧化物或具有與其類似的組成的氧化物。或者，較佳為使用其原子比為 In : Sn : Zn=1 :

1 : 1 (=1/3 : 1/3 : 1/3) 、 In : Sn : Zn=2 : 1 : 3 (=1/3 : 1/6 : 1/2) 或 In : Sn : Zn=2 : 1 : 5 (=1/4 : 1/8 : 5/8) 的 In-Sn-Zn 類氧化物或具有與其類似的組成的氧化物。

[0231] 然而，不侷限於此，可以根據所需要的電特性（例如移動率或臨界電壓等）使用合適的組成的氧化物。另外，較佳為採用適當的載子密度、雜質濃度、缺陷密度、金屬元素及氧的原子數比、原子間距離、密度等，以得到所需要的半導體特性。

[0232] 例如，氧化物半導體膜可以藉由利用包含 In（銦）、Ga（鎵）以及 Zn（鋅）的靶材的濺射法形成。在利用濺射法形成 In-Ga-Zn 類氧化物半導體膜的情況下，較佳為使用原子數比為 In : Ga : Zn=1 : 1 : 1、4 : 2 : 3、3 : 1 : 2、1 : 1 : 2、2 : 1 : 3、1 : 3 : 2、1 : 3 : 4、1 : 6 : 4 或 3 : 1 : 4 的 In-Ga-Zn 類氧化物靶材。藉由使用具有上述原子數比的 In-Ga-Zn 類氧化物靶材形成氧化物半導體膜，容易形成結晶。包含 In、Ga 及 Zn 的靶材的填充率為 90%以上，較佳為 95%以上。藉由採用填充率高的靶材，可以形成緻密的氧化物半導體膜。

[0233] 此外，當作為氧化物半導體使用 In-Zn 類氧化物的材料時，將所使用的靶材的組成的原子數比設定為 In : Zn=50 : 1 至 1 : 2（換算為莫耳數比則為 In_2O_3 : ZnO=25 : 1 至 1 : 4），較佳為 In : Zn=20 : 1 至 1 : 1（換算為莫耳數比則為 In_2O_3 : ZnO=10 : 1 至 1 : 2），更佳為 In : Zn=1.5 : 1 至 15 : 1（換算為莫耳數比則為 In_2O_3 :

$\text{ZnO}=3:4$ 至 $15:2$)。作為用來形成包含 In-Zn 類氧化物的氧化物半導體膜的靶材，當原子數比為 $\text{In}:\text{Zn}:\text{O}=\text{X}:\text{Y}:\text{Z}$ 時，滿足 $\text{Z}>1.5\text{X}+\text{Y}$ 的關係。藉由將 Zn 的比率設定為上述範圍內的值，可以提高移動率。

[0234] 在利用濺射法形成作為氧化物半導體膜的 In-Sn-Zn 類氧化物半導體膜時，較佳為使用原子數比為 $\text{In}:\text{Sn}:\text{Zn}=1:1:1$ 、 $2:1:3$ 、 $1:2:2$ 或 $20:45:35$ 的 In-Sn-Zn-O 靶材。

[0235] 以下說明氧化物半導體膜的結構。

[0236] 請注意，在本說明書中，「平行」是指在 -10° 以上且 10° 以下的角度的範圍中配置兩條直線的狀態，因此也包括 -5° 以上且 5° 以下的角度的狀態。另外，「垂直」是指在 80° 以上且 100° 以下的角度的範圍中配置兩條直線的狀態，因此也包括 85° 以上且 95° 以下的角度的狀態。

[0237] 在本說明書中，六方晶系包括三方晶系和菱方晶系。

[0238] 氧化物半導體膜大致分為單晶氧化物半導體膜和非單晶氧化物半導體膜。非單晶氧化物半導體膜包括非晶氧化物半導體膜、微晶氧化物半導體膜、多晶氧化物半導體膜及 CAAC-OS (C-Axis Aligned Crystalline Oxide Semiconductor: c 軸配向結晶氧化物半導體) 膜等。

[0239] 非晶氧化物半導體膜具有無序的原子排列並不具有結晶成分。其典型例子是在微小區域中也不具有結

晶部而膜整體具有完全的非晶結構的氧化物半導體膜。

[0240] 微晶氧化物半導體膜例如包括大於或等於 1nm 且小於 10nm 的尺寸的微晶（也稱為奈米晶）。因此，微晶氧化物半導體膜的原子排列的有序度比非晶氧化物半導體膜高。因此，微晶氧化物半導體膜的缺陷態密度低於非晶氧化物半導體膜。

[0241] CAAC-OS 膜是包含多個結晶部的氧化物半導體膜之一，大部分的結晶部為能夠容納在一邊短於 100nm 的立方體的尺寸。因此，有時包括在 CAAC-OS 膜中的結晶部為能夠容納在一邊短於 10nm、短於 5nm 或短於 3nm 的立方體的尺寸。CAAC-OS 膜的缺陷態密度低於微晶氧化物半導體膜。下面，詳細說明 CAAC-OS 膜。

[0242] 在利用穿透式電子顯微鏡（TEM：Transmission Electron Microscope）所得到的 CAAC-OS 膜的影像中，不能明確地觀察到結晶部與結晶部之間的邊界，即晶界（grain boundary）。因此，在 CAAC-OS 膜中，不容易產生起因於晶界的電子移動率的降低。

[0243] 由從大致平行於樣本面的方向利用 TEM 所得到的 CAAC-OS 膜的影像（剖面 TEM 影像）可知，在結晶部中金屬原子排列為層狀。各金屬原子層具有反映形成 CAAC-OS 膜的面（也稱為被形成面）或 CAAC-OS 膜的頂面的凸凹的形狀並以平行於 CAAC-OS 膜的被形成面或頂面的方式排列。

[0244] 另一方面，由從大致垂直於樣本面的方向利

用 TEM 所得到的 CAAC-OS 膜的影像（平面 TEM 影像）可知，在結晶部中金屬原子排列為三角形狀或六角形狀。但是，在不同的結晶部之間沒有確認到金屬原子的排列的有序性。

[0245] 由剖面 TEM 影像及平面 TEM 影像可知，CAAC-OS 膜的結晶部具有配向性。

[0246] 使用 X 射線繞射（XRD：X-Ray Diffraction）裝置對 CAAC-OS 膜進行結構分析。例如，在藉由 out-of-plane 法分析包括 InGaZnO_4 的結晶的 CAAC-OS 膜的情況下，在繞射角度（ 2θ ）為 31° 附近有時出現峰值。由於該峰值歸屬於 InGaZnO_4 結晶的（009）面，所以可以確認到 CAAC-OS 膜的結晶具有 c 軸配向性並且 c 軸在大致垂直於 CAAC-OS 膜的被形成面或頂面的方向上配向。

[0247] 另一方面，在藉由從大致垂直於 c 軸的方向使 X 線入射到樣本的 in-plane 法分析 CAAC-OS 膜的情況下，在 2θ 為 56° 附近有時出現峰值。該峰值歸屬於 InGaZnO_4 結晶的（110）面。在此，假設樣本是 InGaZnO_4 的單晶氧化物半導體膜，在將 2θ 固定為 56° 附近的狀態下，一邊以樣本面的法線向量為軸（ ϕ 軸）旋轉樣本一邊進行分析（ ϕ 掃描），此時觀察到六個歸屬於等價於（110）面的結晶面的峰值。另一方面，在該樣本是 CAAC-OS 膜的情況下，即使在將 2θ 固定為 56° 附近的狀態下進行 ϕ 掃描也不能觀察到明確的峰值。

[0248] 由上述結果可知，在具有 c 軸配向的

CAAC-OS 膜中，雖然 a 軸及 b 軸的方向在結晶部之間不同，但是 c 軸在平行於被形成面或頂面的法線向量的方向上配向。因此，在上述剖面 TEM 影像中觀察到的排列為層狀的各金屬原子層相當於平行於結晶的 ab 面的面。

[0249] 請注意，結晶部在形成 CAAC-OS 膜或進行加熱處理等晶化處理時形成。如上所述，結晶的 c 軸在平行於 CAAC-OS 膜的被形成面或頂面的法線向量的方向上配向。由此，例如，在藉由蝕刻等改變 CAAC-OS 膜的形狀的情況下，有時結晶的 c 軸未必平行於 CAAC-OS 膜的被形成面或頂面的法線向量。

[0250] 此外，CAAC-OS 膜中的晶化度未必均勻。例如，在 CAAC-OS 膜的結晶部藉由從 CAAC-OS 膜的頂面近旁產生的結晶生長而形成的情況下，有時頂面附近的區域的晶化度高於被形成面附近的區域。另外，在對 CAAC-OS 膜添加雜質時，被添加雜質的區域的晶化度變化，有時部分性地形成晶化度不同的區域。

[0251] 請注意，在藉由出平面法（out-of-plane）法分析包括 InGaZnO₄ 結晶的 CAAC-OS 膜的情況下，除了 2θ 為 31° 附近的峰值之外，有時還觀察到 2θ 為 36° 附近的峰值。2θ 為 36° 附近的峰值意味著不具有 c 軸配向性的結晶包括在 CAAC-OS 膜的一部分中。較佳的是，CAAC-OS 膜在 2θ 為 31° 附近出現峰值並在 2θ 為 36° 附近不出現峰值。

[0252] 在使用 CAAC-OS 膜的電晶體中，起因於可見

光或紫外光的照射的電特性的變動小。因此，該電晶體具有高可靠性。

[0253] 請注意，氧化物半導體膜例如也可以是包括非晶氧化物半導體膜、微晶氧化物半導體膜和 CAAC-OS 膜中的的兩種以上的疊層膜。

[0254] CAAC-OS 膜例如使用多晶的氧化物半導體濺射靶材利用濺射法形成。當離子碰撞到該濺射靶材時，有時包含在濺射靶材中的結晶區域沿著 a-b 面劈開，並作為具有平行於 a-b 面的面的平板狀或顆粒狀的濺射粒子而剝離。此時，藉由使該平板狀的濺射粒子在保持結晶狀態的情況下到達基板，可以形成 CAAC-OS 膜。

[0255] 為了形成 CAAC-OS 膜，較佳為採用如下條件。

[0256] 藉由減少成膜時的雜質混入，可以抑制因雜質導致的結晶狀態的損壞。例如，可降低存在於成膜室內的雜質（氫、水、二氧化碳及氮等）。另外，可以降低成膜氣體中的雜質。明確而言，使用露點為 -80°C 以下，較佳為 -100°C 以下的成膜氣體。

[0257] 藉由增高成膜時的基板加熱溫度，使濺射粒子在到達基板之後發生遷移。明確而言，將基板加熱溫度設定為 100°C 以上且 740°C 以下，較佳為 200°C 以上且 500°C 以下來進行成膜。藉由增高成膜時的基板加熱溫度，使平板狀的濺射粒子到達基板時，在基板上發生遷移，於是濺射粒子的平坦的面附著於基板。

[0258] 另外，較佳為藉由增高成膜氣體中的氧的比例並使功率最佳化，來減輕成膜時的電漿損傷。將成膜氣體中的氧的比例設定為 30vol.%以上，較佳為設定為 100vol.%。

[0259] 作為濺射靶材例如可以使用 In-Ga-Zn-O 化合物靶材。藉由將 InO_x 粉末、 GaO_y 粉末及 ZnO_z 粉末以預定的莫耳數比混合，並進行加壓處理，然後在 1000℃ 以上且 1500℃ 以下的溫度下進行熱處理，由此得到多晶體的 In-Ga-Zn-O 化合物靶材。此外，X、Y 及 Z 各為任意正數。該多晶體的粒徑越小越好，例如 1 μm 以下等。粉末的種類及混合粉末時的莫耳數比可以根據所製造的濺射靶材適當地改變。

[0260] 氧化物半導體膜也可以包含多個氧化物半導體膜的層疊。例如，如圖 29A 所示的電晶體，半導體膜可以採用第一氧化物半導體膜 1260a 和第二氧化物半導體膜 1260b 的疊層。可以將原子數比不同的金屬氧化物用於第一氧化物半導體膜 1260a 和第二氧化物半導體膜 1260b。例如，作為一個氧化物半導體膜，可以使用包含兩種金屬的氧化物、包含三種金屬的氧化物或者包含四種金屬的氧化物，而作為另一個氧化物半導體膜，可以使用包含與一個氧化物半導體膜不同的兩種金屬的氧化物、包含三種金屬的氧化物或者包含四種金屬的氧化物。

[0261] 此外，也可以使第一氧化物半導體膜 1260a 和第二氧化物半導體膜 1260b 包含的構成元素相同，並使

兩者的原子數比不同。例如，可以將一個氧化物半導體膜的原子數比設定為 $\text{In} : \text{Ga} : \text{Zn} = 3 : 1 : 2$ ，而將另一個氧化物半導體膜的原子數比設定為 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ 。此外，也可以將一個氧化物半導體膜的原子數比設定為 $\text{In} : \text{Ga} : \text{Zn} = 2 : 1 : 3$ ，而將另一個氧化物半導體膜的原子數比設定為 $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 2$ 。也可以將一個氧化物半導體膜的原子數比設定為 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ ，而將另一個氧化物半導體膜的原子數比設定為 $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 2$ 。也可以將一個氧化物半導體膜的原子數比設定為 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ ，而將另一個氧化物半導體膜的原子數比設定為 $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 4$ 。也可以將一個氧化物半導體膜的原子數比設定為 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ ，而將另一個氧化物半導體膜的原子數比設定為 $\text{In} : \text{Ga} : \text{Zn} = 1 : 6 : 4$ 。也可以將一個氧化物半導體膜的原子數比設定為 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ ，而將另一個氧化物半導體膜的原子數比設定為 $\text{In} : \text{Ga} : \text{Zn} = 1 : 9 : 6$ 。請注意，各氧化物半導體膜的原子數比作為誤差包括上述原子數比的 $\pm 20\%$ 的變動。

[0262] 於上所述，藉由將一個氧化物半導體膜和另一個氧化物半導體膜中的與閘極電極較近的一側（通道一側）的氧化物半導體膜的 In 和 Ga 的原子數比設定為 $\text{In} \geq \text{Ga}$ （ In 是 Ga 以上），並且將離閘極電極較遠的一側（背通道一側）的氧化物半導體膜的 In 和 Ga 的原子數比設定為 $\text{In} < \text{Ga}$ ，可以製造場效移動率高的電晶體。另一方

面，藉由將通道一側的氧化物半導體膜的 In 和 Ga 的原子數比設定為 $\text{In} < \text{Ga}$ ，將背通道一側的氧化物半導體膜的 In 和 Ga 的原子數比設定為 $\text{In} \geq \text{Ga}$ （In 是 Ga 以上），可以減少電晶體的經時變化或因可靠性測試導致的臨界電壓的變動的量。

[0263] 另外，電晶體的半導體膜也可以具有由第一氧化物半導體膜至第三半導體膜構成的三層結構。此時，也可以使第一氧化物半導體膜至第三氧化物半導體膜的構成元素相同，並使它們的原子數比彼此不同。參照圖 29B 說明半導體膜為三層的電晶體的結構。

[0264] 圖 29B 所示的電晶體從閘極絕緣膜 127 一側依次層疊有第一氧化物半導體膜 1270a、第二氧化物半導體膜 1270b 及第三氧化物半導體膜 1270c。作為構成第一氧化物半導體膜 1270a 及第三氧化物半導體膜 1270c 的材料使用能夠以 $\text{InM}_{1x}\text{Zn}_y\text{O}_z$ （ $x \geq 1$ （x 是 1 以上）， $y > 1$ ， $z > 0$ ， $M_1 = \text{Ga}$ 、Hf 等）表示的材料。

[0265] 構成第二氧化物半導體膜 1270b 的材料使用能夠以 $\text{InM}_{2x}\text{Zn}_y\text{O}_z$ （ $x \geq 1$ （x 是 1 以上）， $y \geq x$ （y 是 x 以上）， $z > 0$ ， $M_2 = \text{Ga}$ 、Sn 等）表示的材料。

[0266] 適當地選擇第一、第二以及第三氧化物半導體膜的材料，以構成如下井結構，其中第二氧化物半導體膜 1270b 的導帶底與第一氧化物半導體膜 1270a 的導帶底以及第三氧化物半導體膜 1270c 的導帶底相比離真空能階最深。

[0267] 例如，可以使用原子數比為 $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 2$ 、 $1 : 3 : 4$ 、 $1 : 6 : 4$ 或 $1 : 9 : 6$ 的氧化物半導體膜來形成第一氧化物半導體膜 1270a 及第三氧化物半導體膜 1270c，並且可以使用原子數比為 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ 或 $3 : 1 : 2$ 的氧化物半導體膜來形成第二氧化物半導體膜 1270b。

[0268] 或者，也可以使用原子數比為 $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 2$ 或 $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 4$ 的氧化物半導體膜來形成第一氧化物半導體膜 1270a；使用原子數比為 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ 或 $\text{In} : \text{Ga} : \text{Zn} = 3 : 1 : 2$ 的氧化物半導體膜來形成第二氧化物半導體膜 1270b；以及使用原子數比為 $\text{In} : \text{Ga} : \text{Zn} = 1 : 6 : 4$ 或 $1 : 9 : 6$ 的氧化物半導體膜來形成第三氧化物半導體膜 1270c。

[0269] 由於第一氧化物半導體膜 1270a 至第三氧化物半導體膜 1270c 的構成元素相同，所以第二氧化物半導體膜 1270b 與第一氧化物半導體膜 1270a 之間的介面的缺陷態密度（陷阱態密度）低。詳細地說，該缺陷態密度（陷阱態密度）比閘極絕緣膜與第一氧化物半導體膜 1270a 之間的介面的缺陷態密度低。由此，如上所述藉由層疊氧化物半導體膜，可以減少電晶體的經時變化或因可靠性測試導致的臨界電壓的變動的量。

[0270] 另外，藉由適當地選擇第一、第二以及第三氧化物半導體膜的材料，以構成第二氧化物半導體膜 1270b 的導帶底構成與第一氧化物半導體膜 1270a 的導帶

底以及第三氧化物半導體膜 1270c 的導帶底相比離真空能階最深的井結構，可以提高電晶體的場效移動率，並可以減少電晶體的經時變化或因可靠性測試導致的臨界電壓的變動的量。

[0271] 另外，也可以作為第一氧化物半導體膜 1270a 至第三氧化物半導體膜 1270c 使用結晶性不同的氧化物半導體。也就是說，也可以採用適當地組合單晶氧化物半導體、多晶氧化物半導體、微晶（奈米晶）氧化物半導體、非晶氧化物半導體以及 CAAC-OS 膜的結構而形成第一氧化物半導體膜至第三氧化物半導體膜。

[0272] 至少成為通道形成區的第二氧化物半導體膜 1270b 較佳為 CAAC-OS 膜。本實施方式中的作為背通道一側的氧化物半導體膜的第三氧化物半導體膜 1270c 較佳為非晶或 CAAC-OS 膜。藉由採用這種結構，可以減少電晶體的經時變化或因可靠性測試導致的臨界電壓的變動的量。

[0273] 雖然本實施方式所說明的半導體膜典型地可以由濺射法等方法形成，但是也可以利用熱化學氣相沉積（CVD）法等其他方法形成。作為熱 CVD 法的例子，如 MOCVD（Metal Organic Chemical Vapor Deposition：有機金屬化學氣相沉積）法或 ALD（Atomic Layer Deposition：原子層沉積）法等。

[0274] 由於熱 CVD 法是不使用電漿的成膜方法，因此具有不產生因電漿損傷所引起的缺陷的優點。

[0275] 可以以如下方法進行利用熱 CVD 法的成膜：將源氣體及氧化劑同時供應到處理室內，將處理室內的壓力設定為大氣壓或減壓，使其在基板附近或在基板上發生反應。

[0276] 可以以如下方法進行利用 ALD 法的成膜：將處理室內的壓力設定為大氣壓或減壓，將用於反應的源氣體依次引入處理室，並且按該順序反復地引入氣體。例如，藉由切換各開關閥（也稱為高速閥）來將兩種以上的源氣體依次供應到處理室內。為了防止多種源氣體混合，例如，在引入第一源氣體的同時或之後引入惰性氣體（氬或氦等）等，然後引入第二源氣體。請注意，當同時引入第一源氣體及惰性氣體時，惰性氣體用作載子氣體，並且，可以在引入第二源氣體的同時引入惰性氣體。另外，也可以利用真空抽氣將第一源氣體排出來代替引入惰性氣體，然後引入第二源氣體。第一源氣體附著到基板表面形成第一層，之後引入的第二源氣體與該第一層起反應，由此第二層層疊在第一層上而形成薄膜。藉由按該順序反復多次地引入氣體直到獲得所希望的厚度為止，可以形成步驟覆蓋性良好的薄膜。由於薄膜的厚度可以根據按順序反復引入氣體的次數來進行調節，因此，ALD 法可以準確地調節厚度而適用於形成微型 FET。

[0277] 利用 MOCVD 法或 ALD 法等熱 CVD 法可以形成金屬膜、半導體膜、無機絕緣膜等各種膜，例如，當形成 In-Ga-Zn-O 膜時，可以使用三甲基銦、三甲基鎵及

二甲基鋅。請注意三甲基銦的化學式為 $\text{In}(\text{CH}_3)_3$ 。三甲基鎵的化學式為 $\text{Ga}(\text{CH}_3)_3$ 。二甲基鋅的化學式為 $\text{Zn}(\text{CH}_3)_2$ 。不侷限於上述組合，也可以使用三乙基鎵（化學式為 $\text{Ga}(\text{C}_2\text{H}_5)_3$ ）代替三甲基鎵，並使用二乙基鋅（化學式為 $\text{Zn}(\text{C}_2\text{H}_5)_2$ ）代替二甲基鋅。

[0278] 例如，在使用利用 ALD 法的成膜裝置形成氧化物半導體膜如 In-Ga-Zn-O 膜時，依次反復引入 $\text{In}(\text{CH}_3)_3$ 氣體和 O_3 氣體形成 In-O 層，然後同時引入 $\text{Ga}(\text{CH}_3)_3$ 氣體和 O_3 氣體形成 GaO 層，之後同時引入 $\text{Zn}(\text{CH}_3)_2$ 氣體和 O_3 氣體形成 ZnO 層。請注意，這些層的順序不侷限於上述例子。也可以混合這些氣體來形成混合化合物層如 In-Ga-O 層、In-Zn-O 層、Ga-Zn-O 層等。請注意，雖然也可以使用利用 Ar 等惰性氣體進行起泡而得到的 H_2O 氣體代替 O_3 氣體，但是較佳為使用不包含 H 的 O_3 氣體。另外，也可以使用 $\text{In}(\text{C}_2\text{H}_5)_3$ 氣體代替 $\text{In}(\text{CH}_3)_3$ 氣體。此外，也可以使用 $\text{Ga}(\text{C}_2\text{H}_5)_3$ 氣體代替 $\text{Ga}(\text{CH}_3)_3$ 氣體。還可以使用 $\text{In}(\text{C}_2\text{H}_5)_3$ 氣體代替 $\text{In}(\text{CH}_3)_3$ 氣體。也可以使用 $\text{Zn}(\text{CH}_3)_2$ 氣體。

[0279] 在使容易與氧鍵合的導電材料（例如，用於源極電極或汲極電極的金屬）與氧化物半導體膜接觸時，氧化物半導體膜中的氧擴散到容易與氧鍵合的導電材料。溫度越高這種現象越顯著地發生。因為在電晶體的製程中有幾個加熱製程，所以因上述現象而在氧化物半導體層的與源極電極或汲極電極接觸的區域及其附近的區域中發生

氧缺陷，而使該區域成為 n 型。因此，可以使成為 n 型的該區域用作電晶體的源極或汲極。

[0280] 圖 29A 和圖 29B 例顯示上述 n 型的區域。半導體膜中的以虛線表示的邊界 135 是本質半導體區域與 n 型半導體區域的邊界，在氧化物半導體中，與源極電極或汲極電極接觸的區域及其附近的區域成為 n 型的區域。邊界 135 是示意性地顯示的，實際上有時不明確。有時邊界 135 的位置也與圖示的位置不同。

[0281] 藉由使用在本實施方式中說明的由氧化物半導體形成通道形成區的電晶體，可以提供對 X 射線等放射線照射的穩定性高，並具有可以抑制電特性的降低的結構的成像裝置。

[0282] 本實施方式可以與其他實施方式所記載的結構適當地組合而實施。

【符號說明】

[0283]

100：基板

101：基板

110：像素電路

120：電路部

125：受光元件

127：閘極絕緣膜

130：開口部

- 135：邊界
- 140：電路
- 150：電路
- 160：遮蔽層
- 170：層間絕緣膜
- 180：閃爍體
- 181：閃爍體
- 190：放射線
- 195：光
- 200：電路
- 201：電晶體
- 202：電晶體
- 203：電晶體
- 204：電晶體
- 205：佈線
- 210：電路
- 211：佈線
- 212：佈線
- 213：佈線
- 214：佈線
- 215：佈線
- 216：佈線
- 217：佈線
- 218：佈線

- 220：光電二極體
- 230：可變電阻元件
- 240：電晶體
- 250：電路
- 260：電路
- 270：電路
- 280：電路
- 290：電路
- 301：信號
- 302：信號
- 303：信號
- 304：信號
- 305：信號
- 308：信號
- 315：半導體膜
- 316：半導體膜
- 317：半導體膜
- 501：信號
- 502：信號
- 503：信號
- 504：信號
- 505：信號
- 506：信號
- 507：信號

508 : 信號

509 : 信號

510 : 期間

511 : 期間

520 : 期間

521 : 期間

531 : 期間

610 : 期間

611 : 期間

612 : 期間

620 : 放射線照射期間

621 : 期間

622 : 期間

623 : 期間

631 : 期間

1211 : 導電膜

1212 : 導電膜

1213 : 導電膜

1214 : 導電膜

1215 : 導電膜

1218 : 導電膜

1219 : 導電膜

1220 : 導電膜

1221 : 導電膜

- 1222 : 導電膜
- 1223 : 導電膜
- 1224 : 導電膜
- 1225 : 導電膜
- 1226 : 導電膜
- 1227 : 導電膜
- 1228 : 閘極絕緣膜
- 1229 : 導電膜
- 1230 : 導電膜
- 1231 : 導電膜
- 1232 : 閘極電極
- 1250 : 半導體層
- 1260a : 氧化物半導體膜
- 1260b : 氧化物半導體膜
- 1270a : 氧化物半導體膜
- 1270b : 氧化物半導體膜
- 1270c : 氧化物半導體膜
- 1281 : 絕緣膜
- 1282 : 絕緣膜
- 1283 : 絕緣膜

公告本

發明摘要

※申請案號：103105280

G01T 1/20 (2006.01)

※申請日：103 年 02 月 18 日

※IPC 分類：

H01L 27/14 (2006.01)

【發明名稱】(中文/英文)

成像裝置

Imaging device

【中文】

本發明的目的之一是提供一種對 X 射線等放射線照射的穩定性高，並具有可以抑制電特性的降低的結構的成像裝置。該成像裝置使用 X 射線等放射線獲取影像，並包括與閃爍體重疊的配置為矩陣狀的像素電路。該像素電路包括關態電流極小的開關用電晶體以及受光元件，該電晶體及受光元件與由金屬材料等形成的遮蔽層重疊。藉由採用該結構，可以提供對 X 射線等放射線照射的穩定性高，並可以抑制電特性的降低的成像裝置。

【 英文 】

An imaging device which is highly stable to irradiation with radiations such as X-rays and can inhibit a decrease in electrical characteristics is provided. The imaging device obtains an image using radiations such as X-rays and includes pixel circuits which are arranged in a matrix and which a scintillator overlaps. Each of the pixel circuits includes a switching transistor whose off-state current is extremely low and a light-receiving element. A shielding layer formed using a metal material and the like overlaps the transistor and the light-receiving element. With the structure, an imaging device which is highly stable to irradiation with radiations such as X-rays and can inhibit a decrease in electrical characteristics can be provided.

圖式

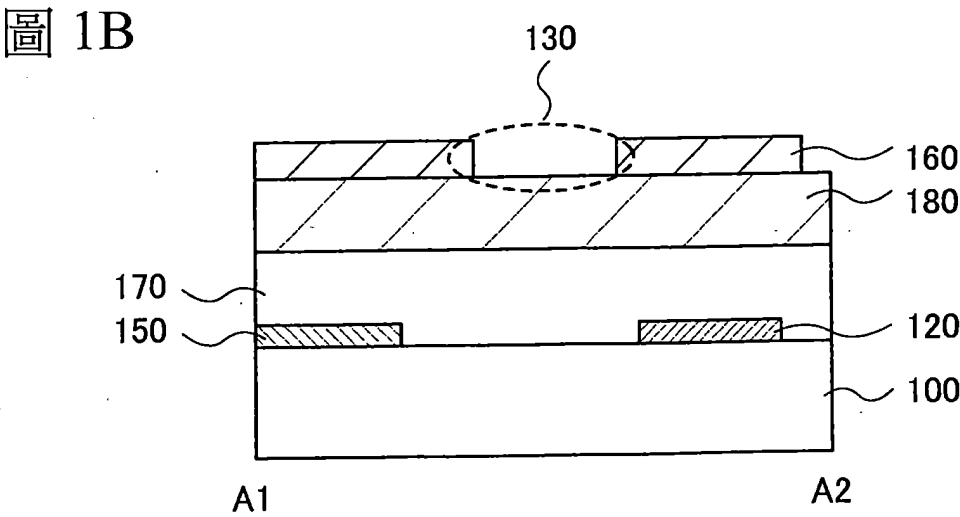
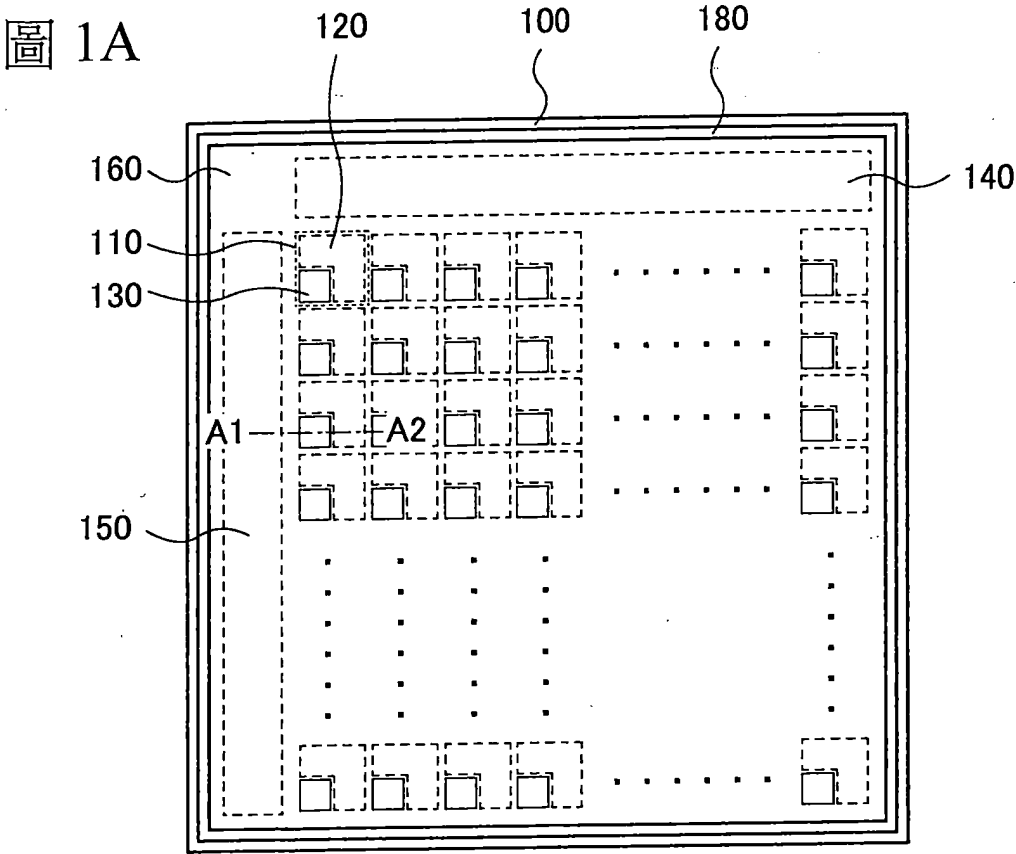


圖 2

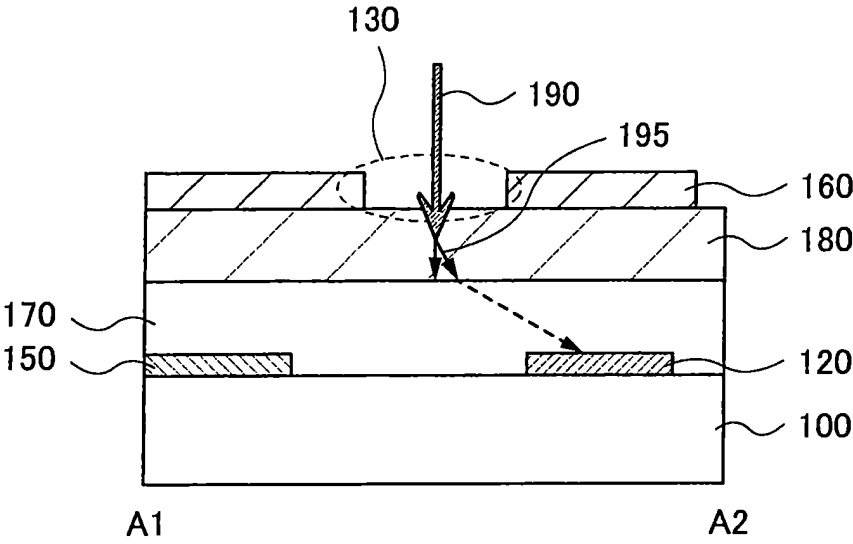


圖 3

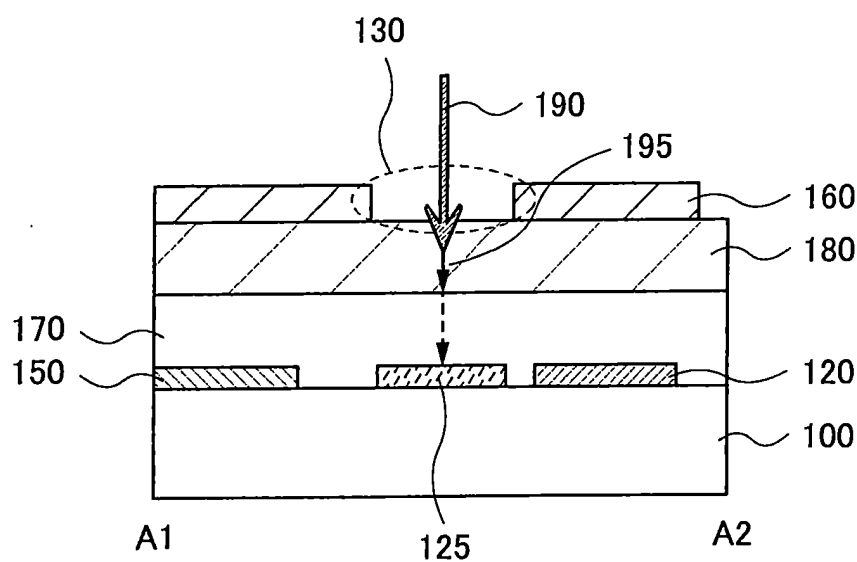


圖 4A

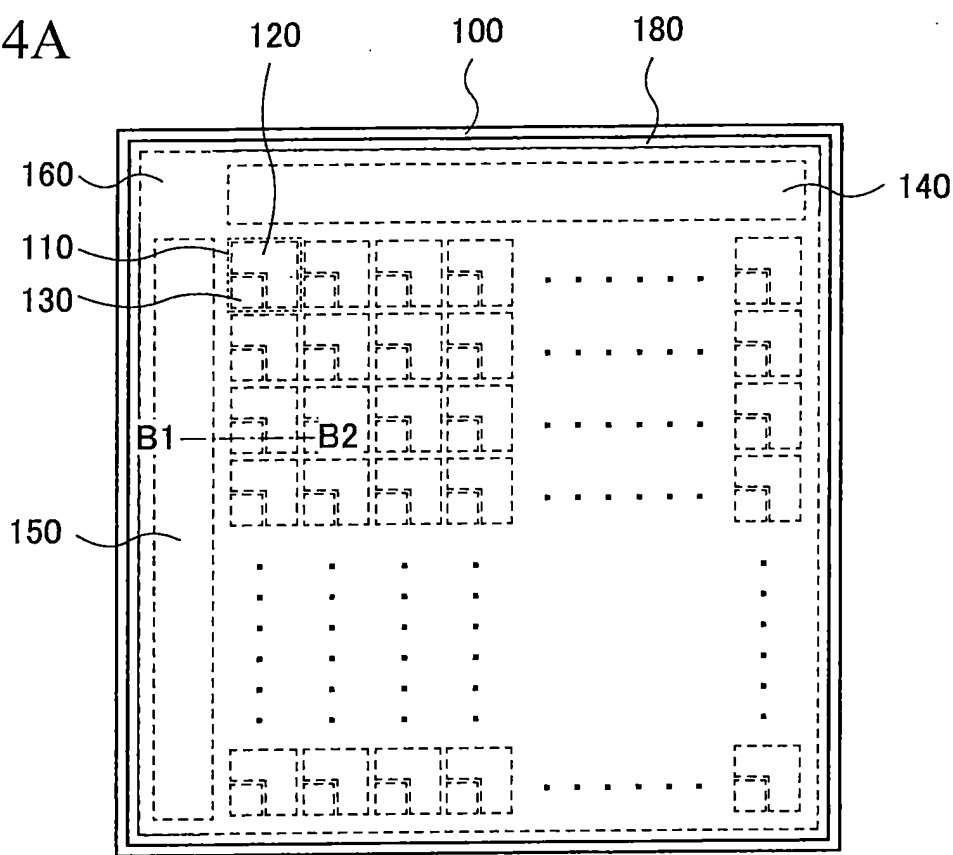


圖 4B

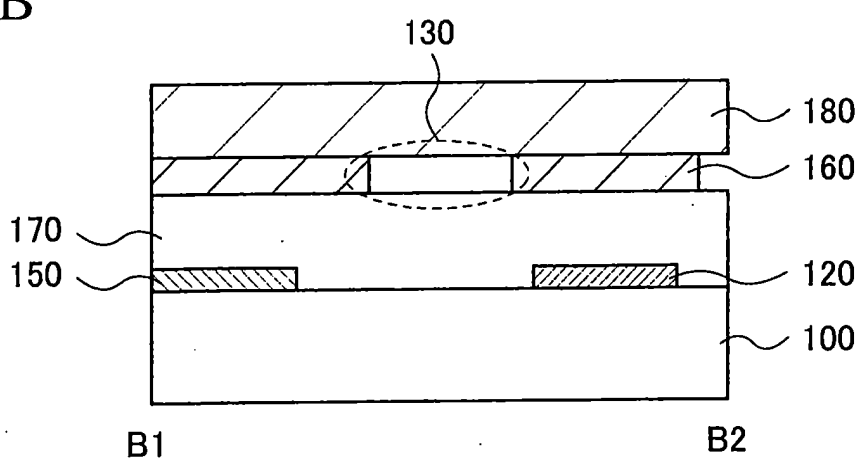


圖 5

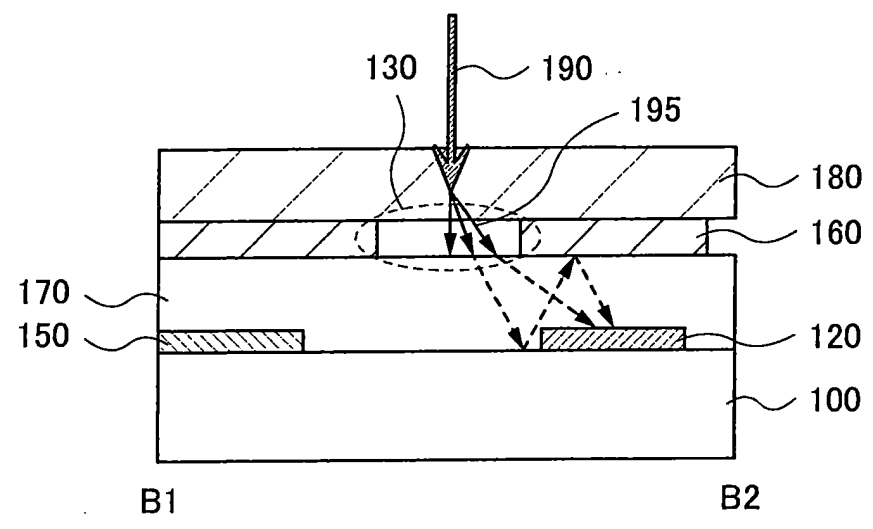


圖 6A

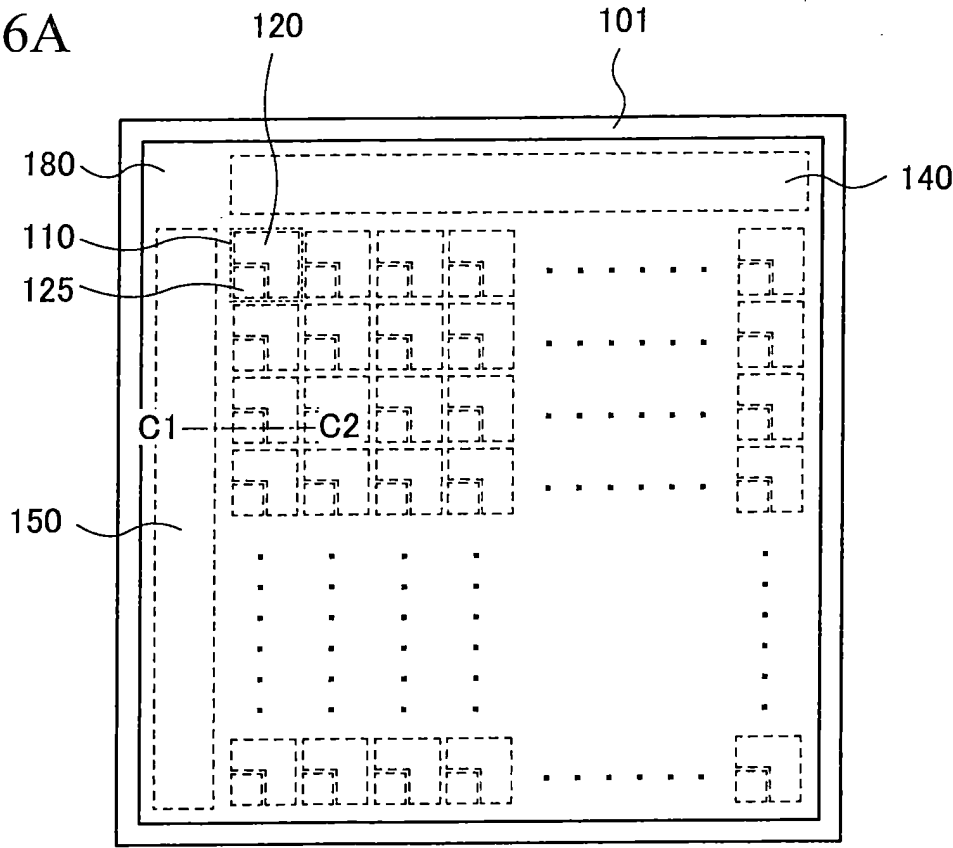


圖 6B

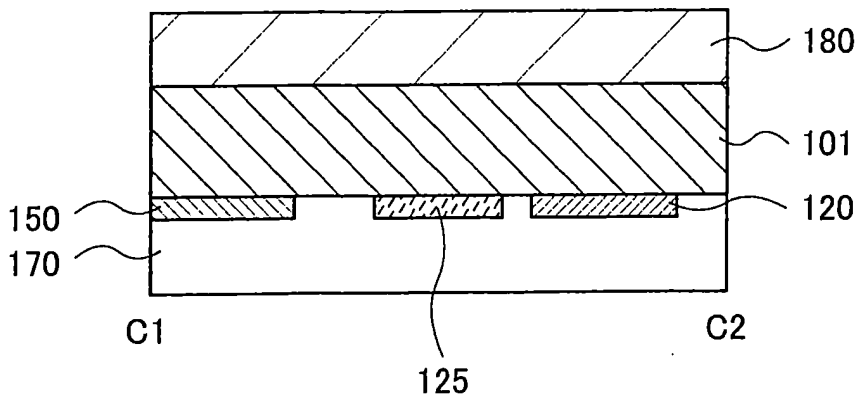


圖 7A

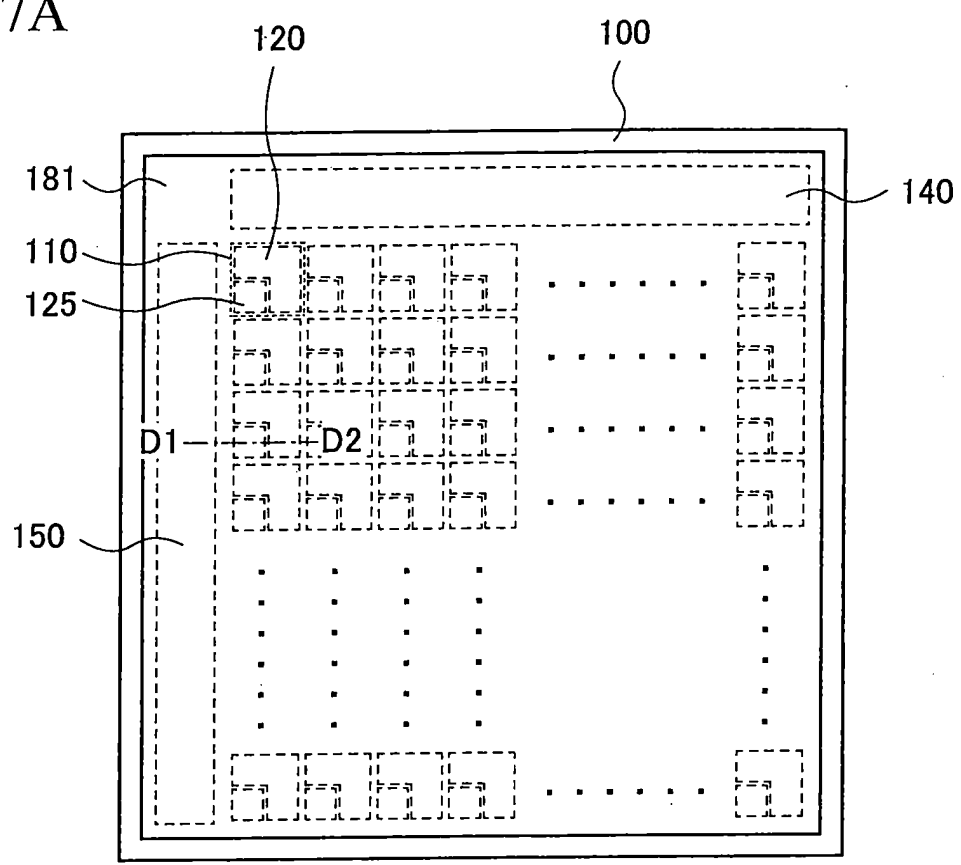


圖 7B

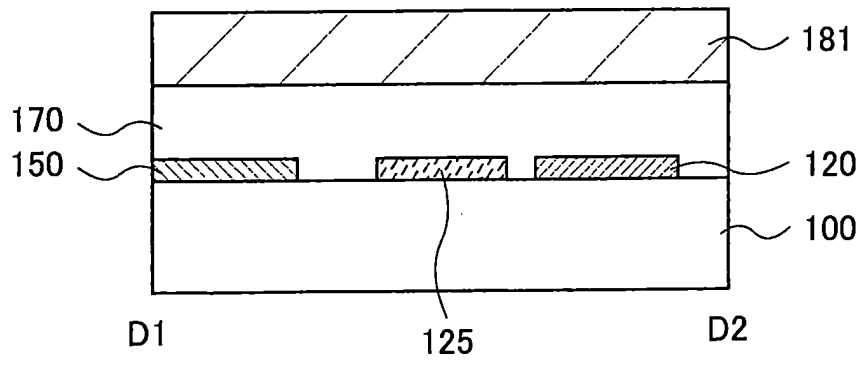


圖 8A

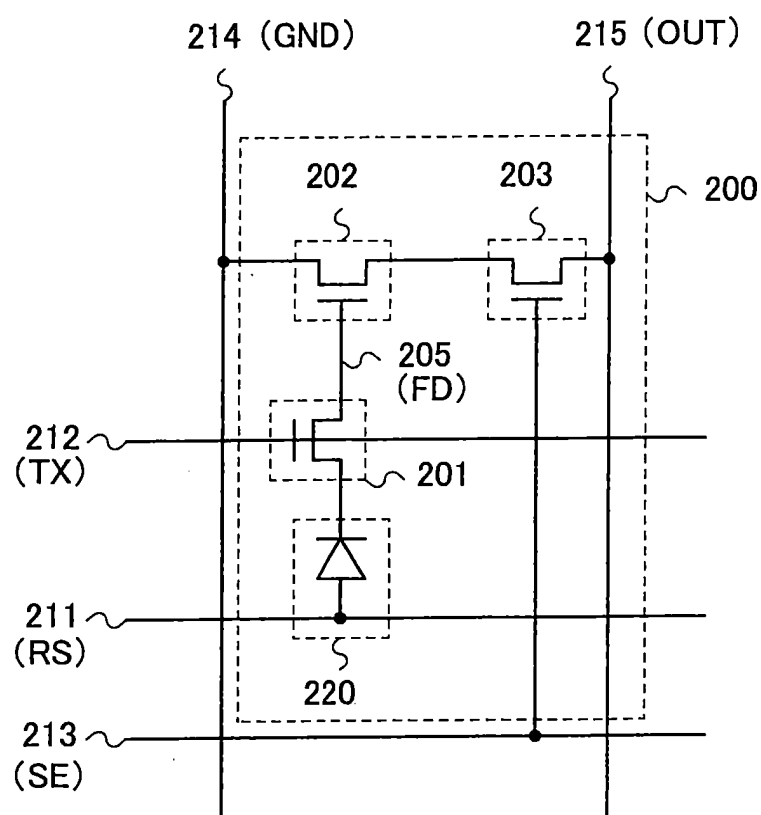


圖 8B

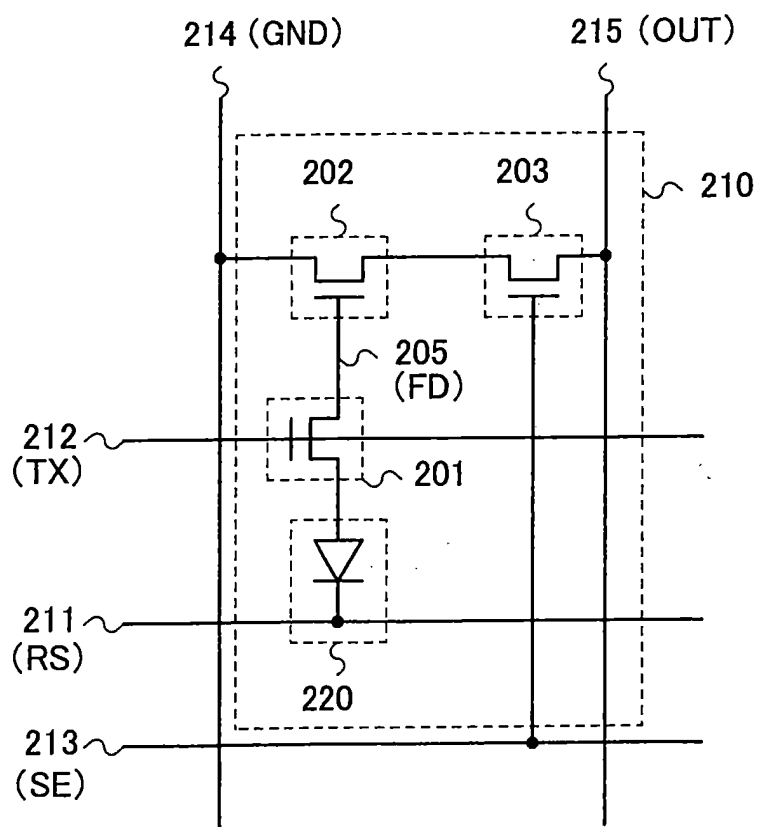


圖 9A

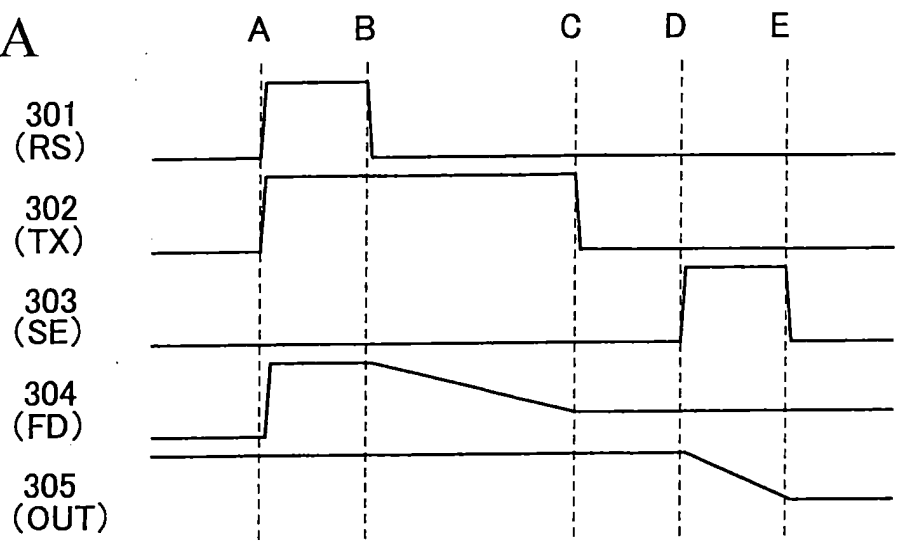


圖 9B

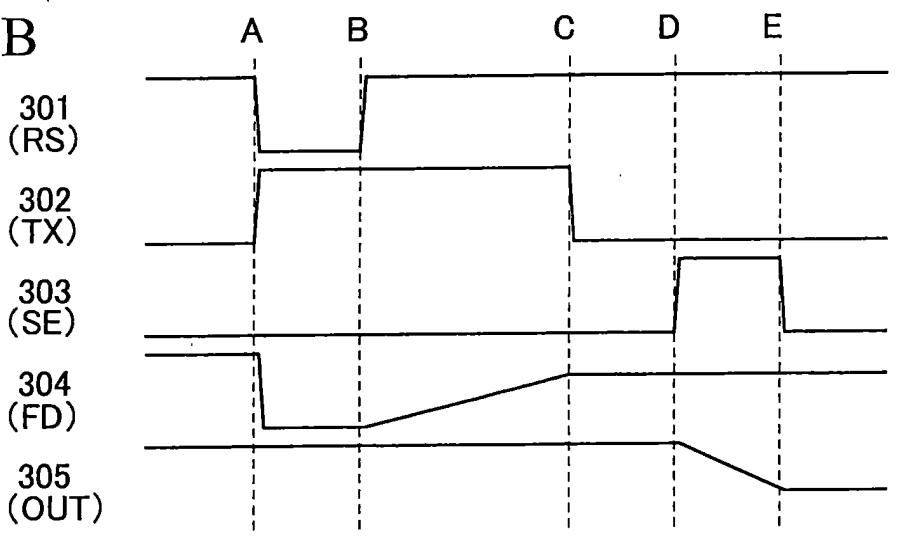


圖 9C

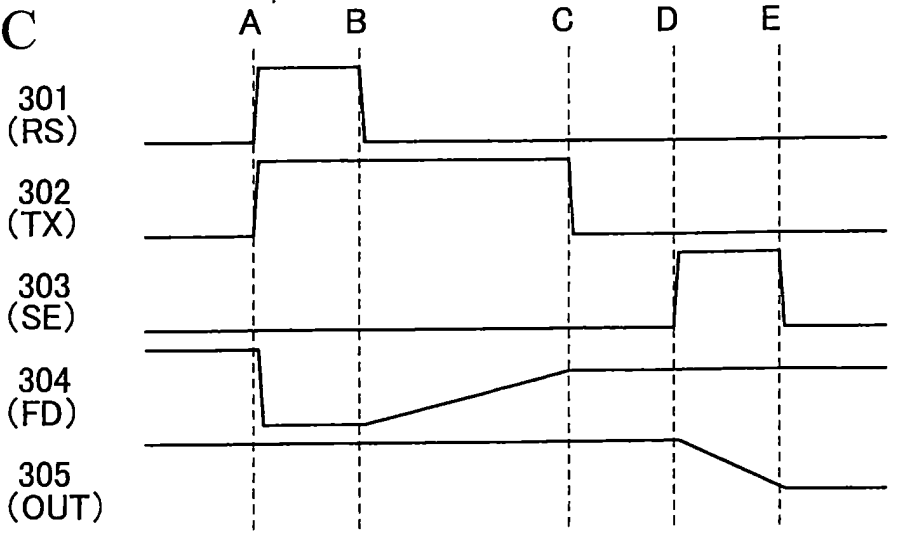


圖 10A

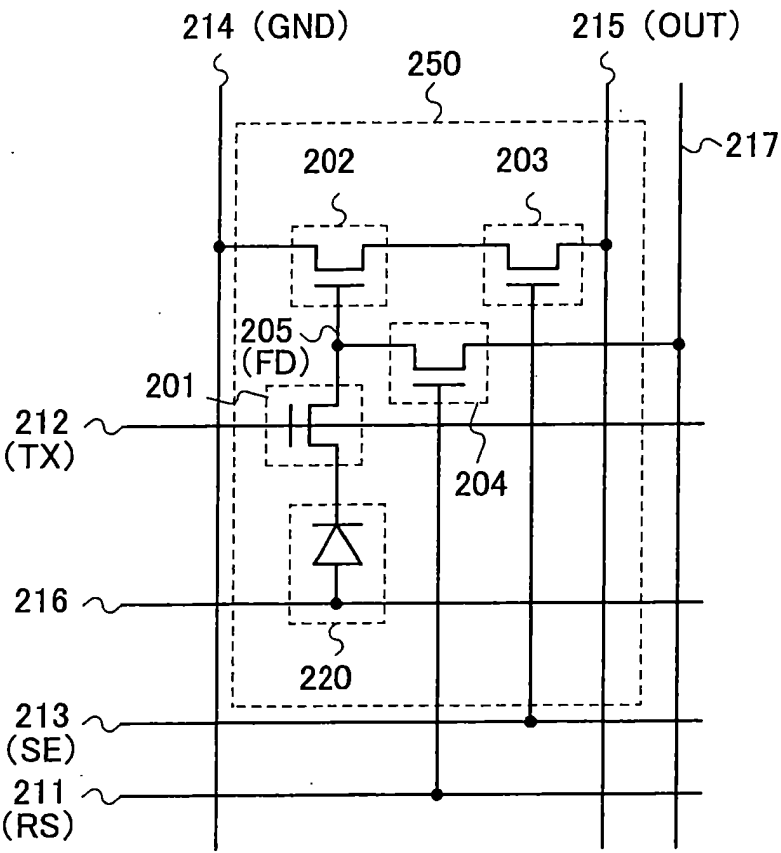


圖 10B

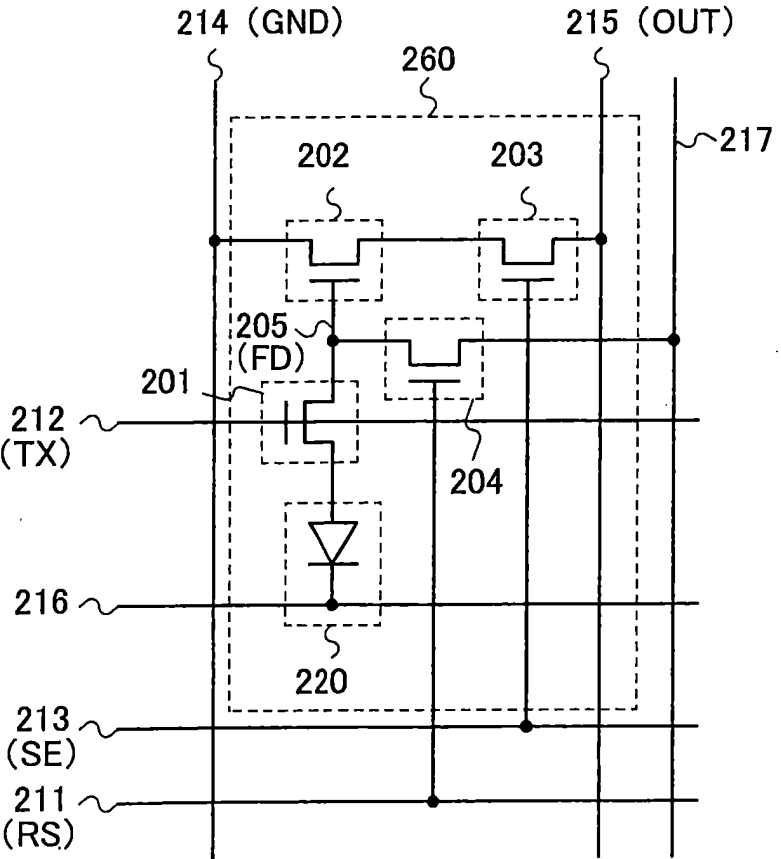


圖 11

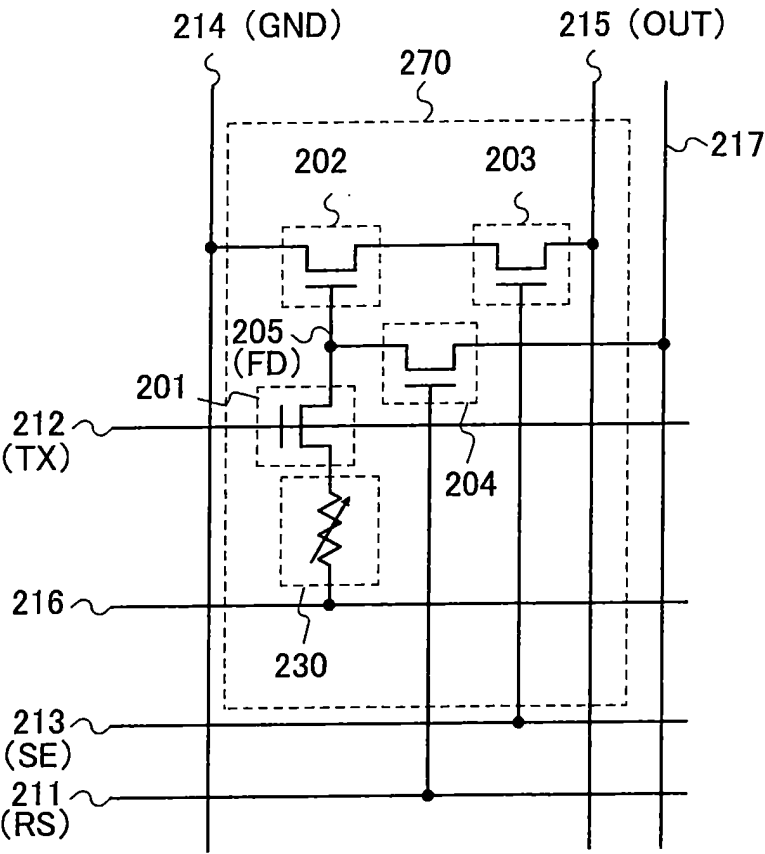


圖 12

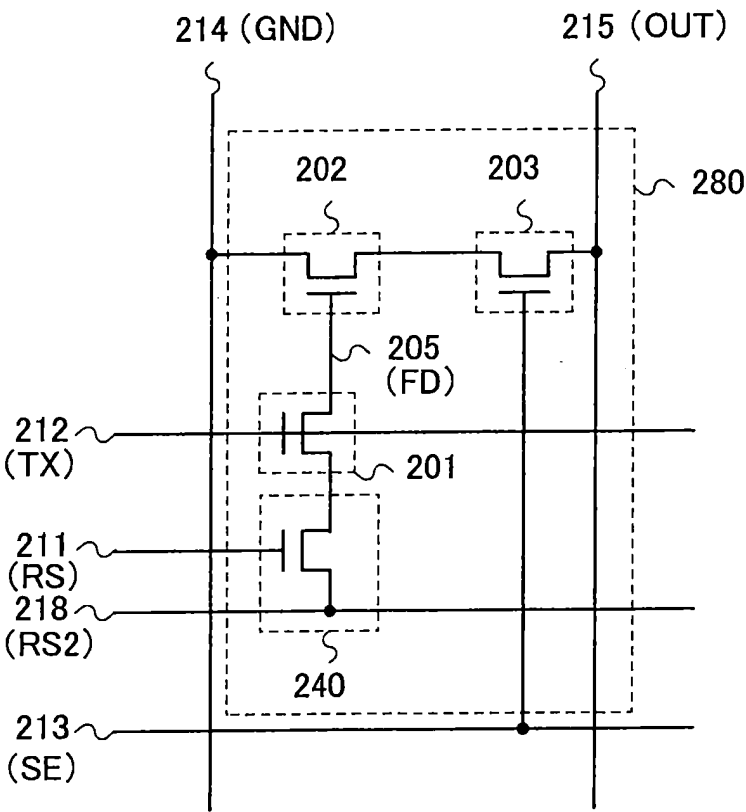


圖 13A

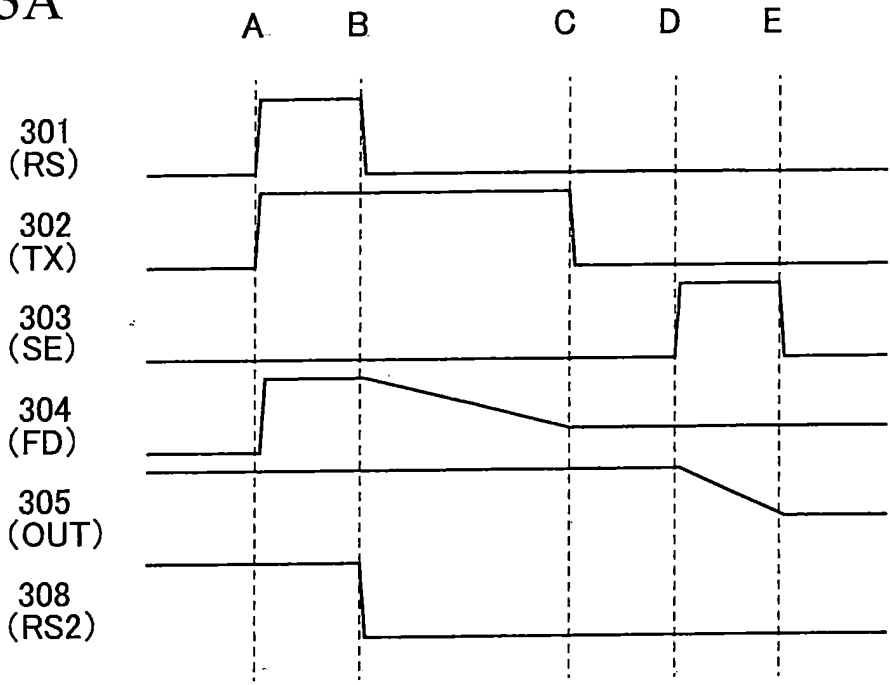


圖 13B

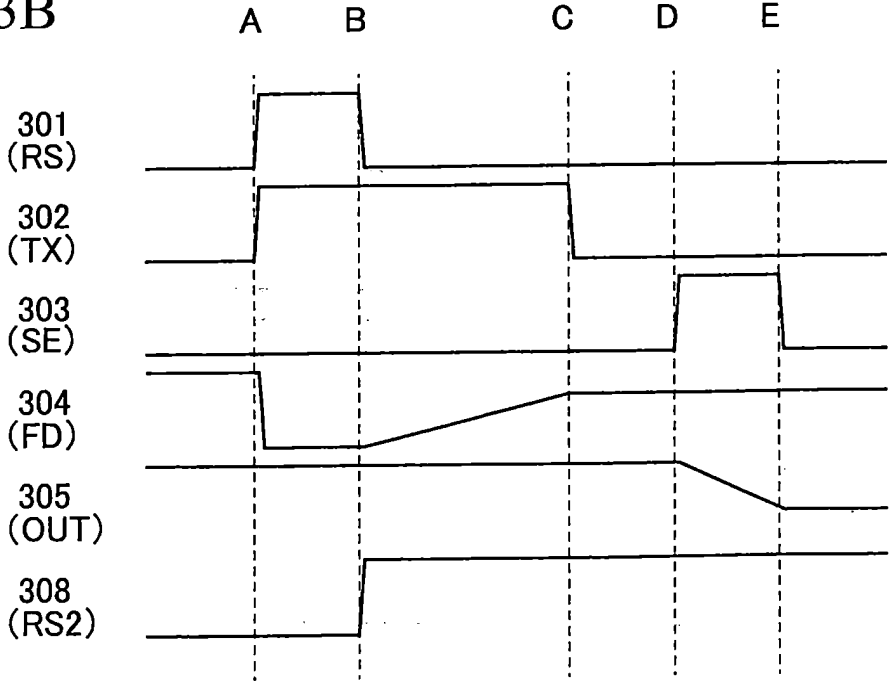


圖 14

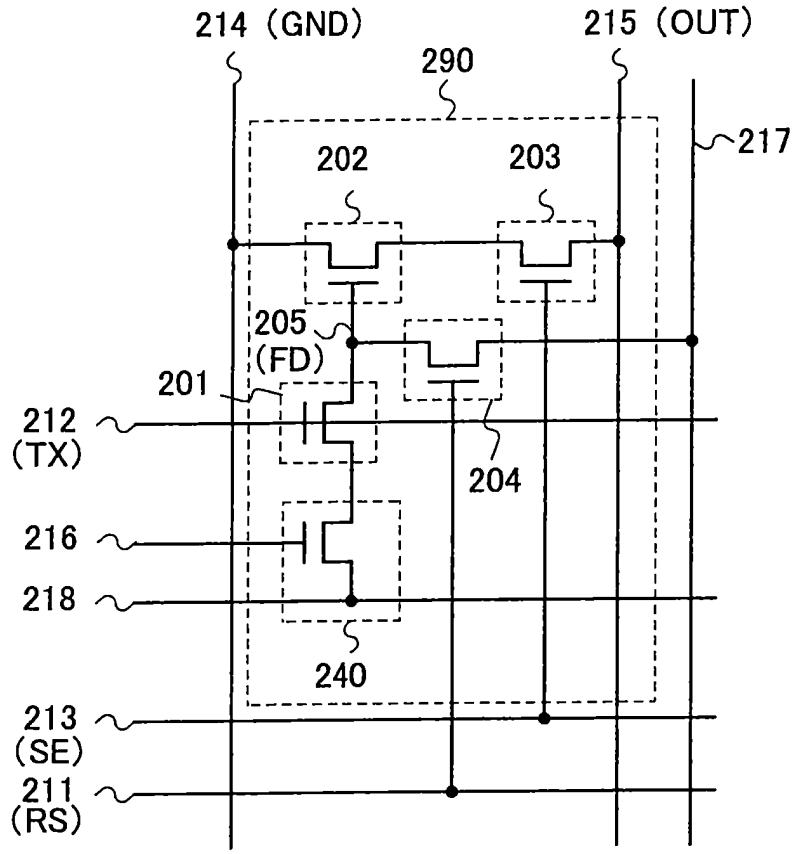


圖 15A

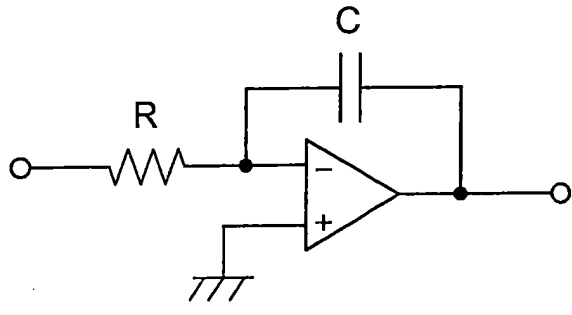


圖 15B

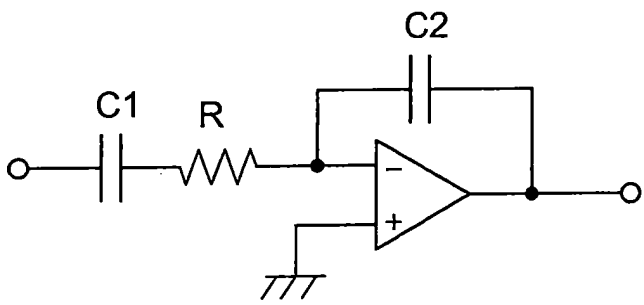


圖 15C

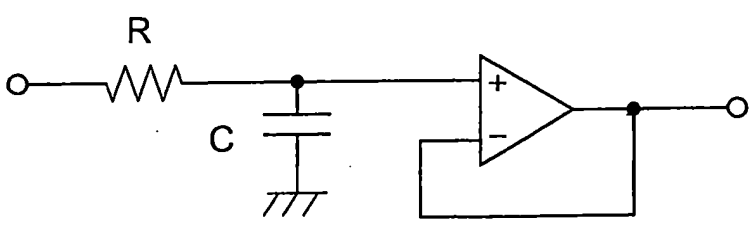


圖 16A

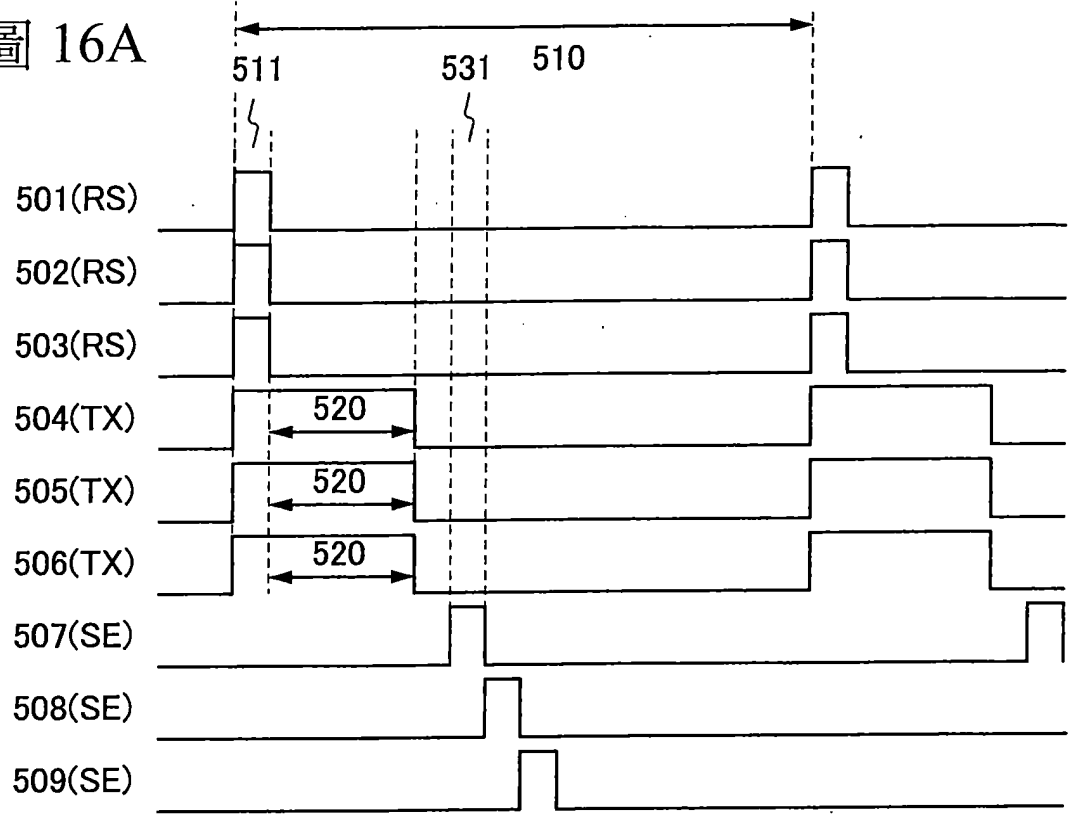


圖 16B

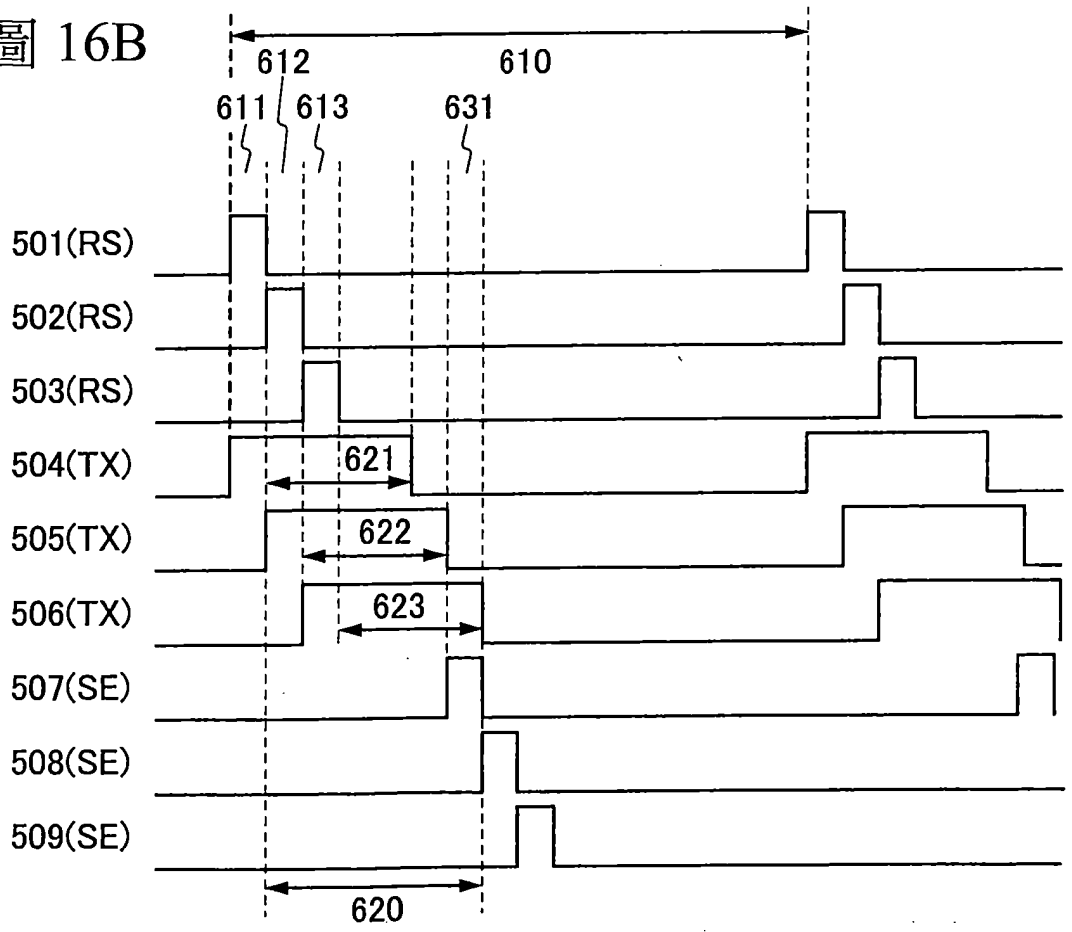


圖 17

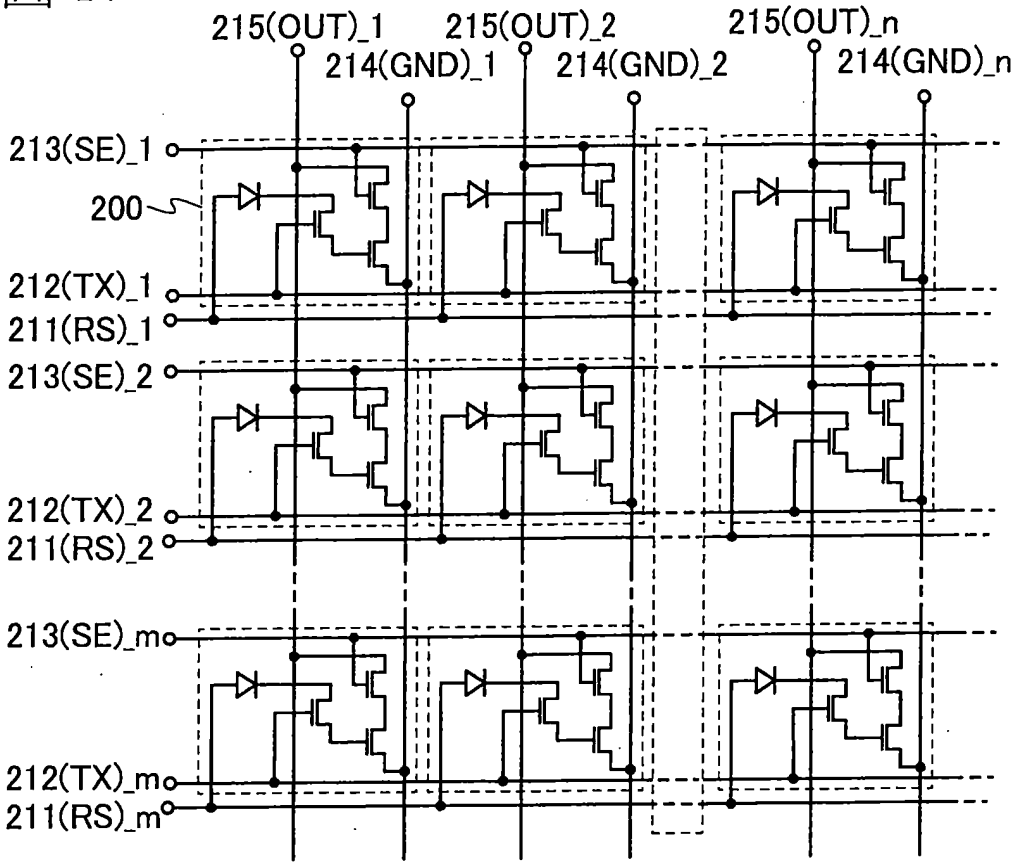


圖 18

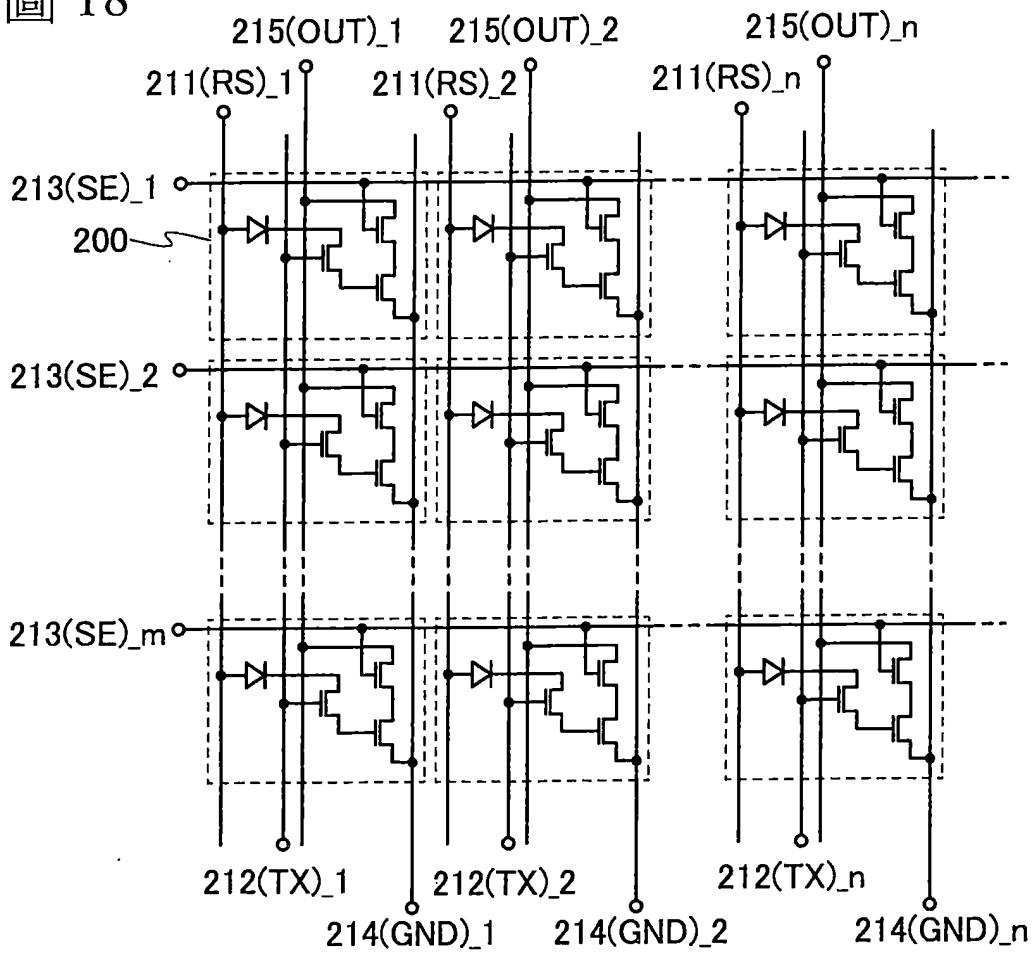


圖 19

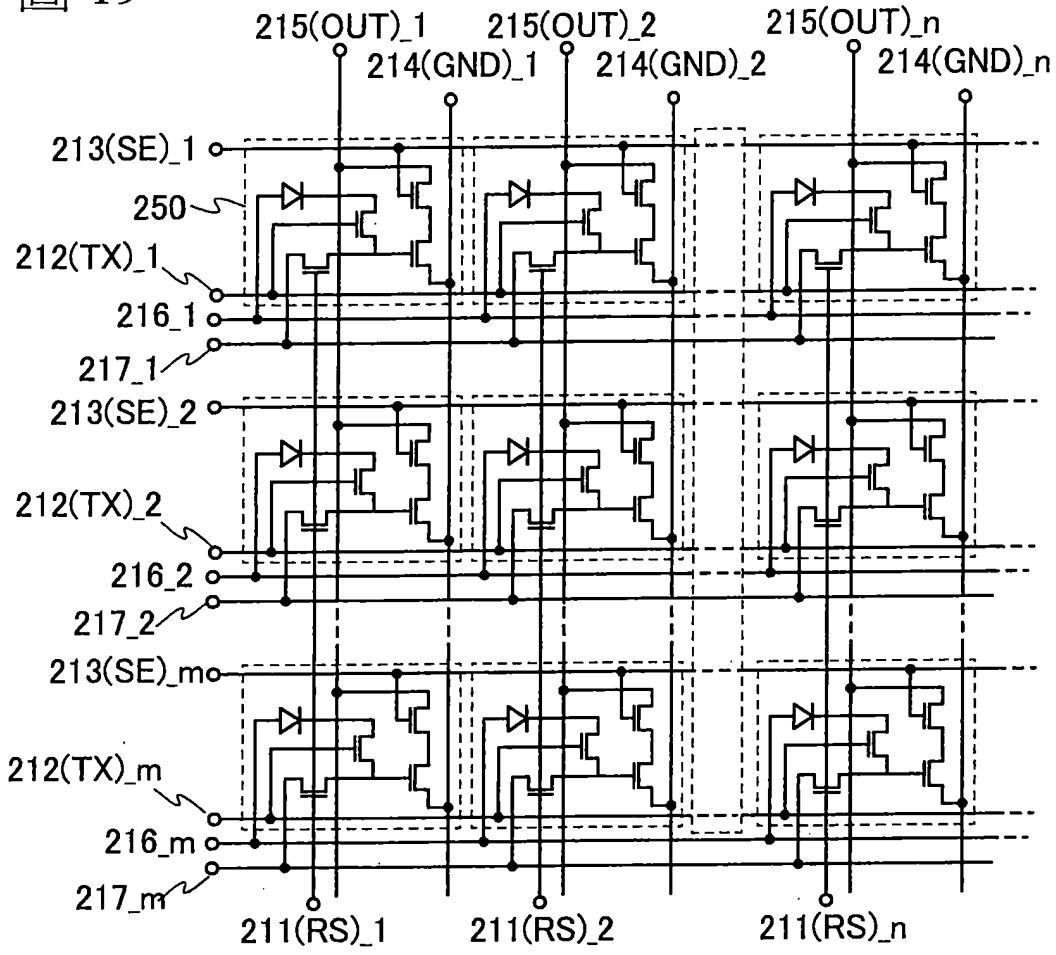


圖 20

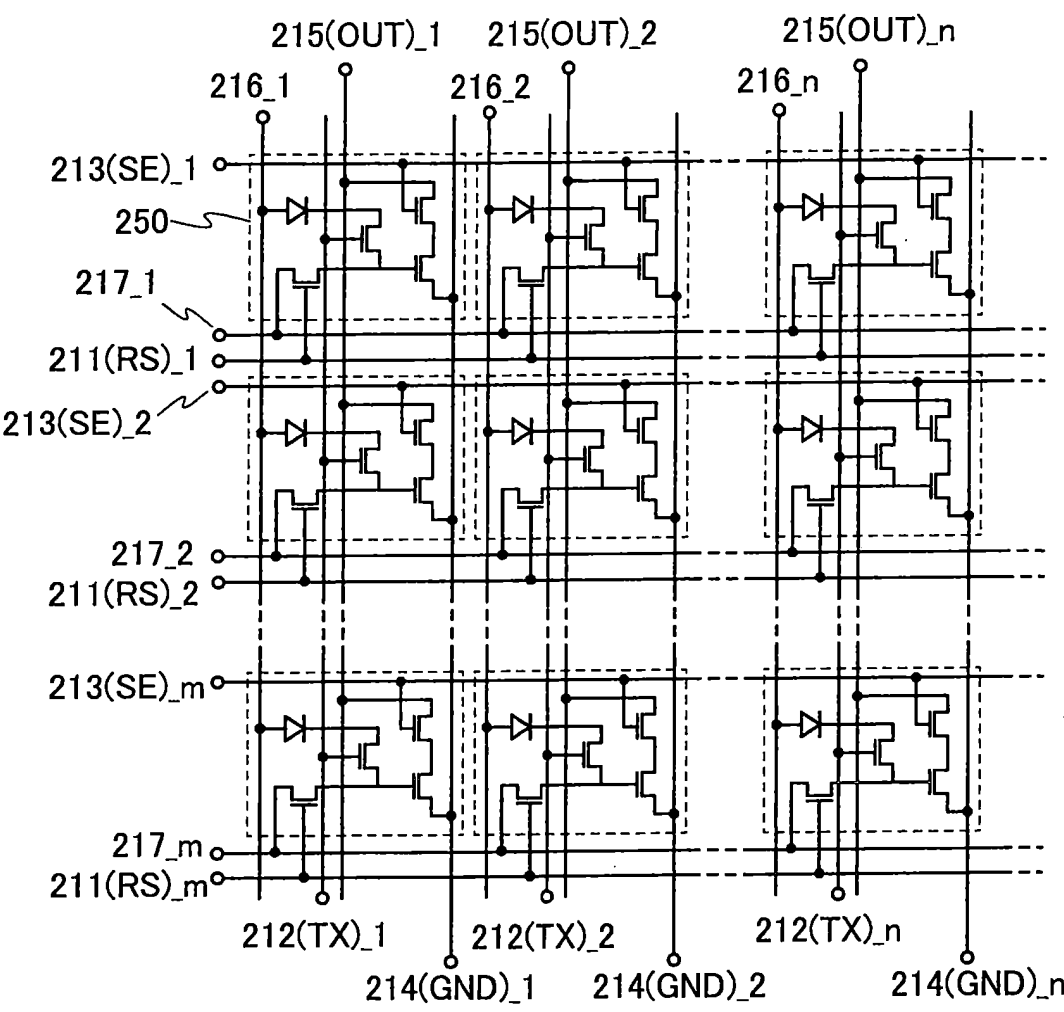


圖 21

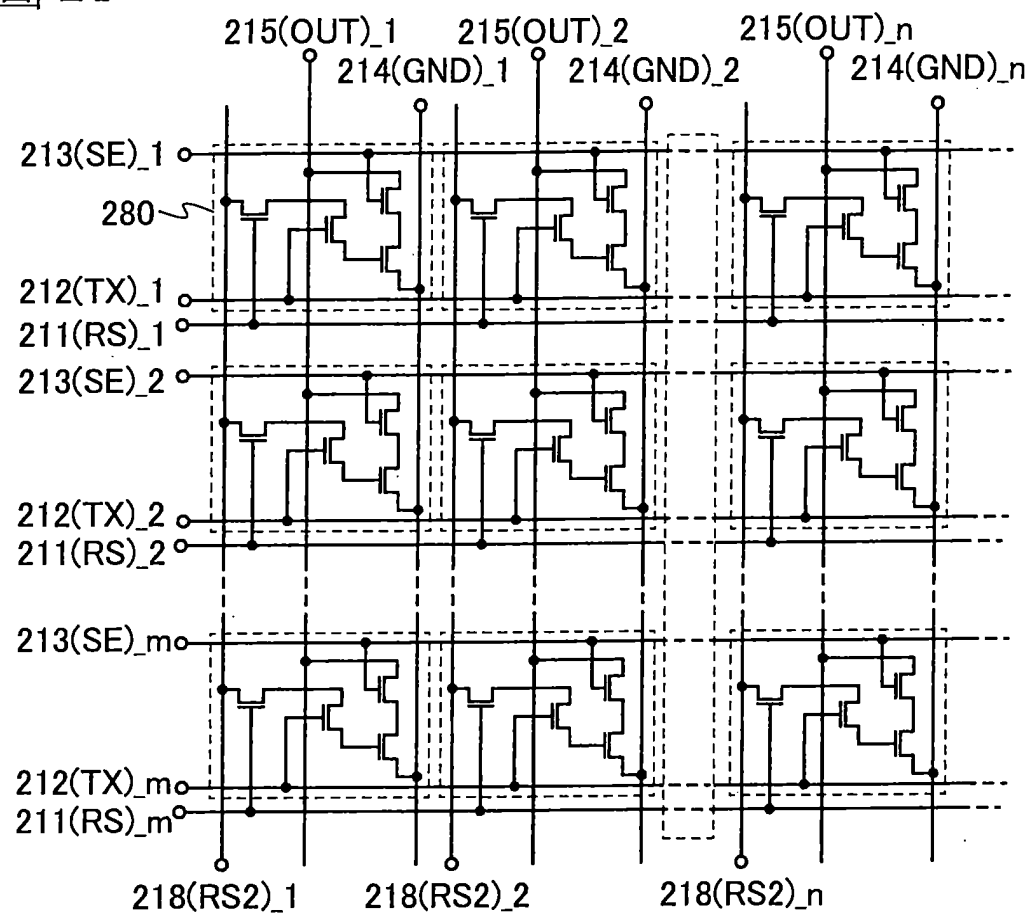


圖 22

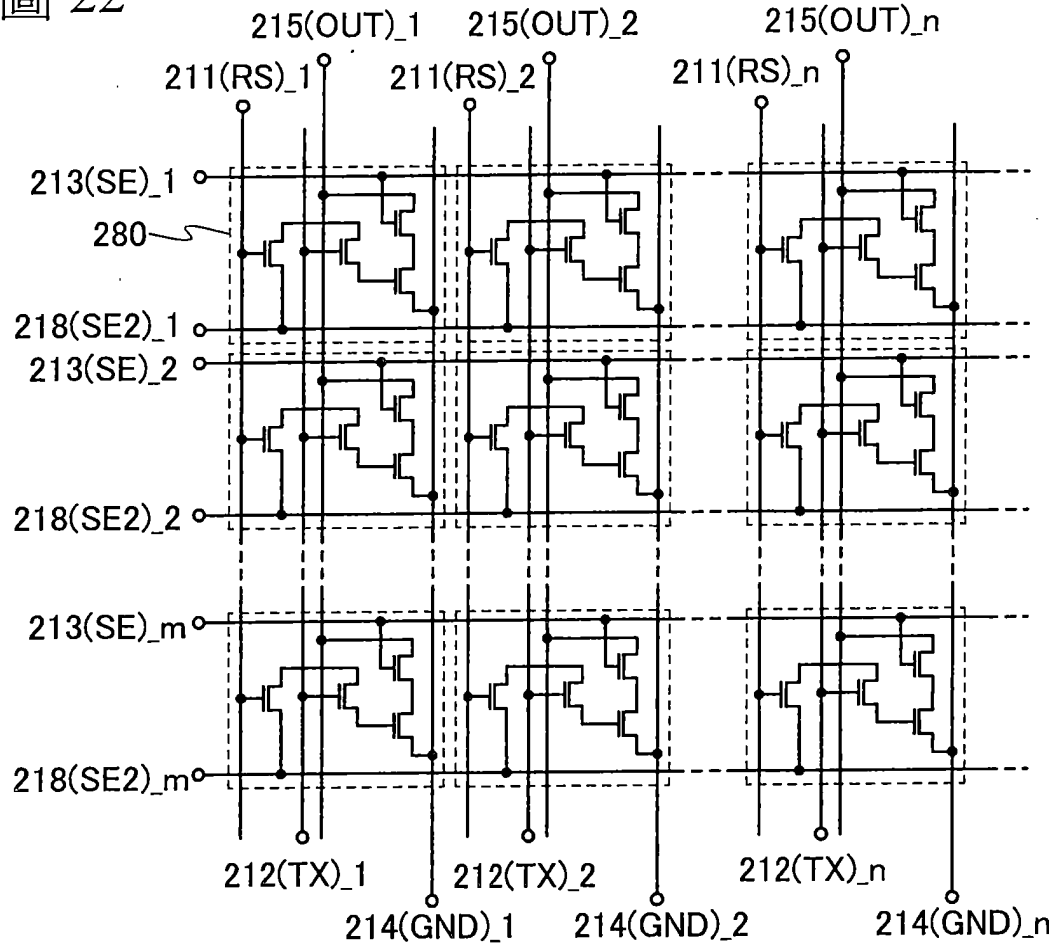


圖 23

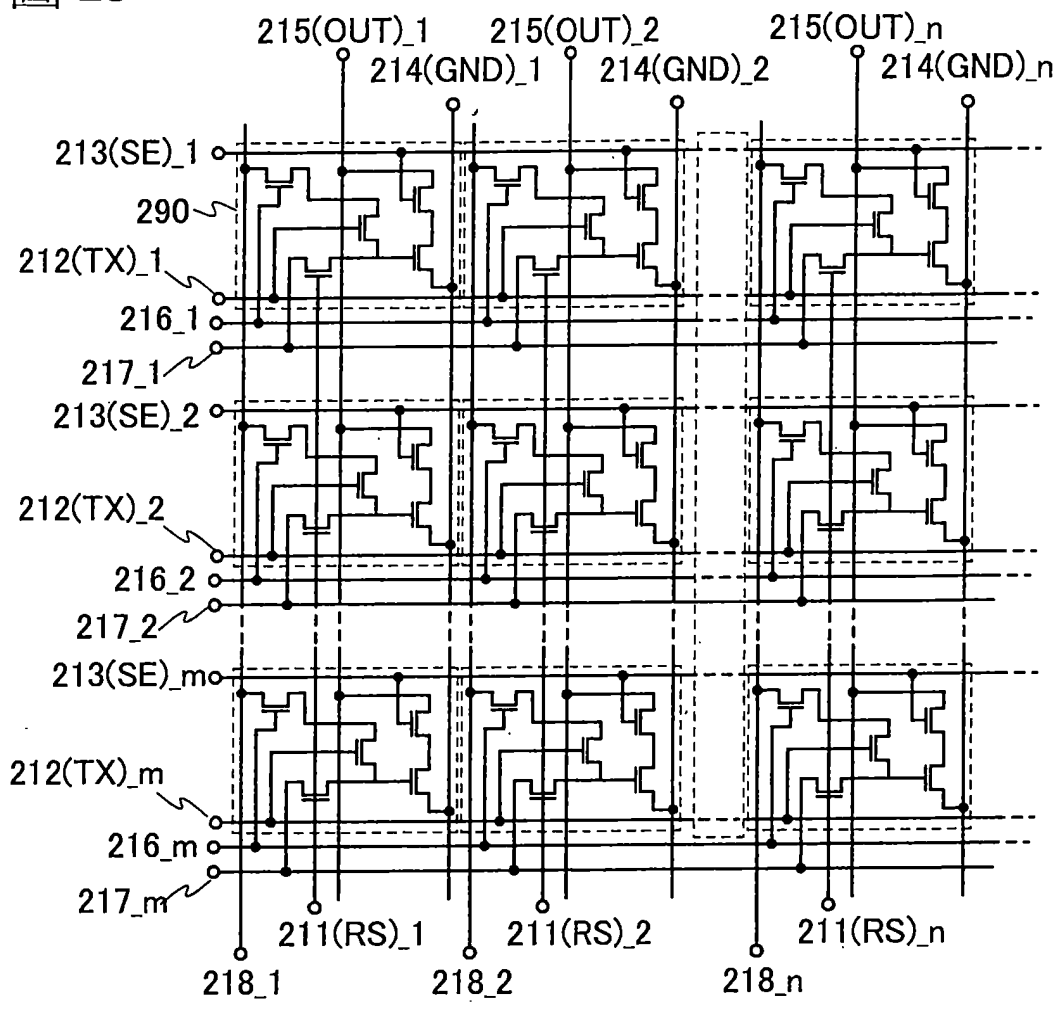


圖 24

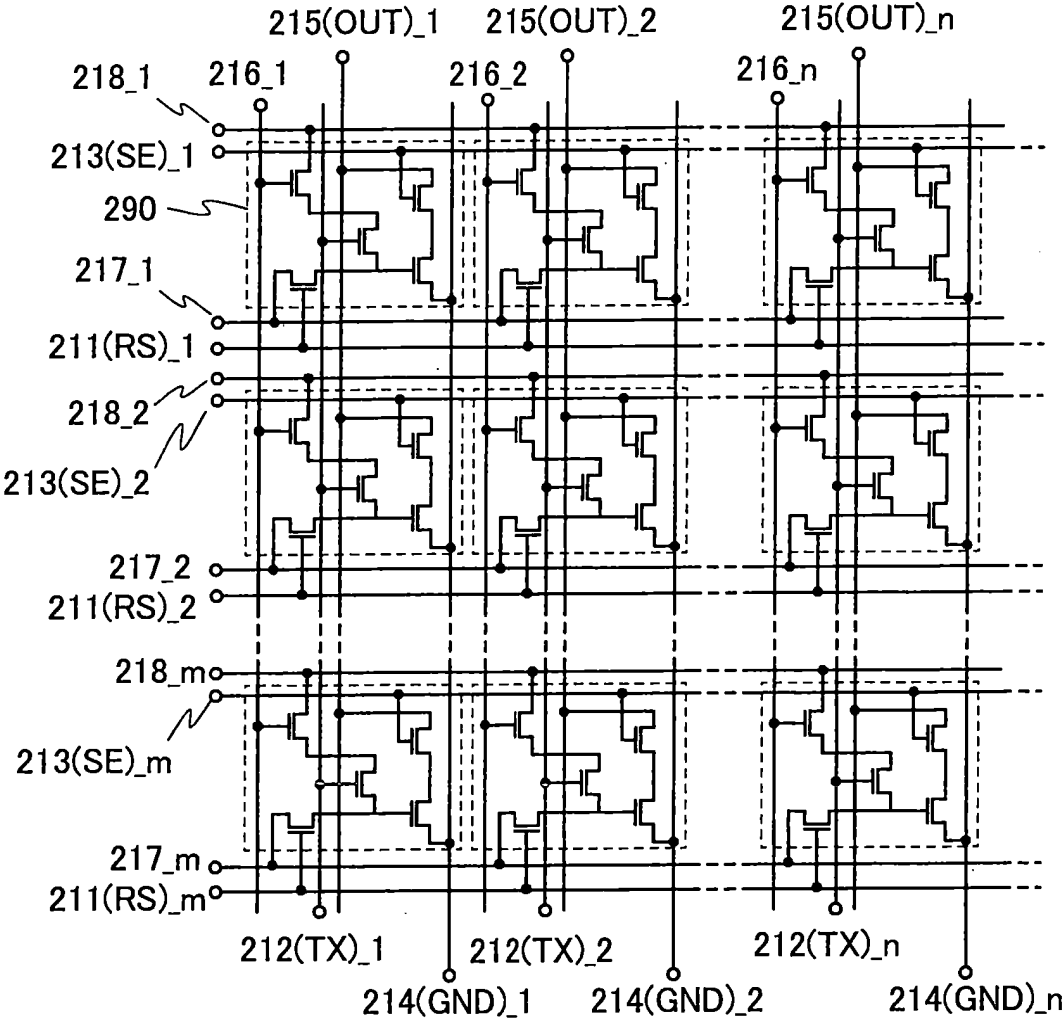


圖 25A

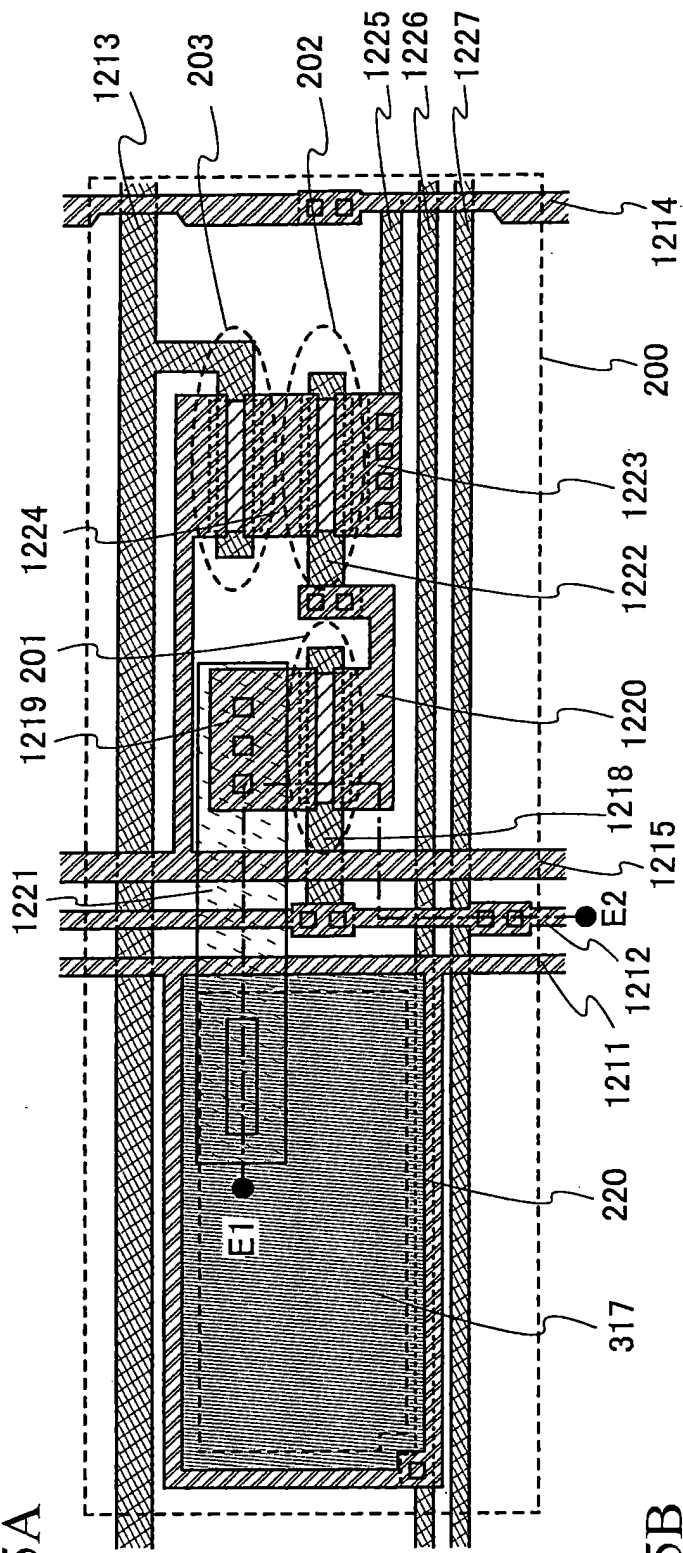


圖 25B

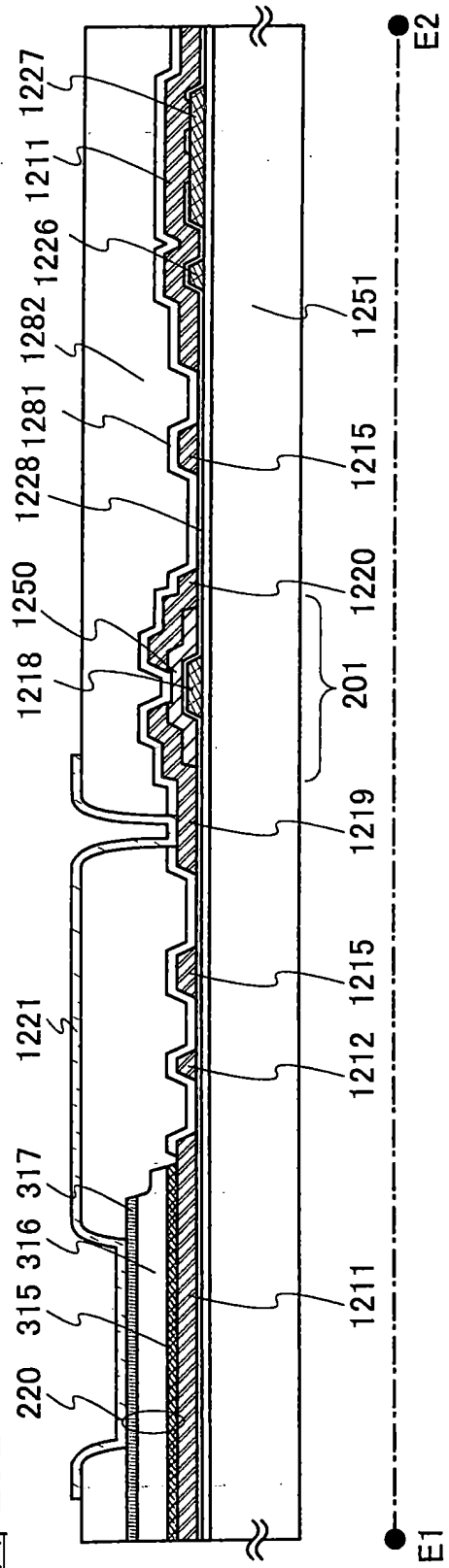


圖 26A

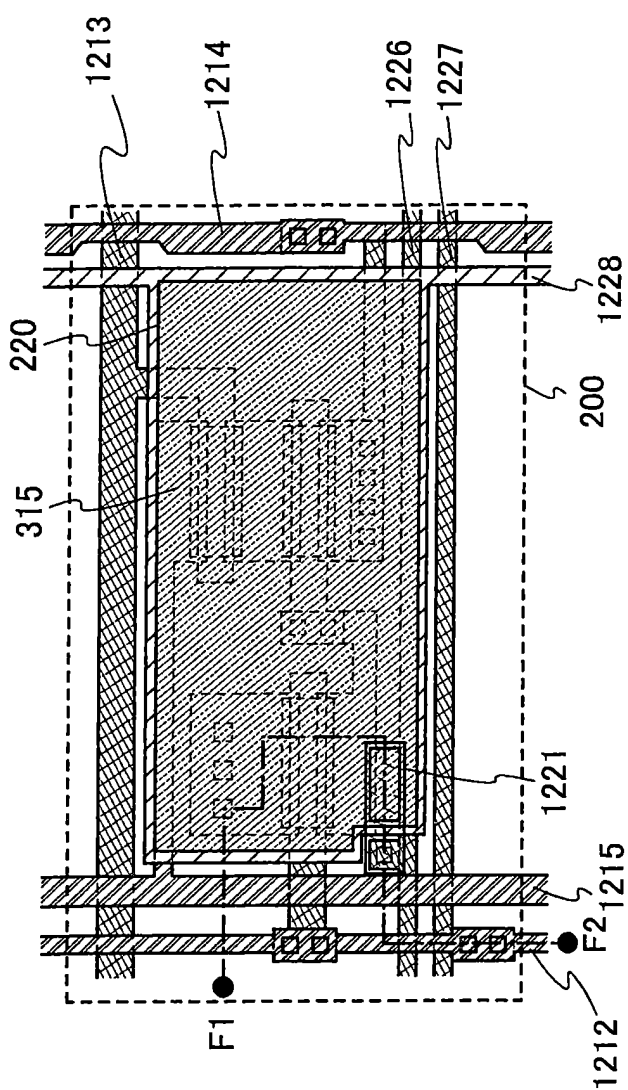


圖 26B

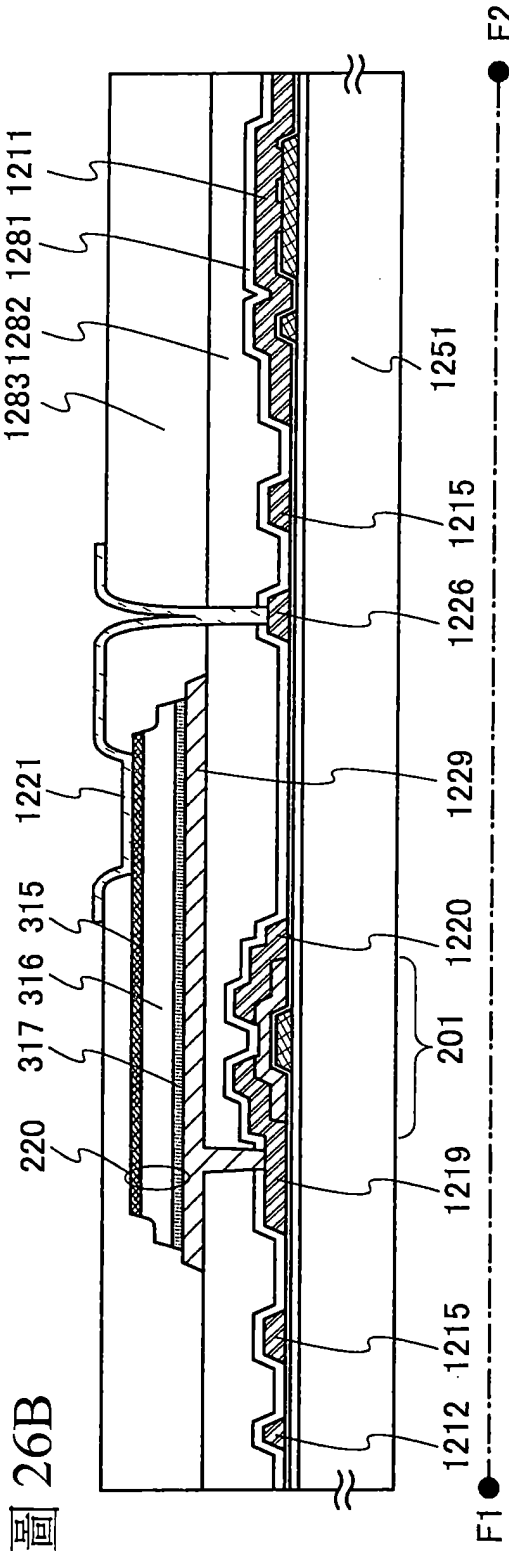


圖 27

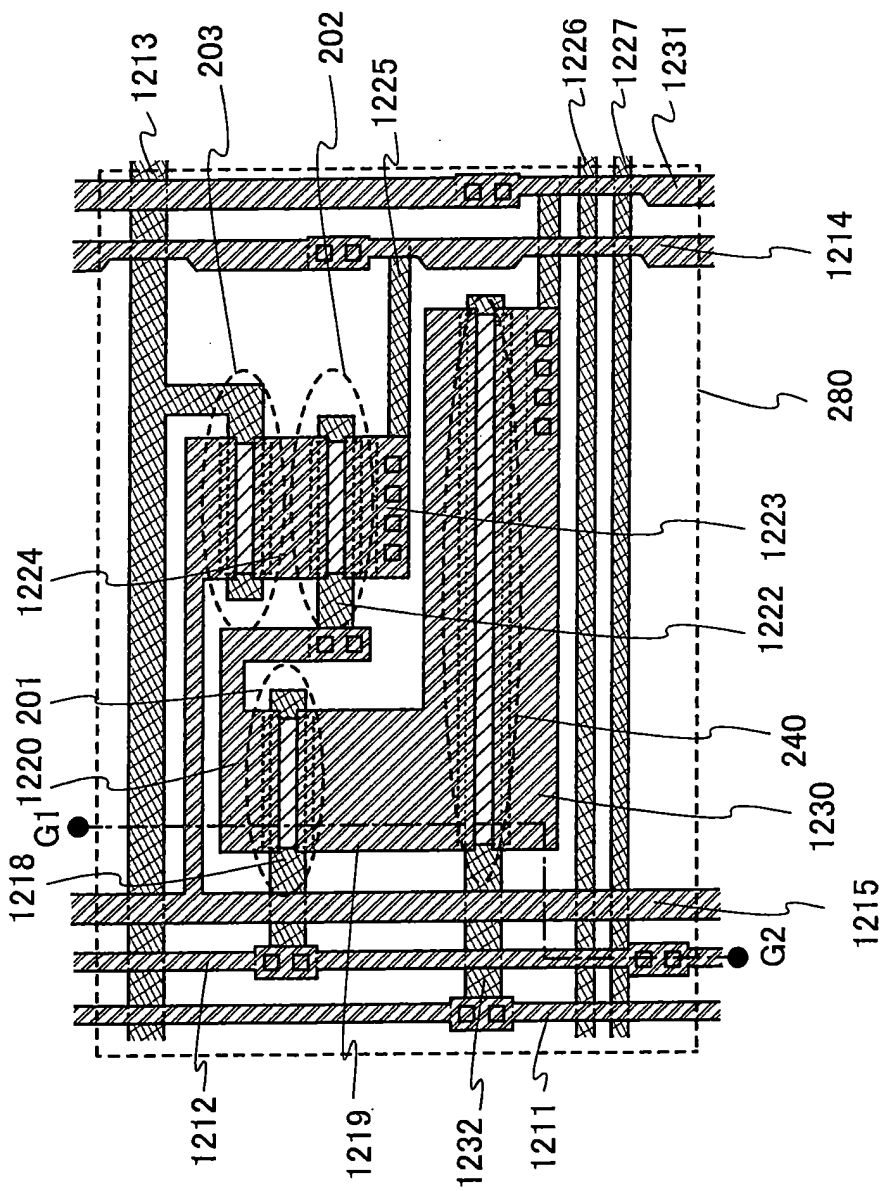


圖 28

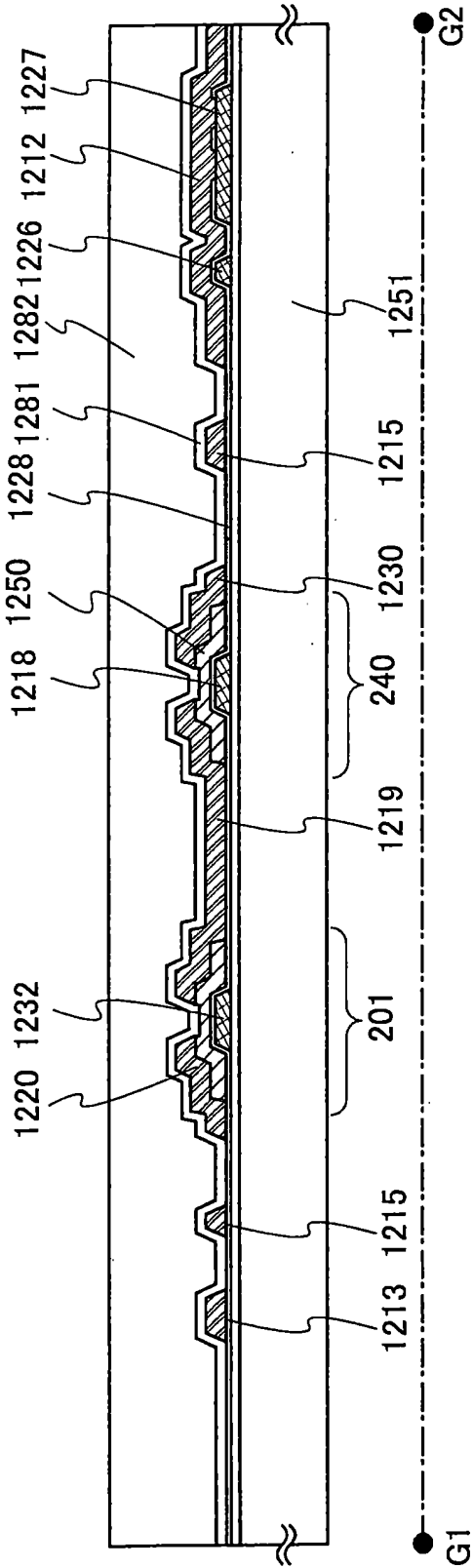


圖 29A

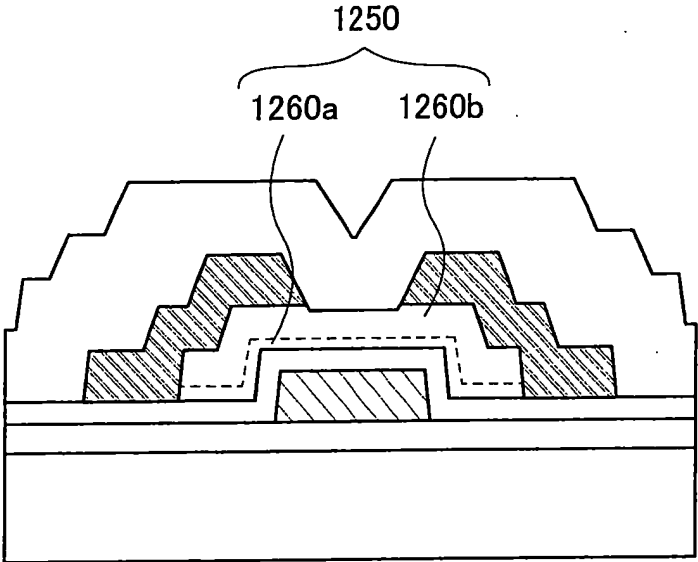


圖 29B

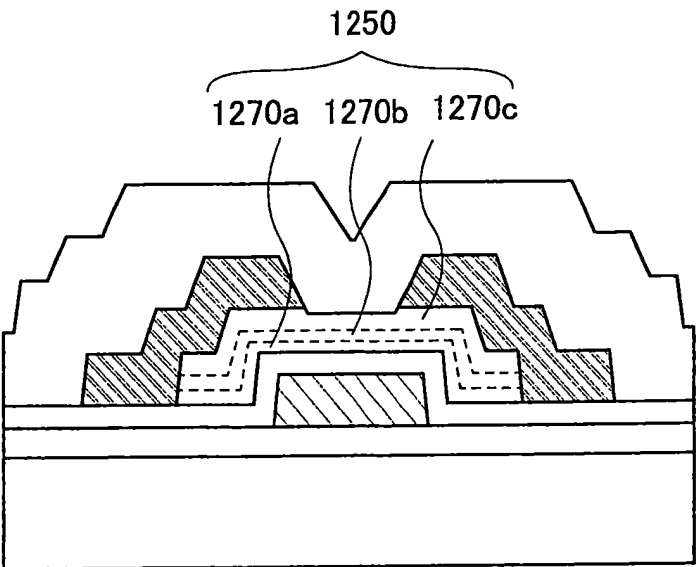


圖 30

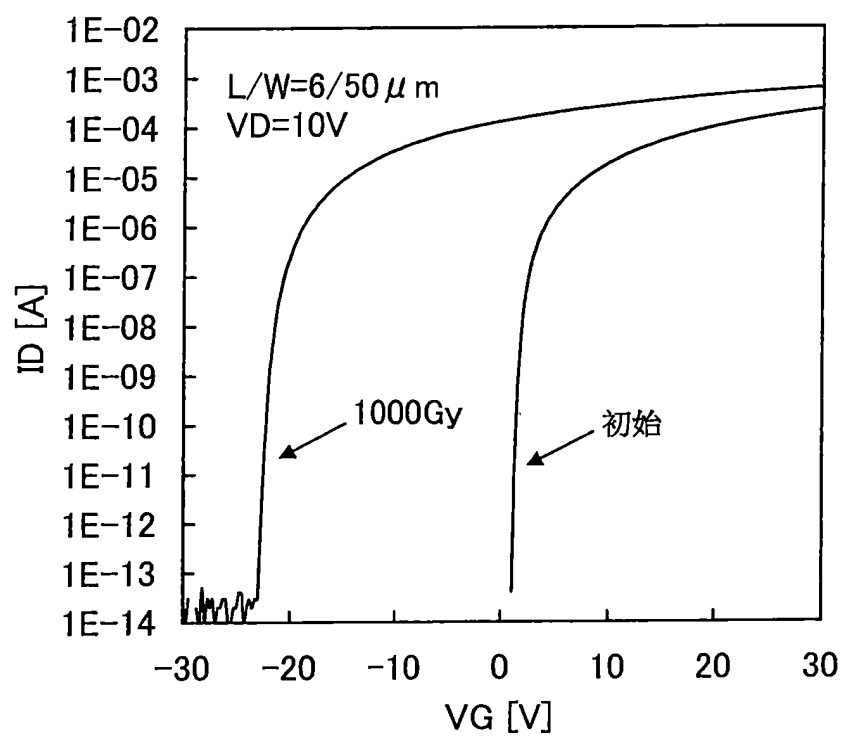
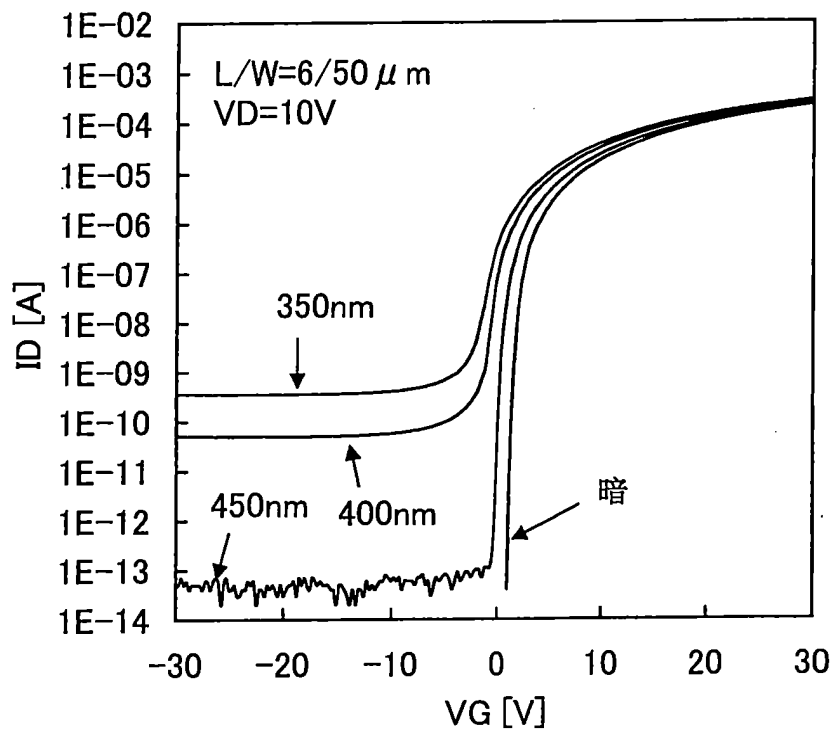


圖 31



【代表圖】

【本案指定代表圖】：第(1)圖。

【本代表圖之符號簡單說明】：

100：基板

110：像素電路

120：電路部

130：開口部

140：電路

150：電路

160：遮蔽層

170：層間絕緣膜

180：閃爍體

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

申請專利範圍

1. 一種成像裝置，包括：

包含受光元件及電路部的像素電路；

在該像素電路上的絕緣膜；

在該絕緣膜上的遮蔽層；以及

在該遮蔽層上的閃爍體，該閃爍體組態為回應來自放射源的放射線而發光，

其中，該電路部包括與該受光元件電連接的第一電晶體，

其中，該第一電晶體包括通道形成區，該通道形成區包括氧化物半導體，

其中，該遮蔽層與該像素電路彼此重疊，以防止該像素電路暴露於該放射線，

其中，該遮蔽層包括開口部，

其中，該開口部及該電路部不彼此重疊，

其中，該受光元件感測從該閃爍體發出且通過該開口及該絕緣膜的光，並且

其中，該受光元件包含於該電路部中。

2. 根據申請專利範圍第 1 項之成像裝置，

其中，該電路部包括電荷積蓄部、該第一電晶體、第二電晶體以及第三電晶體，

其中，該第一電晶體的源極和汲極中的一個電連接於該受光元件，

其中，該第一電晶體的源極和汲極中的另一個電連接

於該電荷積蓄部，

其中，該第二電晶體的閘極電連接於該電荷積蓄部，
並且

其中，該第二電晶體的源極和汲極中的一個電連接於
該第三電晶體的源極和汲極中的一個。

3. 根據申請專利範圍第 1 項之成像裝置，

其中，該電路部包含電荷積蓄部、該第一電晶體、第
二電晶體、第三電晶體以及第四電晶體，

其中，該第一電晶體的源極和汲極中的一個電連接於
該受光元件，

其中，該第一電晶體的源極和汲極中的另一個電連接
於該電荷積蓄部，

其中，該第二電晶體的閘極電連接於該電荷積蓄部，

其中，該第二電晶體的源極和汲極中的一個電連接於
該第三電晶體的源極和汲極中的一個，並且

其中，該第四電晶體的源極和汲極中的一個電連接於
該電荷積蓄部。

4. 一種成像裝置，包括：

包含受光元件及電路部的像素電路；

在該像素電路上的絕緣膜；

在該絕緣膜上的遮蔽層；以及

在該遮蔽層上的閃爍體，該閃爍體組態為回應來自放
射源的放射線而發光，

其中，該電路部包括與該受光元件電連接的第一電晶

體，

其中，該第一電晶體包括通道形成區，該通道形成區包括氧化物半導體，

其中，該遮蔽層與該像素電路彼此重疊，以防止該像素電路暴露於該放射線，

其中，該遮蔽層包括開口部，

其中，該開口部與該電路部不彼此重疊，

其中，該受光元件感測從該閃爍體發出且通過該開口及該絕緣膜的光，

其中，具有比該絕緣膜折射率高的材料包含於該閃爍體中，並且

其中，該受光元件包含於該電路部中。

5. 根據申請專利範圍第 1 或 4 項之成像裝置，其中具有比該絕緣膜折射率高的材料被設置在該開口部中。

6. 根據申請專利範圍第 1 或 4 項之成像裝置，其中該遮蔽層是包含選自鉛、金、鉑、銥、鐵、銻、鎢、鉭、鉛、鈮、銻和鈦的材料的單層或疊層。

7. 根據申請專利範圍第 1 或 4 項之成像裝置，其中該受光元件包括其通道形成區包括氧化物半導體的電晶體。

8. 根據申請專利範圍第 1 或 4 項之成像裝置，其中該受光元件包括光電二極體。

9. 根據申請專利範圍第 1 或 4 項之成像裝置，其中該受光元件包括其半導體層被設置在一對電極之間的可變

I612321

第 103105280 號

民國 106 年 2 月 2 日修正

電 阻 。