

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成26年5月8日(2014.5.8)

【公表番号】特表2013-544445(P2013-544445A)

【公表日】平成25年12月12日(2013.12.12)

【年通号数】公開・登録公報2013-067

【出願番号】特願2013-541979(P2013-541979)

【国際特許分類】

H 01 L 25/065 (2006.01)

H 01 L 25/07 (2006.01)

H 01 L 25/18 (2006.01)

【F I】

H 01 L 25/08 B

【手続補正書】

【提出日】平成26年3月20日(2014.3.20)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

前面と、該前面において露出する第1の導電性パッドと、を有する第1の超小型電子素子と、

前面と、該前面において露出する第2の導電性パッドと、を有する第2の超小型電子素子であって、前記第1の超小型電子素子及び前記第2の超小型電子素子の前面は互いに面しており、前記第1のパッド及び前記第2のパッドは、前記第1のパッドの上面が前記第2のパッドの上面に面するようにして並置されており、前記超小型電子素子の各々は能動半導体デバイスを具現化する、第2の超小型電子素子と、

前記第1の超小型電子素子の背面から該第1の超小型電子素子の前記前面に向かって延在する第1の開口部内に、該第1の開口部から前記第1の超小型電子素子の前記前面に向かって延在する第2の開口部内に、かつ前記第1のパッド及び前記第2のパッドのうちの少なくとも一方を通って延在する第3の開口部内に延在する導電性素子であって、前記第1の開口部及び前記第2の開口部の内面は、前記第1の超小型電子素子の前記前面に対してそれぞれ第1の方向及び第2の方向に延在して、実質的な角度を画定し、前記導電性素子は前記第1のパッド及び前記第2のパッドと接触する、導電性素子と、を備え、

前記導電性素子は、前記第1の超小型電子素子の背面と前記第2のパッドの上面との間に延在する連続一体化金属領域を形成する、超小型電子アセンブリ。

【請求項2】

前記第3の開口部は、前記第2の開口部から少なくとも前記第1の超小型電子素子の前記第1のパッドを通って延在している、請求項1に記載の超小型電子アセンブリ。

【請求項3】

前記第3の開口部は、前記第1のパッド及び前記第2のパッドの各々を通って延在している、請求項2に記載の超小型電子アセンブリ。

【請求項4】

前記第3の開口部は、前記第2の超小型電子素子の第2の面から少なくとも該第2の超小型電子素子の前記第2のパッドを通って延在している、請求項1に記載の超小型電子ア

センブリ。

【請求項 5】

前記導電性素子は、前記第1のパッド及び前記第2のパッドの並置された面の間に延在する、請求項2又は4に記載の超小型電子アセンブリ。

【請求項 6】

前記導電性素子は、前記第1の開口部又は前記第2の開口部のうちの少なくとも一方の前記内面の少なくとも一部分の輪郭に沿う、請求項1に記載の超小型電子アセンブリ。

【請求項 7】

前記導電性素子は、前記第1の開口部又は前記第2の開口部のうちの少なくとも一方の前記内面の少なくとも一部分の輪郭に沿わない、請求項1に記載の超小型電子アセンブリ。

【請求項 8】

前記導電性素子は、前記第3の開口部の内面の少なくとも一部分の輪郭に沿う、請求項4に記載の超小型電子アセンブリ。

【請求項 9】

前記導電性素子は、前記第3の開口部の内面の少なくとも一部分の輪郭に沿わない、請求項4に記載の超小型電子アセンブリ。

【請求項 10】

前記第1の超小型電子素子の前記第1の開口部及び前記第2の超小型電子素子の前記開口部は先細りになって、互いから反対方向に小さくなっている、請求項4に記載の超小型電子アセンブリ。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0064

【補正方法】変更

【補正の内容】

【0064】

上記説明は、特定の用途に対する例示的な実施形態を参照するが、請求項に記載の発明はそれに限定されないことが理解されるべきである。当業者及び本明細書に提供する教示を利用できる者は、添付の特許請求の範囲内で更なる変形形態、応用形態及び実施形態を理解するであろう。

なお、出願当初の特許請求の範囲は以下の通りである。

(請求項1)

前面と、該前面において露出する第1の導電性パッドと、を有する第1の超小型電子素子と、

前面と、該前面において露出する第2の導電性パッドと、を有する第2の超小型電子素子であって、前記第1の超小型電子素子及び前記第2の超小型電子素子の前記前面は互いに面しており、前記第1のパッド及び前記第2のパッドは並置されており、前記超小型電子素子の各々は能動半導体デバイスを具現化する、第2の超小型電子素子と、

前記第1の超小型電子素子の背面から該第1の超小型電子素子の前記前面に向かって延在する第1の開口部内に、該第1の開口部から前記第1の超小型電子素子の前記前面に向かって延在する第2の開口部内に、かつ前記第1のパッド及び前記第2のパッドのうちの少なくとも一方を貫通して延在する第3の開口部内に延在する導電性素子であって、前記第1の開口部及び前記第2の開口部の内面は、前記第1の超小型電子素子の前記前面に対してそれぞれ第1の方向及び第2の方向に延在して、実質的な角度を画定し、前記導電性素子は前記第1のパッド及び前記第2のパッドと接触する、導電性素子と、

を具備する、超小型電子アセンブリ。

(請求項2)

前記第3の開口部は、前記第2の開口部から少なくとも前記第1の超小型電子素子の前

記第1のパッドを貫通して延在している、請求項1に記載の超小型電子アセンブリ。

(請求項3)

前記第3の開口部は、前記第1のパッド及び前記第2のパッドの各々を貫通して延在している、請求項2に記載の超小型電子アセンブリ。

(請求項4)

前記第3の開口部は、前記第2の超小型電子素子の第2の面から少なくとも該第2の超小型電子素子の前記第2のパッドを貫通して延在している、請求項1に記載の超小型電子アセンブリ。

(請求項5)

前記導電性素子は、前記第1のパッド及び前記第2のパッドの並置された面の間に金属又は金属の導電性化合物のうちの少なくとも1つを含む、請求項2又は4に記載の超小型電子アセンブリ。

(請求項6)

前記導電性素子は、前記第1の開口部又は前記第2の開口部のうちの少なくとも一方の前記内面の少なくとも一部分の輪郭に沿う、請求項1に記載の超小型電子アセンブリ。

(請求項7)

前記導電性素子は、前記第1の開口部又は前記第2の開口部のうちの少なくとも一方の前記内面の少なくとも一部分の輪郭に沿わない、請求項1に記載の超小型電子アセンブリ。

(請求項8)

前記導電性素子は、前記第3の開口部の内面の少なくとも一部分の輪郭に沿う、請求項4に記載の超小型電子アセンブリ。

(請求項9)

前記導電性素子は、前記第3の開口部の内面の少なくとも一部分の輪郭に沿わない、請求項4に記載の超小型電子アセンブリ。

(請求項10)

前記第1の超小型電子素子の前記第1の開口部及び前記第2の超小型電子素子の前記開口部は先細りになって、互いから反対方向に小さくなっている、請求項4に記載の超小型電子アセンブリ。

(請求項11)

第1の面と、該第1の面において露出する導電性パッドと、を有する第1の超小型電子素子と、

前記第1の超小型電子素子の前記第1の面に面する第1の面と、該第1の面において露出しておりかつ前記第1の超小型電子素子の前記導電性パッドと並置される導電性パッドと、を有する第2の超小型電子素子であって、前記超小型電子素子の各々は能動半導体デバイスを具現化する、第2の超小型電子素子と、

前記第1の超小型電子素子の背面から該第1の超小型電子素子の前記第1の面に向かって延在する第1の開口部内に、かつ前記並置された導電性パッドの少なくとも一方を貫通して延在する第2の開口部内に延在する導電性素子であって、前記パッドの並置された面の間に金属又は金属の導電性化合物のうちの少なくとも1つを含む、導電性素子と、を具備する超小型電子アセンブリ。

(請求項12)

前記第1の開口部は、前記第1の超小型電子素子の前記背面から該第1の超小型電子素子の前記第1の面に向かって延在する第3の開口部と、該第3の開口部から前記第1の超小型電子素子の前記第1の面に向かう方向に延在する第4の開口部と、を含み、前記第3の開口部及び前記第4の開口部の内面は、前記第1の面に対してそれぞれ第1の方向及び第2の方向に延在して、実質的な角度を画定している、請求項11に記載の超小型電子アセンブリ。

(請求項13)

前記第2の開口部は、前記第1の超小型電子素子の前記パッドを貫通して延在している

、請求項 1 2 に記載の超小型電子アセンブリ。

(請求項 1 4)

前記第 2 の開口部は、前記第 2 の超小型電子素子の前記背面から該第 2 の超小型電子素子の前記第 1 の面に向かって延在する第 3 の開口部を含み、前記第 2 の開口部は前記第 2 の超小型電子素子の前記パッドを貫通して延在している、請求項 1 1 に記載の超小型電子アセンブリ。

(請求項 1 5)

前面と、該前面において露出する導電性パッドと、を有する第 1 の超小型電子素子と、前記第 1 の超小型電子素子の前記前面に面する前面と、該前面において露出しつつ前記第 1 の超小型電子素子の前記導電性パッドと並置される導電性パッドと、を有する第 2 の超小型電子素子であって、前記超小型電子素子の各々は能動半導体デバイスを具現化する、第 2 の超小型電子素子と、

前記第 1 の超小型電子素子の背面から該第 1 の超小型電子素子の前記前面に向かって延在する第 1 の開口部内に、かつ前記第 2 の超小型電子素子の背面から該第 2 の超小型電子素子の前記前面に向かって延在する第 2 の開口部内に延在している導電性素子であって、前記第 1 の開口部及び前記第 2 の開口部の内面は、前記前面に対してそれぞれ第 1 の方向及び第 2 の方向に延在して、実質的な角度を画定し、前記導電性素子は、前記並置されたパッドのうちの少なくとも一方を貫通して延在しつつ該パッドと接触している、導電性素子と、

を具備する、超小型電子アセンブリ。

(請求項 1 6)

前面、及び該前面において露出する第 1 の導電性パッド、並びに該第 1 の導電性パッドから離れる方向に前記前面に沿って延在する第 1 の導電性素子、を有する第 1 の超小型電子素子と、

前記第 1 の超小型電子素子の前記前面に面する前面を有する第 2 の超小型電子素子であって、該第 2 の超小型電子素子の前記前面において露出し且つ前記第 1 の導電性素子の一部分と並置される第 2 の導電性パッドを有し、前記第 1 の超小型電子素子及び前記第 2 の超小型電子素子は能動半導体デバイスを具現化する、第 2 の超小型電子素子と、

前記第 1 の超小型電子素子の背面から該第 1 の超小型電子素子の前記前面に向かって延在する開口部内に延在する第 2 の導電性素子であって、前記第 1 の導電性パッドと接触している第 2 の導電性素子と、

前記第 2 の超小型電子素子の背面から該第 2 の超小型電子素子の前記前面に向かって延在する開口部内に延在する第 3 の導電性素子であって、前記第 2 の導電性パッドの開口部を通じて延在しつつ前記第 2 の導電性パッド及び前記第 1 の導電性素子と接触している第 3 の導電性素子と、

を具備する、超小型電子アセンブリ。

(請求項 1 7)

前記第 1 の超小型電子素子の前記開口部は、該第 1 の超小型電子素子の背面から該第 1 の超小型電子素子の前記前面に向かって延在する第 1 の開口部と、該第 1 の開口部から前記第 1 の超小型電子素子の前記前面に向かって延在する第 2 の開口部と、を含み、前記第 1 の開口部及び前記第 2 の開口部の内面は、それぞれ前記前面に対して第 1 の方向及び第 2 の方向に延在して、実質的な角度を画定し、前記第 2 の導電性素子は前記第 1 のパッド及び前記第 2 のパッドと接觸している、請求項 1 6 に記載の超小型電子アセンブリ。

(請求項 1 8)

前記第 2 の超小型電子素子の前記開口部は、該第 2 の超小型電子素子の背面から該第 2 の超小型電子素子の前記前面に向かって延在する第 1 の開口部と、該第 1 の開口部から前記第 2 の超小型電子素子の前記前面に向かって延在する第 2 の開口部と、を含み、前記第 1 の開口部及び前記第 2 の開口部の内面は、それぞれ前記前面に対して第 1 の方向及び第 2 の方向に延在して、実質的な角度を画定し、前記第 2 の導電性素子は前記第 1 のパッド及び前記第 2 のパッドと接觸している、請求項 1 7 に記載の超小型電子アセンブリ。

(請求項 19)

前記第2の導電性素子及び前記第3の導電性素子は、前記超小型電子素子の前記前面に沿った方向において互いから間隔を空けて配置されている、請求項17又は18に記載の超小型電子アセンブリ。

(請求項 20)

前記第1の導電性素子は、前記第2の超小型電子素子の前記前面において露出する上面を有し、前記第2の導電性素子は、前記上面の少なくとも一部分と接触している、請求項11、17、又は18に記載の超小型電子アセンブリ。

(請求項 21)

前記第1の導電性素子の少なくとも一部分は導電性トレースである、請求項16に記載の超小型電子アセンブリ。

(請求項 22)

前記第2の超小型電子素子の前記背面に面する前面を有する第3の超小型電子素子と、該第3の超小型電子素子の前記背面から延在する開口部内に延在している第4の導電性素子と、を更に具備し、前記第3の導電性素子は、前記第3の超小型電子素子の導電性パッドを通って延在し、かつ前記第2の導電性素子と接触している、請求項16又は17に記載の超小型電子アセンブリ。

(請求項 23)

1つ又は複数の第4の超小型電子素子であって、各々が前記第3の超小型電子素子の前記背面の上に重なるように積層され、かつ該第3の超小型電子素子の前記第3の導電性素子と電気的に結合され、各第4の超小型電子素子は、隣接する前記第3の超小型電子素子又は前記第4の超小型電子素子の前記背面に面する前面を有している、1つ又は複数の第4の超小型電子素子、を更に具備し、少なくとも前記第4の超小型電子素子の前記背面から延在しかつ当該第4の超小型電子素子の導電性パッドを貫通して延在する開口部内に延在し、かつ隣接する前記超小型電子素子を通って延在する導電性素子と接触する、第5の導電性素子を有している、請求項22に記載の超小型電子アセンブリ。

(請求項 24)

請求項1、11、15、又は16に記載の構造体と、該構造体に電気的に接続された1つ又は複数の他の電子コンポーネントと、を具備するシステム。

(請求項 25)

ハウジングを更に具備し、前記構造体及び前記他の電子コンポーネントは前記ハウジングに実装されている、請求項24に記載のシステム。

(請求項 26)

超小型電子アセンブリを製造する方法であって、

(a) 第1の超小型電子素子を第2の超小型電子素子と、該第1の超小型電子素子の第1の面が該第2の超小型電子素子の第1の面に面するように組み立てるステップであって、前記超小型電子素子の各々は能動半導体デバイスを具現化し、前記超小型電子素子の前記第1の面において露出する導電性パッドが互いに並置されるようにする、ステップと、

(b) 次いで、前記第1の超小型電子素子の背面から該第1の超小型電子素子の前記第1の面に向かって延在する第1の開口部内に、該第1の開口部から前記第1の超小型電子素子の前記第1の面に向かって延在する第2の開口部内に、かつ前記並置された導電性パッドのうちの少なくとも1つを貫通して延在する第3の開口部内に延在する導電性素子を形成するステップであって、前記第1の開口部及び前記第2の開口部の内面は、それぞれ前記第1の面に対して第1の方向及び第2の方向に延在して、実質的な角度を画定し、前記導電性素子は前記並置された導電性パッドと接触する、ステップと、
を含む、方法。

(請求項 27)

前記導電性素子を形成するステップは、前記パッドの並置された面の上に金属又は金属の導電性化合物のうちの少なくとも1つを堆積させるステップを含む、請求項26に記載の方法。

(請求項 28)

前記導電性素子を形成するステップは、前記パッドの前記並置された面の間にアンダーカットを形成するステップを含み、前記堆積させるステップは、前記アンダーカット内に金属又は金属の導電性化合物の前記少なくとも1つを堆積させる、請求項27に記載の方法。

(請求項 29)

前記第3の開口部は、前記第2の超小型電子素子の第2の面から少なくとも前記第1の超小型電子素子の前記並置されたパッドを貫通して延在する、請求項26に記載の方法。

(請求項 30)

前記第3の開口部は、少なくとも前記第2の超小型電子素子の前記並置されたパッドを貫通して延在する、請求項26に記載の方法。

(請求項 31)

前記導電性素子を形成するステップは、前記第1の開口部を形成するステップと、次いで、異なるプロセスにより前記第3の開口部を形成するステップと、を含む、請求項29又は30に記載の方法。

(請求項 32)

前記導電性素子は、前記第1の開口部及び前記第2の開口部のうちの少なくとも一方の内面の輪郭に沿う、請求項26に記載の方法。

(請求項 33)

前記導電性素子は、前記第1の開口部及び前記第2の開口部のうちの少なくとも一方の内面の輪郭に沿わない、請求項26に記載の方法。

(請求項 34)

超小型電子アセンブリを製造する方法であって、

(a) 第1の超小型電子素子を第2の超小型電子素子と、該第1の超小型電子素子の第1の面が該第2の超小型電子素子の第1の面と面するように組み立てるステップであって、前記超小型電子素子の各々は能動半導体デバイスを具現化し、前記超小型電子素子の前記第1の面において露出する導電性パッドが互いに並置されるようにする、ステップと、

(b) 次いで、前記第1の超小型電子素子の背面から該第1の超小型電子素子の前記第1の面に向かって延在する第1の開口部内に、かつ前記並置された導電性パッドのうちの少なくとも一方を貫通して延在する第2の開口部内に延在する導電性素子を形成するステップであって、前記パッドの並置された面の上に、金属又は金属の導電性化合物のうちの少なくとも1つを堆積させることを含む、ステップと、

を含む、方法。

(請求項 35)

前記導電性素子を形成するステップは、前記パッドの前記並置された面の間にアンダーカットを形成するステップを含み、前記堆積させるステップは、前記アンダーカット内に金属又は金属の導電性化合物の少なくとも1つを堆積させる、請求項34に記載の方法。

(請求項 36)

前記第1の開口部は、前記第1の超小型電子素子の前記背面から該第1の超小型電子素子の前記第1の面に向かって延在する第3の開口部と、前記開口部から前記第2の開口部まで延在する第4の開口部と、を含み、前記第1の開口部及び前記第2の開口部の内面は、前記第1の面に対してそれぞれ第1の方向及び第2の方向に延在し、実質的な角度を画定し、前記第2の開口部は前記第1の超小型電子素子の前記パッドを貫通して延在する、請求項35に記載の方法。

(請求項 37)

前記第2の開口部は、前記第1の超小型電子素子の前記背面から該第1の超小型電子素子の前記第1の面に向かって延在する第3の開口部と、該第3の開口部から前記第2の超小型電子素子の前記パッドを貫通して延在する第4の開口部と、を含む、請求項35に記載の方法。

(請求項 38)

超小型電子アセンブリを製造する方法であって、

(a) 第1の超小型電子素子を第2の超小型電子素子と、該第1の超小型電子素子の第1の面が該第2の超小型電子素子の第1の面と面するように組み立てるステップであって、前記超小型電子素子の各々は能動半導体デバイスを具現化し、前記超小型電子素子の前記第1の面において露出する導電性パッドが互いに並置されるようにする、ステップと、

(b) 次いで、前記第1の超小型電子素子の第2の面から該第1の超小型電子素子の前記第1の面に向かって延在する第1の開口部内に、前記第2の超小型電子素子の第2の面から該第2の超小型電子素子の前記第1の面に向かって延在する第2の開口部内に延在する導電性素子を形成するステップであって、前記第1の開口部及び前記第2の開口部の内面は、前記第1の面に対してそれぞれ第1の方向及び第2の方向に延在して、実質的な角度を画定し、前記導電性素子は、前記並置されたパッドの少なくとも一方を貫通して延在しあつ該パッドと接触する、ステップと、

を含む、方法。

(請求項39)

超小型電子アセンブリを製造する方法であって、

(a) 第1の超小型電子素子を第2の超小型電子素子と、該第1の超小型電子素子の第1の面が該第2の超小型電子素子の第1の面と面するように組み立てるステップであって、前記超小型電子素子の各々は能動半導体デバイスを具現化し、前記超小型電子素子のうちの1つにおける前記第1の面において露出する導電性パッドが、前記超小型電子素子のうちの別の方における前記第1の面において露出する第1の導電性素子と並置されるようにする、ステップと、

(b) 次いで、前記第1の超小型電子素子の背面から該第1の超小型電子素子の前記第1の面に向かって延在する第1の開口部内に、該第1の開口部から前記第1の超小型電子素子の前記第1の面に向かって延在する第2の開口部内に、かつ前記パッド又は前記第1の導電性素子のうちの少なくとも一方を貫通して延在する第3の開口部内に延在する第2の導電性素子を形成するステップであって、前記第1の開口部及び前記第2の開口部の内面は、前記第1の面に対してそれぞれ第1の方向及び第2の方向に延在して、実質的な角度を画定し、前記第2の導電性素子は前記パッド及び前記第1の導電性素子と接触する、ステップと、

を含む、方法。

(請求項40)

前記パッドは、前記第1の超小型電子素子の前記第1の面において露出する第1のパッドであり、前記第2の超小型電子素子は、前記第1のパッドから該第2の超小型電子素子の前記第1の面に沿う方向に間隔を空けて配置される第2の導電性パッドを備え、前記第1の導電性素子は、前記第2の超小型電子素子の前記第1の面に沿って延在し、かつ前記第2のパッドに電気的に結合される、請求項39に記載の方法。

(請求項41)

前記パッドは、前記第2の超小型電子素子の前記第1の面において露出する第1のパッドであり、前記第1の超小型電子素子は、前記第1のパッドから該第1の超小型電子素子の前記第1の面に沿う方向に間隔を空けて配置される第2の導電性パッドを備え、前記第1の導電性素子は、前記第1の超小型電子素子の前記第1の面に沿って延在し、かつ前記第2のパッドに電気的に結合される、請求項39に記載の方法。

(請求項42)

前記第2の導電性素子は前記第1のパッドを貫通して延在する、請求項40又は41に記載の方法。

(請求項43)

前記第2のパッドは、前記第2の超小型電子素子から離れる方向に面する上面を有し、前記第1の導電性素子は、前記第2のパッドの前記上面の少なくとも一部分と接触する、請求項40又は41に記載の方法。

(請求項44)

ステップ(a)の前に、前記第2のパッドの前記上面の少なくとも一部分と接触して前記第1の導電性素子を形成するステップを更に含む、請求項4 3に記載の方法。

(請求項4 5)

前記第1の導電性素子の少なくとも一部分は、前記第2のパッドと、前記第1のパッドと並置される前記第1の超小型電子素子の位置と、の間の方向において前記第1の超小型電子素子の表面に沿って延在する導電性トレースである、請求項4 4に記載の方法。

(請求項4 6)

前記第3の開口部は前記第1のパッドを貫通して延在し、前記第2の導電性素子の一部分は、前記第3の開口部内に更に延在し、かつ前記第1のパッドと接触する、請求項4 0に記載の方法。

(請求項4 7)

前記第2の導電性素子の一部分は、前記第2の超小型電子素子の背面から前記第2のパッドを貫通して延在する開口部内に更に延在する、請求項4 1に記載の方法。

(請求項4 8)

第3の超小型電子素子を前記第1の超小型電子素子及び前記第2の超小型電子素子と、該第3の超小型電子素子の第1の面が該第2の超小型電子素子の第2の面と面するように組み立てるステップと、次いで、前記第3の超小型電子素子の第2の面から延在する少なくとも1つの開口部内に延在する第3の導電性素子を形成するステップであって、該第3の導電性素子は前記第3の超小型電子素子の導電性パッドを貫通して延在し、かつ前記第2の導電性素子と接触する、ステップと、を更に含む、請求項3 9に記載の方法。