

發明專利說明書

200529459

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：93137424

※申請日期：93.12.2

※IPC 分類：H01L

一、發明名稱：(中文/英文)

H01L 31/036

用於矽異質結構之晶圓結合外延板

WAFER BONDED EPITAXIAL TEMPLATES FOR SILICON
HETEROSTRUCTURES

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美國加州工藝技術協會

CALIFORNIA INSTITUTE OF TECHNOLOGY

代表人：(中文/英文)

亞當 寇蘭恩

COCHRAN, ADAM

住居所或營業所地址：(中文/英文)

美國加州 91125 派沙單那市梅爾區 210-85 東加州大道 1200 號

1200 EAST CALIFORNIA BLVD., MAIL CODE 210-85, PASADENA,

CALIFORNIA 91125, U.S.A.

國籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 3 人)

姓 名：(中文/英文)

1. 哈利 A 瓦特二世
ATWATER, HARRY A. JR.
2. 詹姆士 加勒
ZAHLER, JAMES
3. 安娜 福貝拉 摩羅一世
MORRAL, ANNA FONTCUBERA I.

國 籍：(中文/英文)

- 1.2.均美國 U.S.A.
- 3.西班牙 SPAIN

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 美國；2003 年 12 月 02 日；60/526,332
2. 美國；2004 年 01 月 20 日；10/761,918
3. 美國；2004 年 02 月 23 日；10/784,586

無主張專利法第二十七條第一項國際優先權：

- 1.
- 2.

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於薄膜半導體處理之領域，且尤其係關於處理非矽薄膜。

【先前技術】

光電子、光電技術、電信及發光二極體(LED)產業需要一種基板技術，該技術允許其使用低成本、易獲得之基板(如Si)來作為用於可以在其上製造裝置之光學材料薄膜的機械支撐。一些明顯的優點經改良之機械強度及相對於表體光電子材料之較高熱傳導性。

在先前技術中使用成長於表體Ge基板之上的III-V族半導體分層結構來產生效率超出30%之高效率三接點太陽能電池。然而，此等對大眾而言極其昂貴而只限於太空應用，此係由於Ge基板組成此成本之大部分。

光電子、光電、電信及發光二極體產業將會自採用一種允許其使用低成本、易獲得之基板(如Si)來作為用於在其上製造裝置之光電非矽材料薄膜的機械支撐之基板技術中受益。一些明顯優點係經改良之機械強度及相對於表體光電子材料之較高熱傳導性。

【發明內容】

本發明係一種對在由光電子裝置基板與處理基板組成之虛擬基板上外延地成長異質結構之方法的改良。該方法包含開始將裝置基板結合於處理基板之步驟。裝置基板包含適合於在此製造光電子裝置之材料，而處理基板包含適合

於提供機械支撐之便宜材料。Bond Berween裝置基板與處理基板之間結合的機械強度得以改良。藉由諸如自裝置基板上脫落裝置薄膜來使裝置基板變薄而留下單晶薄膜。移除自裝置基板上脫落之裝置薄膜的上部以為隨後之光電子裝置製造提供較光滑且缺陷較少之傾斜表面。異質結構外延地成長於光滑表面。

在所說明之實施例中，裝置基板為InP/Si，且在光滑表面上外延地成長異質結構之步驟包含在光滑表面之上外延地成長光致發光InP/InGaAs/InP雙異質結構。

移除自裝置基板上脫落之裝置薄膜之上部部分的步驟包含使用損壞選擇性蝕刻來化學性地研磨該上部部分，或機械性地研磨該上部部分。

在裝置基板與處理基板呈現InP/Si介面之處，使用損壞選擇性蝕刻來化學性地研磨上部部分包含使用HCl : H₃PO₄ : H₂O₂以1:2:2或1:2:4之比例進行蝕刻之步驟。

在其它實施例中機械性地研磨上部部分之步驟包含使用在次氯酸鈉溶液之膠體氧化矽研磨漿。

本發明亦可定義為一種對外延地成長於虛擬基板之上的異質結構裝置層之改良。該改良包含形成虛擬基板之裝置基板與處理基板。裝置基板結合於處理基板且裝置基板包含一種適合光電子裝置製造之材料。處理基板包含適合提供機械支撐之材料。Bond Berween裝置基板與處理基板之間的結合之機械強度得以改良，且藉由諸如自裝置基板上脫落裝置薄膜來使得裝置基板變薄而在虛擬基板上留下單

晶薄膜。移除自裝置基板上脫落之裝置薄膜的上部部分而為光電子裝置提供較光滑且缺陷較少之傾斜表面。異質結構外延地成長於可製造光電子裝置之光滑表面。

儘管為了文法流暢已經或將要使用功能性說明來描述設備及方法，但是應清楚地瞭解，除了在35 USC 112下用公式特別說明的以外，本發明之申請專利範圍不能理解為受"方法"或"步驟"之結構的任何限制，而應理解為與在司法條例之均等物之下的申請專利範圍所提供之定義的意義與均等物一致，且在申請專利範圍在35 USC 112下用公式特別說明之情形下，其應理解為與35 USC 112下之法定均等物完全一致。藉由參看以下圖式可更好地實現本發明，其中在該等圖式中相同元件由相同數字來表示。

【實施方式】

如在圖1之方塊圖中以圖表方式所說明的，虛擬晶圓結合基板之製造104可需要兩個可能之步驟。該等步驟為如方塊圖100所示之在製造功能性基板之前結合薄裝置膜與表體基板，或如方塊圖102所示之在處理基板中製造功能性邏輯裝置之後及/或在光電子裝置基板中製造功能性光電子基板之後可將裝置薄膜轉移至處理基板。

此說明概括了許多光電子虛擬基板製造之實施例。吾人首先概述一般所採用之技術及可使用虛擬基板產品之裝置結構。其次，更多之材料處理步驟會以其在製造過程中出現之順序加以描述。

處理與產品概況

為說明之目的，術語"裝置基板"10為將要自其上移除薄膜12之光電子基板。在說明中，術語"處理基板"14係定義為指為用以為裝置基板12提供機械支撐之基板，即在薄膜12移除之後的裝置基板之剩餘物。術語"虛擬基板"16定義為薄裝置膜12在處理基板14之上的已完成結構。

如圖2以圖表方式所示，以下所討論之用於裝置基板10之可用材料可認為係所有與用於光電子、高增益裝置製造之晶圓結合虛擬基板裝置薄膜材料相關之材料，該等材料包括(但不限於)：III/V族化合物半導體(即GaAs, InP, GaN等)、II/VI族半導體(即CdTe等)、IV族半導體(即用於GsAs族成長之Ge)及具有光學重要性之鐵電氧化物(即，LiNbO₄, BaTiO₄等)。

處理基板14一般為可大量獲得且具有所需電、機械及熱特性之Si。因此，具有Si異質結構可根據本發明之教示及精神由任何上文提及之材料製成。然而，亦可使用低成本絕緣基板(即，玻璃，藍寶石等)來作為處理基板14。

用於製造該等虛擬基板16之一般處理包含以下步驟：

1)裝置基板10與處理基板14可能需要進行預先結合處理以允許薄膜12之移除(即，如圖3a中數字11以圖表方式所示離子植入至裝置基板10中)。

2)清潔裝置基板10及/或使之處於鈍化狀態以便於結合處理。

3)如圖4a以圖表方式所示的，開始結合處理。

4)增強結合，以改良裝置基板10與處理基板14之機械

強度。

5)如圖 4b所示，使裝置基板 10變薄以在已完成之虛擬基板 16上留下單晶薄膜 12以用於離子植入之基板。

6)如圖 5a與 5b所示，在離子植入導致之層脫落情況下，產生裝置薄膜 12之裝置基板 10可藉由表面研磨進行再次處理以允許再次使用基板來轉移另一裝置薄膜。

考慮到用於光電子虛擬基板 16製造之概念，此等步驟將會以其在上述一般處理中出現之順序列出。

處理步驟：

1)離子植入

如圖 3a以圖表之方式所示，在結合處理之前，執行裝置基板 10之離子植入，以在基板中植入必要數量之氣體種類以形成內部鈍化之表面及在退火時自基板脫落一層所必要之內部壓力，圖 3a說明了用離子光束 11執行裝置基板 10之結合前離子植入；產生如圖 3b所示之包含裝置薄膜 12之經改質之結構、用於薄膜轉移之離子損壞層 13，及現在被稱為處理基板 14之大部分未受影響之裝置基板 10之表體。

該處理一般使用 H^+ 或 H^+ 與 He^+ 之組合來執行。然而，可採用其它氣體種類以產生有助於層脫落之基板內蝕刻處理。對於一給定裝置基板材料而言，存在避免無定形之最低植入溫度及所需植入溫度，即用於此處理中之最小所需劑量關係。

a) H^+ 植入 -- 植入足夠劑量之 H^+ 以在退火時允許膜脫落，此劑量為下列因素之函數：

- 植入能量
- 植入溫度
- 裝置基板材料
- 膜脫落退火溫度

b) H^+/He^+ 共同植入 -- 植入足夠劑量之 H^+/He^+ 以在退火時允許膜脫落。此方法之概念為 H 起著使得內表面處於鈍化狀態之化學作用，而化學性質呈惰性之 He 有效地移動至內表面以提供壓力，且與 H 相比每植入離子可產生更大損壞，此改良了內表面密度。此必要劑量為下列因素之函數：

- 植入能量
- 植入溫度
- H/He 比率
- 裝置基板材料
- 膜脫落退火溫度

c) 蝕刻劑植入 -- 除 H^+ 植入之外或替代 H^+ 植入，可植入已知之可蝕刻一給定材料的化學種類以產生易揮發性之內部俘獲的化學種類，且導致在退火時之脫落。所選擇之化學種類將為根據已知蝕刻劑特性或實驗經驗所選之特定材料。

2) 表面鈍化

在植入之後及結合處理之前，需要對裝置基板 10 與處理基板 14 之表面執行鈍化處理以允許疏水晶圓結合。該特定化學處理需要特定裝置基板。此步驟之目的在於使得已完成之虛擬基板中的裝置薄膜 12 與處理基板 14 之間產生緊密

共價鍵，以允許歐姆、低阻介面電特性之可能。使得能夠獲得此已完成裝置結構之必要步驟為藉由在惰性大氣中或真空中低溫烘焙來消除所吸收之水。烘焙應達到一溫度，使得在此溫度下水之蒸汽壓力遠遠高於周圍環境中之水的部分壓力。

a.IV族鈍化--藉由使用稀釋HF蝕刻處理來致使IV族元素半導體(特定言之為Ge)疏水。此留下氫化物為主之終止表面。

b.III/V族鈍化--藉由使用特定組合物化學處理來致使III/V族組合物半導體疏水，以留下用於結合之疏水鈍化之表面。

c.II/VI族鈍化--藉由使用特定組合物化學處理來致使II/VI族組合物半導體疏水，以留下用於結合之疏水鈍化之表面。

d.鐵電氧化物--包含鐵電氧化物之應用與光電子材料之應用相比在元素及組合物半導體方面具有本質區別。因為此原因，處理基板材料將根據其電性及折射特性來選擇，但通常無需對絕緣鐵電薄膜嘗試疏水晶圓結合。因此，表面鈍化一般將集中於在裝置基板及處理基板10、14上形成薄氧化物。

3)表面改質

如圖6a與6b所示，使用任意厚度之沉積表面改質層40來改變基板10、14之間的物理交互性質為另一用以將此處理延伸至更大範圍的光電子材料之有用技術。此可藉由三種

方式中的一種來實現，其中X代表與所揭示之方法相兼容之任何類型的組合物。

a. 在裝置基板10上沉積材料X之層40使得X-處理材料結合成為可能。

b. 在處理基板14上沉積材料X之層40使得X-裝置材料結合成為可能。

c. 在兩個基板上沉積材料X之層40使得X-X材料結合成為可能。

此技術藉由使用與所揭示過程相兼容或可修正之材料來控制結合處理，使得大範圍之光電子材料的結合成為可能，此時該材料僅稱為材料X。圖6a與圖6b中說明了一般性處理。圖6a說明了已植入具有與處理基板14相同化學成分之晶體或無定形薄膜40之經植入之裝置基板的改質。圖6b說明了使用此項技術展示裝置基板10之晶圓結合基板堆疊、離子植入之損壞區域13、裝置薄膜12、沉積之結合調節薄膜40、結合介面42及處理基板14。

此項技術之更特定應用為：

d. 外延Si結合層--此技術涉及在裝置基板材料上外延地成長應變之Si薄膜。在此實施例中，材料X為應變之薄膜Si。藉由此成長可確保在裝置材料與Si外延層之間存在緊密且超強度之結合。藉由外延層(未圖示)植入具有應變Si外延之裝置基板10為晶圓結合及層脫落作好準備。對於使用Si處理基板14之材料系統，此可允許使用已建立之鈍化技術直接執行Si-Si晶圓結合處理。

e. 無定形 Si 結合層 -- 此技術包括在低溫條件下於裝置基板 10 上沉積無定形 Si 之薄層，使得能夠使用典型 Si 表面預備化學性質。在此實施例中物質 X 為無定形 Si。此處理可在裝置基板 10 之離子植入之前或之後執行。對於使用 Si 處理基板 14 之物質系統，此可允許使用早已成熟之鈍化技術之 Si-Si 晶圓結合處理。

4) 顆粒移除

在表面鈍化之後，可能需要移除在裝置基板 10 與處理基板 14 之結合表面上的殘留顆粒污染。如圖 4a 與 4b 所示，此可藉由使用二氧化碳顆粒噴射執行清洗來有效地完成。圖 4a 為在離子植入與初始結合之後的裝置基板 10 與處理基板 14 之堆疊之圖，其中說明了未損壞之表體裝置基板 10、已離子植入之損壞層 13、裝置薄膜 12、晶圓結合裝置/處理介面 42 及處理基板 14。圖 4b 為說明了在退火與層脫落之後的晶圓結合虛擬基板 16 之圖，且其中說明了具有已離子植入損壞表面區域 13 之未損壞表體裝置基板 10。亦說明了包含裝置薄膜 12 之離子植入已損壞表面區域 13 之晶圓結合虛擬基板、未損壞已轉移之裝置薄膜 12、晶圓結合介面 42 及處理基板 14。將裝置基板 10 及/或處理基板 14 固持在高溫下，且 CO₂ 之經節流之氣體/顆粒噴射撞擊基板 10 與 14 表面，藉此在組合物理與熱泳提昇效果之下移除顆粒。

在應用 CO₂ 期間將基板保持在大大於 50°C 之溫度中，此技術對於 Si、Ge 及 InP 已作出說明。

5) 高溫結合開始

當結合不同材料時，一般在兩種材料之間存在熱膨脹不相符係數，此導致視溫度而定之虛擬基板16中裝置薄膜12之應變狀態，該應變狀態由此等式決定：

$$\gamma(T) = \int_{T_0}^T \Delta\alpha(T') dT'$$

其中 $\Delta\alpha(T)$ 為作為溫度 T 之函數的兩基板之熱膨脹係數之差，且其中 T_0 為零應變條件下之溫度，通常認為係結合開始溫度。因此，藉由控制將兩基板接觸時之溫度，可以調整所希望溫度下之應變狀態。此對於在高溫過程中改良基板效能十分有利，或可調整裝置操作溫度應變以調整如能帶隙、載流子遷移率之關鍵裝置特性。以下描述了作為 $\Delta\alpha(T)$ 之正負號之函數的可達成之一般類型應變溫度-應變依靠性。

$$\Delta\alpha(T) = \alpha_{\text{handle}}(T) - \alpha_{\text{device}}(T)$$

在此應變之正值表明張力之下的薄膜，而應變之副值表明壓力下之薄膜。

a. $\Delta\alpha(T) > 0$

1. 室溫下結合--在此情況下，薄膜12在較高處理溫度下將處於張力下。此會導致虛擬基板16上異質外延中晶格匹配之變化及凹基板彎曲之趨勢。

2. 高溫結合--在此情況下，薄膜在結合溫度下將具有零應變條件，使得伸張應變與凹晶圓彎曲在較高處理溫度下會減小。同樣，在室溫下及可能地在裝置操作溫度下，薄膜12將在壓縮應變之下導致凸晶圓彎曲。此可改

變裝置操作且使得在物質參數之應變控制基礎上的新穎裝置之設計成為可能。

b. $\Delta\alpha(T) < 0$

1. 室溫結合 -- 在此情況下，薄膜12在高溫下將會處於壓力之下。此將會導致虛擬基板上異質外延中晶格匹配之變化及凸基板彎曲。

2. 高溫結合 -- 在此情況下，薄膜12在結合溫度下將具有零應變條件，使得壓縮應變與凸晶圓彎曲在高處理溫度下會減小。同樣，在室溫下及可能地在裝置操作溫度下，薄膜12將在壓縮應變之下導致凹晶圓彎曲。此可改變裝置操作且使得在物質參數之應變控制基礎上的新穎裝置之設計成為可能。所述絕大多數用於晶圓結合虛擬基板16合適之材料屬於此類。

a. Ge/Si結合 -- 圖7為說明Ge/Si結合中預測應變作為基板在不同 T_0 之值時結合之溫度的函數之曲線圖。在高溫下薄膜壓力可藉由在更加高溫 T_0 初始結合而減少。

b. InP/Si結合 -- 圖8說明InP/Si結合中預測應變作為基板在不同 T_0 之值時結合之溫度的函數之曲線圖。同上，在高溫下薄膜壓力可藉由在更加高溫 T_0 初始結合而減少。

c. GaAs/Si -- 圖9說明GaAs/Si結合中預測應變作為基板在不同 T_0 之值時結合之溫度的函數之曲線圖。再次同上，在高溫下薄膜壓力可藉由在更加高

溫 T_0 初始結合而減少。

6) 不同溫度結合開始

對於一些所要之經調整的應變狀態，單一高溫結合溫度將不能完成裝置之製造。同樣，對於具有同樣熱膨脹係數之材料而言應變調整將較為困難。為了進一步使得在所要之溫度下應變控制成為可能，可在不同溫度下在基板之間開始結合。以此方式，可更加自由地控制熱-機械應變狀態或手工地在已完成結構中建造。在此情況下，依靠溫度之應變狀態由下式給出：

$$\gamma(T) = \int_{T_0}^T \Delta\alpha(T')dT' + \gamma_0$$

其中值 γ_0 為在結合開始時建造在結合結構中的應變且其由下式給出：

$$\gamma_0 = \int_{T_0}^{T_d} \alpha_d(T')dT' + \int_{T_h}^{T_0} \alpha_h(T')dT'$$

在此表達式中， T_d 與 T_h 分別為裝置基板 10 與裝置 14 在結合開始之瞬間時的溫度。溫度 T_0 為有效結合開始溫度。在結合開始中基板之不同溫度使該因數很難決定。 T_0 一定具有在 T_d 與 T_h 之間之一值，且其將視使用於虛擬基板製造中的實驗設備而定，且可藉由實驗來決定。該內建應變接近

$$\gamma_0 = \int_{T_h}^{T_d} \alpha(T')dT'$$

對於具有十分類似線性膨脹係數之裝置基板 10 與處理基板 14。在下列情形下可執行在不同晶圓溫度下之結合。

a. $\Delta\alpha(T) > 0$:

1. $T_d > T_h$ --該等條件使得導致基板薄膜處於高溫下增加之壓力的正應變組分之添加成為可能。

2. $T_d < T_h$ --該等條件下使得減少高溫伸張應變之負應變組分之添加成為可能，但產生了更低溫度壓縮應變。

b. $\Delta\alpha(T) < 0$:

1. $T_d > T_h$ --該等條件使得導致基板薄膜處於高溫下已減少壓縮應變級別的正應變組分之添加成為可能。

2. $T_d < T_h$ --該等條件下使得改良高溫伸張應變之負應變組分的添加成為可能，但產生了已減少之低溫伸張應變。

c. $\Delta\alpha(T) = 0$:

1. $T_d > T_h$ --不受溫度影響之伸張應變可按此方式應用於裝置薄膜之上。

2. $T_d < T_h$ --不受溫度影響之壓縮應變可添加至裝置薄膜。

7) 在高壓下退火以增強結合並脫落裝置層

在裝置基板 10 與處理基板 14 結合後，需要使用熱循環以改良結合強度並活化離子植入層轉移處理。在壓力下執行該循環，結合之表體基板堆疊中可容納熱-機械應變。另外，結合藉由經改良之基板-基板接觸而得以加強。使用多壓力-溫度步驟或甚至不斷變化之壓力-溫度曲線的結合處理可用以優化在此處理中之壓力有效性。

具體言之，在脫落之前的低溫條件下，可使用較高壓力

以保證更好基板接觸，但該等壓力在高溫下會抑制脫落。在退火至高溫之前藉由將壓力減少至更低水平，脫落將不受限制。

a.可變壓力循環--一可能性實施例為獨立使用變化之壓力與溫度以優化結合處理。在低溫下，應用高壓以加強結合。接著在高溫下減少壓力以避免裝置基板中對層脫落之抑制。在圖10之圖表中說明了具有代表性之處理，其中說明了作為在結合退火處理中時間之函數的晶圓結合溫度-壓力曲線。

b.單一壓力循環--為了退火之持久，亦可藉由施加單軸負載至結合對以改進結合處理。在此處理中該負載應足夠小而無需對起泡進行抑制。

8)裝置層之改造

在離子植入導致之層轉移處理中裝置薄膜之轉移後，裝置薄膜12之近表面區域粗糙且佈滿瑕疵。如圖11a與11b所示，該層應控制性地移除以留下對製造光電子裝置之隨後處理有用之表面。視裝置層10而定，此可以藉由以下完成：

a.濕式化學研磨--此方法使用依靠裝置薄膜之蝕刻來控制性地移除由離子植入導致之晶圓結合虛擬基板16上的損壞層13，而同時使經轉移之層的表面光滑。對於特殊材料之蝕刻列出如下：

1.Ge/Si

i.HF:H₂O₂:H₂O--此蝕刻可在不同溫度下以不同稀釋比例x:y:z執行。

ii. HF:HNO₃:C₂H₄O₂:H₂O--此蝕刻可在不同溫度下以不同稀釋比例 w:x:y:z 執行。

iii. H₂O₂:H₂O--此蝕刻可在不同溫度下以不同稀釋比例 y:z 執行。

2. InP/Si

i. HCl:H₃PO₄:H₂O₂--已成功使用以 1:2:2 與 1:2:4 之比例的此蝕刻溶液。H₂O₂ 充當氧化劑而 HCl 與 H₃PO₄ 之混合物蝕刻該氧化物。氧化與隨後之蝕刻的組合產生光滑表面且移除了植入損壞。圖 12a 為說明對於用於不同蝕刻稀釋液的作為時間之函數的兩個表面之粗糙度。圖 12b 與 12c 說明了分別暴露在 1:2:2 與 1:2:4 蝕刻稀釋液之下的外延地成長於 InP/Si 虛擬基板上的 InP/InGaAs/InP 雙異質結構之光致發光強度光譜。已化學性處理之結構的發光強度之相對改良指示該處理產生了用於外延生長之經改良之表面。在圖 12b 中與外延準備 InP 基板相對應之光譜取自生長於由表體基板製造者提供之外延準備 InP 基板之上的雙異質結構。該 45 秒錶體 InP 光譜取自生長於已暴露至化學處理達 45 秒之外延準備 InP 基板之上的雙異質結構。該 45 秒 InP/Si 光譜取自生長於在層轉移之後被化學處理達 45 秒之晶圓結合虛擬 InP/Si 樣本之上的雙異質結構。該已轉移之 InP/Si 光譜取自生長於層脫落之後但未經表面處理之 InP/Si 之晶圓結合結構之上的雙異質結構。在圖 12c 中，該對應於外延準備 InP

之光譜取自生長於由表體基板製造者提供之外延準備InP基板之上的雙異質結構。該60秒錶體InP光譜取自生長於已暴露至化學處理達60秒之外延準備InP基板之上的雙異質結構。該60秒InP/Si光譜取自生長於在層移除之後被化學處理達60秒之晶圓結合虛擬InP/Si樣本之上的雙異質結構。

b. 化學與物理研磨--此使用化學與機械研磨漿以蝕刻植入損壞且留下光滑表面。

1. Ge/Si--可使用KOH化學中之膠態二氧化矽研磨漿來研磨基板。

2. InP/Si--展示了可用次氯酸鈉溶液中之膠態二氧化矽研磨漿來使該等虛擬基板材料之表面光滑。圖12d展示了外延地生長於經過化學與機械研磨處理後之InP/Si基板之上的InP/InGaAs/InP雙異質結構之光致發光光譜。在圖12d中，與外延準備InP相對應之光譜取自生長於由表體基板製造者提供之外延準備InP基板之上的雙異質結構。該5分鐘錶體InP光譜取自生長於已暴露至研磨處理達5分鐘之外延準備InP基板之上的雙異質結構。該30秒InP/Si光譜取自生長於在層轉移之後被研磨處理達30秒之晶圓結合虛擬InP/Si樣本之上的雙異質結構。經研磨處理之虛擬基板光致發光強度相對於未經研磨之基板的改良指示用於外延生長的經改良之表面。在此處理中表面粗糙度減少至大約3 nm rms，其之原子力顯微鏡掃描圖係如圖12e所示。

均質外延平滑化--甚至在化學蝕刻移除植入損壞但並未留下用於隨後之異質外延的最佳光滑平面之情形下，已展示經蝕刻之樣本上的裝置薄膜材料之均質外延，以減少表面粗糙度。此可作為在晶圓結合虛擬基板上生長異質外延結構之第一步驟。

9)外延之異質結構生長

已完成之虛擬基板16係為了作為由異質外延執行之光電子裝置生長之模板。藉由仔細的裝置層改質，大範圍的光電子裝置之外延成為可能。該結構之一代表性影像展示於圖13a與13b中。圖13a為展示了包含裝置薄膜12、晶圓結合介面42及處理基板14之已完成的晶圓結合虛擬基板16之圖。圖13b為展示了具有於裝置薄膜12上製造之外延生長之裝置50的晶圓結合虛擬基板16之圖。

10)應變補償層

在裝置製造中藉由如MOCVD、擴散、植入及微影技術之標準處理在轉移層內或上建構晶圓結合基板中之一潛在挑戰係由於在轉移層中熱膨脹產生之應變之存在所導致之晶圓彎曲之可能性。如14圖所示，減少此影響之一實用方法為在處理基板14之背部表面沉積一應變補償層。圖14為一示意性地展示了生長於包含裝置薄膜12、結合介面42、處理基板14及沉積於基板背部表面之應變補償層18的晶圓結合虛擬基板之上的光電子結構50之圖。

將藉由在裝置層10轉移至處理基板14之前或之後，在處理基板14之背部表面沉積薄膜18來實施此概念。該應變補

償層 18 必須具有如裝置薄膜 12 相對於處理基板相同之 $\Delta\alpha$ 正負號。零彎曲狀態並非零應變狀態，但在不存在其它使基板變形之驅動力之條件下，裝置薄膜 12 之應變能量與應變補償層之應變能量完全匹配。可選擇材料與沉積技術以最小化與此處理步驟相關聯之製造成本。用基板直徑、薄膜應變及薄膜厚度來增加與薄膜 12 相關聯之應變能量。可藉由選擇應變補償層 18、沉積溫度及厚度以調整零彎曲處理溫度。下列為對於一些材料系統如何執行應變補償之實例：

a. Ge/Si--最簡單之情形為在 Si 處理基板之背部表面沉積 Ge 之薄膜。

b. InP/Si--不必在處理基板之背部表面沉積 InP，而可使用 Ge 薄膜，此係由於 Ge 薄膜之沉積較為簡易。

c. GaAs/Si--同 InP/Si 之情況相似，Ge 可產生良好應變補償層。

d. 其它材料--對於以上所提及之所有系統，在 $\Delta\alpha$ 之正負號合適之條件下，易沉積之低成本材料為適合之應變補償層。

在不背離本發明精神與範圍之情況下，此項技術之一般技術者可作出諸多變化與修改。因此，應瞭解，列出所說明之實施例僅為了實例說明之目的且其不應作為已由申請專利範圍界定之本發明之限制。舉例而言，儘管事實上申請專利範圍要素在以下特定之組合中列出，但是應明瞭，本發明包括更少、更多或不同元素之其它組合，該等元素揭示於上文中或甚至未在該組合中初次申請。

在該說明書中用以描述本發明及其各種實施例之詞彙不僅以該等詞彙一般定義之詞義理解，還應包括於本說明書結構、材料之特殊定義或超出一般定義之詞義的範圍。因此，若一元素在本說明書文中可理解為包括一個以上詞義，則其在申請專利範圍中之用途應理解為屬於由說明書及詞彙本身支持之所有可能意思。

因此，詞彙及以下申請專利範圍內之元素之定義在本說明書中界定為不僅包括逐字陳述之元素之組合，亦包括所有均等結構、材料或用於以大體上相同之方法執行大體上相同之功能以獲得大體上相同之結果的行為。因此，在此意義上，應理解兩個或兩個以上元素之均等替代物可替代以下申請專利範圍中之任何一元素，或一單一元素可替代申請專利範圍中的兩個或兩個以上元素。儘管如上所述該等元素作為特定之組合且甚至為初次如此申請，但是應明瞭，所主張之組合中一或多個元素在一些情形中可自組合中排除，且所主張之組合可指子組合或子組合之變體。

此項技術之一般技術者對於所主張之標的物之非實質性的變化(現在已知的或以後所做出的)應清楚理解為均等地屬於該申請專利範圍之內。因此，此項技術之一般技術者已知或以後知道之明顯替代物應定義為所定義之元素內。

因此申請專利範圍應理解為包括以上特別所說明及描述的、在概念上均等的、明顯可替代的及本質上併入本發明之本質觀點的一切。

【圖式簡單說明】

圖 1 為說明兩種可選擇之虛擬基板製造策略之方塊圖。

圖 2 為說明根據本發明用於虛擬基板之薄膜種族的方塊圖。

圖 3A 及 3B 為分別說明了在裝置基板中之離子植入與所得結構之圖。

圖 4A 及 4B 為分別說明了在離子植入與初始結合之後的裝置與處理基板之堆疊及在退火與層脫落之後的晶圓結合虛擬基板之圖。

圖 5A 及 5B 為分別說明了包含近表面離子植入損壞層及未損壞之表體的後層轉移裝置基板之圖，其中藉由自表體裝置基板蝕刻移除損壞允許處理得以重複。

圖 6A 及 6B 未分別說明了使用任一相同化學成分之薄膜作為處理基板對已植入之裝置基板的表面改質及使用此技術展示裝置基板的晶圓結合基板堆疊之圖。

圖 7 為作為 Ge/Si 晶圓結合虛擬基板之應變狀態之溫度之一函數的曲線圖。

圖 8 為作為 InP/Si 晶圓結合虛擬基板之應變狀態之溫度之一函數曲線圖。

圖 9 為作為 GaAs/Si 晶圓結合虛擬基板之應變狀態之溫度之一函數的曲線圖。

圖 10 為作為用於結合退火處理中之時間之一函數的晶圓結合溫度-壓力曲線之曲線圖。

圖 11A 及 11B 未分別說明了退火及層脫落之後的晶圓結合虛擬基板及在損壞移除蝕刻、研磨及外延之成長於裝置

薄膜上之後的晶圓結合虛擬基板的圖。

圖 12A 為經轉移之 InP 裝置薄膜的 rms 表面粗糙度作為 HCl:H₃PO₄:H₂O₂ 按 1:2:2、1:2:4 比例及 1:2:5 比例稀釋之蝕刻化學所使用時間之一函數的曲線圖。

圖 12B 為成長於通常為外延成長所提供之用於準備外延 (Epi-ready) InP 的比例為 1:2:2 之 HCl:H₃PO₄:H₂O₂ 濕化學蝕刻劑中蝕刻之 InP/Si 異質結構上的 InP/InGaAs/InP 雙異質結構之光致發光強度 (PL) 之曲線圖，且表體 InP 研磨 45 秒，InP/Si 研磨 45 秒且作為經轉移之 InP，其為在層轉移之後與任何表面修正之前的晶圓結合結構。InP/Si 虛擬基板之研磨所具有之提高了的機械強度說明了所處理之結構的經改良之表面質量。

圖 12C 為成長於通常為外延成長所提供之用於準備外延 InP 的比例為 1:2:4 之 HCl:H₃PO₄:H₂O₂ 濕化學蝕刻劑中蝕刻之 InP/Si 異質結構上的 InP/InGaAs/InP 雙異質結構之光致發光強度 (PL) 之曲線圖，且表體 InP 研磨 60 秒，而 InP/Si 研磨 60 秒。InP/Si 虛擬基板之研磨所具有之提高了的機械強度說明了所處理之結構的經改良之表面質量。

圖 12D 為成長於使用通常為外延成長所提供之用於準備外延 InP 之次氯酸鈉化學機械研磨方法處理之 InP/Si 異質結構之上的 InP/InGaAs/InP 雙異質結構之光致發光強度 (PL) 之曲線圖，且表體 InP 研磨 5 分鐘，而 InP/Si 研磨 30 秒。InP/Si 虛擬基板之研磨所具有之提高了的機械強度說明了所處理之結構的經改良之表面質量。

圖 12E 為在 30 秒化學機械研磨方法處理之後的經轉移之 InP 基板薄膜表面之原子力微影圖片。

圖 13A 與圖 13B 為分別說明了已完成之晶圓結合虛擬基板與具有在裝置薄膜之上製造之外延成長裝置的晶圓結合虛擬基板之圖。

圖 14 展現了成長於晶圓結合虛擬基板之上的光電子結構，該虛擬基板包含裝置薄膜、結合介面、處理基板及沉積於基板背面之應變補償層。

藉由參看以上對較佳實施例之詳盡描述可更好地理解本發明及其各種實施例，該等實施例作為本發明申請專利範圍中所定義之說明性實例而呈現。應明瞭，如申請專利範圍中所定義之本發明可以比以上所描述之說明性實施例更為廣泛。

【主要元件符號說明】

10	裝置基板
11	離子光束
12	薄膜
13	損壞區域/層
14	處理基板
16	虛擬基板
40	沉積表面改質層
42	晶圓結合介面
50	光電子結構

五、中文發明摘要：

一異質結構裝置層係外延地成長於如 InP/InGaAs/InP 雙異質結構之一虛擬基板上。一裝置基板與一處理基板形成該虛擬基板。該裝置基板結合於該處理基板，且該裝置基板係由適合於光電子裝置製造之材料所構成。該處理基板係由適合於提供機械支撐之材料所構成。藉由諸如自該裝置基板脫落一裝置薄膜來改良該裝置基板與該處理基板之機械強度且使該裝置基板變薄，以在該虛擬基板上留下一單晶薄膜。移除自該裝置基板上脫落之該裝置薄膜之一上部分，以對光電子裝置提供一較光滑且缺陷較少之傾斜表面。一異質結構外延地成長於其中可製造光電裝置之該光滑表面上。

六、英文發明摘要：

十、申請專利範圍：

1. 一種虛擬基板，包含一裝置薄膜、一處理基板及一位於該處理基板背部表面之材料，其中：(1)該材料與該處理基板間之熱膨脹係數(CTE)差係與該裝置薄膜與該操作基板間之CTE差之正負號相同；(2)選擇該材料，以在一個給定溫度範圍內控制該虛擬基板之一彎曲。
2. 如請求項1之虛擬基板，其中在該虛擬基板形成之前，在該處理基板之該背部表面上沉積該材料。
3. 如請求項1之虛擬基板，其中在該虛擬基板形成之後，在該處理基板之該背部表面沉積該材料。
4. 如請求項1之虛擬基板，其中該材料包含一沉積於該處理基板之該背部表面上的應變補償層。
5. 如請求項4之虛擬基板，其中該裝置薄膜包含一適合於光電子裝置製造之半導體材料。
6. 如請求項5之虛擬基板，其中該裝置薄膜包含鍍或化合物半導體材料，該處理基板包含矽、玻璃、石英或藍寶石基板，且該應變補償層包含半導體層。
7. 如請求項6之虛擬基板，其中該裝置薄膜係選自Ge、GaN、GaAs及InP薄膜，該處理基板包含一矽基板且該應變補償層包含一Ge層。
8. 如請求項4之虛擬基板，其中選擇應變補償層厚度或沉積溫度之至少一者，以在該給定溫度範圍內最小化該虛擬基板之彎曲。
9. 一種虛擬基板，包含一裝置薄膜、一處理基板及一位於

- 該處理基板背部表面之材料，其中：(1)該材料與該處理基板間之CTE差係與該裝置薄膜與該操作基板間之CTE差之正負號相同；(2)選擇該材料，使得在一第一溫度下該材料中之應變能量與該裝置薄膜中之應變能量相匹配。
10. 如請求項9之虛擬基板，其中在該虛擬基板形成之前，在該處理基板之該背部表面沉積該材料。
 11. 如請求項9之虛擬基板，其中在該虛擬基板形成之後，在該處理基板之該背部表面沉積該材料。
 12. 如請求項9之虛擬基板，其中該材料包含一沉積於該處理基板該背部表面的應變補償層。
 13. 如請求項12之虛擬基板，其中該裝置薄膜包含一適合於光電子裝置製造之半導體材料。
 14. 如請求項13之虛擬基板，其中該裝置薄膜包含鍍或化合物半導體材料，該處理基板包含矽、玻璃、石英或藍寶石基板，且該應變補償層包含半導體層。
 15. 如請求項14之虛擬基板，其中該裝置薄膜係選自Ge、GaN、GaAs及InP薄膜，該處理基板包含一矽基板且該應變補償層包含一Ge層。
 16. 如請求項12之虛擬基板，其中選擇應變補償層厚度或沉積溫度之至少一者，使得在一第一溫度上該材料中之應變能量與該裝置薄膜之應變能量相匹配。
 17. 一種用於製造一虛擬基板之方法，包含：(1)將一裝置基板結合至一處理基板；(2)使該裝置基板變薄以在該處理

- 基板之前表面上形成裝置薄膜，因此形成一虛擬基板；
- (3)在該虛擬基板之背部表面上形成一材料，該材料具有一熱膨脹係數使得該材料與該處理基板間之CTE差係與該裝置薄膜與該操作基板間之CTE差之正負號相同。
18. 如請求項17之方法，進一步包含在將該裝置基板結合至該處理基板之前，離子植入該裝置基板之第一側，及在該結合步驟之後，藉由使一裝置薄膜自該裝置基板之該第一側脫落而使該裝置基板變薄。
19. 如請求項17之方法，其中在該虛擬基板形成之前，在該處理基板之該背部表面沉積該材料。
20. 如請求項17之方法，其中在該虛擬基板形成之後，在該處理基板之該背部表面沉積該材料。
21. 如請求項17之方法，其中該材料包含一沉積在該處理基板該背部表面的應變補償層。
22. 如請求項21之方法，其中該裝置薄膜包含一適合於光電子裝置製造之半導體材料。
23. 如請求項22之方法，其中該裝置薄膜包含鍍或化合物半導體材料，該處理基板包含矽、玻璃、石英或藍寶石基板，且該應變補償層包含半導體層。
24. 如請求項23之方法，其中該裝置薄膜係選自Ge、GaN、GaAs及InP薄膜，該處理基板包含一矽基板且該應變補償層包含一Ge層。
25. 如請求項21之方法，其中選擇應變補償層厚度或沉積溫度之至少一者，以在該給定溫度範圍內最小化該虛擬基

板之彎曲。

26. 一種虛擬基板，包含一結合於半導體處理基板之非矽、光電子化合物半導體裝置薄膜，其中該裝置薄膜與該處理基板間之介面具有低電阻電特性。
27. 如請求項26之虛擬基板，其中該介面具有為3.5歐姆 cm^2 或更少之電阻。
28. 如請求項26之虛擬基板，其中該介面具有為3.5歐姆或更少之電阻。
29. 如請求項26之虛擬基板，其中該結合介面包含在該裝置薄膜與該處理基板之間的共價鍵。
30. 如請求項26之虛擬基板，其中該結合介面展現出歐姆特性。
31. 如請求項26之虛擬基板，其中該結合介面具有足夠低的電阻，以使得可在該裝置薄膜中之該結合介面表面上建造光電裝置。
32. 如請求項26之虛擬基板，其中該裝置薄膜疏水地結合至該處理基板。
33. 如請求項32之虛擬基板，其中該疏水結合介面不含有顯著抑制該介面導電特性之介入氧化物。
34. 如請求項26之虛擬基板，其中該光電子裝置薄膜適合於在該薄膜中之光電子裝置之製造。
35. 如請求項26之虛擬基板，其中該裝置薄膜包含一單晶薄膜。
36. 如請求項26之虛擬基板，其中該裝置薄膜包含一III/V族

半導體材料。

37. 如請求項36之虛擬基板，其中該裝置薄膜包含InP。
38. 如請求項36之虛擬基板，其中該裝置薄膜包含GaAs。
39. 如請求項36之虛擬基板，其中該裝置薄膜包含GaN。
40. 如請求項26之虛擬基板，其中該裝置薄膜包含一II/VI族半導體材料。
41. 如請求項26之虛擬基板，其中該裝置薄膜包含一VI族半導體材料。
42. 如請求項41之虛擬基板，其中該裝置薄膜包含SiC。
43. 如請求項41之虛擬基板，其中該處理基板包含一矽基板。
44. 如請求項41之虛擬基板，其中該處理基板包含一GaAs基板。
45. 如請求項26之虛擬基板，其中該處理基板包含一矽基板。
46. 如請求項26之虛擬基板，其中該裝置薄膜包含一InP薄膜且該處理基板包含一矽基板。
47. 如請求項26之虛擬基板，其中該裝置薄膜包含一GaAs薄膜且該處理基板包含一矽基板。
48. 如請求項26之虛擬基板，進一步包含一位於該處理基板背部表面上的應變補償層。
49. 如請求項48之虛擬基板，其中該應變補償層與該處理基板間之熱膨脹係數(CTE)差係與該裝置薄膜與該操作基板間之CTE差之正負號相同。
50. 如請求項49之虛擬基板，其中選擇該應變補償層，以在一給定溫度範圍內控制該虛擬基板之彎曲。

51. 如請求項49之虛擬基板，其中選擇該應變補償層，使得在一第一溫度下該應變補償層中之應變能量與該裝置薄膜中之應變能量相匹配。
52. 如請求項48之虛擬基板，其中該應變補償層包含一沉積於該處理基板該背部表面上的半導體層。
53. 如請求項52之虛擬基板，其中該裝置薄膜包含一III-V族化合物半導體材料。
54. 如請求項53之虛擬基板，其中該裝置薄膜係自GaN、GaAs及InP薄膜，該處理基板包含一矽基板且該應變補償層包含一Ge層。
55. 一種形成一虛擬基板之方法，包含：(1)處理一化合物半導體裝置基板及一處理基板之至少一者之一表面，以允許該裝置基板與該處理基板之間共價鍵形成之可能性；(2)將該裝置基板結合至該處理基板，以在該裝置基板與該處理基板之間形成共價鍵；及(3)移除該裝置基板之一部分以在該處理基板上留下一裝置薄膜。
56. 如請求項55之方法，進一步包含在結合之前，離子植入該裝置基板，以促進該裝置薄膜在該結合步驟之後藉由退火該裝置基板而自該裝置基板脫落。
57. 如請求項56之方法，其中該移除步驟包含使該裝置基板退火以促進該裝置薄膜自該裝置基板脫落。
58. 如請求項55之方法，其中該處理步驟包含鈍化與清洗之至少一者。
59. 如請求項55之方法，其中該裝置薄膜與該處理基板間之

結合介面具有低電阻電特性。

60. 如請求項55之方法，其中該裝置薄膜與該處理基板間之該介面具有為 3.5歐姆 cm^2 或更少之電阻。
61. 如請求項57之方法，進一步包含執行快速結合熱退火以在執行該脫落退火前強化該裝置薄膜與處理基板間之該結合。
62. 如請求項56之方法，其中離子植入該裝置基板之該步驟包含植入 H^+ 或 H^+ 與 He^+ 之組合。
63. 如請求項58之方法，其中處理該裝置及處理基板之表面之該等步驟包含使該裝置及處理基板之該等表面鈍化以允許疏水性晶圓結合。
64. 如請求項55之方法，其中處理該裝置及處理基板之該等表面之該等步驟包含在結合前賦予該等表面顯著疏水性。
65. 如請求項64之方法，其中該等處理步驟包含使用HF溶液處理該處理基板表面及該裝置基板表面。
66. 如請求項65之方法，其中該HF溶液減少或消除在該處理基板表面及該裝置基板表面上之氧化物。
67. 如請求項55之方法，其中該處理步驟包含在結合前經由將該表面暴露至惰性氣氛或真空中以消除在該裝置基板與該處理基板之至少一者的該表面上吸收之水。
68. 如請求項67之方法，其中消除所吸收之水包含在一溫度烘焙使得在至少一基板表面之水蒸汽壓力高於周圍環境中之水的分壓。

69. 如請求項 55 之方法，其中該裝置薄膜包含一 II-VI 族、一 III/V 族或一 SiC 半導體材料且該處理基板包含一 Si 或一 GaAs 基板。
70. 一種虛擬基板，包含一結合於一處理基板之非矽裝置薄膜，其中：(1) 該裝置薄膜與該處理基板包含具有不同熱膨脹係數之不同材料；及(2) 該裝置薄膜與該處理基板之應變狀態為使得存在有一高於室溫且低於開氏絕對溫度 900 度之一第一溫度，在該溫度該裝置薄膜與處理基板之應變相等。
71. 如請求項 70 之虛擬基板，其中在 300 至 900 K 間之溫度範圍內，該虛擬基板之彎曲之量值比在室溫或接近室溫之第一溫度下之相同虛擬基板中彎曲之量值低。
72. 如請求項 70 之虛擬基板，其中該第一溫度範圍為自 400 至 900 K。
73. 如請求項 70 之虛擬基板，其中該第一溫度與該處理基板結合至該裝置薄膜時之溫度相等。
74. 如請求項 73 之虛擬基板，其中該第一溫度範圍為自 400 K 至 700 K。
75. 如請求項 70 之虛擬基板，其中(1) 該處理基板與該裝置薄膜間之熱膨脹係數 (CTE) 差大於零；(2) 在室溫下，該裝置薄膜係在壓縮應變之下；及(3) 在高於室溫之溫度下，該虛擬基板中該應變之量值低於在室溫下結合之虛擬基板之該應變的量值。
76. 如請求項 70 之虛擬基板，其中(1) 該處理基板與裝置薄膜

間之該CTE差小於零；(2)在室溫下，該裝置薄膜係在伸張應變下；及(3)在高於室溫之高溫下，該虛擬基板中該應變之量值低於在室溫下結合之虛擬基板之該應變的量值。

77. 如請求項70之虛擬基板，其中(1)該裝置薄膜為鍺；(2)該處理基板為矽；及(3)該第一溫度在300 K與900 K之間。

78. 如請求項70之虛擬基板，其中(1)該裝置薄膜為磷化銦；(2)該處理基板為矽；及(3)該第一溫度在300 K與900 K之間。

79. 如請求項70之虛擬基板，其中(1)該裝置薄膜為砷化鎵；(2)該處理基板為矽；及(3)該第一溫度在300 K與900 K之間。

80. 如請求項70之虛擬基板，其中已調整該裝置薄膜與處理基板之該等應變狀態，以在高於室溫之溫度下控制該虛擬基板之彎曲。

81. 如請求項70之虛擬基板，其中已調整該裝置薄膜與處理基板之該等應變狀態，以在高於室溫之操作溫度下控制該裝置薄膜之載流子遷移率與帶隙之至少一者。

82. 如請求項70之虛擬基板，其中該裝置薄膜包含一適合於光電子裝置製造之半導體材料。

83. 如請求項82之虛擬基板，其中該裝置薄膜包含鍺或化合物半導體材料，且該處理基板包含矽、GaAs、玻璃、石英或藍寶石基板。

84. 如請求項83之虛擬基板，其中該裝置薄膜係選自Ge、

GaN、GaAs及InP薄膜，且該處理基板包含一矽基板。

85. 如請求項70之虛擬基板，其中該裝置薄膜包含一鐵電氧化物。
86. 如請求項70之虛擬基板，進一步包含一位於該處理基板之與該裝置薄膜相對側上的應變補償層。
87. 如請求項70之虛擬基板，其中該裝置薄膜與該處理基板包含半導體材料，且該裝置薄膜與該處理基板間之介面具有為 3.5 歐姆 cm^2 或更少之電阻。
88. 一種用於調整一虛擬基板之應變狀態之方法，包含：(1)一裝置基板之離子植入；(2)在一受控溫度下起始結合該裝置基板與一處理基板，以控制在該最終虛擬基板中之所得應變狀態；及(3)移除該裝置基板之一部分以留下結合至該處理基板之裝置薄膜，藉此形成該虛擬基板。
89. 如請求項88之方法，其中在一高於室溫之溫度下起始該結合。
90. 如請求項89之方法，其中在一介於 400 至 900 K之間的溫度下起始該結合。
91. 如請求項89之方法，其中當起始該結合時，將該處理基板與該裝置基板保持在不同溫度下。
92. 如請求項88之方法，其中(1)該裝置薄膜為鍺、砷化鎵或磷化銻；及(2)該處理基板為矽或砷化鎵。
93. 如請求項88之方法，其中調整該裝置薄膜與該處理基板之該等應變狀態，以在高於室溫之溫度下控制該虛擬基板之該彎曲。

94. 如請求項88之方法，其中調整該裝置薄膜與該處理基板之該等應變狀態，以在高於室溫之操作溫度下控制該裝置薄膜之載流子遷移率與帶隙之至少一者。
95. 如請求項88之方法，其中該裝置薄膜包含一適合於光電子裝置製造之半導體材料。
96. 如請求項88之方法，進一步包含一位於該處理基板之與該裝置薄膜相對側上的應變補償層。
97. 如請求項88之方法，其中該裝置薄膜與該處理基板包含半導體材料，且該裝置薄膜與該處理基板間之介面具有為 3.5 歐姆 cm^2 或更少之電阻。
98. 一種用於調整一虛擬基板之應變狀態之方法，包含：(1)一裝置基板之離子植入；(2)起始一處理基板與該裝置基板之結合，其中在結合起始之時，該處理基板之溫度與該裝置基板之溫度不同；及(3)移除該裝置基板之一部分以留下結合至該處理基板之一裝置薄膜，藉此形成該虛擬基板。
99. 如請求項98之方法，其中在一高於室溫之溫度下起始該結合。
100. 如請求項99之方法，其中在一介於 400 至 900 K之間的溫度下起始該結合。
101. 如請求項98之方法，其中在結合起始時，該裝置基板之該溫度高於該處理基板之該溫度。
102. 如請求項98之方法，其中(1)該裝置薄膜為鍺、砷化鎵或磷化銦；(2)該處理基板為矽或砷化鎵。

103. 如請求項98之方法，其中調整該裝置薄膜與該處理基板之該等應變狀態，以在高於室溫之溫度下控制該虛擬基板之該彎曲。
104. 如請求項98之方法，其中調整該裝置薄膜與該處理基板之該等應變狀態，以在高於室溫之操作溫度下控制該裝置薄膜之載流子遷移率與帶隙之至少一者。
105. 如請求項98之方法，其中該裝置薄膜包含一適合於光電子裝置製造之半導體材料。
106. 如請求項98之方法，進一步包含一位於該處理基板之與該裝置薄膜相對側上的應變補償層。
107. 如請求項98之方法，其中該裝置薄膜與該處理基板包含半導體材料，且該裝置薄膜與該處理基板間之介面具有為 3.5 歐姆 cm^2 或更少之電阻。
108. 一種用於形成一虛擬基板之方法，包含：(1)離子植入一裝置基板；(2)將該裝置基板結合至一處理基板；(3)移除該裝置基板之一部分，藉此留下結合至該處理基板之裝置薄膜；及(4)移除該裝置薄膜之上部部分，藉此在該裝置薄膜上留下一適合隨後之光電子裝置製造的較光滑且缺陷較少之傾斜表面。
109. 一種藉由如請求項108之方法製造之虛擬基板。
110. 如請求項108之方法，其中移除該裝置薄膜之上部部分包含使用一損壞選擇性蝕刻來化學性地研磨該上部部分與機械性地研磨該裝置薄膜之該上部部分之至少一者。
111. 如請求項110之方法，其中該裝置與該處理基板分別為

- Ge與Si，且其中使用一損壞選擇性蝕刻來化學性地研磨該Ge薄膜之該上部部分包含使用HF:H₂O₂:H₂O之混合物來蝕刻。
112. 如請求項110之方法，其中該裝置與該處理基板分別為Ge與Si，且其中使用一損壞選擇性蝕刻來化學性地研磨該Ge薄膜之該上部部分包含使用HF:HNO₃:C₂H₄O₂之混合物來蝕刻。
113. 如請求項110之方法，其中該裝置與該處理基板分別為Ge與Si，且其中使用一損壞選擇性蝕刻來化學性地研磨該上部部分包含使用H₂O₂:H₂O之混合物來蝕刻。
114. 如請求項110之方法，其中該裝置與該處理基板分別為InP與Si，且其中使用一損壞選擇性蝕刻來化學性地研磨該上部部分包含使用HCl:H₃PO₄:H₂O₂之混合物來蝕刻。
115. 如請求項114之方法，其中該蝕刻包含以1:2:2或1:2:4之比例的HCl:H₃PO₄:H₂O₂混合物。
116. 如請求項110之方法，其中該裝置與該處理基板分別為Ge與Si，且其中機械性地研磨該裝置薄膜之該上部部分包含用在KOH溶液中之矽膠研磨漿來研磨。
117. 如請求項110之方法，其中該裝置與該處理基板分別為InP與Si，且其中機械性地研磨該裝置薄膜之該上部部分包含用包含矽膠研磨漿與次氯酸鈉溶液之至少一者的研磨溶液來研磨。
118. 如請求項110之方法，進一步包含在該裝置薄膜上執行均質外延以留下一光滑無缺陷之表面。

119. 如請求項118之方法，其中該裝置薄膜為鍺，該處理基板為矽，且該均質外延材料為鍺。
120. 如請求項108之方法，其中該裝置薄膜包含一鍺、一II-VI族、一III/V族或一SiC半導體材料或一光學可用之鐵電氧化物，且該處理基板包含矽、GaAs、玻璃、石英或藍寶石基板。
121. 一種用於在一裝置基板與一處理基板間形成一結合之方法，包含經由在結合該基板之前，在該基板之表面上噴射撞擊一氣體/固體混合物而自該裝置與操縱基板之結合表面移除殘留顆粒污染，接著結合該等基板。
122. 如請求項121之方法，其中該氣體/固體混合物為CO₂。
123. 如請求項121之方法，其中在該混合物之噴射撞擊期間，該基板保持在高溫下。
124. 如請求項123之方法，其中在該混合物該噴射撞擊期間，該基板保持在一高於50°C之溫度下。
125. 如請求項121之方法，其中經由組合物理與熱泳提昇效果來移除該等顆粒。
126. 如請求項121之方法，進一步包含自該裝置基板脫落一裝置薄膜以形成一包含結合至該裝置薄膜之該處理基板的虛擬基板。
127. 如請求項126之方法，其中該裝置薄膜包含一鍺、一II-VI族、一III/V族或一SiC半導體材料或一光學可用之鐵電氧化物，且該處理基板包含矽、GaAs、玻璃、石英或藍寶石基板。

128. 一種用於改良一裝置基板與一處理基板間之結合有效性的方法，包含：(1)在不足以導致該結合基板分離之一第一溫度下，進行後結合退火，接著(2)在一足以引起該裝置基板之上部部分與包含該處理基板及結合至該處理基板之該裝置基板之裝置薄膜部分的虛擬基板分離之第二高溫下，進行退火。
129. 如請求項128之方法，其中該裝置薄膜包含一鍺、一II-VI族、一III/V族或一SiC半導體材料或一光學可用之鐵電氧化物，且該處理基板包含矽、GaAs、玻璃、石英或藍寶石基板。
130. 如請求項128之方法，進一步包含在結合之前離子植入該裝置基板，以促進在該處理基板與該裝置基板結合後在該第二退火期間該裝置薄膜之脫落。
131. 一種用於改良一裝置基板與一處理基板間之結合有效性的方法，包含：(1)在結合該裝置基板與該處理基板後，在一第一溫度及一第一壓力下執行不足以導致該基板分離之第一退火，接著(2)在一高於該第一溫度之第二高溫及一低於該第一壓力之第二壓力下執行第二退火，以引起該裝置基板之上部部分與包含該處理基板與結合至該處理基板之該裝置基板之一裝置薄膜部分的虛擬基板分離之第二退火。
132. 如請求項131之方法，其中該裝置薄膜包含一鍺、一II-VI族、一III/V族或一SiC半導體材料或一光學可用之鐵電氧化物，且該處理基板包含矽、GaAs、玻璃、石英或藍寶石基板。

石基板。

133. 如請求項131之方法，進一步包含在結合之前，離子植入該裝置基板，以促進在該處理基板與該裝置基板結合後在該第二退火期間該裝置薄膜之脫落。
134. 一種結合虛擬基板，包含一非矽化合物半導體光電子裝置薄膜、一材料X及一處理基板，其中該材料X位於該光電子薄膜與該處理基板之間，且用以改良該裝置薄膜與該處理基板間之結合。
135. 如請求項134之虛擬基板，其中該材料X在結合前沉積於該裝置基板上、在結合前沉積於該處理基板上，及在結合前沉積於該裝置基板與該處理基板兩者上之至少一者。
136. 如請求項134之虛擬基板，其中該材料X包含非晶矽或單晶矽，且該處理基板包含一矽基板。
137. 如請求項136之虛擬基板，其中該裝置薄膜包含一II-VI族、一III/V族或一SiC半導體材料，或一光學可用之鐵電氧化物。
138. 如請求項134之虛擬基板，其中該材料X包含與該處理基板或該裝置薄膜相同之材料。
139. 如請求項134之虛擬基板，其中該處理基板在結合至該裝置基板前包含完全邏輯裝置。

十一、圖式：

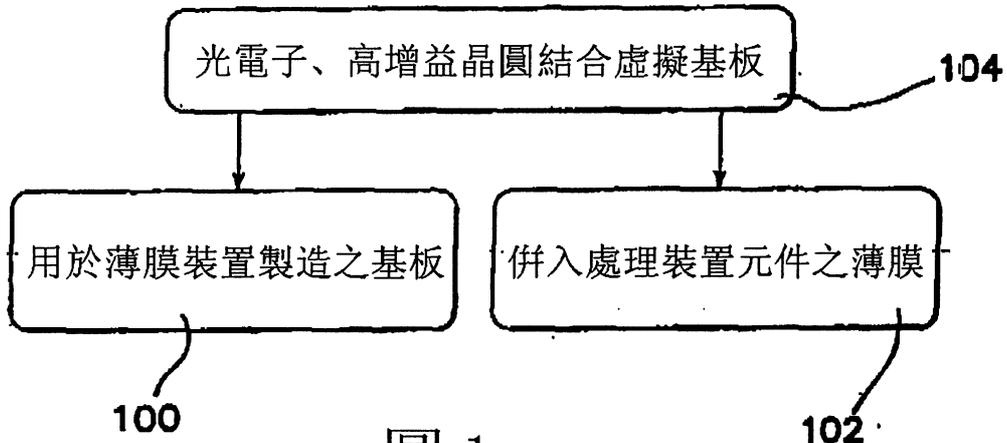


圖 1

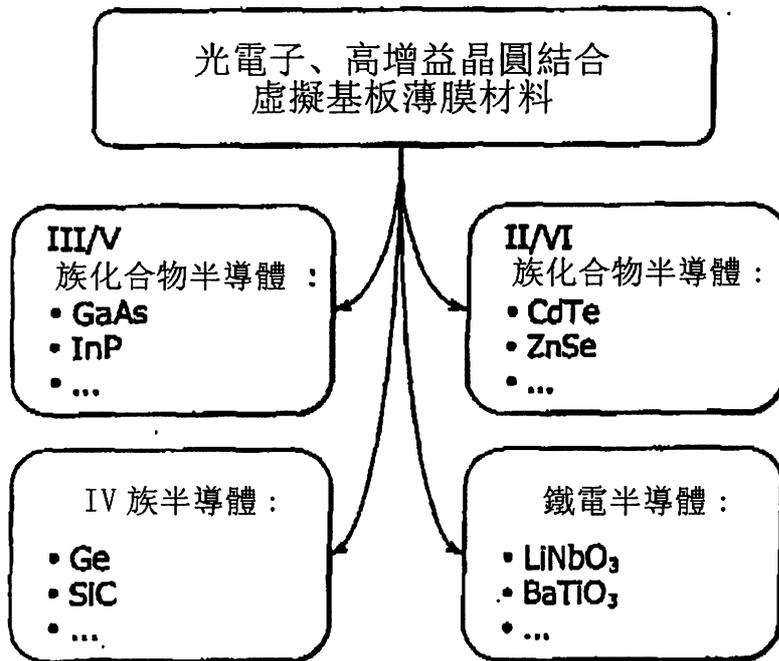


圖 2

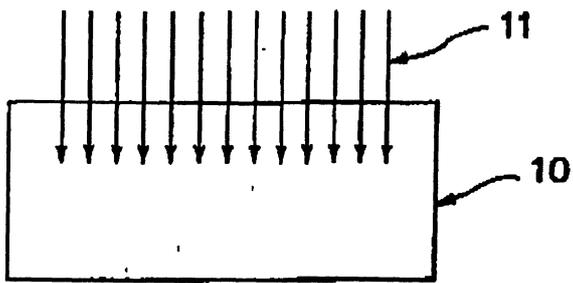


圖 3A

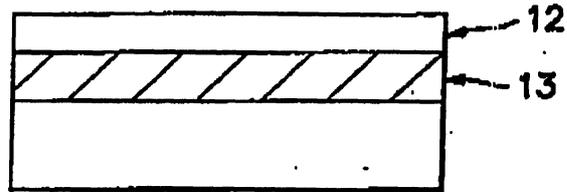


圖 3B

10

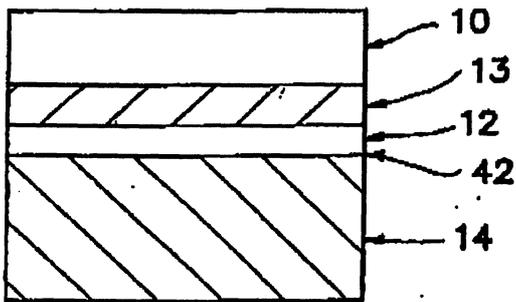


圖 4A

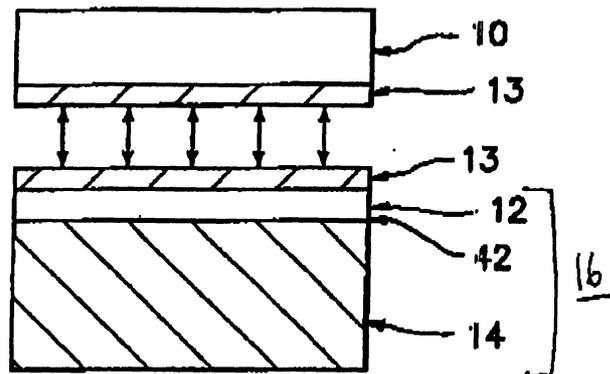


圖 4B

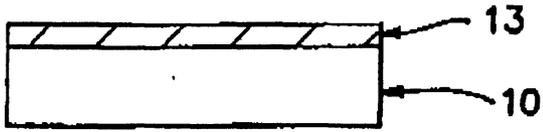


圖 5A



圖 5B

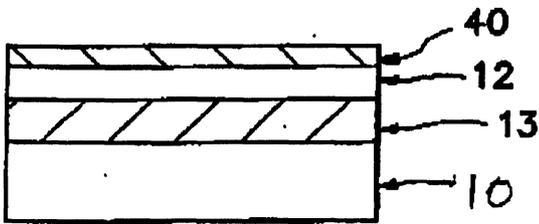


圖 6A

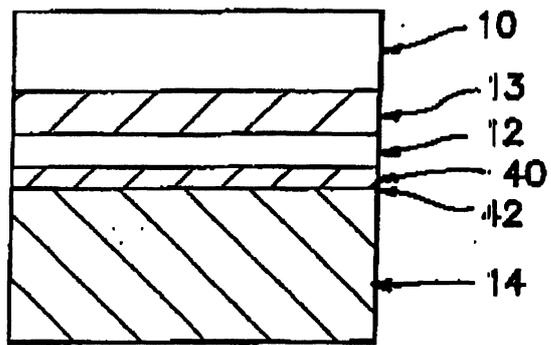


圖 6B

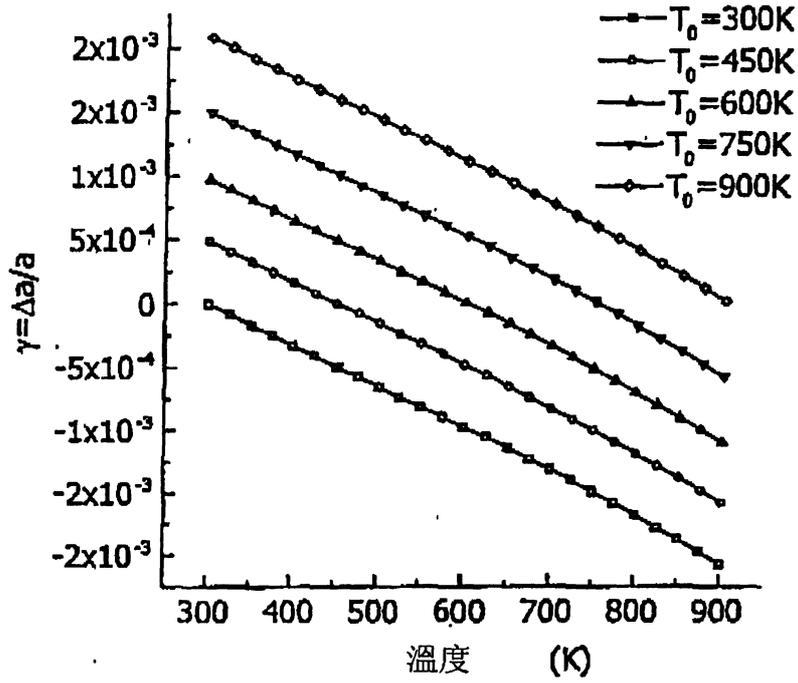


圖 7

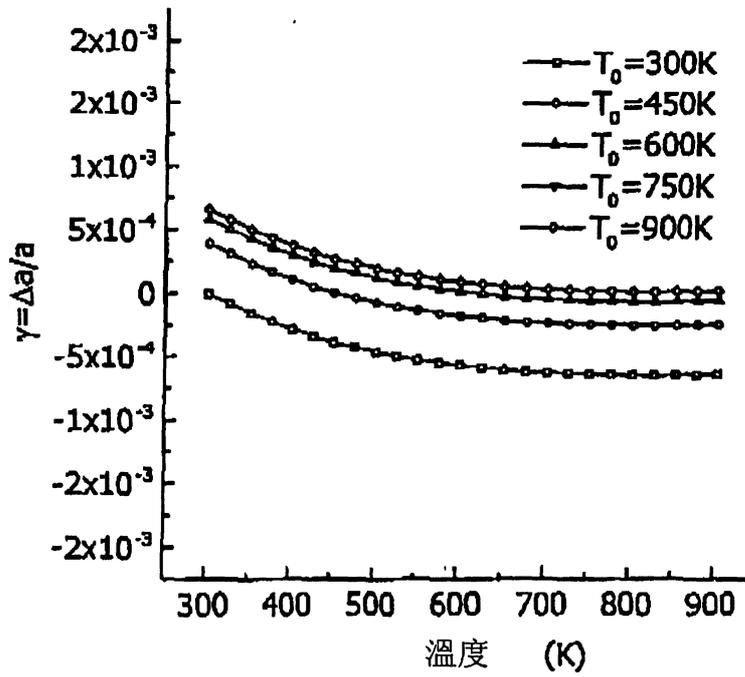


圖 8

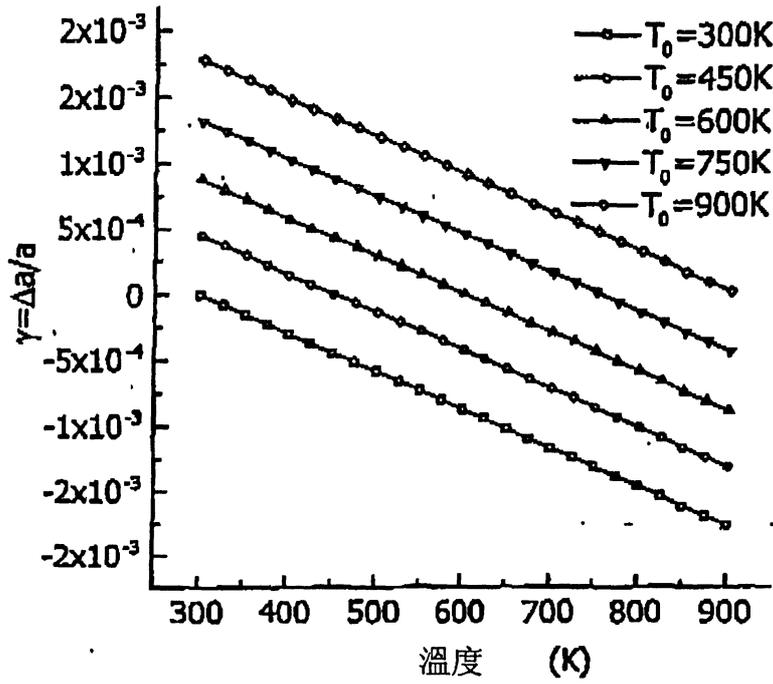


圖 9

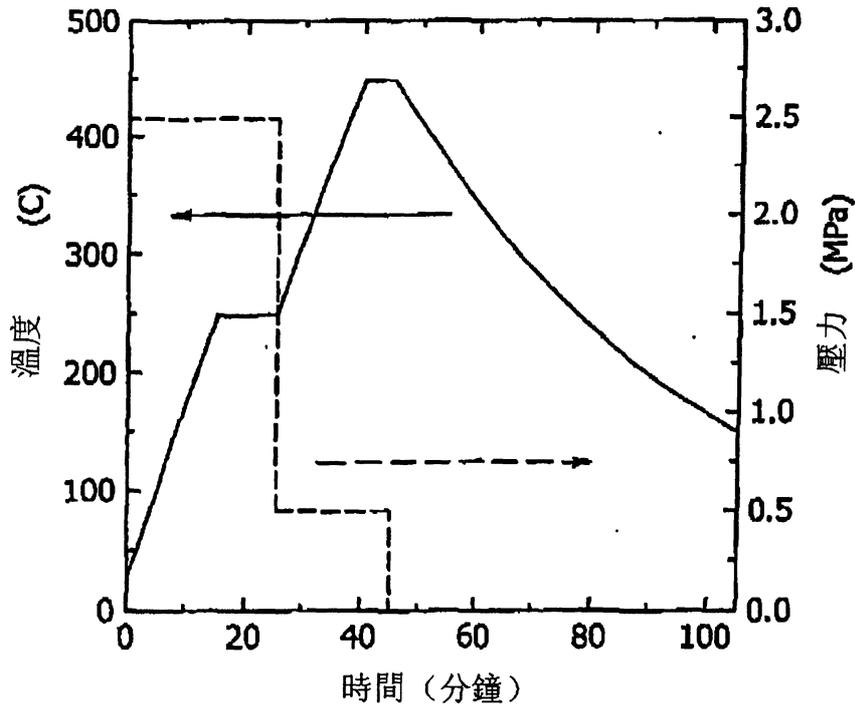


圖 10

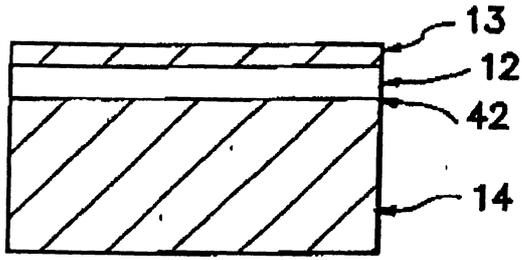


圖 11A

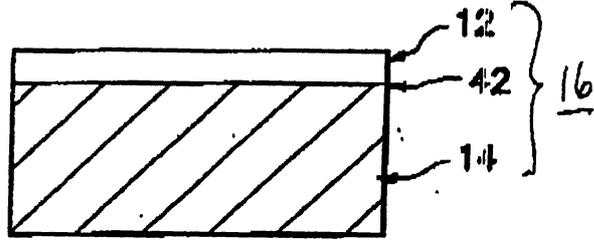


圖 11B

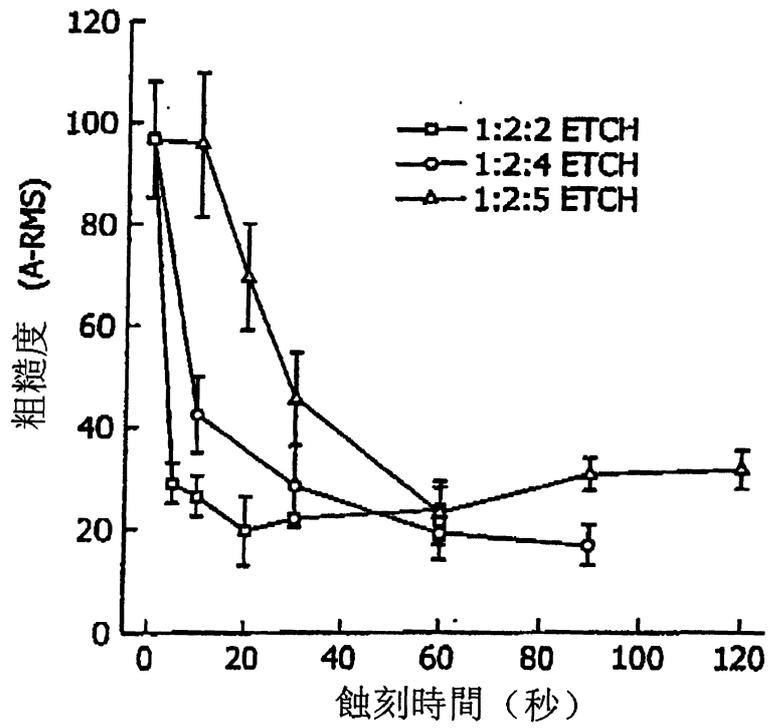


圖 12A

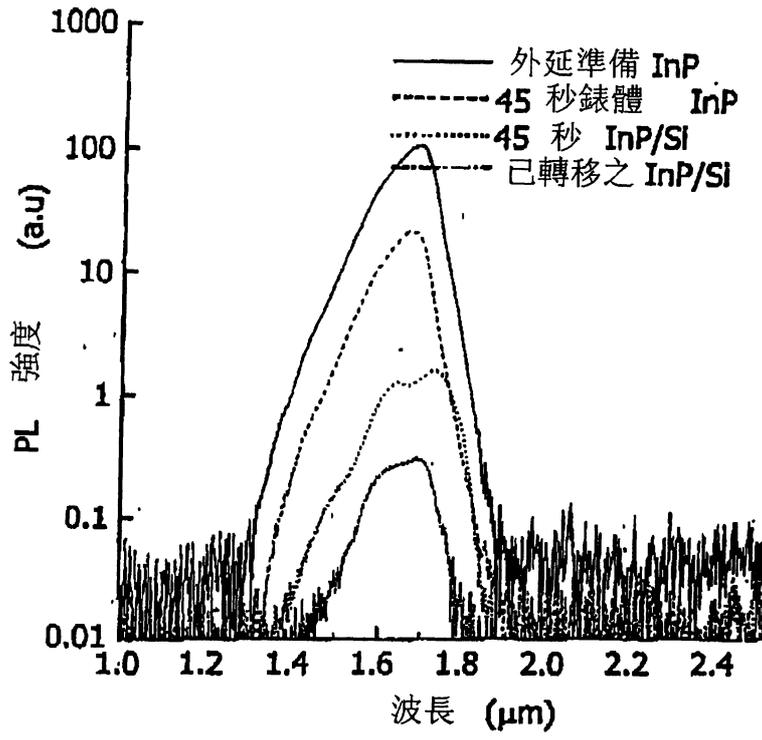


圖 12B

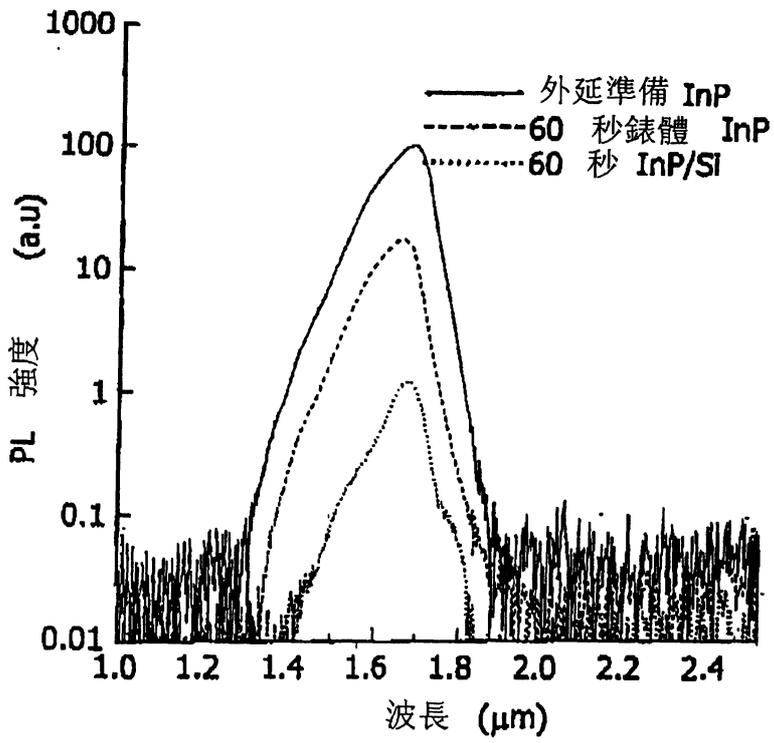


圖 12C

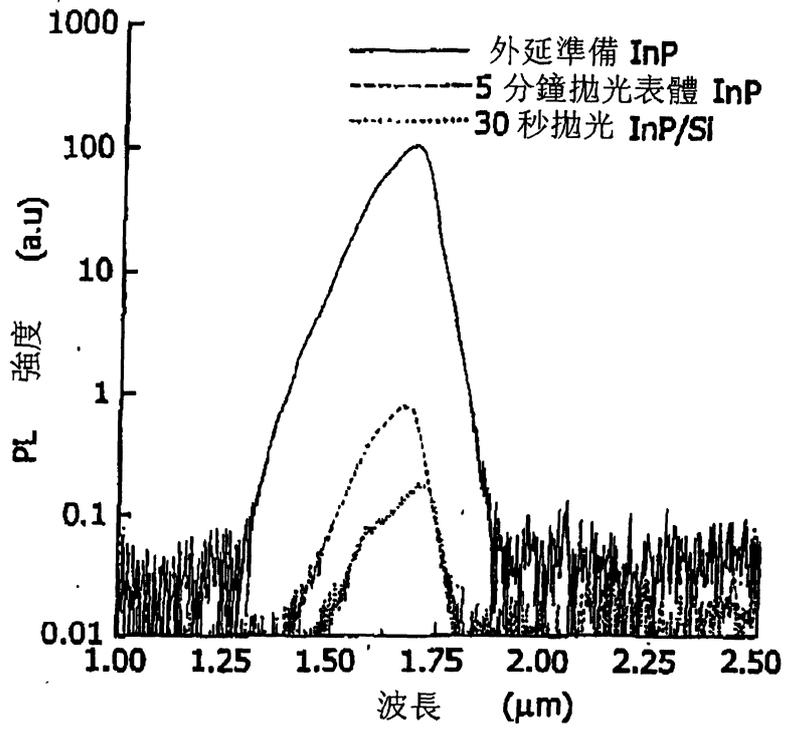


圖 12D

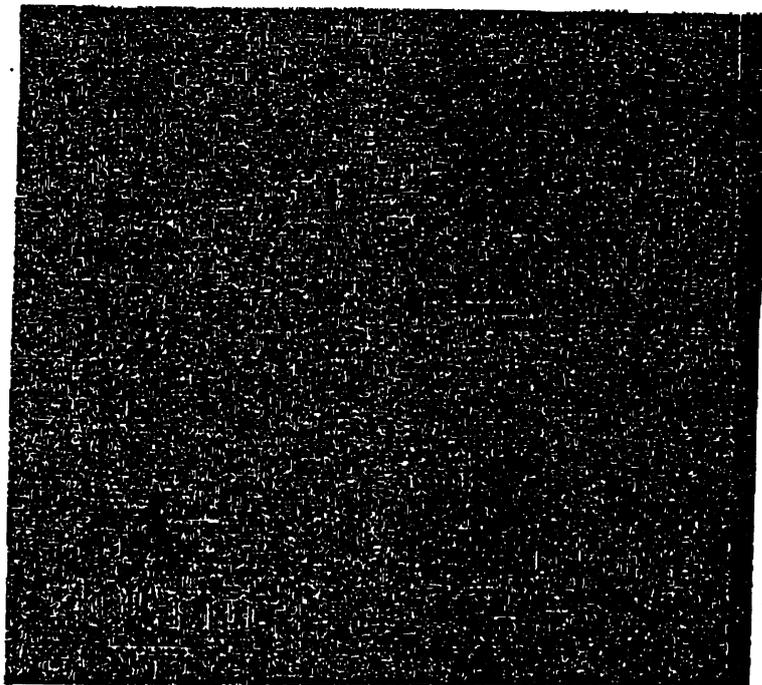


圖 12E

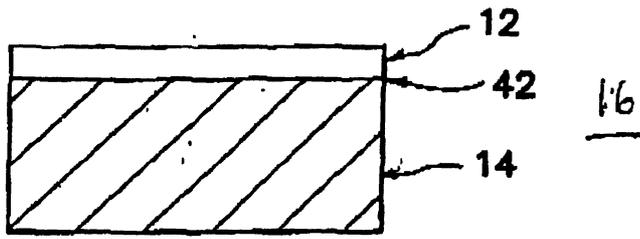


圖 13A

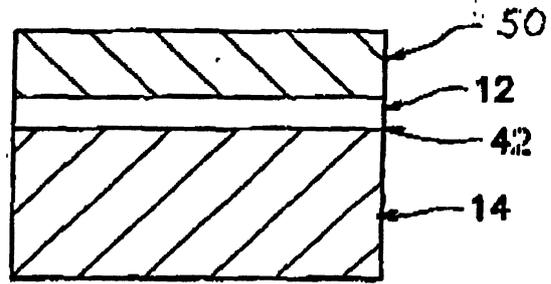


圖 13B

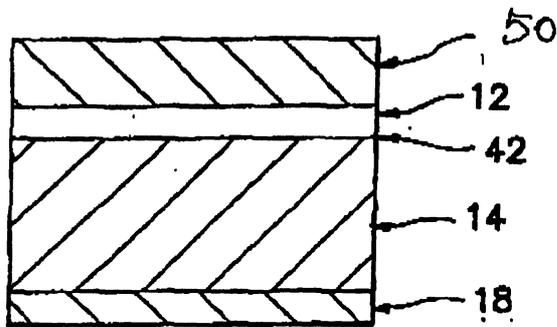


圖 14

七、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

- | | |
|-----|-----------------|
| 100 | 用於薄膜裝置製造之基板 |
| 102 | 併入處理裝置元件之薄膜 |
| 104 | 光電子、高增益晶圓結合虛擬基板 |

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)