

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G11B 27/10 (2006.01)

G11B 20/10 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200780001791.8

[43] 公开日 2009 年 2 月 4 日

[11] 公开号 CN 101361133A

[22] 申请日 2007.1.26

[21] 申请号 200780001791.8

[30] 优先权

[32] 2006.2.1 [33] US [31] 11/346,391

[86] 国际申请 PCT/EP2007/050772 2007.1.26

[87] 国际公布 WO2007/088139 英 2007.8.9

[85] 进入国家阶段日期 2008.6.30

[71] 申请人 国际商业机器公司

地址 美国纽约

[72] 发明人 南武威 乔万尼·切鲁比尼

伊万杰洛斯·埃尔夫塞里奥

罗伯特·A·赫琴斯

格伦·A·贾奎特 詹斯·杰利托

塞德特·奥尔瑟 马克·A·泰勒

[74] 专利代理机构 北京市柳沈律师事务所

代理人 周少杰

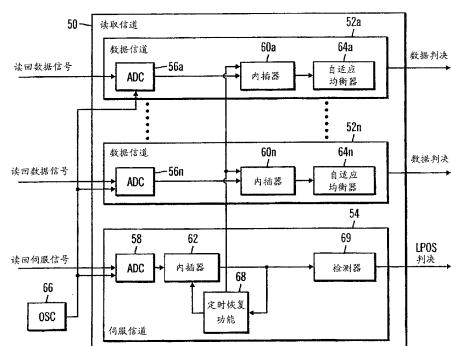
权利要求书 3 页 说明书 14 页 附图 8 页

[54] 发明名称

用至少一个伺服信道提供定时恢复和定时信息到数据信道

[57] 摘要

提供了一种读取信道、存储驱动器以及处理从存储介质读取的信号的方法。包括内插器和均衡器的至少一个数据信道和伺服信道包括内插器。定时恢复功能处理来自伺服信道中的内插器的定时差错，以计算由内插器内插伺服信道信号使用的内插定时信息。路径被耦合到定时恢复功能和至少一个数据信道中的内插器，以将内插定时信息通信到至少一个数据信道中的内插器。至少一个数据信道中的内插器配置为使用内插定时信息来内插异步的数据信道信号。



1. 一种并入存储设备的、用于处理从存储介质读取的信号的读取信道，包括：

包括内插器和均衡器的至少一个数据信道；以及包括内插器的伺服信道；

定时恢复功能，用于处理来自伺服信道中的内插器的定时差错，以计算由内插器内插伺服信道信号使用的内插定时信息；以及

耦合到定时恢复功能和至少一个数据信道中的内插器的路径，用于将内插定时信息通信到至少一个数据信道中的内插器，其中至少一个数据信道中的内插器配置为使用内插定时信息来内插异步的数据信道信号。

2. 根据权利要求1所述的读取信道，其中定时恢复功能还配置为通过下述步骤计算内插定时信息：

使用定时差错计算定时校正以调整由内插器生成的两个样本之间的内插间隔，其中使用新的内插瞬时确定由内插器内插伺服信道信号使用的系数。

3. 根据权利要求1或权利要求2所述的读取信道，其中伺服信道包括第一伺服信道，其中伺服信道中的内插器包括第一内插器，并且其中定时恢复功能包括在第一伺服信道中包括的第一定时恢复功能，并且其中路径包括第一路径，该伺服信道还包括：

第二伺服信道，包括：

第二内插器；

以及第二定时恢复功能，用于处理来自第二内插器的定时差错，以计算由内插器内插输入到第二伺服信道的伺服信道信号使用的内插定时信息；以及耦合到第二定时恢复功能和至少一个数据信道中的内插器的第二路径，以将内插定时信息通信到至少一个数据信道中的内插器，其中至少一个数据信道中的内插器配置为使用内插定时信息来内插异步的数据信道信号；以及

监视功能，以选择第一或第二伺服信道中之一来将内插时刻供应到至少一个数据信道。

4. 根据此前的任一权利要求所述的读取信道，其中伺服信道包括第一伺服信道，其中在伺服信道中的内插器包括第一内插器，以及其中路径包括第一路径，该读取信道还包括：

包括第二内插器的第二伺服信道，其中定时恢复功能配置为处理来自第

一和第二伺服信道中的第一和第二内插器的定时差错，以计算内插定时信息。

5. 根据权利要求 4 所述的读取信道，其中定时恢复功能配置为组合来自第一和第二内插器的定时差错，以及使用组合的定时差错来计算定时校正，以调整由伺服信道中的内插器生成的两个样本之间的内插间隔：

其中使用新的内插瞬时来确定由至少一个数据信道中的内插器使用的系数；

其中定时差错通过分派更大的权重给来自第一或第二内插器的定时差错来组合，该第一或第二内插器提供具有比来自另一内插器的定时差错更好的信噪比的内插信号；以及

其中至少一个数据信道包括第一和第二数据信道，其中第一数据信道包括第一内插器和均衡来自第一内插器的信号的第一自适应均衡器，其中第二数据信道包括第二内插器和均衡来自第二内插器的信号的第二自适应均衡器，该数据信道还包括：

信号处理组件，用于处理来自第一和第二自适应均衡器的均衡的输出信号，以提供反馈到第一和第二内插器来改进内插的质量。

6. 一种处理从存储介质读取的信号的方法，包括：

处理来自伺服信道中的内插器的定时差错，以计算由内插器内插伺服信道信号使用的内插定时信息；以及

将内插定时信息通信到至少一个数据信道中的内插器；以及

使用内插定时信息来内插异步的数据信道信号。

7. 根据权利要求 6 所述的方法，其中计算内插定时信息还包括：

使用定时差错计算定时校正，以调整由内插器生成的两个样品之间的内插间隔，其中使用新的内插瞬时来确定由内插器内插伺服信道信号使用的系数。

8. 根据权利要求 6 或权利要求 7 所述的方法，其中通信到每个数据信道的内插定时信息包括定时校正，并且其中每个数据信道配置为从定时校正计算由内插器使用的系数。

9. 根据权利要求 6 到 8 中任一所述的方法，其中定时差错包括第一定时差错，其中计算的内插定时信息包括第一内插定时信息，其中使用第一内插定时信息的内插器包括第一内插器，并且其中伺服信道包括第一伺服信道，其中第一伺服信道包括由第一内插器内插的第一伺服信道信号，还包括，还

包括:

在第二伺服信道处理来自第二内插器的第二定时差错，计算由第二内插器内插第二伺服信道信号使用的第二内插定时信息；

选择第一或第二伺服信道中之一来将内插时刻供应到至少一个数据信道。

10. 根据权利要求 26 所述的方法，其中伺服信道包括第一伺服信道，其中伺服信道中的内插器包括第一内插器，该方法还包括:

处理来自第一伺服信道中的第一内插器以及第二伺服信道中的第二内插器的定时差错，以计算内插定时信息；

组合来自第一和第二内插器的定时差错，以及使用组合的定时差错来计算定时校正，以调整由伺服信道中的内插器生成的两个样本之间的内插间隔，其中使用新的内插瞬时来确定由至少一个数据信道中的内插器使用的系数；以及

处理来自第一和第二自适应均衡器的均衡的输出信号，以提供反馈到第一和第二内插器以改进内插的质量。

用至少一个伺服信道提供定时恢复和定时信息到数据信道

技术领域

本发明涉及用于使用至少一个伺服信道提供定时恢复和定时信息到数据信道的系统和设备。

背景技术

盒式磁带 (magnetic tape cartridge) 包括用于存储要保存以及在随后时间读回的数据的磁带。磁带驱动器将数据典型地作为一组并行磁道写到磁带，随后磁带驱动器读回数据。为读回数据，磁带驱动器典型地包括：并行读取磁头，其读取每个并行磁道；驱动系统，其用于将磁带相对于读取磁头移动，使得读取磁头可以检测磁带上的磁信号；以及读取信道，其用于数字地采样由读取磁头读出的磁信号，并且提供由读取磁头读出的磁信号的数字样本。然后将数字样本编码成数据位，并且来自并行磁道的数据位被组合，以再现最初写在存储介质上的数据。在其它信号处理功能中，读取信道典型地要求用于每个读取磁头的均衡器，以补偿由于写磁头、磁带和读取磁头的磁记录性质造成的信号特性的变化。盒式磁带可以在磁带驱动器之间互换，使得在一个磁带驱动器上写入的磁带将由另一个磁带驱动器读取。

近年来，磁带存储系统的容量和性能已经显著增加，而且用于进一步增长的潜力似乎相当大。为达到更高的磁带容量和改善的性能，在一些技术领域的进展是必需的。面密度增加，即在线性和/或磁道密度的增加，是实现更高存储容量的关键。线密度的增加导致相邻位单元之间距离的减少，这引起码间干扰 (ISI) 的增加。更高的磁道密度要求更窄的磁道宽度、更窄的写/读磁头和更近的磁头间距，这导致信噪比 (SNR) 的损失。另外磁道间干扰是更为关切的问题。随着面密度的增加，在磁带操作期间所有并行数据信道上的精确的定时恢复对实现可靠的数据检索是关键的。

在目前的磁带系统中，可以提供两个专用的伺服信道以获得纵向位置 (LPOS) 信息以及横向位置差错信号 (PES)。用于线性磁带系统的基于定时的磁道跟踪伺服器已经由线性磁带开放 (LTO) 联盟采纳，作为所谓的 LTO

磁带驱动器系统的标准。

在模拟数据信道信号同步地转换成数字域的读取信道架构中，模拟-数字转换器（ADC）由可以由数字定时-恢复单元控制的可变频振荡器（VFO）驱动，使得读回的信号关于以 $1/T$ 的速率操作的写时钟的边界同步地采样，其中 T 是在连续的定时样本之间的额定（nominal）间距。典型地，选择写时钟的速率使得实现预定的记录密度。同步的信号样本首先被均衡然后提供到检测电路。定时信息可以从均衡的样本值和由检测电路提供的决定中提取。在包括 M 个并行的数据磁道的磁带系统的环境中的该架构要求 M 个模拟 VFO 以及与其相关联的反馈控制环路。

在模拟数据信道信号被异步地转换成数字域的读取信道架构中，ADC 由固定的时钟以速率 $1/T$ 驱动，并且读回的信号的采样关于写时钟边界异步地进行。信号样本的同步化使用内插定时恢复（ITR）来数字地实现。不需要模拟反馈环路及相关联的 VFO，使该途径对多磁道磁带系统更有吸引力。

在后者的架构中，ITR 功能能够在信号均衡之后或之前发生，分别导致异步的或同步的均衡方案。因为均衡器放置在定时环路外，所以异步均衡方案导致相对短的定时环路延迟。在同步均衡方案中，均衡器在定时环路内，因而引起附加的定时环路延迟。然而在该方案中，因为均衡器对已经实现同步的信号样本操作，所以自适应均衡可能比异步均衡更易于实现。作为同步均衡方案的实例，在光学存储系统中，两个内插器可以生成奇数次同步和偶数次同步的采样的两个序列，该两个序列通过在序列检测前的两个 $2T$ 间距的同步均衡器被均衡。

利用目前的系统，定时恢复由定时恢复环路在每个数据信道内执行，该数据信道采用内插器输出信号来对每个数据信道单独地执行定时恢复操作。定时-恢复算法典型地使用均衡的信号样本来确定信号采样必须出现的时刻。

发明内容

在第一方面中，提供了并入存储设备的、用于处理从存储介质读取的信号的读取信道，包括：包括内插器和均衡器的至少一个数据信道；以及包括内插器的伺服信道；用于处理来自伺服信道中的内插器的定时差错的定时恢复功能，以计算由内插器内插伺服信道信号使用的内插定时信息；以及耦合到定时恢复功能和至少一个数据信道中的内插器的路径，以将内插定时信息

通信到至少一个数据信道中的内插器，其中至少一个数据信道中的内插器配置为使用内插定时信息来内插异步的数据信道信号。

优选地，每个数据信道和伺服信道包括模拟-数字转换器（ADC），还包括：用于将时钟信号提供到每个数据信道和伺服信道中的每个ADC的振荡器。

优选地，定时恢复功能在伺服信道中实现，并且其中异步的数据信道信号内插成同步的信号。

优选地，定时恢复功能还配置为通过下述步骤计算内插定时信息：使用定时差错来计算定时校正以调整由内插器生成的两个样本之间的内插间隔，其中使用新的内插瞬时来确定由内插器内插伺服信道信号使用的系数。

优选地，定时恢复功能实现二阶环路的环路滤波器，以从定时差错生成定时校正。

优选地，在到每个数据信道的路径上通信的内插定时信息包括定时校正，并且其中每个数据信道配置为从定时校正计算由内插器使用的系数。

优选地，伺服信道包括第一伺服信道，其中伺服信道中的内插器包括第一内插器，并且其中定时恢复功能包括：包括在第一伺服信道中的第一定时恢复功能，并且其中路径包括第一路径，还包括：第二伺服信道，该第二伺服信道包括：第二内插器；以及第二定时恢复功能，用于处理来自第二内插器的定时差错，以计算由内插器内插输入到第二伺服信道的伺服信道信号所使用的内插定时信息；以及耦合到第二定时恢复功能和至少一个数据信道中的内插器的第二路径，以将内插定时信息通信到至少一个数据信道中的内插器，其中至少一个数据信道中的内插器配置为使用内插定时信息来内插异步的数据信道信号；以及监视功能，以选择第一或第二伺服信道中之一来将内插时刻供应到至少一个数据信道。

优选地，伺服信道包括第一伺服信道，其中伺服信道中的内插器包括第一内插器，并且其中路径包括第一路径，还包括：包括第二内插器的第二伺服信道，其中定时恢复功能配置为处理来自第一和第二伺服信道中的第一和第二内插器的定时差错，以计算内插定时信息。

优选地，定时恢复功能配置为组合来自第一和第二内插器的定时差错，并且使用组合的定时差错来计算定时校正，以调整由伺服信道中的内插器生成的两个样本之间的内插间隔，其中使用新的内插瞬时确定由至少一个数据

信道中的内插器使用的系数。

优选地，定时差错通过分派更大的权重给来自第一或第二内插器的定时差错来组合，该第一或第二内插器提供具有比来自另一内插器的定时差错更好的信噪比的内插信号。

优选地，至少一个数据信道包括第一和第二数据信道，其中第一数据信道包括第一内插器和均衡来自第一内插器的信号的第一自适应均衡器，其中第二数据信道包括第二内插器和均衡来自第二内插器的信号的第二自适应均衡器，该少一个数据信道还包括：信号处理组件，用于处理来自第一和第二自适应均衡器的均衡输出信号，以提供反馈到第一和第二内插器，以改进内插的质量。

优选地，信号处理组件配置为提供反馈到第一和第二自适应均衡器，以改进均衡的质量和消除跨磁道（cross-track）干扰。

优选地，信号处理组件包括多输入和多输出（MIMO）系统。

优选地，存在其每个包括一个均衡器和内插器的多个数据信道，并且其中定时恢复功能提供内插定时信息到数据信道中的内插器。

在第二方面中，提供了用于执行关于耦合到存储驱动器的存储介质的输入/输出（I/O）操作的存储驱动器，包括：从存储介质读取数据的磁头；以及与磁头数据通信、以处理磁头从存储介质读取的信号的读取信道，该读取信道包括：包括内插器和均衡器的至少一个数据信道；包括内插器的伺服信道；用于处理来自伺服信道中的内插器的定时差错的定时恢复功能，以计算由内插器内插伺服信道信号使用的内插定时信息；以及耦合到定时恢复功能和至少一个数据信道中的内插器的路径，以将内插定时信息通信到至少一个数据信道中的内插器，其中至少一个数据信道中的内插器配置为使用内插定时信息来内插异步的数据信道信号。

优选地，每个数据信道和伺服信道包括模拟-数字转换器（ADC），还包括：用于将时钟信号提供到每个数据信道和伺服信道中的每个 ADC 的振荡器。

优选地，定时恢复功能在伺服信道中实现，并且其中异步的数据信道信号内插成同步的信号。

优选地，定时恢复功能还配置为通过下述步骤计算内插定时信息：使用定时差错来计算定时校正以调整由内插器生成的两个样本之间的内插间隔，

其中使用新的内插瞬时来确定由内插器内插伺服信道信号使用的系数。

优选地，到每个数据信道的路径上通信的内插定时信息包括定时校正，并且其中每个数据信道配置为从定时校正计算由内插器使用的系数。

优选地，伺服信道包括第一伺服信道，其中在伺服信道中的内插器包括第一内插器，并且其中定时恢复功能包括伺服信道中包括的第一定时恢复功能，并且其中路径包括第一路径，其中读取信道还包括：第二伺服信道，该第二伺服信道包括：第二内插器；以及第二定时恢复功能，用于处理来自第二内插器的定时差错，以计算由内插器内插输入到第二伺服信道的伺服信道信号使用的内插定时信息；以及耦合到第二定时恢复功能和至少一个数据信道中的内插器的第二路径，以将内插定时信息通信到至少一个数据信道中的内插器，其中至少一个数据信道中的内插器配置为使用内插定时信息内插异步的数据信道数据；以及监视功能，以选择第一或第二伺服信道中之一将内插时刻供应到至少一个数据信道。

优选地，伺服信道包括第一伺服信道，其中伺服信道中的内插器包括第一内插器，并且其中路径包括第一路径，其中读取信道还包括：包括第二内插器的第二伺服信道，其中定时恢复功能配置为处理来自第一和第二伺服信道中的第一和第二内插器的定时差错，以计算内插定时信息。

优选地，定时恢复功能配置为组合来自第一和第二内插器的定时差错，以及使用组合的定时差错来计算定时校正，以调整由伺服信道中的内插器生成的两个样本之间的内插间隔，其中使用新的内插瞬时来确定由至少一个数据信道中的内插器使用的系数。

优选地，至少一个数据信道包括第一和第二数据信道，其中第一数据信道包括第一内插器和均衡来自第一内插器的信号的第一自适应均衡器，其中第二数据信道包括第二内插器和均衡来自第二内插器的信号的第二自适应均衡器，其中读取信道包括：信号处理组件，用于处理来自第一和第二自适应均衡器的均衡的输出信号，以提供反馈到第一和第二内插器来改进内插的质量。

优选地，信号处理组件包括多输入和多输出（MIMO）系统。

优选地，存在其每个包括一个均衡器和内插器的多个数据信道，并且其中定时恢复功能提供内插定时信息到数据信道中的内插器。

在第三方面中，提供了处理从存储介质读取的信号的方法，包括：处理

来自伺服信道中的内插器的定时差错，以计算由内插器内插伺服信道信号使用的内插定时信息；以及将内插定时信息通信到至少一个数据信道中的内插器；以及使用内插定时信息来内插异步的数据信道信号。

该方法还可以包括提供时钟信号到每个数据信道和伺服信道。

优选地，异步的数据信道信号被内插成同步的信号。

优选地，计算内插定时信息还包括：使用定时差错计算定时校正，以调整由内插器生成的两个样品之间的内插间隔，其中使用新的内插瞬时来确定由内插器内插伺服信道信号使用的系数。

优选地，通信到每个数据信道的内插定时信息包括定时校正，并且其中每个数据信道配置为从定时校正计算由内插器使用的系数。

优选地，定时差错包括第一定时差错，其中计算的内插定时信息包括第一内插定时信息，其中使用第一内插定时信息的内插器包括第一内插器，并且其中伺服信道包括第一伺服信道，其中第一伺服信道包括由第一内插器内插的第一伺服信道信号，还包括，该方法还包括：在第二伺服信道处理来自第二内插器的第二定时差错，以计算由第二内插器内插第二伺服信道信号使用的第二内插定时信息；选择第一或第二伺服信道中之一来将内插时刻供应到至少一个数据信道。

权利要求 26 的方法，其中伺服信道包括第一伺服信道，其中伺服信道中的内插器包括第一内插器，该方法还包括：

处理来自第一伺服信道中的第一内插器以及第二伺服信道中的第二内插器的定时差错，以计算内插定时信息。

该方法还可以包括：组合来自第一和第二内插器的定时差错，以及使用组合的定时差错计算定时校正，以调整由伺服信道中的内插器生成的两个样本之间的内插间隔，其中使用新的内插瞬时确定由至少一个数据信道中的内插器使用的系数。

该方法还可以包括：处理来自第一和第二自适应均衡器的均衡的输出信号，以提供反馈到第一或第二内插器来改进内插的质量。

优选地，存在多个数据信道，其每个包括一个均衡器和内插器，该方法还包括：将内插定时信息提供到数据信道中的内插器。

如此提供了读取信道、存储驱动器、以及处理从存储介质读取的信号的方法。包括内插器和均衡器的至少一个数据信道和伺服信道包括内插器。定

时恢复功能处理来自伺服信道中的内插器的定时差错，以计算由内插器内插伺服信道信号使用的内插定时信息。路径耦合到定时恢复功能和至少一个数据信道中的内插器，以将内插定时信息通信到至少一个数据信道中的内插器。至少一个数据信道中的内插器配置为使用内插定时信息来内插异步的数据信道信号。

在另一个实施例中，每个数据信道和伺服信道包括模拟-数字转换器(ADC)，还包括：

在另一个实施例中，振荡器提供时钟信号给每个数据信道和伺服信道中的每个ADC。

在另一个实施例中，定时恢复功能在伺服信道中实现，以及异步的数据信道信号被内插成同步的信号。

在另一个实施例中，定时恢复功能还配置为通过使用定时差错计算内插定时信息，以计算定时校正来调整由内插器生成的两个样本之间的内插间隔。使用新的内插瞬时确定由内插器内插伺服信道信号使用的系数。

在另一个实施例中，定时恢复功能实现二阶环路的环路滤波器，生成来自定时差错的定时校正。

在另一个实施例中，在到每个数据信道的路径上通信的内插定时信息包括定时校正。每个数据信道配置为从定时校正计算由内插器使用的系数。

在另一个实施例中，伺服信道包括第一伺服信道，在伺服信道中的内插器包括第一内插器，以及定时恢复功能包括在第一伺服信道中包括的第一定时恢复功能，以及路径包括第一路径。第二伺服信道包括：第二内插器；第二定时恢复功能，用于处理来自第二内插器的定时差错，以计算由内插器内插输入到第二伺服信道中的伺服信道信号使用的内插定时信息；以及耦合到第二定时恢复功能和至少一个数据信道中的内插器的第二路径，以将内插定时信息通信到至少一个数据信道中的内插器。至少一个数据信道中的内插器配置为使用内插定时信息来内插异步的数据信道数据。监视功能选择第一或第二伺服信道中之一来将内插时刻供应到至少一个数据信道。

在另一个实施例中，伺服信道包括第一伺服信道，在伺服信道中的内插器包括第一内插器，以及路径包括第一路径。第二伺服信道包括第二内插器。定时恢复功能配置为处理来自第一和第二伺服信道中的第一和第二内插器的定时差错，以计算内插定时信息。

在另一个实施例中，定时恢复功能配置为组合来自第一和第二内插器的定时差错，以及使用组合的定时差错计算定时校正，以调整在由伺服信道中的内插器生成的两个样本之间的内插间隔。使用新的内插瞬时来确定由至少一个数据信道中的内插器使用的系数。

在另一个实施例中，定时差错通过分派更大的权重到来自第一或第二内插器的定时差错来组合，该第一或第二内插器提供具有比来自另一内插器的定时差错更好的信噪比的内插信号。

在另一个实施例中，至少一个数据信道包括第一和第二数据信道。第一数据信道包括第一内插器和均衡来自第一内插器的信号的第一自适应均衡器。第二数据信道包括第二内插器和均衡来自第二内插器的信号的第二自适应均衡器。信号处理组件处理来自第一和第二自适应均衡器的均衡的输出信号，以提供反馈到第一和第二内插器来改进内插的质量。

在另一个实施例中，其中信号处理组件配置为提供反馈到第一和第二自适应均衡器，以改进均衡的质量以及消除跨磁道干扰。

在另一个实施例中，信号处理组件包括多输入和多输出（MIMO）系统。

在另一个实施例中，存在其每个包括一个均衡器和内插器的多个数据信道。定时恢复功能提供内插定时信息到数据信道中的内插器。

附图说明

图 1 说明磁带驱动器的实施例。

图 2-7 说明包括定时恢复组件的读取信道的实施例。

图 8 说明处理信号以及计算内插定时信息的操作的实施例。

具体实现方式

图 1 说明磁带驱动器 10 的实施例。磁带驱动器提供用于读取和写入关于盒式磁带 12 的磁带 14 的信息的手段。盒式磁带包括记录要在随后时间检索的数据的磁带存储介质。而且盒式磁带还可以在磁带驱动器之间互换，使得在一个磁带驱动器上写入的磁带将由另一个磁带驱动器读取。盒式磁带 12 包括缠绕在一个或两个磁带轴 15、16 上的磁带 14 的长度。

对单轴盒式磁带 12 进行说明，其实例是遵从线性磁带开放（LTO）格式的磁带。磁带驱动器 10 的实例是基于 LTO 技术的 IBM 3580 Ultrium 磁带驱

动器。单轴磁带驱动器的另一个实例及其相关联的磁带盒是 IBM 3592 TotalStorage Enterprise 磁带驱动器及其相关联的盒式磁带。双轴磁带盒的实例是 IBM 3570 盒式磁带及其相关联的驱动器。在替代实例中，可以使用的其它磁带格式包括数字线性磁带 (DLT)、数字音频磁带 (DAT) 等等。

磁带驱动器 10 包括记录系统的一个或更多个控制器 18，用于根据在接口 21 接收的、从主机系统 20 接收的命令操作磁带驱动器。控制器典型地包括具有存储器 19 的逻辑和/或一个或更多微处理器，用于存储用于操作(各)微处理器的信息和程序信息。程序信息可以通过到如软盘或光盘的控制器 18 的输入、或通过从盒式磁带读取、或通过其它任何适当的手段，经由接口 21 供应到存储器。磁带驱动器 10 可以包括独立 (standalone) 的单元或者包括磁带库的一部分或其它子系统。磁带驱动器 10 可以经库、或者经网络直接耦合到主机系统 20，并且在接口 21 处采用小型计算机系统接口 (SCSI)、光纤信道接口等。盒式磁带 12 可以插入到磁带驱动器 10 中，并且由磁带驱动器加载，使得随着磁带由旋转磁带轴 15、16 的发动机 25 纵向地移动，记录系统的一个或更多的读和/或写磁头 23 以关于磁带 14 的信号的形式读和/或写信息。磁带典型地包括多个并行的磁道或者磁道组。在某些磁带格式中，如 LTO 格式，磁带以分别缠绕的蛇形往复的方式排列，如同本领域的技术人员所已知的。本领域的技术人员还已知的是，记录系统可以包括缠绕控制系统 27，用于电气切换到另一组读和/或写磁头，和/或搜索读和/或写磁头 23 并将其眼沿磁带侧面移动，以在期望的缠绕或多个缠绕处定位磁头，并且在一些实施例中，跟踪期望的缠绕或多个缠绕。缠绕控制系统还可以经发动机驱动器 28 控制发动机 25 的操作，以响应通过控制器 18 的指令。

控制器 18 还采用缓冲器 30 和读/写信道 32，来对要从磁带读取以及写到磁带的数据提供数据流和格式化器，如同本领域的技术人员所已知的。

磁带驱动器 10 系统还包括发动机 25 和磁带轴 15、16，以将磁带 14 相对于(各)读取磁头 23 移动，使得(各)读取磁头可以检测在磁带上的磁信号。读/写信道 32 的读取信道数字地将由(各)读取磁头检测的磁信号采样，为进一步的处理提供磁信号的数字样本。

图 2 说明用于如磁带驱动器的多磁道存储系统的读取信道 50 的实施例。读取信道 50 可以包括图 1 的读/写信道 32 的读取信道的一部分。读取信道 50 包括多个数据信道 52a...52n 和一个伺服信道 54。数据信道 52a...52n 和伺服

信道 54 分别包括模拟-数字转换器（ADC）56a...56n 和 58，该模拟-数字转换器处理从例如磁带的存储介质读取的读回数据和伺服信号，并且将信号转换成提供到内插器 60a...60n 和 62 的数字信号。在数据信道 52a...52n 中的 ADC 56a...56n 的输出信号可以在提供到内插器 60a...60n 之前由数字前端功能处理，以将信号从异步的时域转换到同步域。数据信道 52a...52n 还包括用于均衡在同步域中的信号的自适应均衡器 64a...64n。在一个实施例中，单独的振荡器（OSC）66 提供时钟信号以驱动 ADC 56a...56n 和 58。

伺服信道 54 还包括检测器 69，该检测器接收来自内插器 62 的调整的同步信号，以确定由数字样本表示的伺服信息。来自检测器 69 的输出还可以包括纵向位置（LPOS）信息，该纵向位置信息包括磁带中的纵向位置信息。伺服信道 54 还包括定时恢复功能 68，该定时恢复功能包括下述电路，该电路处理来自内插器 62 的内插信号样本，该内插信号样本可以看作定时差错，以生成供应到数据信道中的内插器 60a...60n 的内插定时信息，用来生成同步的样本序列。

图 3 提供了示于图 2 中的伺服信道 54 的进一步细节。来自内插器 62 的定时差错 70 供应到两个乘法器 72 和 74，该两个乘法器将定时差错 70 乘以环路参数 α 和 $\tilde{\alpha}$ 。在乘法器 72 进行乘法的结果供应到积分器 76，并且积分器 76 的输出由加法器 78 加到乘法器 74 乘法的结果，以产生定时校正瞬时 $-_n 80$ 。乘法器 72、74、积分器 76 以及加法器 78 包括二阶环路滤波器。计算的定时校正瞬时 $-_n 80$ 供应到内插间隔计算电路 82。定时间隔 T 在电路 82 计算，使得 $T_{i,n} = T_{i,0} + -_n$ ，其中 $T_{i,0}$ 代表额定内插间隔，而 $T_{i,n}$ 是在连续的样本距离 n 和 $n+1$ 之间的实际间隔，其中内插的信号样本由内插器 62 生成。内插时间计算 84 电路指示提供到内插器 62 用于将输入信号样本的序列从异步转换到同步域的、ADC 样本间隔 ($k_{n+1} - k_n$) 的整数值 86 和分数间隔 ($0 = i_{n+1} < 1$) 88。

定时恢复功能 68 可以将定时校正瞬时 80 提供到数据信道内插器 60a...60n，以用来计算用于内插的整数和分数间隔，或者替代地，定时恢复功能 68 可以将计算的整数 86 和分数 88 间隔提供到数据信道内插器 60a...60n。

图 4 说明包括两个伺服信道 102a 和 102b 的读取信道 100 的另一个实施例，该两个伺服信道的每个包括 ADC 104a、104b、内插器 106a、106b、定时恢复功能 108a、108b 以及检测器 110a、110b。伺服信道 102a 和 102b 可以

实现关于图 2 和 3 所述的定时恢复功能 68。读取信道 100 还包括多个数据信道 112a...112n，其中每个数据信道分别包括 ADC 114a...114n、内插器 116a...116n 以及自适应均衡器 118a...118n。数据信道内插器 116a...116n 从伺服信道 102a、102b 中之一接收来自定时恢复功能 108a、108b 的如定时校正瞬时_{-n}的定时信息以用于内插。单独的振荡器（OSC）120 供应时钟信号到 ADC 104a、104b、114a...114n。

在图 4 的实施例中，每个伺服信道包括确定伺服信道 102a 和 102b 的可靠的监视功能 122a、122b。监视功能 122a 和 122b 可以通信以确定哪个伺服信道 102a、102b 产生具有更高可靠性的定时信息，如由具有更高的信号-失真比和/或更低的干扰的伺服信号获得的定时信息。提供更可靠的定时信息的伺服信道 102a 或 102b 然后可以用来将定时信息供应到数据信道内插器 116a...116n。监视功能 122a、122b 可以周期性地检查可靠性以确定系统是否需要切换到使用另一定时恢复功能 108a、108b 来供应定时信息。在替代实施例中，监视功能 122a、122b 可以估计伺服信道 102a、102b 的 LPOS 差错率。在用来将定时信息供应到数据信道内插器 116a...116n 的情况下，伺服信道 102a 或 102b 展示比另一伺服信道更高的 LPOS 差错率，然后选择目前不供应定时信息的伺服信道 102a 或 102b 来将定时信息提供到数据信道内插器 116a...116n。以此方式，共同使用监视功能 122a 和 122b，以选择伺服信道 102a 和 102b 中之一，以将定时信息供应到数据信道内插器 116a...116n，使得选择产生更好质量的定时信息的伺服信道 102a 或 102b 来提供定时信息。

图 5 说明包括两个伺服信道 152a 和 152b 的读取信道 150 的另外的实例，其中每个伺服信道分别包括 ADC 154a、154b、内插器 156a、156b、以及检测器 158a、158b。读取信道 150 还包括多个数据信道 160a...160n，其中每个读取信道分别包括 ADC 162a...162n、内插器 164a...164n、以及自适应均衡器 166a...166n。单独的振荡器（OSC）将时钟信号供应到 ADC 154a、154b、162a...162n。在图 5 的实施例中，定时恢复功能 170 位于伺服信道 152a 和 152b 的外部。定时恢复功能 170 组合来自两个伺服信道 152a 和 152b 的定时差错，然后以上述的方式计算定时校正瞬时_{-n}。定时恢复功能 170 将定时校正供应到数据信道内插器 164a...164n 和伺服信道内插器 156a 和 156b。

图 6 提供了示于图 5 中的数据/伺服读取信道 150 的进一步细节。来自伺服信道内插器 156a 和 156b 的定时差错 170a、170b 供应到组合单元 172 内，

该组合单元将来自不同伺服信道的定时差错 170a 和 170b 加权，以生成组合的定时差错 174。组合单元 172 可以分派更大的权重给来自两个内插器 156a 和 156b 之一的定时差错，该两个内插器 156a 和 156b 之一提供具有更好的信噪比或者差错或最少量的衰减的内插信号。组合定时差错 174 然后提供到乘法器 176 和 178，该乘法器 176 和 178 分别将定时差错乘以 α 和 β 。乘法器 176 处进行乘法的结果供应给积分器 180，并且积分器 180 的输出由加法器 182 加到乘法器 178 处的乘法结果以产生定时校正瞬时 $-n$ 184。乘法器 176、178、积分器 180 以及加法器 182 包括二阶的环路滤波器。计算的定时校正瞬时 $-n$ 184 提供到内插间隔计算电路 186。定时间隔 T 在电路 186 计算，使得 $T_{i,n} = T_{i,0} + -n$ ，其中 $T_{i,0}$ 代表额定的内插间隔，而 $T_{i,n}$ 是在连续的样本实例 n 和 $n+1$ 之间的实际间隔，其中内插的信号样本由内插器 156a 和 156b 生成。内插时间计算 188 电路指示提供到内插器 156a 和 156b 以用来将输入的信号样本的序列从异步转换到同步域的、ADC 样本间隔 $(k_{n+1} - k_n) / 190$ 的整数间隔和分数间隔 ($0 \leq i_{n+1} < 1$)。

可以实现组合单元 172、二阶的环路滤波器（即组件 176、178、180 和 182）的定时恢复功能 170、电路 186、以及内插器时间计算单元 188 可以提供定时校正瞬时 $-n$ 184 到数据信道内插器 164a...164n，以用来计算用于内插使用的整数和分数间隔，或者替代地，定时恢复功能 170 可以提供计算的整数 190 和分数 192 间隔到数据信道内插器 164a...164n。

图 7 说明读取信道 200 的另外的实施例，其中图 6 的读取信道修改成包括多输入、多输出（MIMO）数字信号处理器和检测器。读取信道 200 组件 202a、202b、204a、204b、206a、206b、208a、208b、210a..210n、212a..212n、214a..214n、216a..216n、218、以及 220 分别与关于图 5 所述的读取信道 150 组件 152a、152b、154a、154b、156a、156b、158a、158b、160a..160n、162a..162n、164a..164n、166a..166n、168、以及 170 相同。此外，定时恢复功能 200 可实现关于图 6 所述的定时恢复组件。读取信道 200 另外包括 MIMO 系统 222，该 MIMO 系统接收来自自适应均衡器 216a..216n 的输出，以在一起处理所有的均衡器输出信号，以生成 MIMO 系统 222 提供到内插器 214a..214n 和自适应均衡器 216a..216n 的反馈，以特别在存在磁道间干扰的情况下改进系统性能。对干扰信号的跨均衡（cross-equalization）和消除提供 MIMO 反馈，以改进自适应的跨信道，并改进内插的质量。到数据信道内插器 214a..214n 的

MIMO 反馈改进了使用定时校正瞬时生成信号的质量。

图 8 说明由在上述读取信道中的组件执行、以获得并使用定时信息的操作。在处理从存储介质读取的信号的初始化操作（在块 300）时，将时钟信号提供到每个数据信道和伺服信道（在块 302）。处理来自伺服信道中的内插器的定时差错（在块 304），以计算由内插器内插伺服信道信号使用的内插定时信息。可以使用定时差错（在块 306）以计算定时校正以调整在由内插器生成的两个样本之间的内插间隔。使用新的内插瞬时以确定由内插器内插伺服信道信号使用的系数。将内插定时信息通信到至少一个数据信道中的内插器（在块 308）。使用内插定时信息以内插异步的数据信道信号（在块 310），其中异步的数据信道信号被内插成同步信号。

所述的实施例提供从供应给多个数据信道的一个或更多的伺服信道信号获得定时信息的技术。数据信道信号使用来自一个或更多的伺服信道的定时信息数字地内插以生成同步的样本序列。所述的实施例还可以提供自适应均衡和定时恢复的去耦合。

在图 1-7 中所述的读取信道 32、50、100、150 和 200 的上述组件可以包括离散逻辑、ASIC（专用集成电路）、FPGA（场可编程门阵列）、定制处理器等等。

读取信道实施例的所述组件和关于图 2-7 所述的读取信道组件的操作可以替代地以程序中的子例程或者由处理器执行的其它软件实现来实现。实现关于图 2-7 所述的读取信道组件的操作的这些程序可以以计算机可读介质实现：如磁存储介质（例如硬盘驱动器、软盘、磁带等等）、光存储（CD-ROM、DVD 和光盘等等）、易失性和非易失性存储器设备（例如 EEPROM、ROM、RAM、DRAM、SRAM、闪速存储器、固件、可编程逻辑等等）等等。实现所述操作的编码还可以以硬件逻辑（例如集成电路芯片、可编程门阵列（PGA）、专用集成电路（ASIC）等等）实现。

图 1-7 中示出的作为分离组件的各组件可以实现在单独的电路设备中，或者一个说明的组件的功能可以实现在分离的电路设备中。此外，关于某些组件所描述的操作，如定时恢复，可以由在延伸到特定的定时恢复电路外部的读取信道中的其它组件来执行。

本领域的技术人员将理解，关于此处说明的各组件可以进行改变。而且本领域的技术人员将理解，可以采用除此处说明的之外的不同的特定组件安

排。

本发明的各种实施例的以上描述已经为说明和描述的目的进行了阐述。其意图不是要穷尽或者限制本发明所公开的精确形式。关于上述教导许多修改和变化是可能的。

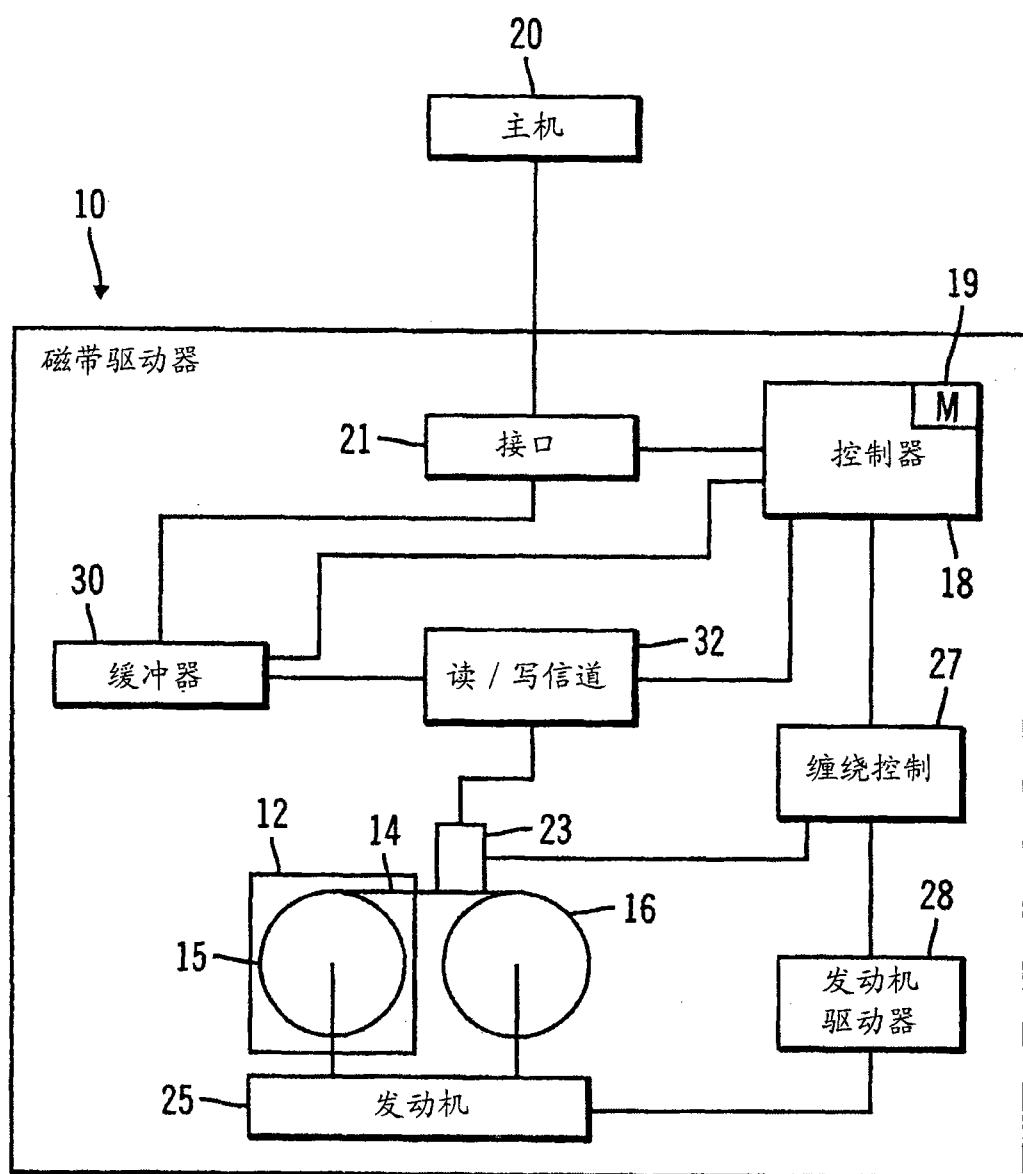


图 1

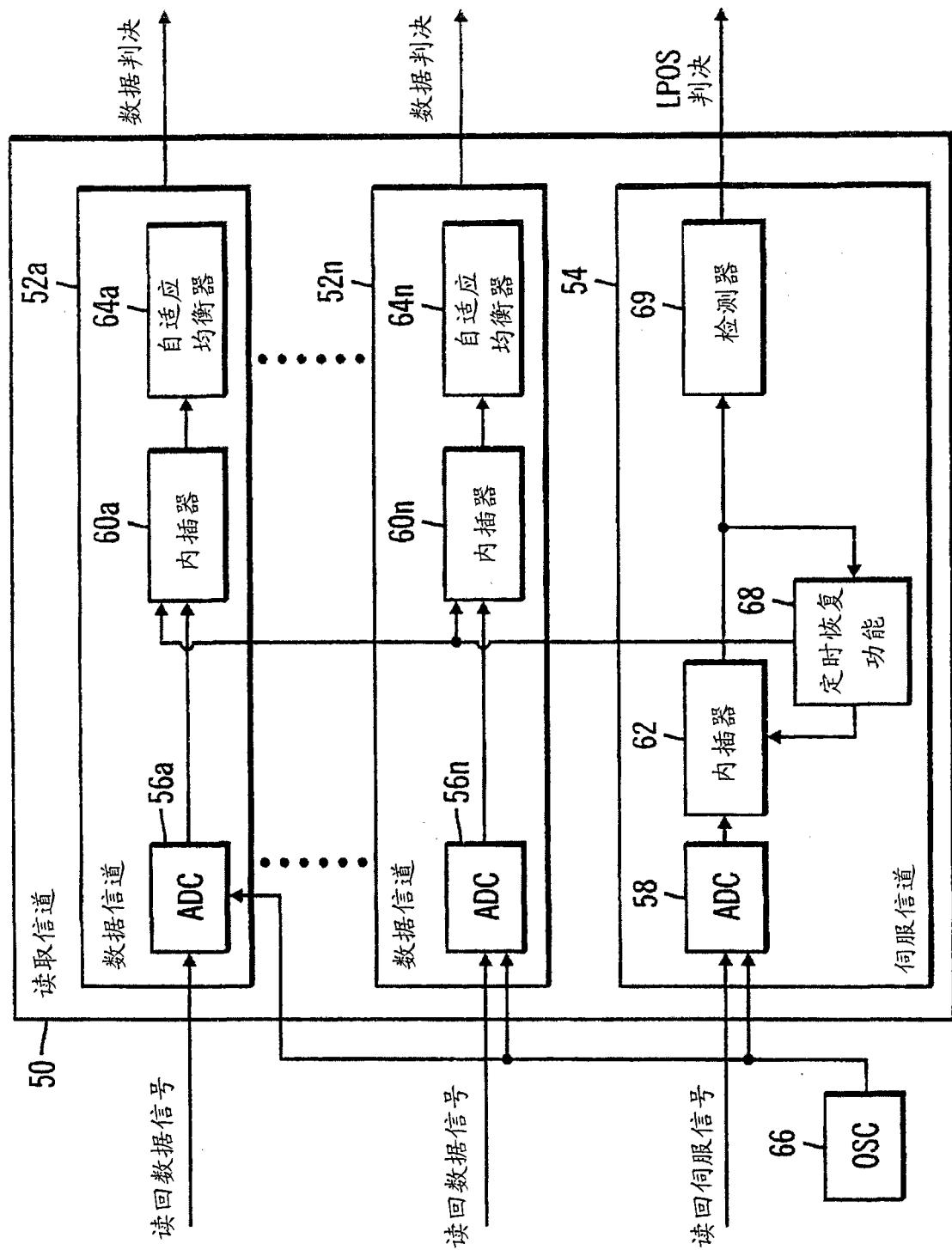
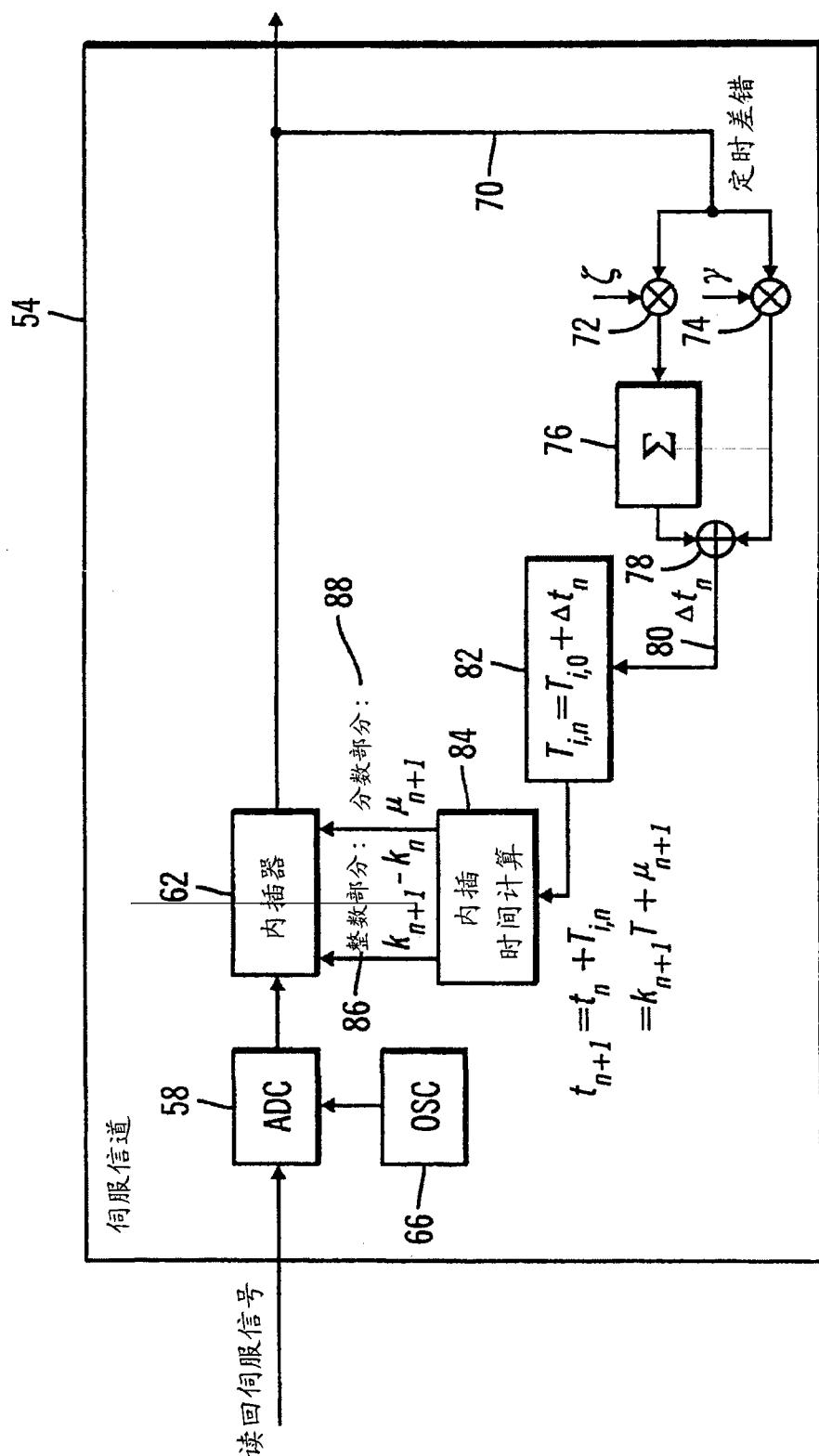


图 2



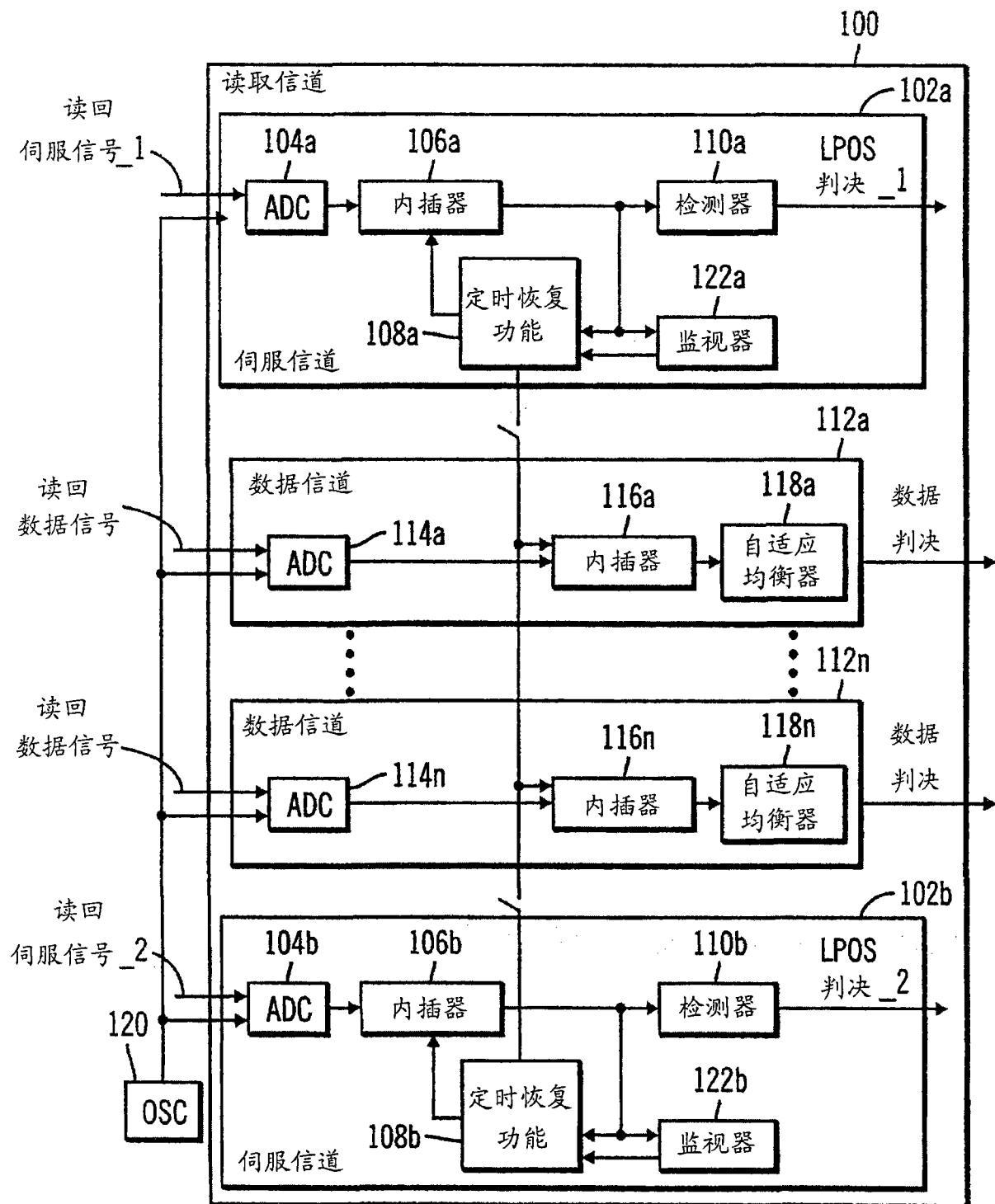


图 4

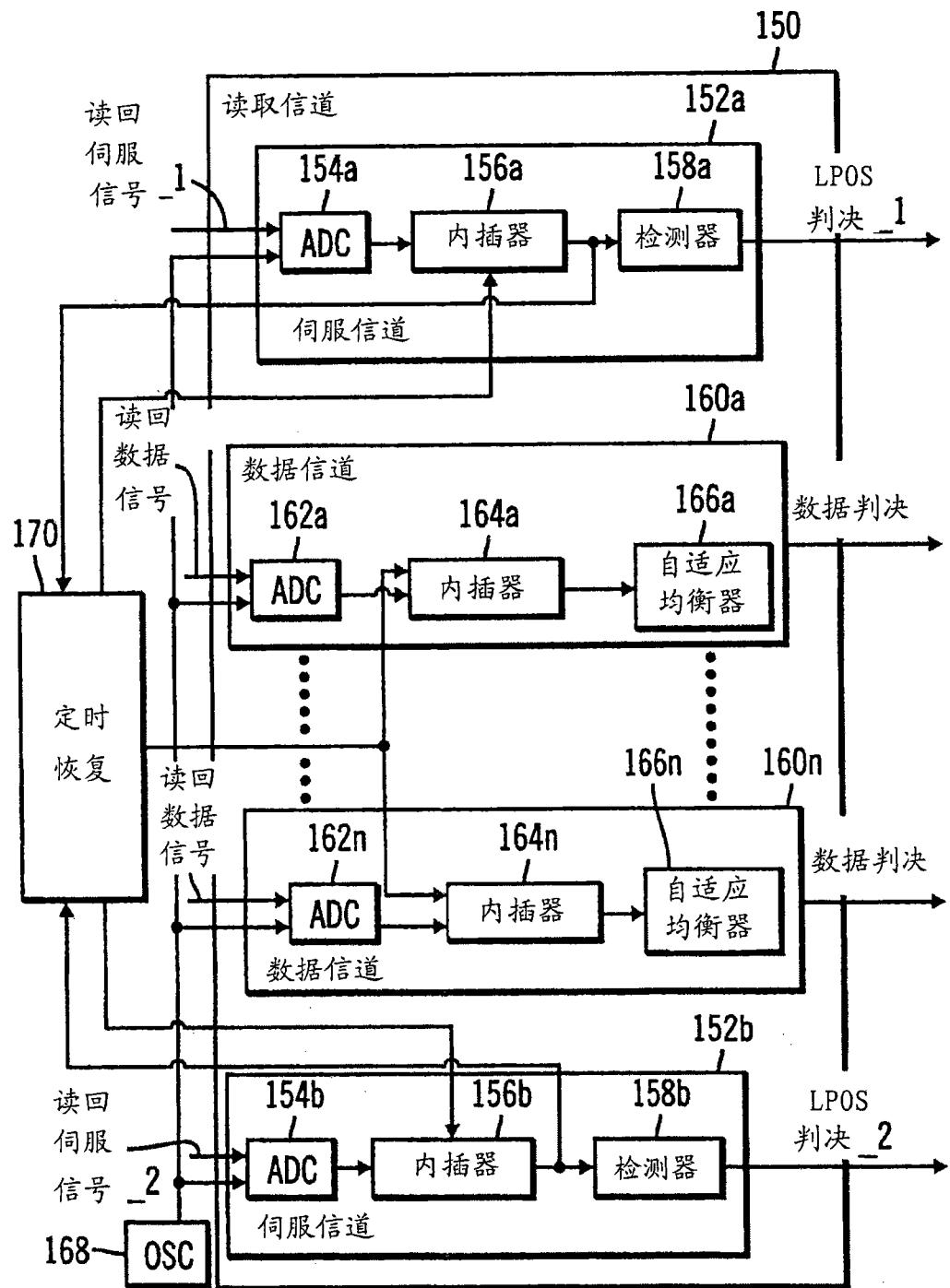


图 5

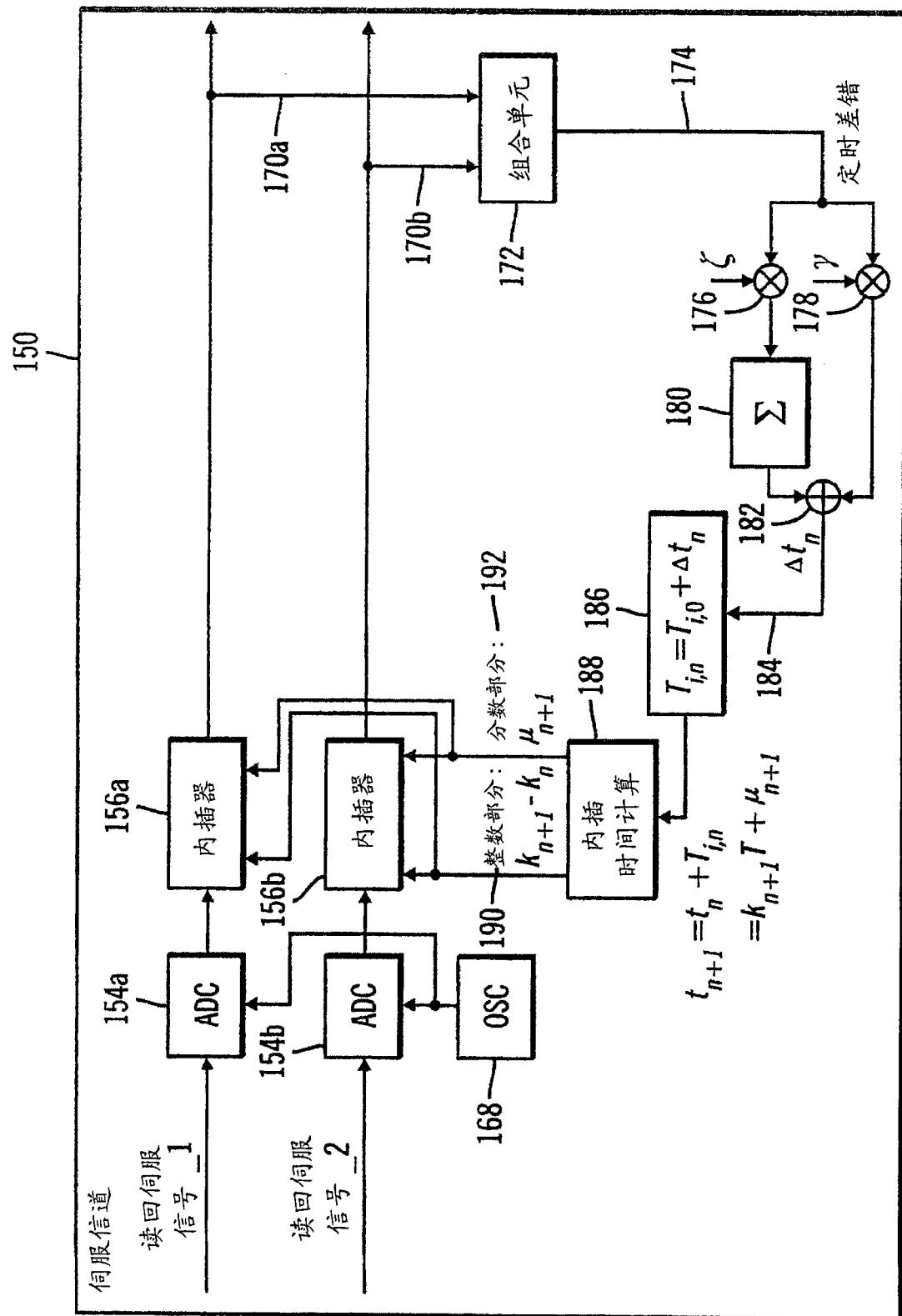


图 6

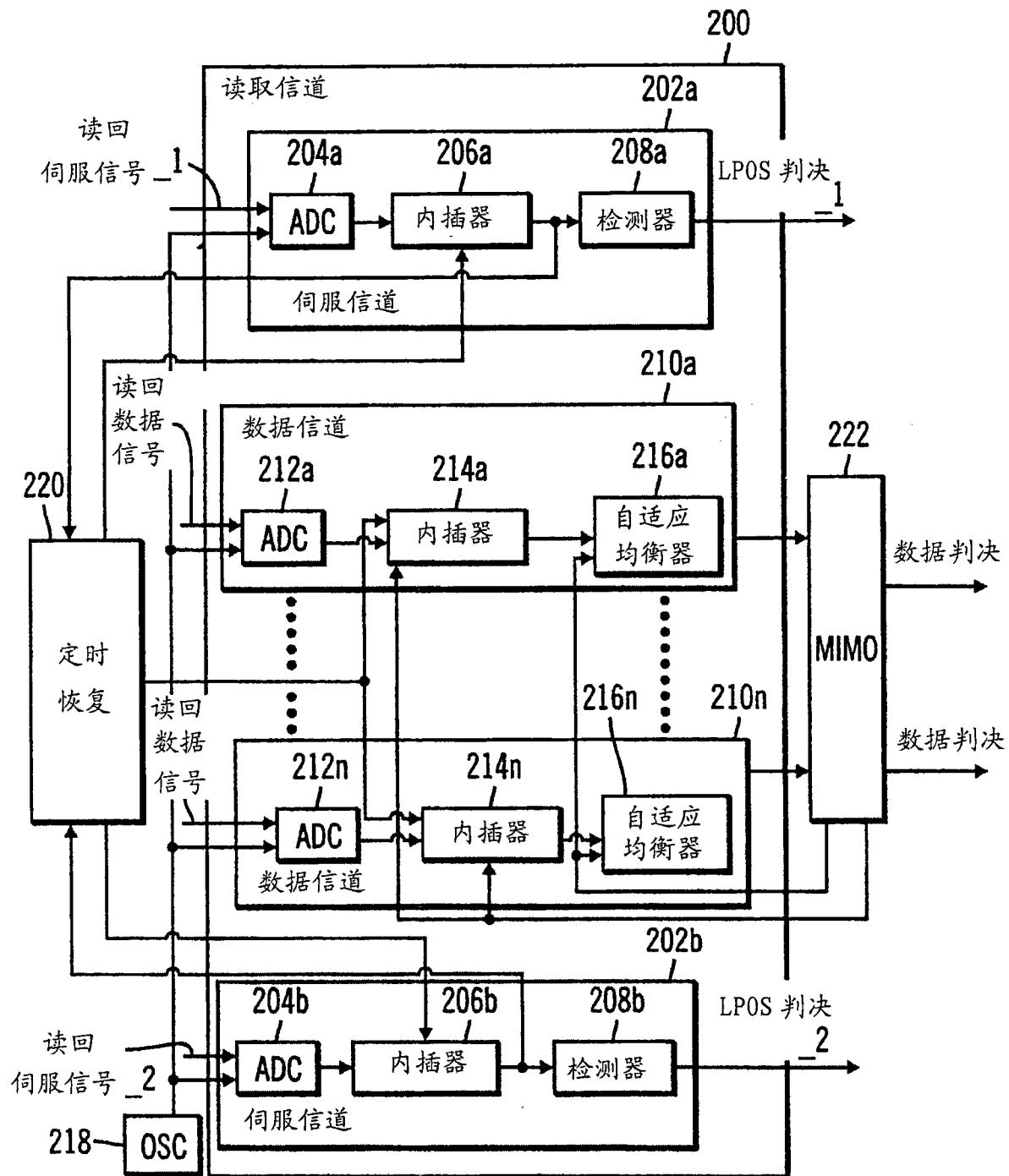


图 7

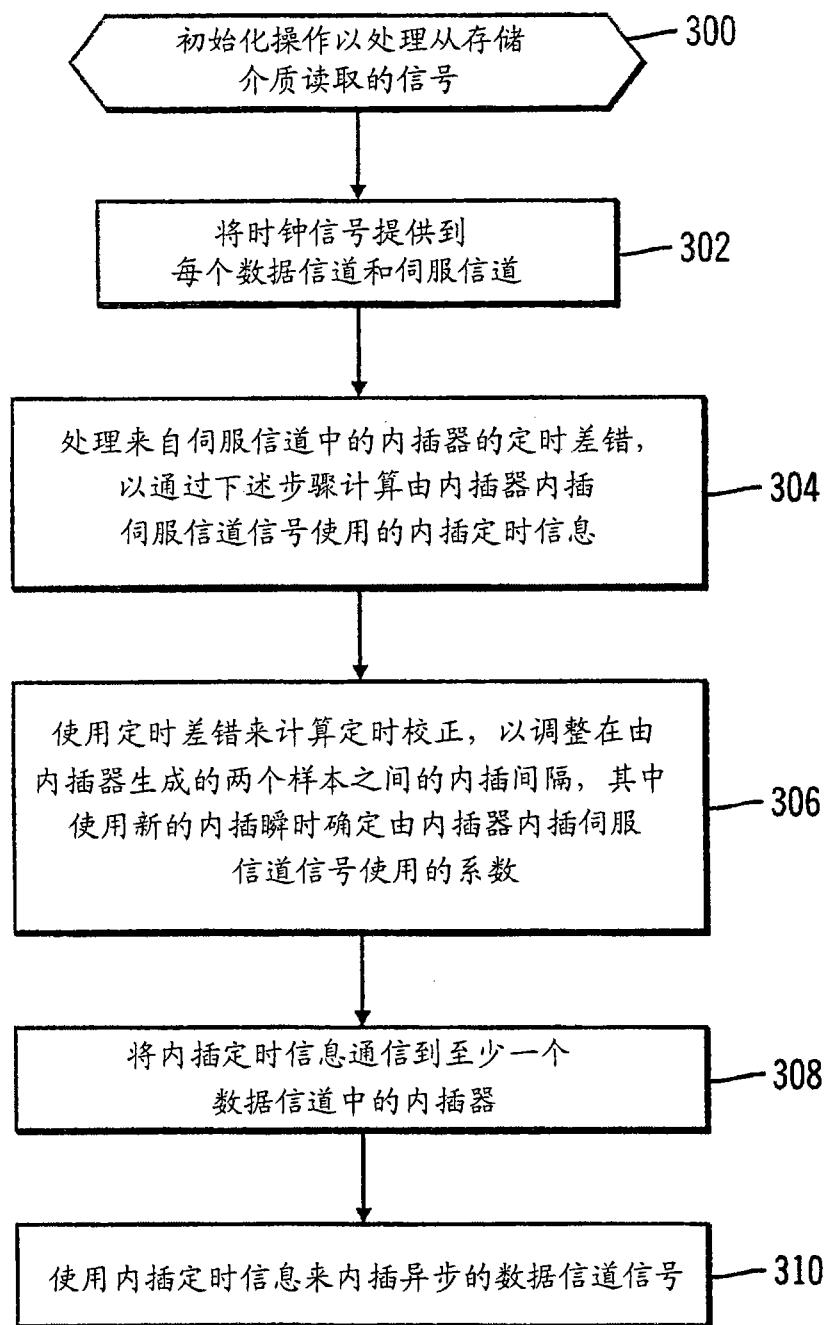


图 8