



(12) 发明专利

(10) 授权公告号 CN 101159532 B

(45) 授权公告日 2012. 03. 21

(21) 申请号 200710161599. 7

(22) 申请日 2007. 09. 29

(30) 优先权数据

2006-271764 2006. 10. 03 JP

(73) 专利权人 日本电气株式会社

地址 日本东京都

(72) 发明人 足立贵宏

(74) 专利代理机构 北京东方亿思知识产权代理

有限责任公司 11258

代理人 王怡

(51) Int. Cl.

H04L 7/00 (2006. 01)

H04B 7/00 (2006. 01)

(56) 对比文件

US 7093151 B1, 2006. 08. 15, 说明书第 2 栏第 23 行至第 3 栏第 6 行、附图 1.

CN 1208298 A, 1999. 02. 17, 全文.

CN 1238085 A, 1999. 12. 08, 全文.

US 5018166, 1991. 05. 21, 说明书第 8 页第 3

行至最后一行, 第 10 栏第 27 行至第 11 栏第 5 行、附图 1-2, 5A 和 5B.

US 7093151 B1, 2006. 08. 15, 说明书第 2 栏第 23 行至第 3 栏第 6 行、附图 1.

EP 0609095 A1, 1994. 08. 03, 全文.

审查员 彭亮

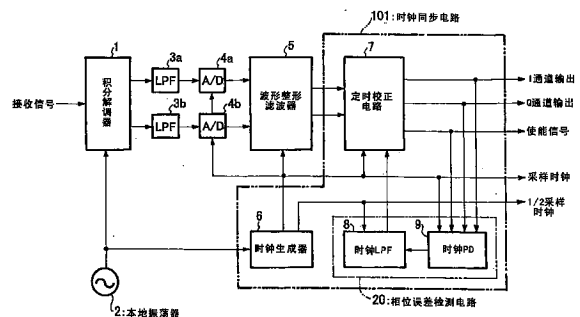
权利要求书 1 页 说明书 6 页 附图 7 页

(54) 发明名称

时钟同步电路

(57) 摘要

一种时钟同步电路包括时钟生成电路、相位误差检测电路和定时校正电路, 所述时钟生成电路从本地振荡器的输出中生成用于对接收信号进行采样的采样时钟; 所述相位误差检测电路寻找采样时钟的采样定时和理想采样定时之间的相位误差; 所述定时校正电路寻找校正量来校正采样时钟的频率和理想采样定时的频率之间的频率误差以及采样时钟的每个采样定时的相位误差, 并输出根据找到的校正量内插的采样值。



1. 一种时钟同步电路,包括:

时钟生成电路,所述时钟生成电路从本地振荡器的输出中生成用于对无线通信的接收信号进行采样的采样时钟;

相位误差检测电路,所述相位误差检测电路寻找所述采样时钟的采样定时和理想采样定时之间的相位误差;以及

定时校正电路,所述定时校正电路寻找校正量来校正所述采样时钟的频率和所述理想采样定时的频率之间的频率误差以及所述采样时钟的每个采样定时的相位误差,并输出根据找到的校正量内插的采样值,其中所述定时校正电路包括:

存储单元,所述存储单元预先保留分别与所述校正量相关联的抽头系数;

控制电路,所述控制电路寻找所述校正量并选择与所述校正量相关联的抽头系数;以及

滤波器电路,所述滤波器电路通过对所述选择的抽头系数和在所述采样时钟的采样定时处获得的采样值执行卷积操作,来寻找所述内插的采样值,

其中当所述找到的校正量大于所述采样时钟的周期时,所述控制电路输出用于无效根据所述校正量内插的采样值的使能信号。

2. 如权利要求 1 所述的时钟同步电路,其中所述时钟生成电路包括:

计数器电路,所述计数器电路利用具有基于所述本地振荡器的振荡频率的周期对所述本地振荡器的输出脉冲进行计数;以及

比较电路,所述比较电路将和所述周期相关联的阈值与所述计数器电路中的计数值进行比较,并输出表示所述比较的结果的二值信息。

3. 如权利要求 2 所述的时钟同步电路,其中所述时钟生成电路还包括将从所述比较电路提供的所述采样时钟的频率分成一半的频率分割电路。

4. 如权利要求 2 所述的时钟同步电路,其中所述时钟生成电路还包括加法电路,所述加法电路将所述计数器电路的输出和所述相位误差检测电路找到的相位误差相加,并将所述相加的结果输入到所述比较电路。

5. 一种定时校正电路,包括:

寻找校正量并且输出根据找到的校正量内插的采样值的电路,所述校正量是校正在采样时钟的每个采样定时处采样时钟的采样定时和理想采样定时之间的相位误差以及所述采样时钟的频率和所述理想采样的频率之间的频率误差所必需的,所述采样时钟用于对无线通信中的接收信号进行采样,其中所述定时校正电路包括:

存储单元,所述存储单元预先保留分别与所述校正量相关联的抽头系数;

控制电路,所述控制电路寻找所述校正量并选择与所述校正量相关联的抽头系数;以及

滤波器电路,所述滤波器电路通过对所述选择的抽头系数和在所述采样时钟的采样定时处获得的采样值执行卷积操作,来寻找所述内插的采样值,

其中当所述找到的校正量大于所述采样时钟的周期时,所述控制电路输出用于无效根据所述校正量内插的采样值的使能信号。

时钟同步电路

技术领域

[0001] 本发明涉及数字无线通信系统中用于接收处理的时钟同步电路。

背景技术

[0002] 数字无线通信系统中,时钟同步电路用来从接收信号本身检测用于决定接收信号的采样定时的信息。通常,传统的时钟同步电路由包括模拟电路和数字电路的混合体的电路形成。例如,传统的时钟同步电路具有如下配置,其中差错检测和采样定时的平均由数字电路进行,其结果通过数模转换(D/A)提供到压控振荡器(VCO)来调整(rationalize)采样定时。具有这种配置的系统例如在日本专利申请早期公开(JP-A)2000-349745和JP-A 2000-049882中有所描述。

发明内容

[0003] 但是,传统的时钟同步电路由于需要诸如压控振荡器之类的模拟组件和数模转换器,因此具有难以压低产品成本的问题。另外,也存在这样的担心,即由于包含模拟组件,环境温度的变化引起的组件特性的变化会改变捕获范围(capture range)。

[0004] 鉴于该问题,做出本发明。本发明的目标是提供用于在仅由数字电路形成的解调电路中形成时钟同步电路的技术。

[0005] 根据本发明的时钟同步电路包括时钟生成电路、相位误差检测电路和定时校正电路,时钟生成电路从本地振荡器的输出中生成用于对无线通信的接收信号进行采样的采样时钟,相位误差检测电路寻找采样时钟的采样定时和理想采样定时之间的相位误差,定时校正电路寻找校正量来校正采样时钟的频率和理想采样定时的频率之间的频率误差以及采样时钟的每个采样定时的相位误差,并输出根据找到的校正量内插的采样值,其中所述定时校正电路包括:存储单元,所述存储单元预先保留分别与所述校正量相关联的抽头系数;控制电路,所述控制电路寻找所述校正量并选择与所述校正量相关联的抽头系数;以及滤波器电路,所述滤波器电路通过对所述选择的抽头系数和在所述采样时钟的采样定时处获得的采样值执行卷积操作,来寻找所述内插的采样值,其中当所述找到的校正量大于所述采样时钟的周期时,所述控制电路输出用于无效根据所述校正量内插的采样值的使能信号。

[0006] 根据本发明,诸如压控振荡器之类的模拟组件和D/A转换器在用于处理无线通信的接收信号的时钟同步电路中不再需要。结果,可以期待大幅度的成本降低。另外,由于时钟同步电路仅由数字电路形成,因此可以实现不随时间或温度变化而改变的稳定时钟同步。

附图说明

[0007] 图1是示出根据本发明第一实施例的配置的框图;

[0008] 图2是第一实施例中的时钟生成器的框图;

- [0009] 图 3 是第一实施例中的定时校正电路的框图；
- [0010] 图 4 是用于说明第一实施例中的采样定时误差的图；
- [0011] 图 5 是用于说明第一实施例中的定时校正电路的处理的图；
- [0012] 图 6 是示出根据本发明第二实施例的配置的框图；以及
- [0013] 图 7 是第二实施例中的时钟生成器的框图。

具体实施方式

[0014] 图 1 示出根据本发明的实施例的配置。本实施例为如下示例，其中根据本发明的时钟同步电路 101 被应用到数字无线通信系统中的基带采样准同步 (quasi-synchronization) 检测方案的解调电路。

[0015] 时钟同步电路 101 包括生成采样时钟信号来对接收信号进行采样的时钟生成器 6、生成后面将要描述的关于采样时钟的相位误差信息的相位误差检测电路 20、以及根据校正的采样时钟来输出采样值的定时校正电路 7，所述校正根据从时钟生成器 6 提供的采样时钟和从相位误差检测电路 20 提供的相位误差信息来进行的。所有这些电路 (6、7 和 20) 都由数字电路形成。

[0016] 相位误差检测电路 20 包括检测采样时钟的相位误差的时钟 PD (相位检测器) 9 和充当环路滤波器 (loop filter) 的时钟 LPF 8，所述环路滤波器用于通过平均检测到的相位误差生成相位误差信息并将该相位误差信息提供到定时校正电路 7。

[0017] 图 1 中，输入的接收信号由积分解调器 (quadrature demodulator) 1 转换成基带信号，所述积分解调器 1 被提供以本地振荡器的输出。基带信号经过 LPF 3a 和 LPF 3b 中的频带限制处理，然后被 A/D 4a 和 A/D 4b 采样。采样的数据经波形整形滤波器 (waveform shaping filter) 5 输入到时钟同步电路 101 中的定时校正电路 7。

[0018] 时钟生成器 6 通过使用本地振荡器 2 的输出生成采样时钟。生成的采样时钟被提供到 A/D 4a、A/D 4b、波形整形滤波器 5、定时校正电路 7 以及时钟 PD 9。本地振荡器 2 的频率可在应用于一般解调电路的大约几十到几百兆赫兹的范围内。在本实施例中，假设时钟生成器 6 通过使用本地振荡器 2 的输出生成范围在几兆赫兹到几十兆赫兹的采样时钟。但是，这些数值只是示例，且本发明的应用范围不受该数值的限制。

[0019] 图 2 示出时钟生成器 6 的详细配置。计数器 11 对具有本地振荡器 2 的振荡频率 f_c 的输入时钟脉冲进行计数。此时，计数器 11 重复计数过程，同时每当计数值达到从频率设置单元 10 提供的预定计数值，就清除该计数值。比较器 12 将计数器 11 中的计数值与频率设置单元 10 提供的阈值进行比较。若计数值大于等于阈值，则比较器 12 输出二值信息信号“1”。若计数值小于阈值，则比较器 12 输出二值信息信号“0”。通过这种方式，时钟生成器 6 生成具有的频率至少为符号速率的两倍、并且是可实现的最小值的采样时钟。

[0020] 时钟生成器 6 通过使用除法器 13 将采样时钟的频率分成 1/2，生成在频率上为采样时钟一半，即，频率上基本与符号速率相等的时钟。该时钟被提供到时钟 LPF 8。

[0021] 图 3 示出定时校正电路 7 的详细配置。控制单元 16 基于从时钟 LPF 8 提供的关于采样定时的相位误差的相位误差信息以及原始应用的采样速率与从时钟生成器 6 提供的实际采样速率之间的差别来寻找所需要的校正量。事先与各种假定的校正量相关的抽头系数 (tap coefficient) 被存储于抽头系数 ROM 15 中。控制单元 16 选择与所计算的校正

量相关的抽头系数,并将该抽头系数提供到 FIR 滤波器 14。

[0022] FIR 滤波器 14 使用所提供的抽头系数寻找在相位误差和频率误差上进行了校正的采样定时处的采样值,并输出该采样值。为了避免所述校正连续从 FIR 滤波器 14 输出同样的符号,控制单元 16 输出后面将要描述的使能信号。

[0023] 时钟 PD 9 从定时校正电路 7 输出的数据中检测采样定时的相位误差,并将该相位误差提供到时钟 LPF 8。时钟 LPF 8 将通过平均从时钟 PD9 提供的误差信号而得到的相位误差信息提供到定时校正电路 7。

[0024] 顺便说一下,积分解调器 1、波形整形滤波器 5、时钟 LPF 8 和时钟 PD 9 为本领域技术人员所公知,因此省略了对它们的详细描述。

[0025] 现在描述本实施例的操作方式。输入积分解调器 1 的接收信号被转换成 I 通道和 Q 通道基带信号。然后,不必要的高频分量被 LPF 3a 和 LPF3b 去除。产生的信号被 A/D 4a 和 A/D 4b 转换成数字信号。从 A/D 4a 和 A/D 4b 输出的数字信号输入到波形整形滤波器 5。这段时间内,时钟生成器 6 接受本地振荡器 2 的输出用于解调,作为计数器 11 的操作时钟。并且时钟生成器 6 生成具有的频率至少为符号速率的两倍、并且是可实现的最小值的采样时钟,以及通过将该频率分成 1/2 而获得的时钟。

[0026] 时钟生成器 6 生成如下所述的采样时钟。因为接收信号的符号速率 f_{sym} 和本地振荡器 2 的振荡频率 f_c 已知,所以通过使用下式 (1) 可以找到用于生成采样时钟的计数器 11 的周期 N

$$[0027] \quad N = \text{int}[f_c / (2xf_{sym})] \quad (1)$$

[0028] 此处, $\text{int}[a]$ 表示等于“a”的整数或小于“a”的最大整数。通过使用包含从式 (1) 得到的周期 N 的下式 (2),找到比较器 12 的阈值 M 。

$$[0029] \quad M = \text{int}[N/2] \quad (2)$$

[0030] 时钟生成器 6 中,计数器 11 基于周期 N 重复范围从“0”到“ $N-1$ ”的计数。这段时间内,当计数值小于阈值 M 时,比较器 12 输出“0”;当计数值至少为阈值 M 时,输出“1”。结果,比较器 12 生成具有的频率至少为原始采样频率的两倍、并且是可实现的最小值的时钟。此处,原始采样频率指当前无线通信中规定的采样频率,且它为已知值。

[0031] 另外,时钟生成器 6 通过使用除法器 13 分割采样时钟的频率,生成具有的频率为采样时钟频率的一半的时钟。顺便说一下,若周期 N 为奇数,则采样时钟的占空比 (duty) 不为 50%。然而,由于通常仅使用上升沿 (edge) 或下降沿,因此周期 N 理应为奇数。

[0032] 通过这种方式,时钟生成器 6 使用本地振荡器 2 的输出来生成采样时钟。如上所述,本地振荡器 2 的振荡频率最多为采样时钟频率的大约几十倍。例如,若振荡频率大于采样时钟频率的一百倍,则容易实现理想采样时钟,使用该理想采样时钟,接收信号可被高精度采样。但是,理想的振荡频率相当低。因此,与理想的采样定时相比,基于时钟生成器 6 的采样时钟进行的采样定时会引起误差。因此,该误差被定时校正电路 7 校正。

[0033] 现在参考图 4 描述定时校正电路 7 的操作。图 4 中,(a) 中的序列 x_n 表示基于时钟生成器 6 输出的实际采样时钟的采样值。(b) 中的序列 y_n 表示原始的采样值,即,上述理想采样定时处的采样值。每个采样定时的时刻 t 使用“ T_s ”表示。实际采样序列 (a) 中的采样周期为 T_s 。

[0034] 图 4 所示的序列 (a) 和 (b) 是实际采样频率与原始采样频率之比为“4 : 5”的情

况下的序列。实际采样频率与原始采样频率是已知的。定时校正电路 7 中的控制单元 16 事先从这些已知值中得到诸如“4 : 5”的比例。

[0035] 现在假设实际采样定时与原始采样定时重合的时间点为“ $t = 0$ ”。如图 4(a) 所示, 实际采样定时中的下一定时为“ $t = T_s$ ”, 再下一定时为“ $t = 2T_s$ ”。另一方面, 如图 4(b) 所示, 与实际的“ $t = T_s$ ”相比, 原始采样定时“ $t = 0$ ”的后续定时表示为“ $t = T_s + \epsilon$ ”。另外, 与实际的“ $t = 2T_s$ ”相比, 再下一个定时表示为“ $t = 2T_s + 2\epsilon$ ”。

[0036] 与实际采样定时“ $t = 4T_s$ ”相比, 原始采样定时变为“ $t = 4T_s + 4\epsilon$ ”。原始采样定时“ $t = 4T_s + 4\epsilon$ ”与实际采样定时“ $t = 5T_s$ ”重合。这基于本例中频率误差为“4 : 5”的事实。此时的误差“ 4ϵ ”与采样间隔“ T_s ”相等。

[0037] 图 4 所示的示例指示这样的频率误差状态: 其中实际采样定时与原始采样定时之间的差别每个时钟精确增加 ϵ 。但实际上, 本地振荡器 2 的输出误差也在采样时钟中引起相位误差。相位误差由相位误差检测电路 20 检测, 并作为上述相位误差信息提供到定时校正电路 7。

[0038] 定时校正电路 7 中的控制单元 16 通过利用所提供的相位误差得到频率误差来逐一寻找每个采样定时所需要的校正量。若找到的校正量变得大于定时周期, 则在该时间内使用校正量找到的采样值被无效 (invalidate)。无效控制将在后面描述。在应用了无效的采样定时的后续采样定时, 取消无效并将校正量重置为“0”。

[0039] 另一方面, 图 5 所示的抽头系数序列事先存储于定时校正电路 7 的抽头系数 ROM 15 中。这些抽头系数通过将 sinc 函数或其他 LPF 特性中获得的脉冲响应中范围从“0”到“ T_s ”的值与校正量相关联来获得。如上所述, 校正量是由控制单元 16 利用采样时钟的频率误差和相位误差找到的值。

[0040] 采样值 $x_n (n = 0, 1, 2, \dots)$ 经 A/D 4a 和 4b 以及波形整形滤波器 5 输入定时校正电路 7 中的 FIR 滤波器 14。当待处理的采样值 x_n 被提供到 FIR 滤波器 14 时, 控制单元 16 从抽头系数 ROM 15 中读出与找到的用于 x_n 的校正量相关的抽头系数 $h_m (m: \text{抽头位置})$, 并将抽头系数 h_m 提供到 FIR 滤波器 14。

[0041] FIR 滤波器 14 对给定的抽头系数序列与待处理的 x_n 附近的采样值序列执行卷积 (convolution) 操作, 然后输出结果 y_n 。 y_n 是通过对实际采样定时组的内插操作得到的采样定时处的采样值, 并且实质上是控制单元 16 找到的含有校正量的采样值。

[0042] 在图 4 中, 实际采样定时与原始采样定时例如在“ $t = 0$ ”时彼此重合。因此, 用于采样值“ x_0 ”的校正量为“0”。此时, 控制单元 16 选择与图 5 中的 (1) 示出的校正量“0”相关的抽头系数序列 $h_m(0)$ 。然后如图 5 中的 (1) 所示, FIR 滤波器 14 通过对所选的抽头系数序列 $h_m(0)$ 和采样值“ x_0 ”附近的序列执行卷积操作, 找到“ $t = 0$ ”处的校正后 (post-correction) 采样值“ y_0 ”。

[0043] 从图 4 可见, 下一定时“ $t = T_s$ ”处误差为“ ϵ ”。这种情况下, 与校正量 ϵ 相关的抽头系数序列 $h_m(\epsilon)$ 如图 5 中的 (2) 所示被提供到 FIR 滤波器 14。结果, 对于待处理的采样值“ x_1 ”, 找到“ $t = T_s + \epsilon$ ”处的采样值“ y_1 ”。

[0044] 同样在随后的时间点, FIR 滤波器 14 对每个时钟 (T_s) 输入的采样值 x_n 附近的序列以及对应于校正量的抽头系数序列相继执行卷积操作, 如图 5 中的 (3) 到 (7) 所示。结果, 原始采样定时处的采样值 y_n 相继被找到。

[0045] 在图 4 中，“ $t = 4T_s$ ”处含有校正量“ 4ε ”的输出“ y_4 ”与紧接着的“ $t = 5T_s$ ”处校正量“0”的输出“ y_4 ”表示同一定时的两个值。但是，这些值被输出的事实意味着同一采样定时的两个采样值被连续输出。结果，不正确的解调数据被提供到后续阶段。

[0046] 当校正量如前面的例子“ $t = 4T_s$ ”中一样变得大于采样周期 (T_s) 时，控制单元 16 因此在后续电路中输出用于无效找到的含有校正量的采样值的使能信号。换言之，“ $t = 4T_s$ ”处的输出“ y_4 ”被表示该输出值无效的使能信号无效。

[0047] 另外，在下一定时“ $t = 5T_s$ ”处，为了取消对输出值的无效，控制单元 16 输出表示输出值有效的使能信号。此时，校正量被重置为“0”。结果，含有校正量“0”的输出“ y_4 ”在后续电路中被正确处理。由于该控制，可以避免同一采样定时的采样值在解调数据中重叠。

[0048] 若校正过的采样值作为处理结果被从定时校正电路 7 输出，则校正过的采样值被提供到后续电路和时钟 PD 9。收到上述无效使能信号后，定时校正电路 7 的后续电路无效输入数据并保持当前状态。因此，同样在后续电路中，实质上具有符号速率的数据被正确提供。

[0049] 时钟 PD 9 检测在采样定时中定时校正电路 7 的输出中留下的相位误差，并将该相位误差提供到时钟 LPF 8。作为检测相位误差的方法，可以使用例如称为零交叉 (zero cross) 方法的传统公知方法。该方法的细节公开于 JP-A 2000-349745。时钟 LPF 8 平均从时钟 PD 9 提供的相位误差并将平均后的相位误差作为相位误差信息提供到定时校正电路 7。

[0050] 通过重复此前描述的操作，定时校正电路 7 将理想采样定时处的值内插到由时钟生成器 6 生成的采样时钟的采样数据上，并将其输出到后续电路。后续电路通过诸如载波同步 (carrier synchronization) 和波形均衡 (waveform equalization) 之类的处理输出解调数据。

[0051] 根据本实施例，传统上通过使用模数混合电路来实现的时钟同步电路可通过仅使用数字电路来实现。结果，诸如压控振荡器之类的模拟组件和数模转换器不再需要。因此，可以期待大幅度的成本降低。另外，由于时钟同步电路仅由数字电路形成，因此可以实现不随时间或温度变化而改变的稳定时钟同步。

[0052] 图 6 示出根据本发明另一个实施例的配置。在根据本实施例的时钟同步电路 102 中，时钟 LPF 8 生成的相位误差信息被并列提供到定时校正电路 7 和时钟生成器 6'。

[0053] 图 7 示出本实施例中时钟生成器 6' 的配置。除了图 2 示出的配置外，时钟生成器 6' 包含加法器 17，该加法器将从时钟 LPF 8 提供的相位误差信息添加到计数器 11 的输出上。通过在计数器 11 和比较器 12 之间这样添加用于添加相位误差的配置，时钟频率可以根据相位误差的变化而变化。

[0054] 时钟频率可通过自适应地改变频率设置单元 10 设置的阈值 M 或计数器周期 N 来改变，而不是通过上述添加相位误差来改变。

[0055] 在实施例中，时钟 LPF 8 工作在符号速率，即通过在时钟生成器 6 中将频率分成 1/2 而生成的时钟。或者，时钟 LPF 8 可工作于采样时钟。对于如实施例中时钟 LPF 8 工作于符号速率的配置，电路规模和功率消耗可以保持在低水平。对于时钟 LPF 8 工作于采样时钟的其他实施例，时钟 LPF 8 的频率特性中的设置宽度可以得到加宽。

[0056] 在实施例中，根据本发明的时钟同步电路被应用到基带采样系统中的解调器。但

是,应用目标可以是 IF 采样系统中的解调器。

[0057] 尽管详细描述了本发明的实施例,但是应该理解在不脱离所附权利要求定义的本发明的精神和范围的前提下,可以对其做出各种修改、替代和变更。另外,发明者的意图是即使权利要求在申请期间被修改,也要保护所要求的本发明的所有等同物。

[0058] 相关申请的交叉引用

[0059] 本申请基于 2006 年 10 月 3 日提出的 2006-271764 号日本专利申请并要求其优先权,其公开内容通过引用方式全部结合于此。

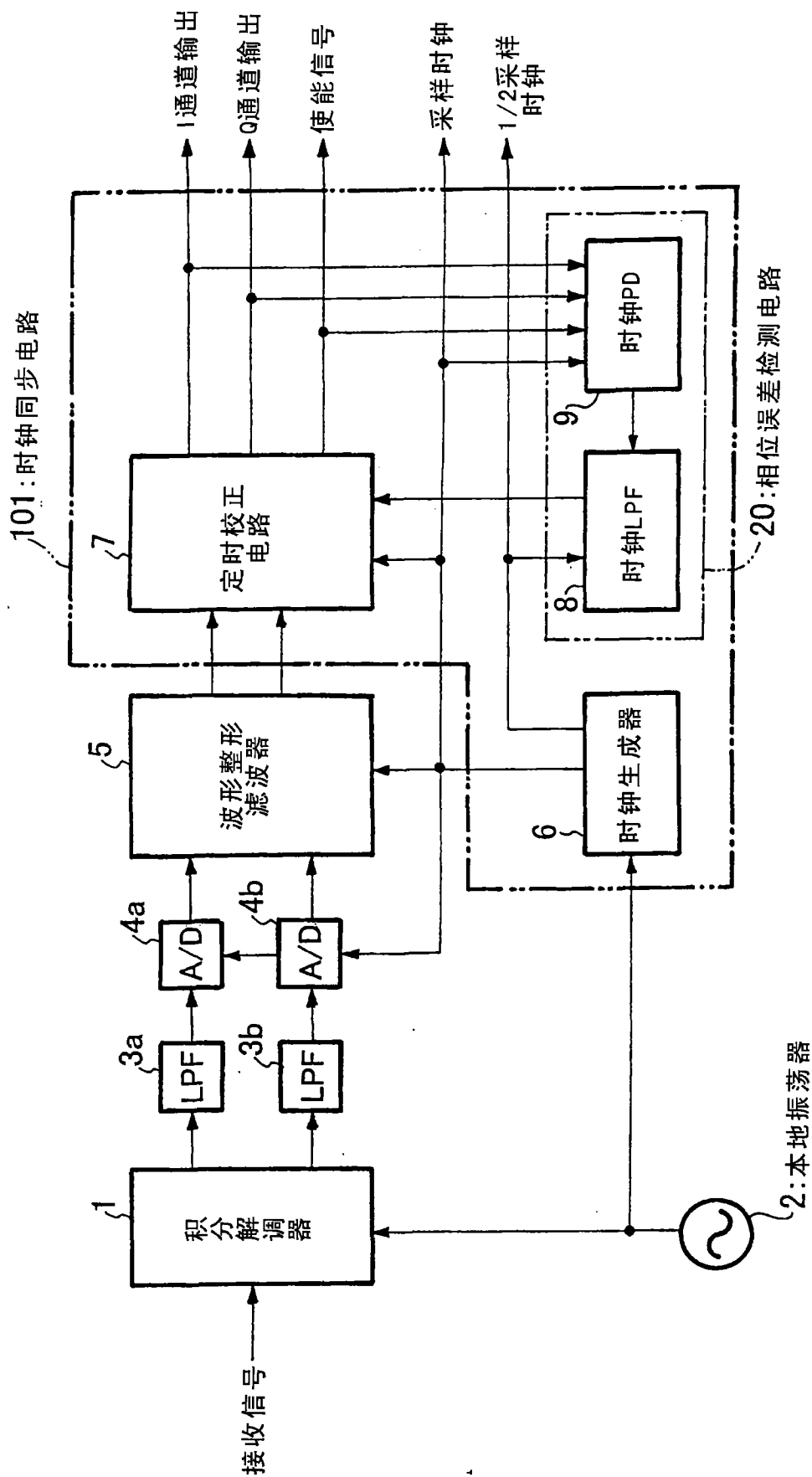


图1

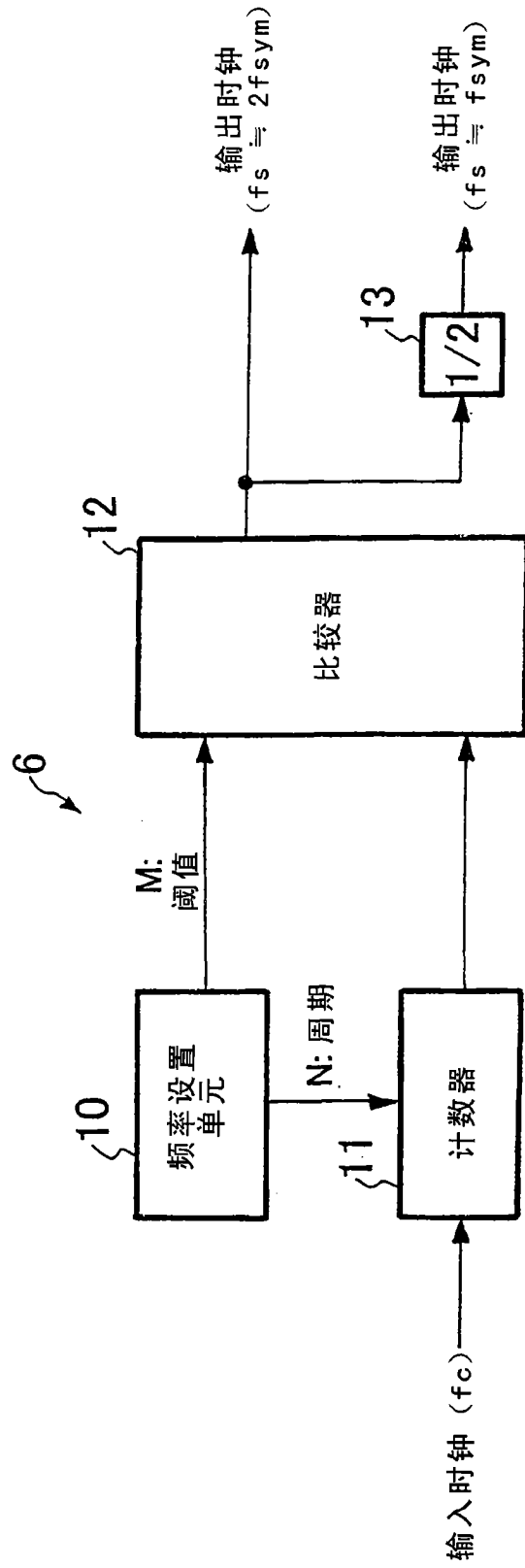


图2

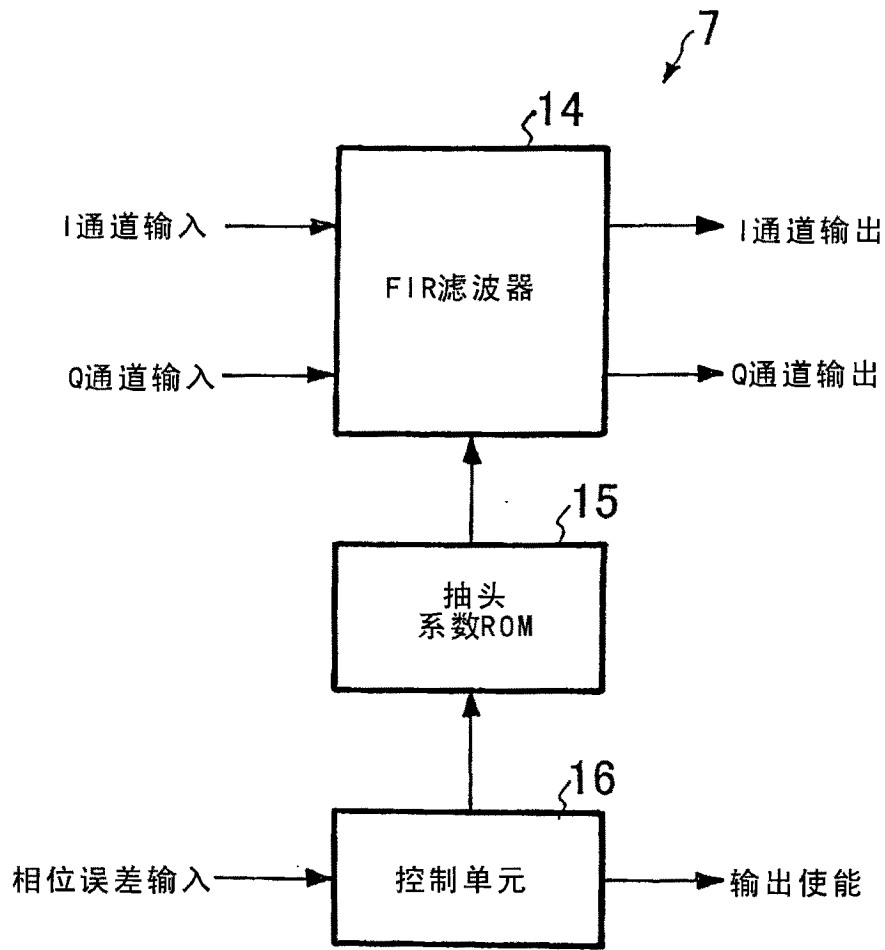


图3

图4A

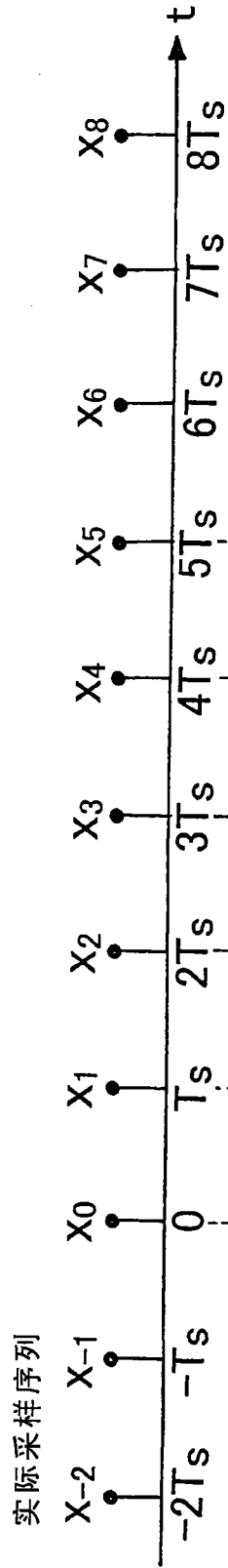
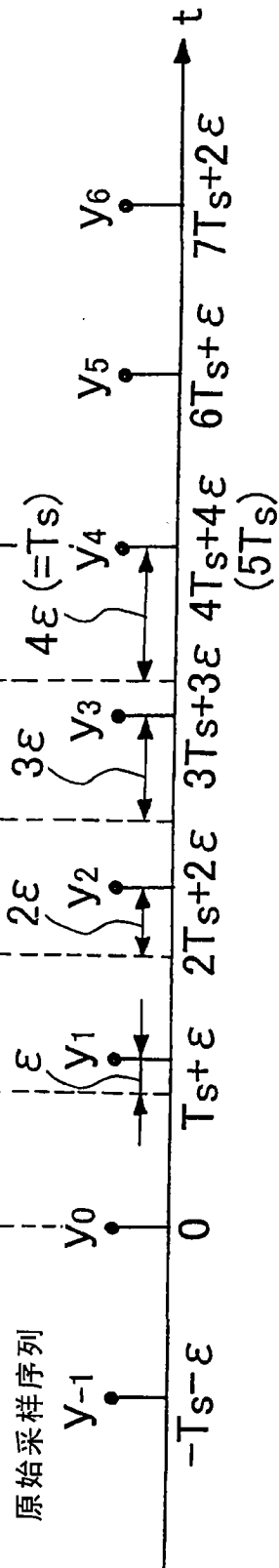


图4B



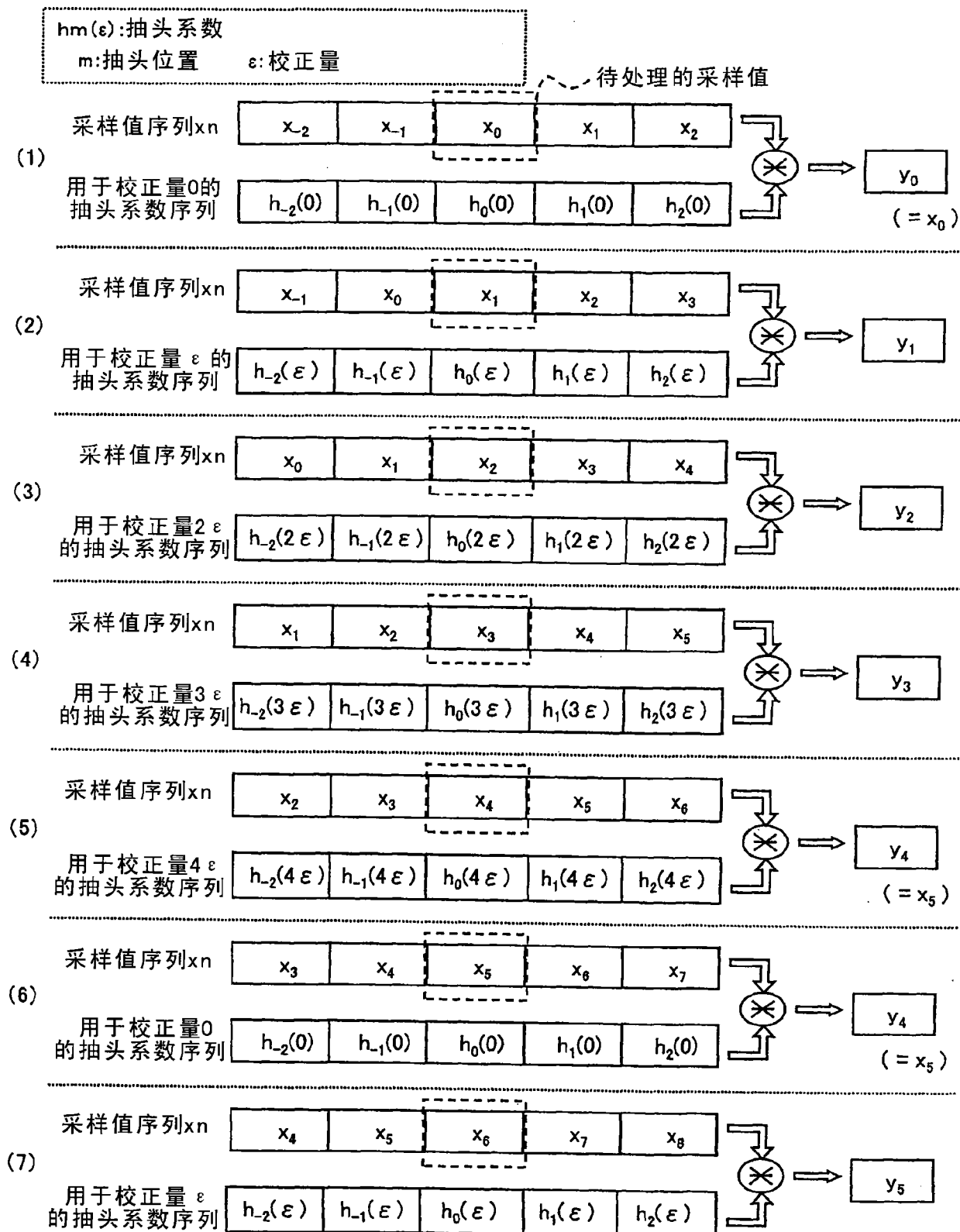


图5

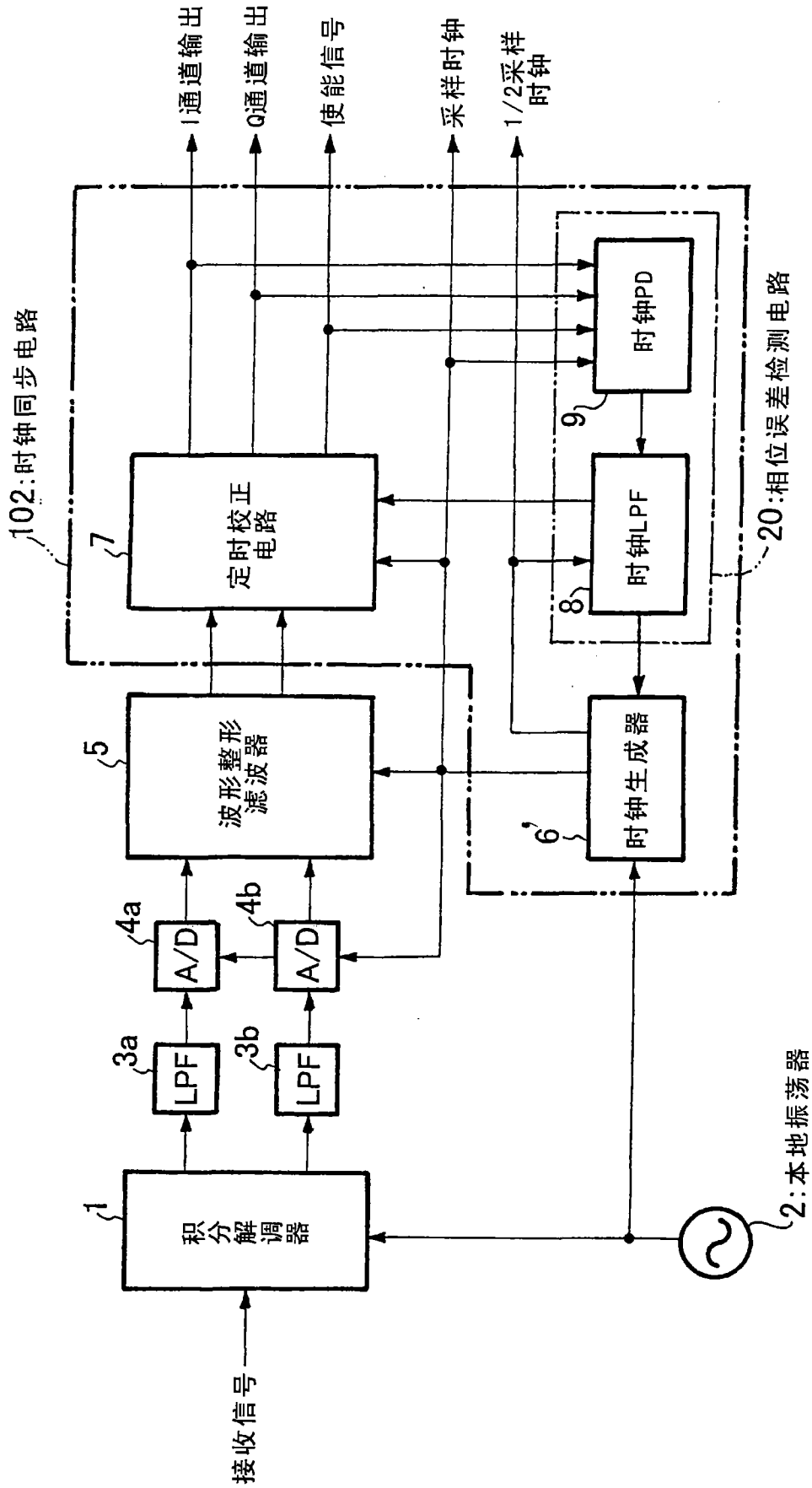


图6

