



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I416462 B

(45)公告日：中華民國 102 (2013) 年 11 月 21 日

(21)申請案號：099141293

(22)申請日：中華民國 99 (2010) 年 11 月 29 日

(51)Int. Cl. : G09G3/20 (2006.01)

G09G3/36 (2006.01)

H03K19/0185(2006.01)

(30)優先權：2009/12/28 日本

2009-298105

(71)申請人：日本顯示器西股份有限公司 (日本) JAPAN DISPLAY WEST INC. (JP)

日本

(72)發明人：豐島良彥 TOYOSHIMA, YOSHIHIKO (JP)；甚田誠一郎 JINTA, SEIICHIRO (JP)

(74)代理人：陳長文

(56)參考文獻：

TW 200816625A

US 2005/0017793A1

US 2006/0202736A1

US 2006/0262074A1

審查人員：唐之凱

申請專利範圍項數：21 項 圖式數：50 共 0 頁

(54)名稱

位準移位電路，信號驅動電路，顯示裝置及電子裝置

LEVEL SHIFT CIRCUIT, SIGNAL DRIVE CIRCUIT, DISPLAY DEVICE, AND ELECTRONIC DEVICE

(57)摘要

本發明揭示一種位準移位電路，其包含：一第一輸出電晶體及一第二輸出電晶體，其等分別輸出自一第一電源電壓及一第二電源電壓獲得之電壓；一第一輸入電晶體及一第二輸入電晶體，其等分別基於一第一輸入脈衝信號輸出用於導通該第一輸出電晶體之一第一電壓及用於關斷該第二輸出電晶體之一第二電壓；一第三輸入電晶體及一第四輸入電晶體，其等分別基於一第二輸入脈衝信號輸出用於關斷該第一輸出電晶體之一第三電壓及用於導通該第二輸出電晶體之一第四電壓；一第一自舉電路，其擴大該第一電壓之一振幅且將該經擴大電壓供應至該第一輸出電晶體；及一第一電壓補償電路，其基於一第三輸入脈衝信號在該第一輸入脈衝信號之一結束時序處在與由於該第一輸入電晶體中之一寄生電容而在該第一電壓中導致之一電壓波動之彼方向相反之一方向上進行一電壓改變。

A level shift circuit includes: a first and a second output transistor outputting voltages derived from a first and a second power source voltage, respectively; a first and a second input transistor outputting, based on a first input pulse signal, a first voltage for turning ON the first output transistor and a second voltage for turning OFF the second output transistor, respectively; a third and a fourth input transistor outputting, based on a second input pulse signal, a third voltage for turning OFF the first output transistor and a fourth voltage for turning ON the second output transistor, respectively; a first bootstrap circuit enlarging an amplitude of the first voltage and supplying the same to the first output transistor; and a first voltage compensation circuit, based on a third input pulse signal, making, at an end timing of the first input pulse signal, a voltage change in a direction opposite to that of a voltage fluctuation caused in the first voltage due to a parasitic capacitance in the first input transistor.

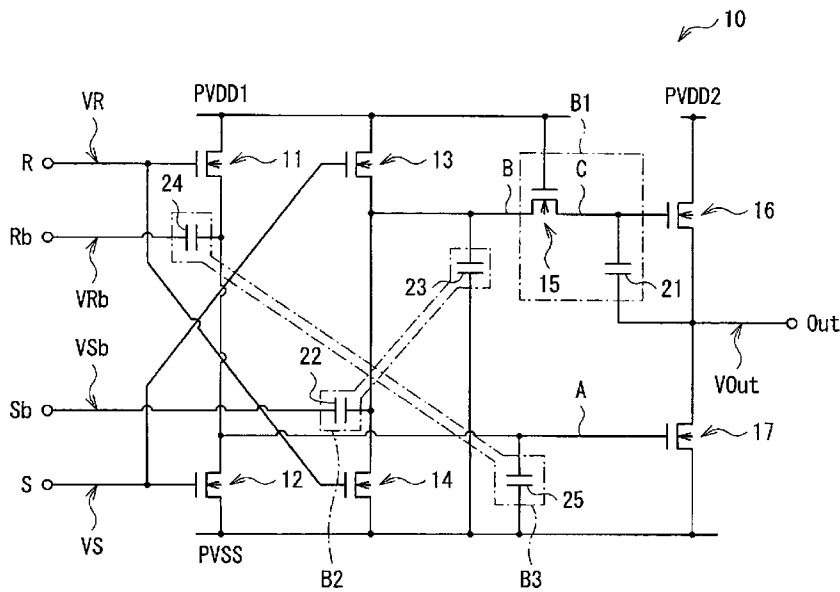


圖 1

- 10 . . . 位準移位器
- 11 . . . MOS 電晶體
- 12 . . . MOS 電晶體
- 13 . . . MOS 電晶體
- 14 . . . MOS 電晶體
- 15 . . . MOS 電晶體
- 16 . . . MOS 電晶體
- 17 . . . MOS 電晶體
- 21 . . . 電容元件
- 22 . . . 電容元件
- 23 . . . 電容元件
- 24 . . . 電容元件
- 25 . . . 電容元件
- A . . . 節點
- B . . . 節點
- B1 . . . 自舉區段
- B2 . . . 電壓補償區段
- B3 . . . 電壓補償區段
- C . . . 節點
- Out . . . 輸出端子
- PVDD1 . . . 電源
- PVDD2 . . . 電源
- PVSS . . . 電源
- R . . . 輸入端子
- Rb . . . 輸入端子
- Sb . . . 輸入端子
- S . . . 輸入端子

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：99141293

6095 3/20 (2006.01)

※申請日：99.11.29

※IPC 分類：

6095 3/36 (2006.01)

H03K 19/0185 (2006.01)

一、發明名稱：(中文/英文)

位準移位電路，信號驅動電路，顯示裝置及電子裝置

LEVEL SHIFT CIRCUIT, SIGNAL DRIVE CIRCUIT, DISPLAY
DEVICE, AND ELECTRONIC DEVICE

二、中文發明摘要：

本發明揭示一種位準移位電路，其包含：一第一輸出電晶體及一第二輸出電晶體，其等分別輸出自一第一電源電壓及一第二電源電壓獲得之電壓；一第一輸入電晶體及一第二輸入電晶體，其等分別基於一第一輸入脈衝信號輸出用於導通該第一輸出電晶體之一第一電壓及用於關斷該第二輸出電晶體之一第二電壓；一第三輸入電晶體及一第四輸入電晶體，其等分別基於一第二輸入脈衝信號輸出用於關斷該第一輸出電晶體之一第三電壓及用於導通該第二輸出電晶體之一第四電壓；一第一自舉電路，其擴大該第一電壓之一振幅且將該經擴大電壓供應至該第一輸出電晶體；及一第一電壓補償電路，其基於一第三輸入脈衝信號在該第一輸入脈衝信號之一結束時序處在與由於該第一輸入電晶體中之一寄生電容而在該第一電壓中導致之一電壓波動之彼方向相反之一方向上進行一電壓改變。

三、英文發明摘要：

A level shift circuit includes: a first and a second output transistor outputting voltages derived from a first and a second power source voltage, respectively; a first and a second input transistor outputting, based on a first input pulse signal, a first voltage for turning ON the first output transistor and a second voltage for turning OFF the second output transistor, respectively; a third and a fourth input transistor outputting, based on a second input pulse signal, a third voltage for turning OFF the first output transistor and a fourth voltage for turning ON the second output transistor, respectively; a first bootstrap circuit enlarging an amplitude of the first voltage and supplying the same to the first output transistor; and a first voltage compensation circuit, based on a third input pulse signal, making, at an end timing of the first input pulse signal, a voltage change in a direction opposite to that of a voltage fluctuation caused in the first voltage due to a parasitic capacitance in the first input transistor.

四、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

10	位準移位器
11	MOS電晶體
12	MOS電晶體
13	MOS電晶體
14	MOS電晶體
15	MOS電晶體
16	MOS電晶體
17	MOS電晶體
21	電容元件
22	電容元件
23	電容元件
24	電容元件
25	電容元件
A	節點
B	節點
B1	自舉區段
B2	電壓補償區段
B3	電壓補償區段
C	節點
Out	輸出端子
PVDD1	電源

PVDD2	電 源
PVSS	電 源
R	輸 入 端 子
Rb	輸 入 端 子
Sb	輸 入 端 子
S	輸 入 端 子

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種輸出具有大於一輸入信號之彼振幅之一振幅之一信號的位準移位電路及各自具有該位準移位電路之一種信號驅動電路、一種顯示裝置及一種電子裝置。

【先前技術】

近些年來，能夠形成一N-通道金屬氧化物半導體(後文可僅將其稱為「MOS」)電晶體及一P-通道MOS電晶體兩者之一互補金屬氧化物半導體製程常常用於製造一積體電路之一製程。使用CMOS製程製造之一CMOS電路允許該N-通道MOS電晶體與該P-通道MOS電晶體互補地操作。此一CMOS電路使得可達成低電力消耗，此乃因一直通電流不在一電源與接地之間流動。

存在能夠僅形成該N-通道MOS電晶體或該P-通道MOS電晶體之某些製程。舉例而言，在眾多情況下，諸如一氧化物半導體製程、一微矽(μ -Si)製程及一非晶形矽(A-Si)製程等製程能夠僅形成該N-通道MOS電晶體，而諸如一有機薄膜電晶體(TFT)製程等製程能夠僅形成該P-通道MOS電晶體。此外，諸如一單晶矽製程及一低溫多晶矽製程等製程通常能夠形成該N通道MOS電晶體及該P-通道MOS電晶體兩者，但出於減少與成本減少相關聯之製程步驟數目之一目的，彼等製程有時可適於僅形成該N-通道MOS電晶體或該P-通道MOS電晶體中之任一者。在此等情況下，一電路因此係由單通道之MOS電晶體構造而成(亦即，由相同傳

導類型之MOS電晶體構造而成)，如(例如)日本未經審查專利申請公開案第2005-149624號(JP2005-149624A)中所揭示。

舉例而言，JP2005-149624A提議利用單通道MOS電晶體之一移位電阻器電路。所揭示電路以一互補方式操作串聯連接在一電源與接地之間的兩個單通道MOS電晶體以防止直通電流流動，藉此達成電力消耗之減少。

【發明內容】

一般而言，鑒於一穩定操作，期望在諸如一信號處理電路等電路中供應具有一恰當或經良好塑形波形之一輸入信號。舉例而言，輸入具有一穩定高位準電壓及一穩定低位準電壓之波形使電路能夠展現一期望功能而不導致故障或錯誤。因此，當用複數個電路級組態一系統時，期望一先前級中之一電路輸出一恰當或經良好塑形波形。

當一電路係由單通道MOS電晶體構造而成時，該電路內部之一節點可證明處於一浮動狀態中，該狀態易受雜訊影響。因此，舉例而言，該電路外部之一信號可藉由一寄生電容等傳播至該浮動節點且可導致彼節點之一波形(一內部波形)之變形。因此，在該電路中可發生一故障。即使在該電路自身中不發生故障，亦可使彼電路之一輸出波形變形。因此，在一接續級中接收來自導致故障或輸出變形波形之電路之一信號供應之一電路中，該電路之操作可變得不穩定，例如由於來自彼處之降格輸入波形導致一故障或錯誤。

期望提供一位準移位電路、一信號驅動電路、一顯示裝置及一電子裝置，其每一者能夠達成低電力消耗同時達成一恰當或經良好塑形之內部波形、一恰當或經良好塑形之輸出波形或兩者。

根據一實施例之一種位準移位電路，其包含：一第一輸出電晶體，其經驅動以成為導通以輸出自一第一電源電壓獲得之一電壓；一第二輸出電晶體，其經驅動以成為導通以輸出自一第二電源電壓獲得之一電壓；一第一輸入電晶體，其具有一輸出端子，且基於一第一輸入脈衝信號驅動該第一輸入電晶體而成為導通以輸出一第一電壓，該第一電壓係允許該第一輸出電晶體導通之一驅動電壓之一基礎；一第二輸入電晶體，其具有一輸出端子，且基於該第一輸入脈衝信號驅動該第二輸入電晶體而成為導通以輸出一第二電壓，該第二電壓係允許該第二輸出電晶體關斷之一驅動電壓之一基礎；一第三輸入電晶體，其具有連接該第一輸入電晶體之該輸出端子之一輸出端子，且基於一第二輸入脈衝信號驅動該第三輸入電晶體而成為導通以輸出一第三電壓，該第三電壓係允許該第一輸出電晶體關斷之一驅動電壓之一基礎；一第四輸入電晶體，其具有連接至該第二輸入電晶體之該輸出端子之一輸出端子，且基於該第二輸入脈衝信號驅動該第四輸入電晶體而成為導通以輸出一第四電壓，該第四電壓係允許該第二輸出電晶體導通之一驅動電壓之一基礎；一第一自舉電路，其擴大該第一電壓之一振幅以將該經擴大第一電壓供應至該第一輸出電

晶體；及一第一電壓補償電路，其基於一第三輸入脈衝信號進行一電壓改變，該電壓改變之一方向與在該第一輸入脈衝信號之一結束時序處由於該第一輸入電晶體中之一寄生電容而在該第一電壓中導致之一電壓波動之一方向相反。

根據一實施例之一種位準移位電路，其包含：一第一電晶體，其具有連接至一第一信號供應器之一閘極，該第一信號供應器供應自一第一輸入信號獲得之一信號；一第二電晶體，其具有被供應一第二輸入信號之一閘極，連接至該第一電晶體之一源極之一汲極，及連接至一第一電源之一源極；一第三電晶體，其具有連接至一第二信號供應器之一閘極，該第二信號供應器供應自該第二輸入信號獲得之一信號；一第四電晶體，其具有被供應該第一輸入信號之一閘極，連接至該第三電晶體之一源極之一汲極，及連接至該第一電源之一源極；一第五電晶體，其具有連接至一第二電源之一汲極，及連接至一第三信號供應器之一閘極，該第三信號供應器供應自從該第三電晶體之該源極輸出之一信號獲得之一信號；一第六電晶體，其具有連接至該第一電晶體之該源極之一閘極，連接至該第五電晶體之一源極之一汲極，及連接至該第一電源之一源極；一第一電容元件，其具有與該第二輸入信號同步之一第三輸入信號供應至的一第一端，及連接至該第三電晶體之該源極之一第二端；一第二電容元件，其插入在該第三電晶體之該源極與該第一電源之間；及一第三電容元件，其插入在該

第五電晶體之該閘極與該源極之間。具有等於或大於該第一三輸入信號至該第三輸入信號之振幅之一振幅之一信號自該第五電晶體之該源極輸出。

根據一實施例之一位準移位電路，其包含：一第一輸入電路，將一第一輸入信號及一第二輸入信號供應至該第一輸入電路；一第二輸入電路，將該第一輸入信號及該第二輸入信號供應至該第二輸入電路；一第一電容元件，其具有與該第一輸入信號同步之一第三輸入信號供應至的一第一端，及連接至該第二輸入電路之一輸出端子之一第二端；一第二電容元件，其插入在該第二輸入電路之該輸出端子與一電源之間；及一輸出電路，其基於該第一輸入電路之一輸出電壓及該第二輸入電路之一輸出電壓產生具有大於該第一輸入信號至該第三輸入信號之振幅之一振幅的一輸出信號。由於該第二輸入信號在該第二輸入電路之一輸出中導致之一振幅波動藉由該第三輸入信號與該第一電容元件及該第二電容元件之一組合來補償如本文所使用，術語「補償」係指應用在與由該第二輸入信號導致之振幅波動之一方向相反之一方向上之一振幅改變。本發明中，在該相反方向上之一振幅改變之一量不必與由該第二輸入信號導致之該振幅波動之一量相同。在該相反方向上之振幅改變之一量可與由該第二輸入信號導致之該振幅波動之量相同、小於或大於由該第二輸入信號導致之該振幅波動之量。

根據一實施例之一種信號驅動電路，其包含：一移位暫

存器電路，其基於所供應控制信號產生脈衝信號以按一分時方式將該等所產生脈衝信號按序輸出至複數個信號線；及一位準移位電路，其基於該等脈衝信號中之一者或多者產生一驅動信號以將該所產生驅動信號輸出至複數個驅動信號線中之一者，該驅動信號具有等於或大於係該驅動信號之基礎之該等脈衝信號之彼電壓振幅之一電壓振幅。該位準移位電路包含：一第一輸出電晶體，其經驅動以成為導通以輸出自一第一電源電壓獲得之一電壓；一第二輸出電晶體，其經驅動以成為導通以輸出自一第二電源電壓獲得之一電壓；一第一輸入電晶體，其具有一輸出端子，且基於一第一輸入脈衝信號驅動該第一輸入電晶體而成為導通以輸出一第一電壓，該第一電壓係允許該第一輸出電晶體導通之一驅動電壓之一基礎；一第二輸入電晶體，其具有一輸出端子，且基於該第一輸入脈衝信號驅動該第二輸入電晶體而成為導通以輸出一第二電壓，該第二電壓係允許該第二輸出電晶體關斷之一驅動電壓之一基礎；一第三輸入電晶體，其具有連接該第一輸入電晶體之該輸出端子之一輸出端子，且基於一第二輸入脈衝信號驅動該第三輸入電晶體而成為導通以輸出一第三電壓，該第三電壓係允許該第一輸出電晶體關斷之一驅動電壓之一基礎；一第四輸入電晶體，其具有連接至該第二輸入電晶體之該輸出端子之一輸出端子，且基於該第二輸入脈衝信號驅動該第四輸入電晶體而成為導通以輸出一第四電壓，該第四電壓係允許該第二輸出電晶體導通之一驅動電壓之一基礎；一第

一自舉電路，其擴大該第一電壓之一振幅以將該經擴大第一電壓供應至該第一輸出電晶體；及一第一電壓補償電路，其基於一第三輸入脈衝信號進行一電壓改變，該電壓改變之一方向與在該第一輸入脈衝信號之一結束時序處由於該第一輸入電晶體中之一寄生電容而在該第一電壓中導致之一電壓波動之一方向相反。

根據一實施例之一種顯示裝置，其包含：一顯示區段；及一顯示控制區段，其具有輸出具有大於所供應之一個或多個信號之彼振幅之一振幅之一控制信號的一位準移位電路，且基於該控制信號驅動該顯示區段。該位準移位電路包含：一第一輸出電晶體，其經驅動以成為導通以輸出自一第一電源電壓獲得之一電壓；一第二輸出電晶體，其經驅動以成為導通以輸出自一第二電源電壓獲得之一電壓；一第一輸入電晶體，其具有一輸出端子，且基於一第一輸入脈衝信號驅動該第一輸入電晶體而成為導通以輸出一第一電壓，該第一電壓係允許該第一輸出電晶體導通之一驅動電壓之一基礎；一第二輸入電晶體，其具有一輸出端子，且基於該第一輸入脈衝信號驅動該第二輸入電晶體而成為導通以輸出一第二電壓，該第二電壓係允許該第二輸出電晶體關斷之一驅動電壓之一基礎；一第三輸入電晶體，其具有連接該第一輸入電晶體之該輸出端子之一輸出端子，且基於一第二輸入脈衝信號驅動該第三輸入電晶體而成為導通以輸出一第三電壓，該第三電壓係允許該第一輸出電晶體關斷之一驅動電壓之一基礎；一第四輸入電晶

體，其具有連接至該第二輸入電晶體之該輸出端子之一輸出端子，且基於該第二輸入脈衝信號驅動該第四輸入電晶體而成為導通以輸出一第四電壓，該第四電壓係允許該第二輸出電晶體導通之一驅動電壓之一基礎；一第一自舉電路，其擴大該第一電壓之一振幅以將該經擴大第一電壓供應至該第一輸出電晶體；及一第一電壓補償電路，其基於一第三輸入脈衝信號進行一電壓改變，該電壓改變之一方向與在該第一輸入脈衝信號之一結束時序處由於該第一輸入電晶體中之一寄生電容而在該第一電壓中導致之一電壓波動之一方向相反。

根據一實施例之一種電子裝置，其包含：一顯示區段；一處理區段，其執行一預定處理程序；及一顯示控制區段，其具有輸出具有大於自該處理區段供應之一個或多個信號之彼振幅之一振幅之一控制信號的一位準移位電路，且基於該控制信號驅動該顯示區段。該位準移位電路包含：一第一輸出電晶體，其經驅動以成為導通以輸出自一第一電源電壓獲得之一電壓；一第二輸出電晶體，其經驅動以成為導通以輸出自一第二電源電壓獲得之一電壓；一第一輸入電晶體，其具有一輸出端子，且基於一第一輸入脈衝信號驅動該第一輸入電晶體而成為導通以輸出一第一電壓，該第一電壓係允許該第一輸出電晶體導通之一驅動電壓之一基礎；一第二輸入電晶體，其具有一輸出端子，且基於該第一輸入脈衝信號驅動該第二輸入電晶體而成為導通以輸出一第二電壓，該第二電壓係允許該第二輸出電

晶體關斷之一驅動電壓之一基礎；一第三輸入電晶體，其具有連接該第一輸入電晶體之該輸出端子之一輸出端子，且基於一第二輸入脈衝信號驅動該第三輸入電晶體而成為導通以輸出一第三電壓，該第三電壓係允許該第一輸出電晶體關斷之一驅動電壓之一基礎；一第四輸入電晶體，其具有連接至該第二輸入電晶體之該輸出端子之一輸出端子，且基於該第二輸入脈衝信號驅動該第四輸入電晶體而成為導通以輸出一第四電壓，該第四電壓係允許該第二輸出電晶體導通之一驅動電壓之一基礎；一第一自舉電路，其擴大該第一電壓之一振幅以將該經擴大第一電壓供應至該第一輸出電晶體；及一第一電壓補償電路，其基於一第三輸入脈衝信號進行一電壓改變，該電壓改變之一方向與在該第一輸入脈衝信號之一結束時序處由於該第一輸入電晶體中之一寄生電容而在該第一電壓中導致之一電壓波動之一方向相反。如本文中所使用，術語「電子裝置」係指其中期望供應恰當或經良好塑形之波形之任何裝置。舉例而言，該電子裝置可係(但不限於)一電視裝置、一數位相機、包含一臺式個人電腦及一膝上型個人電腦之一電腦、包含一蜂巢式電話之一可攜式終端機裝置、一視訊攝影機或其他適合裝置。

在根據該等實施例之該位準移位電路、該信號驅動電路、該顯示裝置及該電子裝置中，可在該第一輸入脈衝信號之開始之一時序處藉由該位準移位電路之一輸出電壓之一轉變實施一設定操作，且在該第二輸入脈衝信號之開始

之一時序處藉由欲返回之該輸出電壓之另一轉變實施一重設操作。換言之，基於一所謂的SR(設定/重設)鎖存功能來執行一操作。在該設定操作中，該第一輸入電晶體回應於該第一輸入脈衝信號之開始而導通，且將該第一輸入電晶體之該輸出電壓設定在該第一電壓處。該第一電壓由該第一自舉電路擴大，且自該位準移位電路之一輸出輸出與該第一輸入脈衝信號之一電壓相比較具有經擴大電壓之一輸出。此後，當該第一輸入脈衝信號結束時，該第一輸入電晶體關斷，藉此該第一輸入電晶體之一輸出變成一浮動狀態。本文中，在該第一輸入脈衝信號之結束處之電壓轉變藉由該第一輸入電晶體中之寄生電容被傳輸至該第一輸入電晶體之該輸出，藉此導致該電壓波動。此時，當供應該第三輸入脈衝信號時，該第三輸入脈衝信號藉由該第一電壓補償電路被傳輸至該第一輸入電晶體之該輸出，藉此進行在與彼電壓波動之方向相反之方向上之電壓改變。因此，由該第一輸入脈衝信號之結束導致之電壓波動得到補償。因此，亦在位準移位電路之輸出中維持該輸出電壓。

有利地，該第一電壓補償電路包含：一第一電壓補償電容器，其具有該第三輸入脈衝信號供應至的一第一端，及連接至該第一輸入電晶體之該輸出端子及該第三輸入電晶體之該輸出端子兩者之一第二端；及一第二電壓補償電容器，其具有連接至該第一輸入電晶體之該輸出端子及該第三輸入電晶體之該輸出端子兩者之一第一端，及該第二電源電壓供應至的一第二端。有利地，該第一電壓補償電容

器及該第二電壓補償電容器中之每一者係憑藉使用一電晶體之一閘極氧化物膜電容來組態。

有利地，該第三輸入脈衝信號之一結束時序與該第一輸入脈衝信號之結束時序重合或在其之後發生。有利地，該第三輸入脈衝信號係藉由使該第一輸入脈衝信號反相或藉由使該第一輸入脈衝信號反相且使該反相第一輸入脈衝信號之一相位延遲而產生。

有利地，該位準移位電路進一步包含：一第二電壓補償電路，其基於一第四輸入脈衝信號進行一電壓改變，該電壓改變之一方向與在該第二輸入脈衝信號之一結束時序處由於該第四輸入電晶體中之一寄生電容而在該第四電壓中導致之一電壓波動之一方向相反。

該第二電壓補償電路可尤其在該重設操作中其作用。在該重設操作中，該第四輸入電晶體回應於該第二輸入脈衝信號之開始而導通，且將該第四輸入電晶體之輸出電壓設定在該第四電壓處，且回應於此，重設位準移位電路之輸出電壓。此後，當第二輸入脈衝信號結束時，第四輸入電晶體關斷，藉此，第二輸入電晶體之一輸出變成一浮動狀態。本文中，在該第二輸入脈衝信號之結束處之電壓轉變藉由該第四輸入電晶體中之寄生電容被傳輸至該第四輸入電晶體之輸出，藉此導致電壓波動。此時，當供應第四輸入脈衝信號時，第四輸入脈衝信號藉由該第二電壓補償電路被傳輸至該第四輸入電晶體之輸出，藉此進行在與彼電壓波動之方向相反之方向上之電壓改變。因此，由該第二

輸入脈衝信號之結束導致之電壓波動得到補償。因此，亦在該位準移位電路之輸出中維持該輸出電壓。

有利地，該第一自舉電路包含插入在該第一輸出電晶體之一控制端子與該輸出端子之間的一第一自舉電容器。有利地，該第一自舉電路進一步包含一第一自舉電晶體，其具有第三電源電壓供應至的一控制端子，且在一導通狀態中供應該第一輸入電晶體之一輸出電壓或該第三輸入電晶體之一輸出電壓給該第一輸出電晶體。

根據該等實施例之該位準移位電路、該信號驅動電路、該顯示裝置及該電子裝置，供應該第三輸入脈衝信號且提供該第一電壓補償電路。因此，可在達成一恰當或經良好塑形之內部波形、一恰當或經良好塑形輸出波形或此兩者之同時達成低電力消耗。

應瞭解，上述概括說明及下文詳細說明兩者皆係實例性且意欲提供對所主張的本發明之闡釋。

【實施方式】

包含附圖以提供對本發明之進一步理解，且該等附圖併入本說明書中並構成本說明書之一部分。該等圖式圖解說明本發明之實施例且與說明書一起用來闡釋本發明之原理。

後文，將參考附圖詳細地闡述本發明之某些實施例。該闡述將按以下次序給出。

1. 第一實施例
2. 第二實施例

3. 第三實施例

4. 第四實施例

5. 第五實施例

6. 應用之實例(應用於一顯示裝置)

7. 應用實例(應用於一電子裝置)

[1. 第一實施例]

[組態實例]

圖1圖解說明根據本發明之一第一實施例之一位準移位器之一組態之一實例。該第一實施例闡述一位準移位器10作為由單通道MOS電晶體構造而成之一電路之一個實施例，該位準移位器使用N-通道MOS電晶體且基於一所供應信號輸出具有大於彼輸入信號之一振幅之一振幅的一信號。位準移位器10具有MOS電晶體11至17及電容元件21至25。

MOS電晶體11包含連接至一輸入端子R之一閘極，連接至一電源PVDD1之一汲極及連接至一節點A之一源極。MOS電晶體11在該閘極與該源極之間具有一未圖解說明寄生電容。MOS電晶體12包含連接至一輸入端子S之一閘極，連接至節點A之一汲極及連接至一電源PVSS之一源極。MOS電晶體13包含連接至輸入端子S之一閘極、連接至電源PVDD1之一汲極及連接至一節點B之一源極。MOS電晶體13在該閘極與該源極之間具有一未圖解說明寄生電容。MOS電晶體14包含連接至輸入端子R之一閘極，連接至節點B之一汲極及連接至電源PVSS之一源極。MOS電晶

體15包含連接至電源PVDD1之一閘極，一汲極及一源極，該汲極及該源極中之一者連接至節點B且該汲極及該源極中之另一者連接至一節點C。MOS電晶體16包含連接至節點C之一閘極，連接至具有一電壓VDD2(其高於電源PVDD1之一電壓VDD1)之一電源PVDD2之一汲極及連接至一輸出端子Out之一源極。MOS電晶體17包含連接至節點A之一閘極，連接至輸出端子Out之一汲極及連接至電源PVSS之一源極。MOS電晶體11至17中之每一者皆係由N-通道MOS電晶體構造而成。

電容元件21插入在MOS電晶體16之閘極與源極之間。電容元件21構成一自舉區段B1。自舉區段B1用來執行一自舉操作，稍後將對其進行更加詳細地闡述。更具體而言，電容元件21用於允許MOS電晶體16之閘極(亦即，節點C)中之一電壓高於電壓VDD2，從而允許在位準移位器10之一輸出電壓在一高位準處時輸出電源PVDD2之電壓VDD2作為其一電壓位準。

電容元件22插入在一輸入端子Sb與節點B之間。電容元件23插入在節點B與電源PVSS之間。電容元件22及23構成一電壓補償區段B2。如稍後將更加詳細地闡述，電壓補償區段B2用於當節點B處於一浮動狀態中時，僅以對應於電容元件22之電容值對電容元件23之電容值之一比之一振幅量將自端子Sb輸入之一反相設定信號VSb傳輸至節點B。將此電容比設定在一值處，憑藉該值出現在節點B中且由一設定信號VS之下降導致之一電壓改變(一電壓波動)可藉

由該反相設定信號VSb抵消，如稍後將闡述。

電容元件24插入在一輸入端子Rb與節點A之間。電容元件25插入在節點A與電源PVSS之間。電容元件24及25構成一電壓補償區段B3。如稍後將更加詳細地闡述，電壓補償區段B3用於當節點A處於一浮動狀態中時，僅以對應於電容元件24之電容值對電容元件25之電容值之一比之一振幅量將自端子Rb輸入之一反相重設信號VRb傳輸至節點A。將此電容比設定在一值處，憑藉該值出現在節點A中且由一重設信號VR之下降導致之一電壓改變(一電壓波動)可藉由反相重設信號VRb抵消，如稍後將闡述。

供應設定信號VS給輸入端子S且供應重設信號VR給輸入端子R。供應反相設定信號VSb給輸入端子Sb，且供應反相重設信號VRb給輸入端子Rb。在此實施例中，彼等信號之高位準電壓VIH與電源PVDD1之電壓VDD1相同，且彼等信號之低位準電壓VIL與電源PVSS之電壓VSS相同。

電源PVDD1將電力供應至位準移位器10之除輸出區段(亦即，MOS電晶體16及17)之外之區段，且電源PVDD2將電力供應至彼等輸出區段。電源PVDD2用於設定位準移位器10之一輸出信號VOut之一高位準電壓，且驅動一接續級中所連接之一電路。

在上文所述組態下，位準移位器10基於一輸入信號操作以輸出具有大於該輸入信號之振幅(電壓VDD1至電壓VSS)之振幅(電壓VDD2至電壓VSS)的信號。更具體而言，位準移位器10操作以在自設定信號VS之上升至高位準電壓至重設信號VR之

上升之一時間週期期間輸出電壓VDD2(亦即，高位準)，且在其他情況下操作以輸出電壓VSS(亦即，低位準)，如稍後所闡述。

本文中，MOS電晶體16及MOS電晶體17分別對應於一「第一輸出電晶體」及一「第二輸出電晶體」之說明性實體。MOS電晶體13及MOS電晶體12分別對應於一「第一輸入電晶體」及一「第二輸入電晶體」之說明性實體。MOS電晶體14及MOS電晶體11分別對應於一「第三輸入電晶體」及一「第四輸入電晶體」之說明性實體(該等實體意欲係說明性而非限定性)。

自舉區段B1對應於一「第一自舉電路」之一個說明性實體。MOS電晶體15及電容元件21分別對應於一「第一自舉電晶體」及一「第一自舉電容器」之說明性實體(該等實體意欲係說明性而非限定性)。

電壓補償區段B2對應於一「第一電壓補償電路」之一個說明性實體。電容元件22及電容元件23分別對應於一「第一電壓補償電容器」及一「第二電壓補償電容器」之說明性實體。電壓補償區段B3對應於一「第二電壓補償電路」之一個說明性實體(該等實體意欲係說明性而非限定性)。

電源PVDD2之電壓VDD2對應於一「第一電源電壓」之一個說明性實體。電源PVSS之電壓VVSS對應於一「第二電源電壓」之一個說明性實體。電源PVDD1之電壓VDD1對應於一「第三電源電壓」之一個說明性實體(該等實體意欲係說明性而非限定性)。

設定信號VS及重設信號VR分別對應於一「第一輸入脈衝信號」及一「第二輸入脈衝信號」之說明性實例。反相設定信號VSb及反相重設信號VRb分別對應於一「第三輸入脈衝信號」及一「第四輸入脈衝信號」之說明性實例(該等實例意欲係說明性而非限定性)。

[操作及效應]

[操作之概述]

首先，將闡述根據該第一實施例之位準移位器10之一操作及效應。

圖2圖解說明位準移位器10之操作之一時序波形圖，其中(A)圖解說明設定信號VS之一波形，(B)圖解說明重設信號VR之一波形，(C)圖解說明反相設定信號VSb之一波形，且(D)圖解說明反相重設信號VRb之一波形。此外，(E)圖解說明節點A中之一電壓VA之一波形，(F)圖解說明節點B中之一電壓VB之一波形，(G)圖解說明節點C中之一電壓VC之一波形，且(H)圖解說明輸出信號VOut之一波形。

首先，設定信號VS升高(圖2之(A))以執行自舉操作，且節點C之電壓VC升高或提升至高於電壓VDD2之一電位(圖2之(G))，且輸出信號VOut在電壓VDD2處(亦即，在高位準處)(圖2之(H))。當設定信號VS下降(圖2之(A))時，相應地在節點C之電壓VC中發生一電壓改變(一電壓波動)，然而由於反相設定信號VSb之緊接著隨後上升進行在一相反方向上之一電壓改變，藉此抵消彼等電壓改變(圖2之

(G))。因此，將輸出信號 V_{Out} 維持在電壓 V_{DD2} 處(圖 2 之(H))。

然後，重設信號 VR 之上升(圖 2 之(B))允許節點 C 之電壓 V_C 降低至電壓 V_{SS} (圖 2 之(G))，且節點 A 之電壓 V_A 增加(圖 2 之(E))，且輸出信號 V_{Out} 在電壓 V_{SS} 處(亦即，在低位準處)(圖 2 之(H))。當重設信號 VR 下降(圖 2 之(B))時，相應地在節點 A 之電壓 V_A 中發生一電壓改變(一電壓波動)，然而由於反相重設信號 VR_b 之緊接著隨後上升進行在一相反方向上之一電壓改變，藉此抵消彼等電壓改變(圖 2 之(E))。因此，將輸出信號 V_{Out} 維持在電壓 V_{SS} 處(圖 2 之(H))。

[詳細操作]

現在將參考圖 1 及 2 闡述位準移位器 10 之一詳細操作。

首先，當設定信號 VS 自電壓 V_{SS} 上升至電壓 V_{DD1} (圖 2 之(A))時，MOS 電晶體 12 導通，且節點 A 之電壓 V_A 降低至電壓 V_{SS} (圖 2 之(E))。與此同時，MOS 電晶體 13 導通且節點 B 之電壓 V_B 上升至一電壓 $(V_{DD1} - V_{th}(13))$ ，該電壓僅低於電壓 V_{DD1} 對應於 MOS 電晶體 13 之一臨限電壓 $V_{th}(13)$ 之一量(圖 2 之(F))。因此，MOS 電晶體 17 關斷且 MOS 電晶體 16 導通，以使得輸出信號 V_{Out} 之一電壓上升。此時，電容元件 21 充有電荷，且電容元件 21 之兩端之間的一電壓差變成大於 MOS 電晶體 16 之一臨限電壓 $V_{th}(16)$ 。當輸出信號 V_{Out} 進一步上升時，節點 C 之電壓 V_C 亦上升，此乃因電容元件 21 之兩端之間的電壓差得到維持(亦即，自舉操作)，且 MOS 電晶體 15 關斷。節點 C 之電壓 V_C 最終上升達到一電

壓 V_{Oboot} ，其高於電壓 V_{DD2} 與 MOS 電晶體 16 之臨限電壓 $V_{th}(16)$ 之一總電壓 $(V_{DD2} + V_{th}(16))$ (圖 2 之 (G))。因此，輸出信號 V_{Out} 上升達到電壓 V_{DD2} (圖 2 之 (H))。

在上文所述自舉操作中 MOS 電晶體 16 之一開機增益 G_{boot} 由以下等式 (1) 來表達：

$$G_{boot} = (C_g + C_{21}) / (C_g + C_{21} + C_C) \quad \text{等式 (1)}$$

其中 C_g 係 MOS 電晶體 16 之一閘極電容， C_{21} 係電容元件 21 之一電容值，且 C_C 係節點 C 排除 C_g 及 C_{21} 之一電容。當開機增益 G_{boot} 變得越大時，該自舉操作越穩定地操作。為增加開機增益 G_{boot} ，較佳地閘極電容 C_g 及電容元件 21 之電容 C_{21} 之總和充分大於節點 C 之電容 C_C 。此外，在此實施例中，提供 MOS 電晶體 15，其在自舉操作時關斷。因此，與其中不提供 MOS 電晶體 15 之一情況相比較，電容元件 23 之一電容 C_{23} 、MOS 電晶體 13 之一源極電容 C_s 、MOS 電晶體 14 之一汲極電容 C_d 及節點 B 之一電容係斷開。因此，可降低等式 (1) 中之電容 C_C ，且藉此增加開機增益 G_{boot} 。

此後，當設定信號 VS 自電壓 V_{DD1} 降低至電壓 V_{SS} (圖 2 之 (A)) 時，MOS 電晶體 12 關斷，且節點 A 證明是處於浮動狀態中，以使得將節點 A 之電壓 V_A 維持在緊接著前一電壓 (亦即，電壓 V_{SS}) 處 (圖 2 之 (E))。與此同時，MOS 電晶體 13 亦關斷，且節點 B 證明是處於浮動狀態中，以使得節點 B 之電壓 V_B 同樣試圖維持緊接著前一電壓 (亦即， $V_{DD1} - V_{th}(13)$)。然而，由於 MOS 電晶體 13 之閘極與源極之間的

寄生電容，節點B之電壓VB隨著設定信號VS之一電壓降低稍微降低(圖2之(F))。藉此，節點C之電壓VC亦稍微降低(圖2之(G))，且輸出信號VOut之電壓同樣開始稍微降低(圖2之(H))。

然而，緊接著隨後，反相設定信號VSb自電壓VSS上升至電壓VDD1(圖2之(C))。此電壓之上升藉由電容元件22被傳輸至節點B，且因此節點B之電壓VB稍微升高以抵消一對應量之節點B之緊接著前一電壓降低(圖2之(F))。藉此，對於節點C之電壓VC，同樣地抵消一定量之電壓降低(圖2之(G))且將輸出信號VOut維持在電壓VDD2處(圖2之(H))。

然後，當重設信號VR自電壓VSS升高至電壓VDD1(圖2之(B))時，MOS電晶體14導通以將節點B之電壓VB降低至電壓VSS(圖2之(F))，且MOS電晶體15導通以亦將節點C之電壓VC降低至電壓VSS(圖2之(G))。與此同時，MOS電晶體11導通，且節點A之電壓VA升高至一電壓($VDD1 - V_{th}(11)$)，該電壓僅低於電壓VDD1對應於MOS電晶體11之一臨限電壓 $V_{th}(11)$ 之一量(圖2之(E))。因此，MOS電晶體17導通，且MOS電晶體16關斷，藉此將輸出信號VOut降低至電壓VSS(圖2之(H))。

此後，當重設信號VR自電壓VDD1降低至電壓VSS(圖2之(B))時，MOS電晶體14關斷，且節點B及C中之每一者證明是處於浮動狀態中，以使得將節點B之電壓VB及節點C之電壓VC中之每一者維持在緊接著前一電壓(亦即，電壓VSS)處(圖2之(F)及(G))。與此同時，MOS電晶體11亦關

斷，且節點A證明是處於浮動狀態中，以使得節點A之電壓VA同樣試圖維持緊接著前一電壓（亦即， $VDD1 - V_{th}(11)$ ）。然而，由於MOS電晶體11之閘極與源極之間的寄生電容，節點A之電壓隨著重設信號VR之一電壓降低而稍微降低（圖2之(E)）。此時，在其中由於節點A之電壓VA被證明是小於MOS電晶體17之一臨限電壓 $V_{th}(17)$ 之一事實，MOS電晶體17不再充分地維持該導通狀態之一情況下，輸出信號VOut可相依於位準移位器10之輸出端子Out中之一負載狀態而稍微上升（圖2之(H)）。

然而，緊接著隨後，反相重設信號VRb自電壓VSS上升至電壓VDD1（圖2之(D)）。此電壓之上升藉由電容元件24被傳輸至節點A，且因此節點A之電壓VA稍微升高以抵消一對應量之節點A之緊接著前一電壓降低（圖2之(E)）。藉此，將輸出信號VOut維持在電壓VSS處（圖2之(H)）。

因此，在位準移位器10中，節點B之電壓VB、節點C之電壓VC及輸出信號VOut中發生在輸入設定信號VS之下降中之電壓改變藉由緊接著隨後輸入的反相設定信號VSb之上升抵消（圖2之(F)至(H)）。同樣，在節點A之電壓VA及輸出信號VOut中發生在輸入重設信號VR之下降中之電壓改變藉由緊接著隨後輸入的反相重設信號VRb之上升抵消（圖2之(E)及(H)）。

上文所述抵消操作係藉由反相設定信號VSb、反相重設信號VRb及電容元件22至25達成。在下文中，將詳細地闡述反相設定信號VSb及反相重設信號VRb之時序及電容元

件22至25之電容值。

[反相設定信號VSb及反相重設信號VRb之時序]

首先，將給出關於反相設定信號VSb及反相重設信號VRb之時序之闡述。

參考圖2，將反相設定信號VSb之上升之時序設定為緊在設定信號VS之下降之後。本文中，由於當反相設定信號VSb上升時，設定信號VS在電壓VSS處，因此MOS電晶體13處於一關斷狀態中且節點B處於浮動狀態中。因此，反相設定信號VSb之上升藉由電容元件22被傳輸至節點B，且在節點B之電壓VB中發生一電壓改變。因此，在節點B之電壓VB中，緊在由設定信號VS之下降導致一電壓改變之後發生由於反相設定信號VSb所致在一相反方向上之一電壓改變以操作來抵消彼等電壓改變(圖2之(F))。此使得可將位準移位器10之若干內部波形及一輸出波形之降格抑制至最小程度。

順便提及，在自設定信號VS之下降至反相設定信號VSb之上升之一時間週期期間，在節點B之電壓VB、節點C之電壓VC及輸出信號VOut中發生電壓改變(圖2之(F)至(H))。因此，較佳地，反相設定信號VSb之上升與設定信號VS之下降在同時或緊在設定信號VS之下降之後。

舉例而言，若反相設定信號VSb之上升之時序設定在緊在設定信號VS之下降之前，則當反相設定信號VSb上升時，設定信號VS仍在電壓VDD處。因此，MOS電晶體13處於一導通狀態中，且節點B處於一低阻抗狀態中。因

此，甚至在執行反相設定信號 VS_b 之上升時，彼信號亦幾乎不出現在節點B之電壓 VB 中。因此，僅存留由設定信號 VS 之下降導致之電壓改變，藉此降格位準移位器10之該等內部波形及該輸出波形。

對於反相重設信號 VR_b 之上升之時序，同樣如此。亦即，參考圖2，將反相重設信號 VR_b 之上升之時序設定在緊在重設信號 VR 之下降之後。本文中，由於當反相重設信號 VR_b 上升時重設信號 VR 在電壓 VSS 處，因此MOS電晶體11處於一關斷狀態中且節點A處於浮動狀態中。因此，反相重設信號 VR_b 之上升藉由電容元件24被傳輸至節點A，且在節點A之電壓 VA 中發生電壓改變。因此，在節點A之電壓 VA 中，緊在由重設信號 VR 之下降導致之一電壓改變之後發生由於反相重設信號 VR_b 所致在一相反方向上之電壓改變以操作來抵消彼等電壓改變(圖2之(E))。此使得可將位準移位器10之該等內部波形及該輸出波形之降格抑制至最小程度。

順便提及，在自重設信號 VR 之下降至反相重設信號 VR_b 之上升之一時間週期期間在節點A之電壓 VA 及輸出信號 V_{Out} 中發生電壓改變(圖2之(E)及(H))。因此，較佳地反相重設信號 VR_b 之上升與重設信號 VR 之下降在同時或緊在重設信號 VR 之下降之後。

舉例而言，若反相重設信號 VR_b 之上升之時序設定在緊在重設信號 VR 之下降之前，則當反相重設信號 VR_b 上升時，重設信號 VR 仍在電壓 VDD 處。因此，MOS電晶體11

處於一導通狀態中，且節點 A 處於一低阻抗狀態中。因此，甚至在執行反相重設信號 VRb 之上升時，彼信號亦幾乎不出現在節點 A 之電壓 VA 中。因此，僅存留由重設信號 VR 之下降導致之電壓改變。藉此，可降格位準移位器 10 之該等內部波形及該輸出波形。

出於上文所闡述之原因，期望反相設定信號 VSb 之上升之時序與設定信號 VS 之下降在同時或在設定信號 VS 之下降之後(亦即，與其重合或在其之後發生)，且較佳地反相設定信號 VSb 之上升之時序緊在設定信號 VS 之下降之後。同樣，期望反相重設信號 VRb 之上升之時序與重設信號 VR 之下降在同時或在重設信號 VR 之下降之後(亦即，與其重合或在其之後發生)，且較佳地反相重設信號 VRb 之上升之時序緊在重設信號 VR 之下降之後。為達成該等條件，較佳地使用(舉例而言)一反相器或類似物使設定信號 VS 反相以產生反相設定信號 VSb。類似地，較佳地使用(舉例而言)一反相器或類似物使重設信號 VR 反相以產生反相重設信號 VRb。

[電容元件 22 至 25 之電容值]

現在，將給出關於電容元件 22 至 25 之電容值之闡述。

如在前文中已經闡述，反相設定信號 VSb 之上升操作以抵消由於設定信號 VS 之下降所致節點 B 之電壓 VB 中之改變。此意指期望將由反相設定信號 VSb 之上升導致之電壓改變(其藉由電容元件 22 出現在節點 B 中)之一量設定為幾乎等於由設定信號 VS 之下降導致節點 B 中之電壓改變之一

量。舉例而言，可使用電容元件22與23之電容比作為設定由反相設定信號VSb之上升導致節點B之電壓改變量之一方式。

反相設定信號VSb至節點B之電壓VB之傳輸之一量TS由以下等式(2)表達：

$$TS = C22 / (C22 + C23) \quad \text{等式(2)}$$

其中C22係電容元件22之電容值，且C23係電容元件23之電容值。亦即，傳輸量TS係由電容元件22及23之電容比來確定。因此，可執行以下各項：獲得傳輸量TS，藉由以該傳輸量TS乘以反相設定信號VSb之振幅（亦即，電壓VDD1至電壓VSS）所獲得之一量變成等於由設定信號VS導致節點B之電壓改變量；及基於所獲得傳輸量TS及等式(2)確定電容元件22及23之電容值。使用彼等電容元件22及23使得可用由反相設定信號VSb之上升導致節點B之電壓改變量來抵消由設定信號VS之下降導致節點B之電壓改變量。

應注意在等式(2)中省略寄生電容，例如MOS電晶體中之彼等寄生電容。亦即，為了可準確地建立等式(2)，較佳地電容C22及C23充分大於此等寄生電容。另一選擇為，可在於等式(2)中亦適當地考量彼等寄生電容之情形下確定電容C22及C23。

對於電容元件24及25之電容值，同樣如此。亦即，舉例而言，可使用電容元件24及25之電容比作為設定由反相重設信號VRb之上升導致節點A中之電壓改變之一量之一方

式。

反相重設信號VRb至節點A之電壓VA之一傳輸量TR由以下等式(3)表達：

$$TR = C24 / (C24 + C25) \quad \text{等式 (3)}$$

其中C24係電容元件24之電容值，且C25係電容元件25之電容值。亦即，傳輸量TR係由電容元件24與25之電容比確定。因此，可執行以下各項：獲得該傳輸量TR，藉由以該傳輸量TR乘以反相重設信號VRb之振幅（亦即，電壓VDD1至電壓VSS）所獲得之一量變成等於由重設信號VR導致節點A之電壓改變量；及基於所獲得傳輸量TR及等式(3)確定電容元件24及25之電容值。使用彼等電容元件24及25使得可用由反相重設信號VRb之上升導致節點A之電壓改變量來抵消由重設信號VR之下降導致節點A之電壓改變量。

應注意，在等式(3)中省略寄生電容，例如MOS電晶體中之彼等寄生電容。亦即，為了可準確地建立等式(3)，較佳地電容C24及C25充分大於此等寄生電容。另一選擇為，可在於等式(3)中亦適當地考量彼等寄生電容之情形下確定電容C24及C25。

因此，適當設定電容元件22至25之電容值使得可抵消由於設定信號VS之下降及重設信號VR之下降所致該等內部波形之電壓改變。

同樣，串聯連接在電源PVDD1與電源PVSS及電源PVDD2與電源PVSS之間的MOS電晶體以一互補方式操

作。亦即，在MOS電晶體11與12之一組合、MOS電晶體13與14之一組合、MOS電晶體16與17之一組合中之每一者中，當該等MOS電晶體中之另一者處於一導通狀態中時，該等MOS電晶體中之一者處於一關斷狀態中，且該兩個MOS電晶體證明是不會同時處於導通狀態中。因此，可達成低電力消耗，此乃因一靜態直通電流不會流動。

[對洩漏之抵抗]

現在，將給出關於對充電於電容元件21中之電荷之洩漏之抵抗之闡述。

藉由當輸出信號VOut在高位準處時將節點C之電壓VC設定為高於電壓VDD2及MOS電晶體16之臨限電壓 $V_{th}(16)$ 之總電壓($VDD2 + V_{th}(16)$)，對充電於電容元件21中之電荷之洩漏之抵抗增加一對應量。在下文中，將作出關於其之闡述。

圖16圖解說明當位準移位器10中輸出信號VOut升高至高位準時之一操作之一時序波形圖，其中(A)圖解說明節點C中之電壓VC之一波形，且(B)圖解說明輸出信號VOut之一波形。圖16係基於充電於電容元件21中之電荷經受透過MOS電晶體15(舉例而言)之洩漏之一假設圖解說明其中節點C之電壓VC隨著時間之流逝而降低之一情況之操作。出於闡述方便之目的，圖16中強調其洩漏之量。

位準移位器10能夠在輸出信號VOut在高位準處時維持電壓VDD2。亦即，節點C之電壓VC恆定地超越電壓($VDD2 + V_{th}(16)$)，儘管電壓VC在藉由自舉操作自電壓VSS

上升至高位準處之後因洩漏逐漸降低之事實，如圖 16 之 (A) 中所圖解說明。藉此，輸出信號 VOut 可在整個超越週期中維持電壓 VDD2，如圖 16 之 (B) 中所圖解說明。

此係由於當反相設定信號 VSb 升高 (圖 2 之 (C)) 時節點 C 之電壓 VC 升高或提高 (圖 2 之 (G))。亦即，在位準移位器 10 中，將節點 C 之電壓 VC 設定為相對高之一位準，以使得使電壓 VC 降低至電壓 ($VDD2 + V_{th}(16)$) 所花費之時間甚至在電壓 VC 因洩漏而下跌時亦變長。因此，改良對洩漏之抵抗。

對於當輸出信號 VOut 在低位準處時之一情況，同樣如此。亦即，在位準移位器 10 中，在反相重設信號 VR 之上升中將節點 A 之電壓 VA 設定為高於電壓 ($VDD1 + V_{th}(11)$)，如圖 2 中所圖解說明。此時，當在圖 1 中處於浮動狀態中之節點 A 中之電荷經受透過 MOS 電晶體 12 (舉例而言) 之洩漏時，節點 A 之電壓 VA 隨著時間之流逝而逐漸降低。然而，將節點 A 之電壓 VA 設定為相對高，以使得使電壓 VA 降低至 MOS 電晶體 17 之臨限電壓 $V_{th}(17)$ 所花費之時間甚至在電壓 VA 因洩漏而下跌時亦變長。因此，改良對洩漏之抵抗。

[比較實例]

現在，將闡述根據一比較實例之一位準移位器 10R。該比較實例不同於上文所述該第一實施例，此係由於未輸入反相設定信號及反相重設信號。亦即，在上文所述該第一實施例中，由於設定信號 VS 所致節點 B 中之電壓改變用反

相設定信號 VS_b 抵消，且由於重設信號 VR 所致節點A中之電壓改變用反相重設信號 VR_b 抵消。然而，在此比較實例中，不執行對彼等電壓改變之抵消。注意，用相同參考編號標示與根據上文所述該等實施例之位準移位器10之彼等元件相同或等效之元件，且將不進行詳細闡述。

圖3圖解說明根據該比較實例之位準移位器10R之一組態之一實例。在根據上文所述該第一實施例之位準移位器10中，提供電容元件22至25，而在根據該比較實例之位準移位器10R中，不提供或省略電容元件22至25。該比較實例中之其他組態類似於圖1中所圖解說明之上文所述第一實施例之彼等組態。

圖4圖解說明位準移位器10R之一操作之一時序波形圖，其中(A)圖解說明設定信號 VS 之一波形，(B)圖解說明重設信號 VR 之一波形，(C)圖解說明節點A中之電壓 VA 之一波形，(D)圖解說明節點B中之電壓 VB 之一波形，(E)圖解說明節點C中之電壓 VC 之一波形，且(F)圖解說明輸出信號 V_{Out} 之一波形。

在位準移位器10R中，當在設定信號 VS 升高且輸出信號 V_{Out} 升高至高位準之後設定信號 VS 下降(圖4之(A))時，設定信號 VS 之下降藉由MOS電晶體13之閘極與源極之間的寄生電容被傳輸至節點B。因此，節點B之電壓 VB 自緊接著前一電壓($V_{DD1}-V_{th}(13)$)稍微降低，且甚至此後仍維持彼低電壓(圖4之(D)中之一波形L2)。藉此，節點C之電壓 VC 在節點C之電壓 VC 已稍微降低之後亦維持該稍微降低

之電壓(圖4之(E)中之波形L2)，且同樣地，輸出信號VOut之電壓因此在輸出信號VOut之電壓已稍微降低之後維持該稍微降低之電壓(圖4之(F)中之波形L2)。

此後，當重設信號VR在重設信號VR升高且輸出信號Vout下降至低位準之後下降(圖4之(B))時，重設信號VR之下降藉由MOS電晶體11之閘極與源極之間的寄生電容被傳輸至節點A。因此，節點A之電壓VA自緊接著前一電壓($VDD1 - V_{th}(11)$)稍微下降，且甚至此後仍維持彼低電壓(圖4之(C)中之波形L2)。此時，在其中MOS電晶體17因節點A之電壓VA證明為低於MOS電晶體17之臨限電壓 $V_{th}(17)$ 之事實而不再充分維持導通狀態之一情況下，輸出信號VOut可相依於位準移位器10R之輸出端子Out中之一負載狀態而稍微上升(圖4之(F)中之波形L2)。

出於上文所闡述之原因，在位準移位器10R中，當所輸入設定信號VS下降時，在節點B之電壓VB、節點C之電壓VC及輸出信號VOut中發生電壓改變，且因此維持該等狀態。同樣，當所輸入重設信號VR下降時，在節點A之電壓VA及輸出信號VOut中發生電壓改變，且因此維持該等狀態。在其等波形L2中之每一者中，在高位準電壓與低位準電壓之間發生一改變，且振幅在中途降低，舉例而言。因此，在其等波形L2中之每一者中，與基於一理想操作之波形L1相比較，該波形之一品質降格。因此，在位準移位器10R中，一雜訊容限因內部信號中波形之降格而下降，且可能導致故障或錯誤。同樣，在位準移位器10R中，輸出

信號中之波形之降格可能導致一接續級中所連接之一電路中之故障或錯誤。

相比之下，在根據該第一實施例之位準移位器10中，在節點B之電壓VB、節點C之電壓VC及輸出信號VOut中發生在所輸入設定信號VS之下降中之電壓改變藉由緊接著隨後輸入之反相設定信號VSb之上升來抵消。同樣，節點A之電壓VA及輸出信號VOut中發生在輸入重設信號VR之下降中之電壓改變藉由緊接著隨後輸入之反相重設信號VRb之上升來抵消。因此，位準移位器10使得可允許內部信號中之波形具有恰當或經良好塑形之波形以防止故障或錯誤且達成穩定操作。同樣，位準移位器10使得可允許輸出信號中之波形具有恰當或經良好塑形之波形以防止在一接續級中所連接之一電路中之故障或錯誤。

現在，將給出關於對洩漏之抵抗之闡述。如上文所闡述，位準移位器10R不具有藉由反相設定信號VSb改變節點C之電壓VC之功能。因此，位準移位器10R在對洩漏之抵抗方面係低，如下文所述。

圖17圖解說明當位準移位器10R中輸出信號VOut升高至高位準時之一操作之一時序波形圖，其中(A)圖解說明節點C中之電壓VC之波形，且(B)圖解說明輸出信號VOut之一波形。

如圖17之(A)中所圖解說明，節點C之電壓VC在藉由自舉操作自電壓VSS上升至高位準處之後因洩漏而逐漸降低。然後，在某一點，節點C之電壓VC下降至低於電壓

($VDD2 + V_{th}(16)$)。對於輸出信號 V_{Out} ，其一電壓位準相應地自彼時起逐漸降低，如圖 17 之 (B) 中所圖解說明，且一輸出振幅逐漸降低。

對於當輸出信號 V_{Out} 在低位準處時之一情況，同樣如此。亦即，在位準移位器 10R 中，節點 A 之電壓 V_A 在重設信號 VR 之下降中稍微降低，如圖 4 中所圖解說明，且此後維持該稍微降低之電壓 (圖 4 之 (C))。此時，當在圖 3 中處於浮動狀態中之節點 A 中之電荷經受透過 MOS 電晶體 12 (舉例而言) 之洩漏時，節點 A 之電壓 V_A 隨著時間之流逝逐漸降低。此時，在其中 MOS 電晶體 17 因節點 A 之電壓 V_A 證明為低於 MOS 電晶體 17 之臨限電壓 $V_{th}(17)$ 之事實而不再充分維持導通狀態時，輸出信號 V_{Out} 可相依於位準移位器 10R 之輸出端子 Out 中之一負載狀態而自電壓 VSS 稍微上升，且輸出振幅可能降低。

出於該等原因，在根據該比較實例之位準移位器 10R 中，當節點 C 及 A 中之電荷經受洩漏時，輸出信號 V_{Out} 之振幅可能隨著時間之流逝而降低。因此，位準移位器 10R 可能導致一接續級中所連接之一電路中之故障或錯誤。亦即，根據該比較實例之位準移位器 10R 在對洩漏之抵抗方面係低。

相比之下，根據該第一實施例之位準移位器 10 在對洩漏之抵抗方面係高且輸出振幅與根據該比較實例之位準移位器 10R 相比較較不可能降低。因此，在一接續級中所連接之一電路中較不可能發生故障或錯誤。

[結果]

因此，根據上文所述該第一實施例，提供電容元件22至25，反相設定信號藉由電容元件22被傳輸至節點B且反相重設信號藉由電容元件24被傳輸至節點A。因此，抵消該等內部信號及該輸出信號中由於設定信號及重設信號所致之電壓改變。因此，可達成恰當或經良好塑形之內部波形及恰當或經良好塑形之輸出波形。

同樣，串聯連接在電源PVDD1與電源PVSS之間及在電源PVDD2與電源PVSS之間的MOS電晶體以一互補方式操作。因此，一靜態直通電路不流動。因此，可達成低電力消耗。

此外，可致使輸出區段執行自舉操作。因此，可輸出具有比輸入信號之彼振幅高之振幅之信號。

[第一修改形式]

在上文所述該第一實施例中，將反相設定信號VSb及反相重設信號VRb之高位準電壓VIH設定在電壓VDD1處，且將其等之低位準電壓VIL設定在電壓VSS處，但本發明並不限於此。舉例而言，可將其等之高位準電壓VIH及低位準電壓VIL中之每一者設定在一可選電壓處，代替電壓VDD1及VSS。在此修改形式中，電容元件22至25之電容值係使用等式(2)及(3)來確定以抵消該等內部信號及該輸出信號由於設定信號及重設信號所致之電壓改變，如上文所述該第一實施例中。

根據此組態，可在(舉例而言)製造一電路之後調節反相

設定信號VSb之高位準電壓VIH及低位準電壓VIL及反相重設信號VRb之彼等電壓以改變該等內部信號之電壓改變量及該輸出信號之彼電壓改變量。亦可達成一組態，其恆定地監視該位準移位器之輸出波形且控制反相設定信號VSb之高位準電壓VIH及低位準電壓VIL及反相重設信號VRb之彼等電壓以使得不發生波形之降格。

[第二修改形式]

在上文所述該第一實施例中，反相設定信號VSb係藉由使設定信號VS反相獲得之一信號，但本發明並不限於此。反相設定信號VSb可係任何信號，只要該信號滿足以下條件：反相設定信號VSb之上升與設定信號VS之下降在同時或在設定信號VS之下降之後；且反相設定信號VSb之下降係在其中設定信號VS在高位準處之一週期中。類似地，在上文所述該第一實施例中，反相重設信號VRb係藉由使重設信號VR反相獲得之一信號，但本發明並不限於此。反相重設信號VRb可係任何信號，只要該信號滿足以下條件：反相重設信號VRb之上升與重設信號VR之下降在同時或在重設信號VR之下降之後；且反相重設信號VRb之下降係在其中重設信號VR在高位準處之一週期中。因此，反相設定信號VSb及反相重設信號VRb不必必須分別藉由使設定信號VS及重設信號VR反相來產生，且舉例而言，可使用滿足該等條件之現有可選信號。因此，可增加對反相設定信號VSb及反相重設信號VRb之選擇之一自由度。

[第三修改形式]

在上文所述該第一實施例中，利用電容元件22至25達成用於將反相設定信號VSb及反相重設信號VRb傳輸至電路中之電容，但本發明並不限於此。舉例而言，可使用MOS電晶體代替電容元件22至25來組態該等電容。圖5圖解說明根據一第三修改形式使用MOS電晶體作為該等電容之一位準移位器10A之一組態之一實例。根據此修改形式之位準移位器10A利用MOS電晶體22a至25a之閘極氧化物膜電容來組態該等電容。

一般而言，MOS電晶體之寄生電容與利用MOS電晶體之電容一樣因製程可變性而變化。使用MOS電晶體組態電容(如圖5中所圖解說明)允許MOS電晶體之寄生電容及利用MOS電晶體之電容類似地變化。因此，對特性之一影響係小。亦即，可憑藉圖5中所圖解說明之組態增加對製程可變性之抵抗。

[第四修改形式]

在上文所述該第一實施例中，使用單閘極MOS電晶體，但本發明並不限於此。舉例而言，可使用雙閘極MOS電晶體或三閘極MOS電晶體代替單閘極MOS電晶體。圖6圖解說明根據一第四修改形式使用雙閘極MOS電晶體之一位準移位器10B之一組態之一實例。在根據此修改形式之位準移位器10B中，根據該第一實施例之位準移位器10中之MOS電晶體11至15被雙閘極MOS電晶體所替代。藉此，可減少MOS電晶體之關斷狀態中之一洩漏電流，且達成低電力消耗。

[第五修改形式]

在上文所述該第一實施例中，使用MOS電晶體15來允許節點B及節點C在自舉操作時電絕緣，但本發明並不限於此。舉例而言，如圖7中所圖解說明可不提供MOS電晶體15。藉此，可達成具有減少數目之元件之一位準移位器。

圖8圖解說明一位準移位器10C之一操作之一時序波形圖，其中(A)圖解說明設定信號VS之一波形，(B)圖解說明重設信號VR之一波形，(C)圖解說明反相設定信號VSb之一波形，且(D)圖解說明反相重設信號VRb之一波形。此外，(E)圖解說明節點A中之電壓VA之一波形，(F)圖解說明節點B中之電壓VB之一波形，且(G)圖解說明輸出信號VOut之一波形。在根據該第五修改形式之位準移位器10C中，設定信號VS之上升允許輸出信號VOut在電壓VDD2(高位準)處，且甚至在設定信號VS已下降時亦實質上維持輸出信號VOut之該電壓位準，如在根據上文所述該第一實施例之位準移位器10中。此後，重設信號VR之上升允許輸出信號VOut在電壓VSS(低位準)處，且甚至在重設信號VR已下降時亦實質上維持輸出信號VOut之電壓位準。

在根據該第五修改形式之移位電阻器10C中，取消MOS電晶體15。因此，MOS電晶體13及14所經歷之一電容負載增加，且操作速度可稍微變慢。因此，較佳地，但不要求將位準移位器10C應用於其中不期望快速操作速度之應用。因此，位準移位器10C由減少數目之元件構造而成。

因此，可達成一電路之大小之一減小。

[第六修改形式]

在上文所述該第一實施例中，出於改良節點A及節點B之波形之降格之目的而提供電容元件22至25。舉例而言，可進一步添加元件。圖9圖解說明根據一第六修改形式之將MOS電晶體新添加至節點A及節點B中之每一者之一位準移位器10D之一組態之一實例。根據該第六修改形式之位準移位器10D具有一MOS電晶體18及一MOS電晶體19。MOS電晶體18包含連接至節點A之一閘極，連接至節點B之一汲極及連接至電源PVSS之一源極。MOS電晶體19包含連接至節點B之一閘極、連接至節點A之一汲極及連接至電源PVSS之一源極。

在圖3中所圖解說明之根據該比較實例之位準移位器10R中，設定信號VS藉由MOS電晶體13之閘極與源極之間的寄生電容被傳輸至節點B，且重設信號VR藉由MOS電晶體11之閘極與源極之間的寄生電容被傳輸至節點A，節點A及節點B中之波形因此而降格，如上文所述。一類似現象亦可發生在MOS電晶體12及14中。亦即，設定信號VS可藉由MOS電晶體12之汲極與閘極之間的一寄生電容而被傳輸至節點A，且重設信號VR可藉由MOS電晶體14之汲極與閘極之間的一寄生電容而被傳輸至節點B以可能改變節點A及節點B中之電壓。

如下文將闡述，電壓改變可藉由MOS電晶體12及MOS電晶體14中之每一者之汲極與閘極之間的寄生電容而發生在

節點A及節點B中之每一者中，甚至在圖1中所圖解說明之根據該第一實施例之位準移位器10中亦如此。

圖10圖解說明根據該第一實施例之位準移位器10在將MOS電晶體12及14中之每一者之汲極與閘極之間的寄生電容考量在內之情形下之一操作之一時序波形圖，其中(A)圖解說明設定信號VS之一波形，(B)圖解說明重設信號VR之一波形，(C)圖解說明反相設定信號VSb之一波形，且(D)圖解說明反相重設信號VRb之一波形。此外，(E)圖解說明節點A中之電壓VA之一波形，(F)圖解說明節點B中之電壓VB之一波性，(G)圖解說明節點C中之電壓VC之一波形，且(H)圖解說明輸出信號VOut之一波形。

在根據該第一實施例之位準移位器10中，當設定信號VS在設定信號VS升高且輸出信號VOut升高至高位準之後下降(圖10之(A))時，設定信號VS之下降可藉由MOS電晶體12之汲極與閘極之間的寄生電容被傳輸至節點A。因此，節點A之電壓VA可自緊接著前一電壓VSS稍微降低，且甚至此後仍可維持彼稍微降低之電壓(圖10之(E)中之一波形L3)。亦即，如上文所述節點B之電壓VB藉由緊接著隨後輸入之反相設定信號VSb之上升抵消(圖10之(F))，但節點A之電壓VA可未被抵消以因此維持其狀態。

此後，當重設信號VR在重設信號VR升高且輸出信號VOut下降至低位準之後下降(圖10之(B))時，重設信號VR之下降可藉由MOS電晶體14之汲極與閘極之間的寄生電容被傳輸至節點B。因此，節點B之電壓VB可自緊接著前一

電壓 V_{SS} 稍微降低，且甚至此後仍可維持彼稍微降低之電壓(圖 10 之 (F) 中之波形 L3)。亦即，如上文所述節點 A 之電壓 V_A 藉由緊接著隨後輸入之反相重設信號 VR_b 之上升抵消(圖 10 之 (E))，但節點 B 之電壓 V_B 可未被抵消以因此維持其狀態。

節點 A 中之電壓改變(圖 10 之 (E) 中之波形 L3)及節點 B 中之彼電壓改變(圖 10 之 (F) 中之波形 L3)中之每一者係如此改變以增加其等內部波形之振幅之一電壓改變。因此，確保一雜訊容限且一電壓之一穩定性將不會降低。此外，其等之電壓改變不會影響輸出信號 V_{Out} 之波形。

另一方面，節點 A 之電壓 V_A 之下降及節點 B 之電壓 V_B 之下降至低於電壓 V_{SS} 意指當 MOS 電晶體 16 及 17 欲關斷時，其等閘極與源極之間的電壓 V_{gs} 變為負。因此，可產生關斷狀態中汲極與源極之間的一洩漏電流。

圖 11 表示一普通 N-通道 MOS 電晶體之一靜態特性(I_{ds} - V_{gs} 特性)。在其中閘極-源極電壓 V_{gs} 為正之一區中，一汲極-源極電流 I_{ds} 以一指數方式增加，且特定而言，MOS 電晶體在該閘極-源極電壓超越一臨限電壓 V_{th} 時導通。另一方面，在其中閘極-源極電壓 V_{gs} 為負之一區中，當閘極-源極電壓 V_{gs} 降低越多時，汲極-源極電流 I_{ds} 往往藉由洩漏電流增加越多。

參考圖 9，串聯連接在電源 $PVDD2$ 與電源 $PVSS$ 之間之 MOS 電晶體 16 及 17 互補地操作，如上文所述。亦即，當 MOS 電晶體 16 及 17 中之另一者處於一導通狀態中時，MOS

電晶體16及17中之一者處於一關斷狀態中。因此，當在處於關斷狀態中之MOS電晶體之汲極與源極之間存在一洩漏電流時，對應於該洩漏電流之一量之一直通電流在電源PVDD2與電源PVSS之間流動且藉此電力消耗因此增加。

因此，藉由關注當節點A中之電壓及節點B(節點C)中之電壓中之一者在高位準處時節點A中之電壓及節點B(節點C)中之電壓中之另一者在低位準處之事實，根據該第六修改形式之位準移位器10D利用MOS電晶體18及19來在節點A之電壓VA在高位準處時將節點B之電壓VB(節點C之電壓VC)設定在電壓VSS處，且在節點B之電壓VB(節點C之電壓VC)在高位準處時將節點A之電壓VA設定在電壓VSS處(圖10中之一特性L4)。藉此，可防止由於洩漏電流所致電力消耗之增加。

[第七修改形式]

在上文所述該第一實施例中，使用N-通道MOS電晶體作為MOS電晶體，但本發明並不限於此。舉例而言，可使用P-通道MOS電晶體代替N-通道MOS電晶體用於MOS電晶體。

圖12圖解說明根據該第七修改形式之一位準移位器10E之一組態之一實例。位準移位器10E具有一組態，其中根據該第一實施例之位準移位器10之NMOS電晶體直接用PMOS電晶體代替，且相應地顛倒一輸入-輸出信號波形及一內部信號波形之電壓軸。位準移位器10E與根據該第一實施例之位準移位器10類似地操作。

一 MOS 電晶體 31 包含連接至輸入端子 R 之一閘極，連接至一電源 PVSS1 之一汲極及連接至節點 A 之一源極。MOS 電晶體 31 在該閘極與該源極之間具有一未圖解說明寄生電容。一 MOS 電晶體 32 包含連接至輸入端子 S 之一閘極、連接至節點 A 之一汲極及連接至一電源 PVDD 之一源極。一 MOS 電晶體 33 包含連接至輸入端子 S 之一閘極，連接至電源 PVSS1 之一汲極及連接至節點 B 之一源極。MOS 電晶體 33 在該閘極與該源極之間具有一未圖解說明寄生電容。一 MOS 電晶體 34 包含連接至輸入端子 R 之一閘極，連接至節點 B 之一汲極及連接至電源 PVDD 之一源極。一 MOS 電晶體 35 包含連接至電源 PVSS1 之一閘極，一汲極及一源極，其中該汲極及該源極中之一者連接至節點 B 且該汲極及該源極中之另一者連接至節點 C。一 MOS 電晶體 36 包含連接至節點 C 之一閘極，連接至具有一電壓 VSS2 (其低於電源 PVSS1 之一電壓 VSS1) 之一電源 PVSS2 之一汲極，及連接至輸出端子 Out 之一源極。一 MOS 電晶體 37 包含連接至節點 A 之一閘極、連接至輸出端子 Out 之一汲極及連接至電源 PVDD 之一源極。

一電容元件 41 插入在 MOS 電晶體 36 之閘極與源極之間。一電容元件 42 插入在輸入端子 Sb 與節點 B 之間。一電容元件 43 插入在節點 B 與電源 PVDD 之間。一電容元件 44 插入在輸入端子 Rb 與節點 A 之間。一電容元件 45 插入在節點 A 與電源 PVDD 之間。

電源 PVSS1 將電力供應至位準移位器 10E 之除輸出區段

(亦即，MOS電晶體36及37)之外之區段，且電源PVSS2將電力供應至彼等輸出區段。電源PVSS2用來設定位準移位器10E之輸出信號VOut之一低位準電壓，且驅動一接續級中所連接之一電路。

圖13圖解說明位準移位器10E之一操作之一時序波形圖，其中(A)圖解說明設定信號VS之一波形，(B)圖解說明重設信號VR之一波形，(C)圖解說明反相設定信號VSb之一波形，且(D)圖解說明反相重設信號VRb之一波形。此外，(E)圖解說明節點A中之電壓VA之一波形，(F)圖解說明節點B中之電壓VB之一波形，(G)圖解說明節點C中之電壓VC之一波形，且(H)圖解說明輸出信號VOut之一波形。

首先，設定信號VS下降(圖13之(A))以執行自舉操作，且節點C之電壓VC下降至低於電壓VSS2之一電位(圖13之(G))，且輸出信號VOut在電壓VSS2處(亦即，在低位準處)(圖13之(H))。當設定信號VS升高(圖13之(A))時，相應地在節點B之電壓VB及節點C之電壓VC中發生電壓改變，然而由於反相設定信號VSb之緊接著隨後下降發生在一相反方向上之電壓改變，藉此抵消彼等電壓改變(圖13之(G))。因此，將輸出信號VOut維持在VSS2處(圖13之(H))。

然後，重設信號VR之下降(圖13之(B))允許節點C之電壓VC升高(圖13之(G))，且節點A之電壓VA降低(圖13之(E))，且輸出信號VOut在電壓VDD處(亦即，在高位準處)(圖13之(H))。當重設信號VR升高時，相應地在節點A

之電壓VA中發生一電壓改變，然而由於反相重設信號VRb之緊接著隨後下降發生在一相反方向上之一電壓改變，藉此抵消彼等電壓改變(圖13之(E))。因此，將輸出信號VOut維持在電壓VDD處(圖13之(H))。

因此，根據該第七修改形式，以與上文所述該第一實施例類似之一方式，提供電容元件42至45，反相設定信號VSb藉由電容元件42被傳輸至節點B，且反相重設信號VRb藉由電容元件44被傳輸至節點A。因此，抵消該等內部信號及該輸出信號中由於設定信號VS及重設信號VR所致之電壓改變。因此，可防止故障或錯誤且達成穩定操作。

[2. 第二實施例]

後文，將闡述根據一第二實施例之一位準移位器。在該第二實施例中，使藉由反相設定信號及反相重設信號達成之該等內部波形之電壓改變量大於上文所述該第一實施例中之彼等電壓改變量。亦即，在該第二實施例中，修改圖1中所圖解說明之根據上文所述第一實施例之位準移位器10中電容元件22與23之電容比及電容元件24與25之電容比以構造(例如)一位準移位器20。電容元件22與23之電容比經如此設定以使得等式(2)中所表達之傳輸量TS變成大於該第一實施例中之彼傳輸量。同樣，電容元件24與25之電容比經如此設定以使得等式(3)中所表達之傳輸量TR變成大於該第一實施例中之彼傳輸量。其他組態類似於圖1中所圖解說明之上文所述第一實施例之彼等組態。因此，參考圖1來闡述根據此實施例之位準移位器20之一電路結

構，且視需要將不詳細地給出對其之闡述。

[操作及效應]

圖 14 圖解說明位準移位器 20 之一操作之一時序波形圖，其中 (A) 圖解說明設定信號 VS 之一波形，(B) 圖解說明重設信號 VR 之一波形，(C) 圖解說明反相設定信號 VSb 之一波形，且 (D) 圖解說明反相重設信號 VRb 之一波形。此外，(E) 圖解說明節點 A 中之電壓 VA 之一波形，(F) 圖解說明節點 B 中之電壓 VB 之一波形，(G) 圖解說明節點 C 中之電壓 VC 之一波形，且 (H) 圖解說明輸出信號 VOut 之一波形。

在位準移位器 20 中，當設定信號 VS 在設定信號 VS 升高且輸出信號 VOut 升高至高位準之後下降(圖 14 之 (A))時，設定信號 VS 之下降藉由 MOS 電晶體 13 之閘極與源極之間的寄生電容被傳輸至節點 B。因此，節點 B 之電壓 VB 自緊接著前一電壓 ($VDD1 - V_{th}(13)$) 稍微降低(圖 14 之 (F))，且此致使節點 C 之電壓 VC 亦自緊接著前一電壓 VObot 稍微降低(圖 14 之 (G))。當反相設定信號 VSb 緊接著在此後升高(圖 14 之 (D))時，此電壓中之上升藉由電容元件 22 被傳輸至節點 B，且因此節點 B 之電壓 VB 升高以抵消一對應量之緊接著前一電壓降低且進一步稍微升高(圖 14 之 (F))。類似地，節點 C 之電壓 VC 升高以抵消一對應量之緊接著前一電壓降低，且進一步稍微升高(圖 14 之 (G) 中之一波形 L6)。因此，輸出信號 VOut 實質上維持電壓 VDD2(圖 14 之 (H))。

此後，當重設信號 VR 在重設信號 VR 升高且輸出信號 VOut 下降至低位準之後下降(圖 14 之 (B))時，重設信號 VR

之下降藉由MOS電晶體11之閘極與源極之間的寄生電容被傳輸至節點A。因此，節點A之電壓 V_A 自緊接著前一電壓($V_{DD1}-V_{th}(11)$)稍微降低(圖14之(E))。當反相重設信號VRb緊接著在此後升高(圖14之(D))時，此電壓中之上升藉由電容元件24被傳輸至節點A且因此節點A之電壓 V_A 升高以抵消一對應量之緊接著前一電壓降低，且進一步稍微升高(圖14之(E)中之波形L6)。藉此，輸出信號VOut實質上維持電壓VSS(圖14之(H))。

現在，將給出關於對充電於電容元件21中之電荷之洩漏之抵抗之闡述。

圖15圖解說明當位準移位器20中輸出信號VOut升高至高位準時之一操作之一時序波形圖，其中(A)圖解說明節點C中之電壓 V_C 之一波形，且(B)圖解說明輸出信號VOut之一波形。

如圖15之圖(A)中所圖解說明，節點C之電壓 V_C 恆定地超越電壓($V_{DD2}+V_{th}(16)$)，儘管電壓 V_C 在藉由自舉操作自電壓VSS上升至高位準處之後因洩漏而逐漸降低之事實。藉此，輸出信號VOut可在整個超越週期中維持電壓VDD2，如圖15之(B)中所圖解說明。

此係由於節點C之電壓 V_C 在反相設定信號VSb升高(圖14之(C))時升高或提高(圖14之(G))。亦即，在位準移位器20中，將節點C之電壓 V_C 設定為相對高之一位準，以使得使電壓 V_C 降低至電壓($V_{DD2}+V_{th}(16)$)所花費之時間甚至在電壓 V_C 因洩漏而下跌時亦變長。因此，改良對洩漏之抵

抗。

對於當輸出信號 VOut 在低位準處時之一情況，同樣如此。亦即，在位準移位器 20 中，在反相重設信號 VR 之上升中將節點 A 之電壓 VA 設定為高於電壓 ($VDD1 + V_{th}(11)$)，如圖 14 中所圖解說明。此時，當在圖 1 中處於浮動狀態中之節點 A 中之電荷經受透過 (例如) MOS 電晶體 12 之洩漏時，節點 A 之電壓 VA 隨著時間之流逝而逐漸降低。然而，將節點 A 之電壓 VA 設定為相對高，以使得使電壓 VA 降低至 MOS 電晶體 17 之臨限電壓 $V_{th}(17)$ 所花費之時間甚至在電壓 VA 因洩漏而下跌時亦變長。因此，改良對洩漏之抵抗。

因此，在根據該第二實施例之位準移位器 20 中，在反相設定信號 VSb 之上升中節點 C 之電壓 VC 中之上升量大於根據該第一實施例之位準移位器 10 之彼上升量。因此，使電壓 VC 降低至電壓 ($VDD2 + V_{th}(16)$) 所花費之時間甚至在電壓 VC 因洩漏而下跌時亦變長。因此，可進一步增加對洩漏之抵抗。

[結果]

根據該第二實施例，使藉由反相設定信號及反相重設信號達成之內部波形之電壓改變量較大。因此，可增加對洩漏之抵抗。由該第二實施例達成之其他效應類似於上文所述該第一實施例之彼等效應。

[3. 第三實施例]

後文，將闡述根據一第三實施例之一位準移位器。在該

第三實施例中，不僅在輸出區段上而且亦在輸入區段上執行該自舉操作。注意，用相同參考編號標示與根據上文所述該等實施例及該等修改形式之移位電阻器之彼等元件相同或等效之元件，且將不進行詳細闡述。

[組態實例]

圖18圖解說明根據該第三實施例之一位準移位器30之一組態之一實例。位準移位器30具有MOS電晶體51及52及電容元件53及54。

MOS電晶體51包含連接至電源PVDD1之一閘極，一汲極及一源極，其中該汲極及該源極中之一者連接至輸入端子R且該汲極及該源極中之另一者經由一節點R1連接至MOS電晶體11之閘極。MOS電晶體52包含連接至電源PVDD1之一閘極，一汲極及一源極，其中該汲極及該源極中之一者連接至輸入端子S且該汲極及該源極中之另一者經由一節點S1連接至MOS電晶體13之閘極。

電容元件53插入在MOS電晶體11之閘極與源極之間。電容元件53用於執行自舉操作。更具體而言，電容元件53用於允許MOS電晶體11之閘極(亦即，節點R1)之一電壓VR1高於電壓VDD1，從而允許MOS電晶體11之源極之電壓在重設信號VR在高位準處時輸出電源PVDD1之電壓VDD1。

電容元件54插入在MOS電晶體13之閘極與源極之間。電容元件54用於執行自舉操作，與電容元件53一樣。更具體而言，電容元件54用於允許MOS電晶體13之閘極(亦即，節點S1)之一電壓VS1高於電壓VDD1，從而允許MOS電晶

體 13 之源極之電壓在設定信號 VS 在高位準處時輸出電源 PVDD1 之電壓 VDD1。

[操作及效應]

圖 19 圖解說明位準移位器 30 之一操作之一時序波形圖，其中 (A) 圖解說明設定信號 VS 之一波形，(B) 圖解說明重設信號 VR 之一波形，(C) 圖解說明反相設定信號 VSb 之一波形，且 (D) 圖解說明反相重設信號 VRb 之一波形。此外，(E) 圖解說明節點 S1 中之電壓 VS1 之一波形，(F) 圖解說明節點 R1 中之電壓 VR1 之一波形，(G) 圖解說明節點 A 中之電壓 VA 之一波形，(H) 圖解說明節點 B 中之電壓 VB 之一波形，(I) 圖解說明節點 C 中之電壓 VC 之一波形，且 (J) 圖解說明輸出信號 VOut 之一波形。

首先，當設定信號 VS 自電壓 VSS 上升至電壓 VDD1 (圖 19 之 (A)) 時，MOS 電晶體 12 導通，且節點 A 之電壓 VA 下降至電壓 VSS (圖 19 之 (G))。與此同時，MOS 電晶體 13 導通，且節點 B 之電壓 VB 上升。此時，電容元件 54 充有電荷，且電容元件 54 之兩端之間的一電壓差變成大於 MOS 電晶體 13 之臨限電壓 $V_{th}(13)$ 。節點 B 之電壓 VB 甚至在 MOS 電晶體 52 關斷之後繼續上升，同時節點 S1 之電壓 VS1 亦上升，此乃因電容元件 54 之兩端之間的該電壓差得到維持 (亦即，輸入區段中之自舉操作)。節點 S1 之電壓 VS1 最終上升達到一電壓 VSboot (該電壓高於電壓 VDD1 及 MOS 電晶體 13 之臨限電壓 $V_{th}(13)$ 之總電壓 $(VDD1 + V_{th}(13))$) (圖 19 之 (E)) 且節點 B 之電壓 VB 上升達到電壓 VDD1 (圖 19 之 (H))。此後，節點 C

之電壓 VC 憑藉輸出區段之自舉操作亦上升達到電壓 VObot(圖 19 之 (I))，且因此輸出信號 VOut 上升達到電壓 VDD2(圖 19 之 (J))。

此後，當設定信號 VS 自電壓 VDD1 下降至電壓 VSS(圖 19 之 (A))時，MOS 電晶體 52 導通，且節點 S1 之電壓 VS1 下降至電壓 VSS(圖 19 之 (E))，且 MOS 電晶體 13 關斷。此時，藉由電容元件 54 及 MOS 電晶體 13 之閘極與源極之間的寄生電容在節點 B 之電壓 VB 及節點 C 之電壓 VC 中發生電壓改變，然而由於反相設定信號 VSb 之緊接著隨後上升發生在一相反方向上之電壓改變，藉此抵消彼等電壓改變(圖 19 之 (H) 及 (I))。因此，將輸出信號 VOut 維持在電壓 VDD2 處(圖 19 之 (J))。

然後，當設定信號 VR 自電壓 VSS 上升至電壓 VDD1(圖 19 之 (B))時，MOS 電晶體 14 導通，且節點 B 之電壓 VB 下降至電壓 VSS(圖 19 之 (H))，且節點 C 之電壓 VC 亦相應地下降至電壓 VSS(圖 19 之 (I))。與此同時，MOS 電晶體 11 導通，且節點 A 之電壓 VA 上升。此時，電容元件 53 充有電荷，且電容元件 53 之兩端之間的一電壓差變成大於 MOS 電晶體 11 之臨限電壓 $V_{th}(11)$ 。節點 A 之電壓 VA 甚至在 MOS 電晶體 51 關斷之後繼續上升，同時節點 R1 之電壓 VR1 亦上升，此乃因電容元件 53 之兩端之間的電壓差得到維持(亦即，輸入區段中之自舉操作)。節點 R1 之電壓 VR1 最終上升達到一電壓 VRboot(該電壓高於電壓 VDD1 及 MOS 電晶體 11 之臨限電壓 $V_{th}(11)$ 之總電壓 $(VDD1 + V_{th}(11))$)(圖 19 之 (F))且節點 A

之電壓 V_A 上升達到電壓 V_{DD1} (圖 19 之 (G))。藉此，輸出電壓 V_{Out} 下降至電壓 V_{SS} (圖 19 之 (J))。

此後，當重設信號 VR 自電壓 V_{DD1} 下降至電壓 V_{SS} (圖 19 之 (B)) 時，MOS 電晶體 51 導通，且節點 $R1$ 之電壓 $VR1$ 下降至電壓 V_{SS} (圖 19 之 (F))，且 MOS 電晶體 11 關斷。此時，藉由電容元件 53 及 MOS 電晶體 11 之閘極與源極之間的寄生電容在節點 A 之電壓 V_A 中發生電壓改變，然而由於反相重設信號 VRb 之緊接著隨後上升發生在一相反方向上之一電壓改變，藉此抵消彼等電壓改變 (圖 19 之 (G))。因此，將輸出信號 V_{Out} 維持在電壓 V_{SS} 處 (圖 19 之 (J))。

[結果]

因此，根據上文所述該第三實施例，亦在輸入區段中執行自舉操作。此使得可增加節點 A 及節點 B 中之內部波形之振幅，藉此允許一電路穩定地操作。由該第三實施例達成之其他效應類似於上文所述該第一實施例之彼等效應。

[第三實施例之修改形式]

在上文所述該第三實施例中，MOS 電晶體 51 及 52 中之每一者之閘極皆連接至電源 PV_{DD1} ，但本發明並不限於此。舉例而言，可新提供具有低於電源 PV_{DD1} 之電壓 V_{DD1} 之一電壓 V_{DD3} 之一電源 PV_{DD3} ，且 MOS 電晶體 51 及 52 中之每一者之閘極可連接至電源 PV_{DD3} ，如圖 20 中所圖解說明。此外，可將四個輸入信號之高位準電壓 V_{IH} 中之每一者設定為電壓 V_{DD3} ，且可將其等低位準電壓 V_{IL} 設定為電壓 V_{SS} 。

圖21圖解說明根據該第三實施例之一修改形式之位準移位器30A之一操作之一時序波形圖。在上文所述該第三實施例中，包含設定信號VS、重設信號VR、反相設定信號VSb及反相重設信號VRb之四個輸入信號中之每一者之高位準電壓係電壓VDD1。在圖21中所圖解說明之此修改形式中，四個輸入信號中之每一者之高位準電壓VIH為電壓VDD3，該電壓VDD3低於電壓VDD1。此修改形式中之其他操作與上文所述彼等操作相同。

在根據該第三實施例之該修改形式之位準移位器30A中，甚至在四個輸入信號之高位準電壓VIH降低時，亦可藉由輸入區段中之自舉操作維持節點A及B中之電壓振幅(VDD1至VSS)。因此，可在維持一電路之一操作之一穩定性之同時降低在供應該四個輸入信號之一先前級中之一電路之電力消耗。

[4. 第四實施例]

後文，將闡述根據一第四實施例之一位準移位器。在該第四實施例中，選用其中除輸出區段外自該等輸入信號供應電力之一組態。注意，用相同參考編號標示與根據上文所述該等實施例及該等修改形式之移位電阻器之彼等元件相同或等效之元件，且將不進行詳細闡述。

[組態實例]

圖22圖解說明根據該第四實施例之一位準移位器40之一組態之一實例。位準移位器40不同於圖7中所圖解說明之根據該第一實施例之該修改形式之位準移位器10C，此係

由於MOS電晶體11中之汲極之一連接目的地經組態係其閘極代替電源PVDD1，且MOS電晶體13中之汲極之一連接目的地經組態係其閘極代替電源PVDD1，從而取消電源PVDD1。其他組態類似於圖7中所圖解說明之該第一實施例之上文所述修改形式之彼等組態。

包含設定信號VS、重設信號VR、反相設定信號VSb及反相重設信號VRb之四個輸入信號之高位準電壓VIH係彼此相同，且其等低位準電壓VIL係電壓VSS。

在此組態下，自供應設定信號VS及重設信號VR之一先前級中之一電路藉由彼等輸入信號供應位準移位器40之電力。亦即，位準移位器40操作以使得當設定信號VS及重設信號VR在高位準處時，供應其等電壓VIH作為電力。

[操作及效應]

圖23圖解說明位準移位器40之一操作之一時序波形圖，其中(A)圖解說明設定信號VS之一波形，(B)圖解說明重設信號VR之一波形，(C)圖解說明反相設定信號VSb之一波形，且(D)圖解說明反相重設信號VRb之一波形。此外，(E)圖解說明節點A中之電壓VA之一波形，(F)圖解說明節點B中之電壓VB之一波形，且(G)圖解說明輸出信號VOut之一波形。

首先，當設定信號VS自電壓VSS上升至電壓VIH(圖23之(A))時，MOS電晶體12導通，且節點A之電壓VA下降至電壓VSS(圖23之(E))。與此同時，MOS電晶體13導通，且藉由設定信號VS供應電力，且節點B之電壓VB藉由自舉操作

上升達到電壓 V_{Oboot} (圖 23 之 (F))，且輸出信號 V_{Out} 上升達到電壓 V_{DD2} (圖 23 之 (G))。

此後，當設定信號 V_S 下降(圖 23 之 (A))時，相應地在節點 B 之電壓 V_B 中發生電壓改變，然而由於反相設定信號 V_{Sb} 之緊接著隨後上升發生在一相反方向上之一電壓改變，藉此抵消彼等電壓改變(圖 23 之 (F))。因此，將輸出信號 V_{Out} 維持在電壓 V_{DD2} 處(圖 23 之 (G))。

然後，當重設信號 V_R 自電壓 V_{SS} 上升至電壓 V_{IH} (圖 23 之 (B))時，MOS 電晶體 14 導通，且節點 B 之電壓 V_B 下降至電壓 V_{SS} (圖 23 之 (F))。與此同時，MOS 電晶體 11 導通，且藉由重設信號 V_R 供應電力，且節點 A 之電壓 V_A 上升至一電壓 ($V_{IH} - V_{th}(11)$)，其僅低於電壓 V_{IH} 對應於 MOS 電晶體 11 之臨限電壓 $V_{th}(11)$ 之一量(圖 23 之 (E))。因此，輸出信號 V_{Out} 下降至電壓 V_{SS} (圖 23 之 (G))。

此後，當重設信號 V_R 下降(圖 23 之 (B))時，相應地在節點 A 之電壓 V_A 中發生電壓改變，然而由於反相重設信號 V_{Rb} 之緊接著隨後上升發生在一相反方向上之一電壓改變，藉此抵消彼等電壓改變(圖 23 之 (E))。因此，將輸出信號 V_{Out} 維持在電壓 V_{SS} (圖 23 之 (G))。

[結果]

因此，根據上文所述該第四實施例，除輸出區段外，自該等輸入信號供應電力。此使得可取消其電力佈線，且允許一電路佈局在大小上更小型。由該第四實施例達成之其他效應類似於上文所述該第一實施例之彼等效應。

[5. 第五實施例]

後文，將闡述根據一第五實施例之一位準移位器。該第五實施例簡化用於抵消該等內部信號及該輸出信號之由設定信號及重設信號導致的電壓改變之方案。亦即，在上文所述該第一實施例中，提供電容元件22至25，反相設定信號藉由電容元件22被傳輸至節點B，且反相重設信號藉由電容元件24被傳輸至節點A。在該第五實施例中，僅提供電容元件22及23，且反相設定信號藉由電容元件22被傳輸至節點B。注意，用相同參考編號標示與根據上文所述該等實施例及該等修改形式之移位電阻器之彼等元件相同或等效之元件，且將不進行詳細闡述。

[組態實例]

圖24圖解說明根據該第五實施例之一位準移位器50之一組態之一實例。位準移位器50不同於圖1中所圖解說明之根據該第一實施例之位準移位器10，此係由於取消電容元件24及25。其他組態類似於圖1中所圖解說明之該第一實施例之彼等組態。

[操作及效應]

圖25圖解說明位準移位器50之一操作之一時序波形圖，其中(A)圖解說明設定信號VS之一波形，(B)圖解說明重設信號VR之一波形，且(C)圖解說明反相設定信號VSb之一波形。此外，(D)圖解說明節點A中之電壓VA之一波形，(E)圖解說明節點B中之電壓VB之一波形，(F)圖解說明節點C中之電壓VC之一波形，且(G)圖解說明輸出信號VOut

之一波形。

首先，設定信號VS升高(圖25之(A))以執行自舉操作，且節點C之電壓VC上升至高於電壓VDD2之一電位(圖25之(F))，且輸出信號VOut輸出電壓VDD2(圖25之(G))。當設定信號VS下降(圖25之(A))時，相應地在節點B之電壓VB及節點C之電壓VC之每一者中發生電壓改變，然而由於反相設定信號VSb之緊接著隨後上升在其中發生在一相反方向上之電壓改變，藉此抵消彼等電壓改變(圖25之(E)及(F))。因此，將輸出信號VOut維持在電壓VDD2處(圖25之(G))。

然後，重設信號VR之上升(圖25之(B))允許節點C之電壓VC降低至電壓VSS(圖25之(F))，且節點A之電壓VA上升(圖25之(D))，且輸出信號VOut輸出電壓VSS(圖25之(G))。當重設信號VR下降時，相應地在節點A之電壓VA中發生電壓改變(圖25之(D))，然而只要彼電壓大於MOS電晶體17之臨限電壓Vth(17)，MOS電晶體17便可繼續維持導通狀態。因此，將輸出信號VOut維持在電壓VSS處(圖25之(G))。

[結果]

因此，根據上文所述該第五實施例，取消電容元件24及25，且僅提供電容元件22及23用於抵消該等內部信號及該輸出信號之由設定信號及重設信號導致的電壓改變之方案。因此，可在達成一穩定操作之同時減少組件數目。

[6. 顯示裝置之應用之實例]

後文，將闡述在上文實施例及修改形式中所述之位準移位器之應用之實例。根據該等實施例及該等修改形式之位準移位器可用於其中(例如)基於具有一小振幅之一信號產生具有一大振幅之一信號之應用。特定而言，根據該等實施例及該等修改形式之位準移位器對於其中使用單通道MOS電晶體來達成一組態之應用係較佳的但非必須的。在下文中，將參考其中在一顯示裝置中或特定而言在顯示裝置之一掃面線驅動電路中使用上文所述位準移位器中之任一者之實例來闡述該等應用之實例。

[總體組態]

圖26圖解說明根據上文所述該等實施例及該等修改形式之位準移位器中之任一者應用於其之一顯示裝置1之一組態之一實例。顯示裝置1具有一顯示面板60及一驅動電路70。

[顯示面板60]

顯示面板60包含其中複數個像素61配置成矩陣之一像素陣列區段63。顯示面板60可藉由一主動矩陣驅動方法基於自外部輸入之一影像信號70A及一同步信號70B執行像素顯示。在該等應用之實例中，像素61中之每一者係由針對紅色之一像素61R、針對綠色之一像素61G及針對藍色之一像素61B構造而成，但色彩數目及色彩類型並不限於此。應注意，在下文中，可視需要將像素61R、61G及61B統稱為像素61。

像素陣列區段63包含N數目個配置成列之掃描線WSL、

N數目個配置成行之信號線DTL及N數目個沿掃描線WSL配置成列之電力線DSL。掃描線WSL、信號線DTL及電力線DSL之一個端分別連接至驅動電路70，稍後將更加詳細地闡述該驅動電路。像素61R、61G及61B配置成若干列及若干行(亦即，配置成矩陣)在對應於掃描線WSL與信號線DTL之交點之位置處。應注意，在下文中，可視需要使用指示個別N數目個掃描線WSL之術語「掃描線WSL(1)至WSL(N)」來指代該N數目個掃描線WSL。

圖27圖解說明像素61之一內部組態之一實例。像素61在其中具有一有機電致發光(後文僅將其稱為「EL」)元件62及一像素電路64。

有機EL元件62係以對應於一所供應驅動電流之一亮度發射光之一發光元件。驅動電流由下文將闡述之像素電路64供應。

像素電路64具有一寫入電晶體Tr1、一驅動電晶體Tr2及一電容元件Cpix，且因此具有稱為所謂的「2Tr1C」之一電路組態。舉例而言，寫入電晶體Tr1及驅動電晶體Tr2中之每一者可藉由N-通道MOS薄膜電晶體(TFT)來組態。

在像素電路64中，寫入電晶體Tr1包含連接至掃描線WSL之一閘極、連接至信號線DTL之一源極及連接至驅動電晶體Tr2之一閘極及電容元件Cpix之一第一端之一汲極。驅動電晶體Tr2之一汲極連接至電力線DSL，且一源極連接至電容元件Cpix之一第二端及有機EL元件62之一節點。將有機EL元件62之一陰極設定在一固定電位處。本文

中，有機EL元件62之陰極連接至一接地線GND以將該陰極設定為接地(設定為一接地電位)。有機EL元件62之陰極可充當有機EL元件62中之每一者之一共同電極。舉例而言，有機EL元件62之陰極可貫穿顯示面板60之一顯示區連續形成，且因此可係一類似平板之電極。

[驅動電路70]

驅動電路70驅動(執行像素陣列區段63之顯示驅動)像素陣列區段63(顯示面板60)。更具體而言，驅動電路70按序選擇像素陣列區段63中之複數個像素61，且將基於影像信號70A之一信號電壓寫入至選定像素61，從而對該複數個像素61執行顯示驅動。如圖26中所圖解說明，驅動電路70具有一影像信號處理電路71、一時序產生電路72、一掃描線驅動電路73、一信號線驅動電路74及一電力線驅動電路75。

影像信號處理電路71對自外部輸入之數位影像信號70A執行一預定校正，且將經校正影像信號71A輸出至信號線驅動電路74。該預定校正可係一伽瑪校正(gamma correction)、一過度驅動校正或其他適合校正。

時序產生電路72基於自外部輸入之同步信號70B產生一控制信號72A且輸出所產生控制信號72A以控制掃描線驅動電路73、信號線驅動電路74及電力線驅動電路75中之每一者以使得其等以一協作或連鎖方式操作。

掃描線驅動電路73根據控制信號72A或與控制信號72A同步地將選擇脈衝按序地施加至該複數個掃描線WSL，從

而按序選擇該複數個像素61。更具體而言，掃描線驅動電路73選擇性地輸出：在將寫入電晶體Tr1設定為一導通狀態中所施加之一電壓Von；及在將寫入電晶體Tr1設定為一關斷狀態中所施加之一電壓Voff，以產生上文所述選擇脈衝。本文中，電壓Von係在等於或高於寫入電晶體Tr1之一導通電壓之一值(一恆定值)處，且電壓Voff係在低於彼寫入電晶體Tr1之導通電壓之一值(一恆定值)處。

信號線驅動電路74根據控制信號72A或與控制信號72A同步地產生對應於自影像信號處理電路71輸入之影像信號之一類比影像信號(一亮度信號)且將所產生類比信號施加至信號線DTL中之每一者。更具體而言，信號線驅動電路74將基於影像信號70A之一類比信號電壓Vsig施加至信號線DTL中之每一者以執行將一影像信號寫入至由掃描線驅動電路73選擇之像素(選擇目標)61。如本文中所使用，術語「寫入影像信號」係指將對應於信號電壓Vsig之一預定電壓施加於驅動電晶體Tr2之閘極與源極之間。此外，在有機EL元件12熄滅時，信號線驅動電路74輸出在校正驅動電晶體Tr2之臨限電壓Vth中之一變化中所使用之一電壓Vofs。

電力線驅動電路75根據控制信號72A或與控制信號72A同步地將控制脈衝按序地施加至該複數個電力線DSL，以執行對有機EL元件62中之每一者之一發射操作及一熄滅操作之一控制。更具體而言，電力線驅動電路75選擇性地輸出：在使有機EL元件62中之每一者發射中所施加之一電壓

VCC；及在有機EL元件62中之每一者之發射之前在如此準備像素電路64中之每一者以使得有機EL元件62中之每一者以一期望亮度發射中所施加之一電壓 V_{ini} ，從而產生上文所述控制脈衝。

[整體操作]

將闡述根據上文所述該等實施例及該等修改形式中之任一者之位準移位器用於其之顯示裝置1中之一顯示操作之一概述。

參考圖26及27，在顯示裝置1中，驅動電路70基於影像信號70A及同步信號70B對顯示面板60(或像素陣列區段63)中之像素61(或像素61R、61G及61B)中之每一者執行顯示驅動。更具體而言，首先，影像信號處理電路71基於影像信號70A執行校正(例如伽瑪校正及過度驅動校正)且輸出經校正影像信號71A。時序產生電路72基於同步信號70B產生控制信號72A且輸出所產生控制信號72A。掃描線驅動電路73產生包含電壓 V_{on} (恆定值)及電壓 V_{off} (恆定值)之選擇脈衝，且與控制信號72A同步地將所產生選擇脈衝按序施加至N數目個掃描線WSL。信號線驅動電路74產生類比影像信號(其包含：對應於經校正影像信號71A之電壓 V_{sig} ；及電壓 V_{ofs} (恆定值))且與控制信號72A同步地將所產生類比影像信號施加至信號線DTL中之每一者。電力線驅動電路75產生包含電壓VCC(恆定值)及電壓 V_{ini} (恆定值)之控制脈衝，且與控制信號72A同步地將所產生控制脈衝按序施加至N數目個電力線DSL。

在由掃描線 WSL(一水平像素線)之選擇脈衝選擇之該複數個像素 61 中，針對像素 61 中之每一者校正驅動電晶體 Tr2 中之臨限電壓 V_{th} 中之變化，且此後，寫入信號線 DTL 之類比影像信號，且藉由電力線 DSL 之控制脈衝致使驅動電流流至有機 EL 元件 62。有機 EL 元件 62 根據驅動電流發射。因此，在顯示面板 60 中執行基於影像信號 70A 顯示一影像。

[第一應用之實例]

首先，將闡述根據在該等實施例及該等修改形式中所述位準移位器中之任一者之一第一應用之實例之一掃描線驅動電路。

[組態實例]

圖 28 圖解說明根據在該等實施例及該等修改形式中所述之位準移位器中之任一者之一第一應用之實例之一掃描線驅動電路 73A 之一組態之一實例。掃描線驅動電路 73A 具有一移位暫存器 80、N 數目個反相器 90、N 數目個反相器 91 及 N 數目個位準移位器 10。

移位暫存器 80 具有以下功能：按一分時方式基於所輸入之一時脈信號 CK1 及一時脈信號 CK2 按序產生 $2N$ 數目個脈衝信號，及以其等產生之一次序輸出所產生 $2N$ 數目個脈衝信號作為輸出信號 $Q(1)$ 至 $Q(2N)$ 。時脈信號 CK1 及 CK2 係時序產生電路 72 產生及輸出之控制信號 72A 中所包含之信號之說明性實例。此外，如稍後將更加詳細地闡述，時脈脈衝交替地出現在時脈信號 CK1 及 CK2 中。應注意，在下文

中，可視需要將輸出信號 $Q(1)$ 至 $Q(2N)$ 統稱為輸出信號 Q 。

反相器 90 中之每一者係以下一電路：處置移位暫存器 80 之作為一輸入之奇數輸出信號 $Q(2k-1)$ (其中 k 係等於或小於 N 之一自然數)；使該奇數輸出信號 Q 反相；及輸出反相奇數輸出信號 Q 作為一輸出信號 $Qb(2k-1)$ 。反相器 91 中之每一者係以下一電路：處置移位暫存器 80 之作為一輸入之偶數輸出信號 $Q(2k)$ ；使偶數輸出信號 Q 反相；及輸出反相偶數輸出信號 Q 作為一輸出信號 $Qb(2k)$ 。應注意，在下文中，可視需要將輸出信號 $Qb(1)$ 至 $Qb(2N)$ 統稱為輸出信號 Qb 。

位準移位器 10 中之每一者對應於根據上文所述該等實施例及該等修改形式之位準移位器中之任一者。第 n 個位準移位器 10(n)包含：移位暫存器 80 之輸出信號 $Q(2n-1)$ 供應至的輸入端子 S ；反相器 90(n)(至其之輸入係供應至輸入端子 S 之信號)之輸出信號 $Qb(2n-1)$ 供應至的輸入端子 Sb ；移位暫存器 80 之輸出信號 $Qb(2n)$ 供應至的輸入端子 R ；及反相器 91(n)(至其之輸入係供應至輸入端子 R 之信號)之輸出信號 $Qb(2n)$ 供應至的輸入端子 Rb ，且自輸出端子 Out 輸出具有大於彼等輸入信號之振幅之一振幅的一信號。 N 數目個位準移位器之輸出分別連接至圖 26 中所圖解說明之像素陣列區段 63 中之 N 數目個掃描線 WSL (亦即， $WSL(1)$ 至 $WSL(N)$)。位準移位器 10 將電壓 $VWSL$ (亦即， $VWSL(1)$ 至 $VWSL(N)$)施加至掃描線 WSL (亦即， $WSL(1)$ 至 $WSL(N)$)，從而按一分時方式按序驅動該等掃描線 WSL (亦即，

WSL(1)至 WSL(N))。亦即，電壓 VWSL 之一高位準電壓對應於用於導通圖 27 中之寫入電晶體 Tr1 之電壓 Von，且電壓 VWSL 之一低位準電壓對應於用於關斷圖 27 中之寫入電晶體 Tr1 之電壓 Voff。

在該第一應用之實例中，位準移位器 10 在自供應至輸入端子 S 之信號(亦即，設定信號 VS)之上升至供應至輸入端子 R 之信號(亦即，重設信號 VR)之下降之一時間週期期間將高位準處之電壓輸出至輸出端子 Out，且舉例而言，可使用根據上文實施例及修改形式之位準移位器中利用 N-通道 MOS 電晶體之位準移位器用於位準移位器 10。

[操作實例]

圖 29 圖解說明掃描線驅動電路 73A 之一操作之一時序波形圖，其中 (A) 圖解說明時脈信號 CK1 之一波形，(B) 圖解說明時脈信號 CK2 之一波形，(C) 圖解說明移位暫存器 80 之輸出信號 Q 之波形，(D) 圖解說明反相器 90 及 91 之輸出信號 Qb 之波形，且 (E) 圖解說明掃描線 WSL 之電壓 VWSL 之波形。出於闡述方便之目的，在圖 29 中僅圖解說明與某三個特定位準移位器 10(n-1) 至 10(n+1) 相關的移位暫存器 80 之輸出信號 Q 及反相器 90 及 91 之輸出信號 Qb。亦即，針對移位暫存器 80 之輸出信號 Q 僅圖解說明輸出信號 Q(2n-3) 至 Q(2n+2) 之波形，且針對反相器 90 及 91 之輸出信號 Qb 僅圖解說明輸出信號 Qb(2n-3) 至 Qb(2n+2) 之波形。

如圖 29 之 (A) 及 (B) 中所圖解說明，時脈脈衝交替地出現在時脈信號 CK1 及 CK2 中。移位暫存器 80 基於時脈信號

CK1及CK2按次序逐個地取得其等之時脈脈衝，且產生並輸出輸出信號 $Q(1)$ 至 $Q(2N)$ (圖29之(C))。反相器90及91中之每一者使自移位暫存器80供應之輸出信號 Q 反相，且輸出反相輸出信號 Q 作為輸出信號 Qb (圖29之(D))。

此時，反相器90及91中之每一者中之輸出信號 Qb 之波形與其輸入波形相比因反相器90及91中之每一者中之一電路延遲而延遲。舉例而言，第 n 個反相器90(n)之輸出信號 $Qb(2n-1)$ 之上升緊在移位暫存器80之輸出信號 $Q(2n-1)$ 之下降之後發生(圖29之一時序T1)。類似地，舉例而言，第 n 個反相器91(n)之輸出信號 $Qb(2n)$ 之上升緊在移位暫存器80之輸出信號 $Q(2n)$ 之下降之後發生(圖29之一時序T2)。

位準移位器10基於自移位暫存器80及反相器90及91供應之信號各自產生具有大於自其供應之信號之彼等振幅之振幅的信號且各自將所產生信號應用至掃描線WSL作為電壓VWSL。更具體而言，如圖28中所圖解說明，舉例而言，第 n 個位準移位器10(n)藉由利用移位暫存器80之輸出信號 $Q(2n-1)$ 作為設定信號VS，利用反相器90(n)之輸出信號 $Qb(2n-1)$ 作為反相設定信號VSb，藉由利用移位暫存器80之輸出信號 $Q(2n)$ 作為重設信號VR，且利用反相器91(n)之輸出信號 $Qb(2n)$ 作為反相重設信號VRb來執行在上文所述該等實施例及該等修改形式中之任一者中所述之操作。

首先，當移位暫存器80之輸出信號 $Q(2n-1)$ (設定信號VS)自電壓VSS上升至電壓VDD1(圖29之(C))時，第 n 個位準移位器10(n)使掃描線WSL之電壓VWSL(n)自電壓VSS上

升至電壓 $VDD2$ (圖 29 之 (E))。此後，移位暫存器 80 之輸出信號 $Q(2n-1)$ 自電壓 $VDD1$ 下降至電壓 VSS (圖 29 之 (C))，且然後緊接著，反相器 90(n) 之輸出信號 $Qb(2n-1)$ (反相設定信號 VSb) 自電壓 VSS 上升至電壓 $VDD1$ (圖 29 之 (D))。此時序關係(圖 29 中之時序 T1)允許位準移位器 10(n) 之內部波形中因設定信號 VS 之下降所致之電壓改變藉由反相設定信號 VSb 之上升抵消，且藉此如上文實施例及修改形式中所述，電壓 $VWSL(n)$ 維持電壓 $VDD2$ (圖 29 之 (E))。應注意，在圖 29 中省略在圖 2 等圖中所圖解說明的在自設定信號 VS 之下降至反相設定信號 VSb 之上升之時間週期期間輸出信號 $VOut$ 中電壓之稍微改變。

然後，當移位暫存器 80 之輸出信號 $Q(2n)$ (重設信號 VR) 自電壓 VSS 上升至電壓 $VDD1$ (圖 29 之 (C))時，第 n 個位準移位器 10(n) 致使掃描線 WSL 之電壓 $VWSL(n)$ 自電壓 $VDD2$ 下降至電壓 VSS (圖 29 之 (E))。此後，移位暫存器 80 之輸出信號 $Q(2n)$ 自電壓 $VDD1$ 下降至電壓 VSS (圖 29 之 (C))，且然後緊接著，反相器 91(n) 之輸出信號 $Qb(2n)$ (反相重設信號 VRb) 自電壓 VSS 上升至電壓 $VDD1$ (圖 29 之 (D))。此時序關係(圖 29 中之時序 T2)允許位準移位器 10(n) 之內部波形中因重設信號 VR 之下降所致之電壓改變藉由反相重設信號 VRb 之上升來抵消，且藉此如上文實施例及修改形式中所述，電壓 $VWSL(n)$ 維持電壓 VSS (圖 29 之 (E))。應注意，在圖 29 中省略在圖 2 等圖中所圖解說明的在自重設信號 VR 之下降至反相重設信號 VRb 之上升之時間週期期間輸出信號 $VOut$

中電壓之稍微改變。

在該第一應用之實例中，掃描線驅動電路73A使用其中維持高位準電壓及低位準電壓之恰當或經良好塑形之波形以驅動掃描線WSL。此確保在圖27中所圖解說明之像素61中，當掃描線WSL之電壓VWSL在高位準處時，寫入電晶體Tr1導通以甚至在信號電壓Vsig在電壓上係高時亦將自信號線DTL供應之信號電壓Vsig可靠地傳輸至驅動電晶體Tr2之閘極。因此，可執行更可靠地寫入影像信號。同樣，當掃描線WSL之電壓VWSL在低位準處時，可確保寫入電晶體Tr1可靠地關斷以不允許將信號線DTL之電壓傳輸至驅動電晶體Tr2之閘極。

[第二應用之實例]

現在，將闡述根據該等實施例及該等修改形式中所述位準移位器中之任一者之一第二應用之實例之一掃描線驅動電路。該第二應用之實例不同於該第一應用之實例，此係由於修改了將重設信號VR及反相重設信號VRb供應至數個位準移位器中之每一者之一方式。亦即，在此應用之實例中，使用時脈信號CK2作為重設信號VR，且使用藉由使時脈信號CK2反相獲得之一反相信號作為反相重設信號VRb。注意，用相同參考編號標示與根據上文所述該應用之實例之掃描線驅動電路之彼等元件相同或等效之元件，且將不進行詳細闡述。

[組態實例]

圖30圖解說明根據該等實施例及該等修改形式中所述位

準移位器中之任一者之第二應用之實例之一掃描線驅動電路 73B 之一組態之一實例。在掃描線驅動電路 73B 中，供應至位準移位器 10 之輸入端子 R 及反相器 91 之輸入之一信號係時脈信號 CK2。在此應用之實例中之其他組態類似於圖 28 中所圖解說明之上文所述第一應用之實例之彼等組態。在此組態下，時脈信號 CK2 作為重設信號 VR 供應至位準移位器 10 中之每一者之輸入端子 R，且為時脈信號 CK2 之反相信號之一反相時脈信號 CK2b 作為反相重設信號 VRb 供應至位準移位器 10 中之每一者之輸入端子 Rb。如本文中所使用，術語「反相時脈信號 CK2b」共同地指代反相器 91(1) 至 91(N) 之輸出信號 CK2b(1) 至 CK2b(N)。

應注意，在圖 30 中位準移位器 10 中之每一者具有單個反相器 91。然而，位準移位器 10 可共享單個反相器 91，且可將該信號自彼反相器 91 供應至 N 數目個位準移位器 10。

[操作實例]

圖 31 圖解說明掃描線驅動電路 73B 之一操作之一時序波形圖，其中 (A) 圖解說明時脈信號 CK1 之一波形，(B) 圖解說明時脈信號 CK2 之一波形，(C) 圖解說明反相時脈信號 CK2b 之一波形，(D) 圖解說明移位暫存器 80 之奇數輸出信號 $Q(2k-1)$ 之波形，(E) 圖解說明反相器 90 之奇數輸出信號 $Q(2k-1)$ 之波形，且 (F) 圖解說明掃描線 WSL 之電壓 VWSL 之波形。應注意，鑒於反相器 91 之輸出信號 CK2b(1) 至 CK2b(N) 相互近似相同之事實，針對反相時脈信號 CK2b 僅圖解說明一個波形。

移位暫存器 80 基於時脈信號 CK1 及 CK2 按次序逐個地取得其等之時脈脈衝，且產生並輸出輸出信號 $Q(1)$ 至 $Q(2N)$ (圖 31 之 (D))。順便提及，在圖 31 之 (D) 中僅圖解說明移位暫存器 80 之與某三個特定位準移位器 $10(n-1)$ 至 $10(n+1)$ 相關之輸出信號 Q 。因此，在圖 31 中僅圖解說明分別對應於奇數輸出信號 $Q(2k-1)$ 之輸出信號 $Q(2n-3)$ 、 $Q(2n-1)$ 及 $Q(2n+1)$ 之三個波形。反相器 90 分別使移位暫存器 80 之奇數輸出信號 $Q(2k-1)$ 反相且輸出反相輸出信號 $Q(2k-1)$ 作為輸出信號 $Q(2k-1)$ (圖 31 之 (E))。

此時，反相器 90 中輸出信號 $Qb(2k-1)$ 之波形與其輸入波形相比較因反相器 90 中之一電路延遲而被延遲。舉例而言，第 n 個反相器 $90(n)$ 之輸出信號 $Qb(2n-1)$ 之上升緊在移位暫存器 80 之輸出信號 $Q(2n-1)$ 之下降之後發生 (圖 31 之一時序 T3)。

反相器 91 中之每一者使時脈信號 CK2 反相，且輸出反相時脈信號 CK2 作為反相時脈信號 CK2b (圖 31 之 (C))。此時，反相器 91 中輸出信號 CK2b 之波形與其輸入波形相比較因反相器 91 中之一電路延遲而延遲。舉例而言，第 n 個反相器 $91(n)$ 之輸出信號 CK2b 之上升緊在時脈信號 CK2 之下降之後發生 (圖 31 之一時序 T4)。

位準移位器 10 基於自移位暫存器 80 及反相器 90 及 91 供應之信號及時脈信號 CK2 各自產生具有大於自其供應之信號之彼等振幅之振幅的信號，且各自將所產生信號應用於掃描線 WSL 作為電壓 VWSL。更具體而言，如圖 30 中所圖解

說明，舉例而言，第 n 個位準移位器 $10(n)$ 藉由利用移位暫存器80之輸出信號 $Q(2n-1)$ 作為設定信號 VS ，利用反相器90(n)之輸出信號 $Qb(2n-1)$ 作為反相設定信號 VSb ，藉由利用時脈信號 $CK2$ 作為重設信號 VR 且利用反相時脈信號 $CK2b$ 作為反相重設信號 VRb 來執行上文所述該等實施例及該等修改形式中之任一者中所述之操作。

在該第二應用之實例中，利用移位暫存器中所使用之時脈信號 $CK2$ 來產生基於時脈信號 $CK2$ 之重設信號 VR 及反相重設信號 VRb 。因此，可允許一電路在大小上係小型。

此外，在該第二應用之實例中，重設信號 VR 及反相重設信號 VRb 係規則地且頻繁地供應。因此，可達成一電路之更穩定操作。

由該第二應用之實例達成之其他效應類似於上文所述第一應用之實例之彼等效應。

[第三應用之實例]

現在，將闡述跟據該等實施例及該等修改形式中所述位準移位器中之任一者之一第三應用之實例之一掃描線驅動電路。該第三應用之實例不同於上文應用之實例，此係由於用於自掃描線驅動電路之外部供應個別位準移位器之重設信號 VR 與反相重設信號 VRb 。注意，用相同參考編號標示與根據上文所述該等應用之實例之掃描線驅動電路之彼等元件相同或等效之元件，且將不進行詳細闡述。

[組態實例]

圖32圖解說明根據該等實施例及該等修改形式中所述位

準移位器中之任一者之該第三應用之實例之一掃描線驅動電路 73C 之一組態之一實例。掃描線驅動電路 73C 不同於圖 28 中所圖解說明之根據該第一應用之實例之掃描線驅動電路 73A，此係由於供應自外部供應之一重設控制信號 RST 給位準移位器 10 中之每一者之輸入端子 R，供應自外部供應之一反相重設控制信號 RSTb 給位準移位器 10 中之每一者之輸入端子 Rb，且取消反相器 91。

重設控制信號 RST 係其中一脈衝信號出現在時脈信號 CK1 及 CK2 之脈衝信號之間之一信號。反相重設控制信號 RSTb 係具有藉由使重設控制信號 RST 反相獲得之一波形之一信號，且包含具有與出現在重設控制信號 RST 中之脈衝信號之彼極性相反之一極性之一脈衝信號。

此外，掃描線驅動電路 73C 具有用於輸出輸出信號 Q(1) 至 Q(N) 之移位暫存器 81，代替輸出輸出信號 Q(1) 至 Q(2N) 之移位暫存器 80。如在移位暫存器 80 中，移位暫存器 81 係以下一電路：其按一分時方式基於所輸入之時脈信號 CK1 及時脈信號 CK2 按序產生 N 數目個脈衝信號，且以其產生之一次序輸出所產生 N 數目個脈衝信號作為輸出信號 Q(1) 至 Q(N)。

根據該等修改形式，位準移位器 10 之輸入亦可如下進行修改。在第 n 個位準移位器 10(n) 中，供應移位暫存器 81 之輸出信號 Q(n) 給輸入端子 S，且供應反相器 90(n) 之輸出信號 Qb(n) 給輸入端子 Sb，將供應至輸入端子 S 之信號輸入至反相器 90(n)。此外，在第 n 個位準移位器 10(n) 中，供應重

設控制信號 RST 給輸入端子 R，且供應反相重設控制信號 RSTb 給輸入端子 Rb。

其他組態類似於圖 28 中所圖解說明之上文所述第一應用之實例之彼等組態。

[操作實例]

圖 33 圖解說明掃描線驅動電路 73C 之一操作之一時序波形圖，其中 (A) 圖解說明時脈信號 CK1 之一波形，(B) 圖解說明時脈信號 CK2 之一波形，(C) 圖解說明重設控制信號 RST 之一波形，(D) 圖解說明反相重設控制信號 RSTb 之一波形，(E) 圖解說明移位暫存器 81 之輸出信號 Q 之波形，(F) 圖解說明反相器 90 之輸出信號 Qb 之波形，且 (G) 圖解說明掃描線 WSL 之電壓 VWSL 之波形。

移位暫存器 81 基於時脈信號 CK1 及 CK2 按次序逐個地取得其等之時脈脈衝，且產生並輸出輸出信號 Q(1) 至 Q(N) (圖 33 之 (E))。反相器 90 分別使移位暫存器 81 之輸出信號 Q 反相，且輸出反相輸出信號 Q 作為輸出信號 Qb (圖 33 之 (F))。

此時，反相器 90 中之輸出信號 Qb 之波形與其輸入波形相比較因反相器 90 中之一電路延遲而延遲。舉例而言，第 n 個反相器 90(n) 之輸出信號 Qb(n) 之上升緊在移位暫存器 80 之輸出信號 Q(n) 之下降之後發生 (圖 33 之一時序 T5)。

如圖 33 之 (C) 中所圖解說明，自外部供應之重設控制信號 RST 之一電壓僅在其中時脈信號 CK1 及 CK2 之電壓皆在低位準處之一時間週期之一部分中在一高位準處。亦自外

部供應之反相重設控制信號RSTb係藉由使重設控制信號RST反相獲得之信號，如圖33之(D)中所圖解說明。反相重設控制信號RSTb可係藉由一可選方式產生之任何信號，只要該信號滿足反相重設控制信號RSTb之上升與重設控制信號RST之下降在同時或緊在重設控制信號RST之下降之後即可(圖33之一時序T6)。舉例而言，反相重設控制信號RSTb可係藉由一反相器基於重設控制信號RST產生之一信號、與重設控制信號RST分開產生之一信號或其他適合信號。

位準移位器10基於自移位暫存器81及反相器90供應之信號、基於重設控制信號RST且基於反相重設控制信號RSTb各自產生具有大於自其供應之信號之彼等振幅之振幅的信號，且各自將所產生信號應用至掃描線WSL作為電壓VWSL。更具體而言，如圖32中所圖解說明，舉例而言，第n個位準移位器10(n)藉由利用移位暫存器81之輸出信號Q(n)作為設定信號VS，利用反相器90(n)之輸出信號Qb(n)作為反相設定信號VSb，藉由利用重設控制信號RST作為重設信號VR，且利用反相重設控制信號RSTb作為反相重設信號VRb來執行上文所述該等實施例及該等修改形式中之任一者中所述之操作。

在該第三應用之實例中，自外部供應重設控制信號RST及反相重設信號RSTb。因此，可自由設定彼等信號之一時序，且增加掃描線驅動電路73C之操作之一自由度。

此外，在該第三應用之實例中，自該第一應用之實例移

除反相器 91，且使用其中輸出數目降低一半之移位暫存器 81。因此，可減少該掃描線驅動電路中之元件數目，且達成更簡化之組態。

此外，在該第三應用之實例中，重設控制信號 RST 及反相重設信號 RSTb 之脈衝各自供應於時脈信號 CK1 及 CK2 之脈衝信號之間，且使用移位暫存器 81 之所有輸出信號 Q 及彼等信號來操作位準移位器 10。因此，當將時脈信號 CK1 及 CK2 之頻率設定為與該第一應用之實例中之彼等頻率相同時，可減少將電壓 VWSL 應用於所有掃描線 WSL 所花費之時間至一半。

由該第三應用之實例達成之其他效應類似於上文所述該第一應用之實例之彼等效應。

[第四應用之實例]

現在，將闡述根據該等實施例及該等修改形式中所述之位準移位器中之任一者之一第四應用之實例之一掃描線驅動電路。該第四應用之實例不同於上文應用之實例，此係由於如在該第三應用之實例中自掃描線驅動電路之外部供應個別位準移位器之重設信號 VR 及反相重設信號 VRb，且此外，自時脈信號 CK1 及 CK2 產生個別位準移位器之反相設定信號 VSb。注意，用相同參考編號標示與根據上文所述該等應用之實例之掃描線驅動電路之彼等元件相同或等效之元件，且將不進行詳細闡述。

[組態實例]

圖 34 圖解說明根據該等實施例及該等修改形式中所述位

準移位器中之任一者之該第四應用之實例之一掃描線驅動電路73D之一組態之一實例。掃描線驅動電路73D不同於圖32中所圖解說明之根據該第三應用之實例之掃描線驅動電路73C，此係由於位準移位器10中之每一者之輸入端子Sb經如此修改以使得供應來自一NOR電路85之一輸出信號SETb給輸入端子Sb(該NOR電路產生時脈信號CK1及時脈信號CK2之一反相邏輯OR且輸出所產生反相邏輯OR作為輸出信號SETb)，從而取消反相器90。在此應用之實例中之其他組態類似於圖32中所圖解說明之上文所述第三應用之實例之彼等組態。

[操作實例]

圖35圖解說明掃描線驅動電路73D之一操作之一時序波形圖，其中(A)圖解說明時脈信號CK1之一波形，(B)圖解說明時脈信號CK2之一波形，(C)圖解說明重設控制信號RST之一波形，(D)圖解說明反相重設控制信號RSTb之一波形，(E)圖解說明NOR電路85之輸出信號SETb之一波形，(F)圖解說明移位暫存器81之輸出信號Q之波形，且(G)圖解說明掃描線WSL之電壓VWSL之波形。

移位暫存器81基於時脈信號CK1及CK2按次序逐個地取得其等之時脈脈衝，且產生並輸出輸出信號Q(1)至Q(N)(圖35之(F))。NOR電路85產生時脈信號CK1及時脈信號CK2之反相邏輯OR，且輸出輸出信號SETb(圖35之(E))。移位暫存器81之輸出信號Q之下降及NOR電路85之輸出信號SETb之上升分別基於時脈信號CK2之下降發生且

原則上發生在相同時序處(圖 35之一時序 T7)。

如在該第三應用之實例中已經闡述，反相重設控制信號 RSTb 係如此自外部供應以使得反相重設控制信號 RSTb 之上升與重設控制信號 RST 之下降在同時或緊在重設控制信號 RST 之後(圖 35之一時序 T8)。

位準移位器 10 基於自移位暫存器 81 及 NOR 電路 85 供應之信號、基於重設控制信號 RST 及基於反相重設控制信號 RSTb 各自產生具有大於自其供應之信號之彼等振幅之振幅的信號，且各自將所產生信號供應至掃描線 WSL 作為電壓 VWL。更具體而言，如圖 34 中所圖解說明，舉例而言，第 n 個位準移位器 10(n) 藉由利用移位暫存器 81 之輸出信號 Q(n) 作為設定信號 VS，利用 NOR 電路 85 之輸出信號 SETb 作為反相設定信號 VSb，藉由利用重設控制信號 RST 作為重設信號 VR 且利用反相重設控制信號 RSTb 作為反相重設信號 VRb 來執行上文所述該等實施例及該等修改形式中之任一者中所述之操作。

在第一應用至第三應用之實例中之每一者中，設定信號 VS 與反相設定信號 VSb 成一反相關係，且重設信號 VR 與反相重設信號 VRb 同樣地成一反相關係。相比之下，在該第四應用之實例中，設定信號 VS(圖 35 之(F))與反相設定信號 VSb(圖 35 之(E))不成反相關係，且特定而言，反相設定信號 VSb 甚至在反相設定信號 VSb 已緊在設定信號 VS 之下降之後曾經上升之後繼續週期性地重複轉變(圖 35 之(E))。此可意指反相設定信號 VSb 之週期性波形可能被傳輸至位

準移位器10之內部波形，且可產生故障或錯誤。

因此，在產生故障或錯誤之情況下，可引入一方案，其在位準移位器10之一輸出信號(舉例而言)在一低位準處時中斷反相設定信號VSb。

圖36圖解說明根據該等實施例及該等修改形式中所述位準移位器中之任一者之該第四應用之實例之一位準移位器110之一組態之一實例。位準移位器110不同於圖1中所圖解說明之位準移位器10，此係由於在位準移位器10中之輸入端子Sb與電容元件22之間新提供一MOS電晶體55，基於輸出信號VOut對其進行導通-關斷控制。在此組態下，當位準移位器110之輸出信號VOut在高位準處時MOS電晶體55在一導通狀態中，以使得供應至輸入端子Sb之反相設定信號VSb藉由電容元件22被傳輸至節點B，藉此使得可抵消由緊接著前一設定信號VS導致之電壓改變。另一方面，當輸出信號VOut在低位準處時MOS電晶體55在一關斷狀態中，以使得中斷供應至輸入端子Sb之反相設定信號VSb。藉此，可防止發生故障或錯誤。

應注意，本文中，將MOS電晶體55添加至圖1中所圖解說明之位準移位器10，但本發明並不限於此。上文參考圖36所述之方案適用於根據該等實施例及該等修改形式之位準移位器中之任一者。

在該第四應用之實例中，自該第三應用之實例移除反相器90。因此，可減少該掃描線驅動電路中元件之數目，且達成更簡化之組態。由該第四應用之實例達成之其他效應

類似於上文所述該第三應用之實例之彼等效應。

[第五應用之實例]

現在，將闡述根據該等實施例及該等修改形式中所述位準移位器中之任一者之一第五應用之實例之一掃描線驅動電路。該第五應用之實例使用一移位暫存器，該移位暫存器在不同於上文所述之應用之實例中之時序之一時序處輸出一信號。亦即，此應用之實例使用移位暫存器來構造掃描線驅動電路，該移位暫存器在某一輸出中傳輸一脈衝信號且在其中該某一輸出中之脈衝信號已返回至一低位準之一時序處之一隨後輸出中傳輸一脈衝信號。注意，用相同參考編號標示與根據上文所述該等應用之實例之掃描線驅動電路之彼等元件相同或等效之元件，且將不進行詳細闡述。

[組態實例]

圖37圖解說明根據該等實施例及該等修改形式中所述位準移位器中之任一者之該第五應用之實例之一掃描線驅動電路73E之一組態之一實例。掃描線驅動電路73E具有一移位暫存器82。

移位暫存器82具有以下功能：按一分時方式基於所輸入之一時脈信號CK按序產生3N數目個脈衝信號且以其產生之一次序輸出所產生3N數目個脈衝信號作為輸出信號Q(1)至Q(3N)。時脈信號CK係具有50%之一負載比之一重複波形，且係時序產生電路72產生且輸出之控制信號72A中所包含之一信號之一個說明性實例。應注意，在下文中，可

視需要將輸出信號 $Q(1)$ 至 $Q(3N)$ 統稱為輸出信號 Q 。

根據移位暫存器 82 中之該等修改， N 數目個反相器 90、 N 數目個反相器 91 及 N 數目個位準移位器 10 之間的連接亦如下進行修改。反相器 90 中之每一者處置移位暫存器 82 之作為一輸入之輸出信號 $Q(3k-2)$ (其中 K 係等於或小於 N 之一自然數)，使輸出信號 Q 反相且輸出反相輸出信號 Q 作為一輸出信號 $Qb(2k-1)$ 。反相器 91 中之每一者處置移位暫存器 82 之作為一輸入之輸出信號 $Q(3k)$ ，使輸出信號 Q 反相且輸出反相輸出信號 Q 作為一輸出信號 $Qb(3k)$ 。應注意，在下文中，可視需要將輸出信號 $Qb(1)$ 至 $Qb(2N)$ 統稱為輸出信號 Qb 。

第 n 個位準移位器 10(n) 包含：移位暫存器 82 之輸出信號 $Q(3n-2)$ 供應至的輸入端子 S ；反相器 90(n) (至其之輸入係供應至輸入端子 S 之信號) 之輸出信號 $Qb(3n-2)$ 供應至的輸入端子 Sb ；移位暫存器 82 之輸出信號 $Q(3n)$ 供應至的輸入端子 R ；及反相器 91(n) (至其之輸入係供應至輸入端子 R 之信號) 之輸出信號 $Qb(3n)$ 供應至的輸入端子 Rb 。

[操作實例]

圖 38 圖解說明掃描線驅動電路 73E 之一操作之一時序波形圖，其中 (A) 圖解說明時脈信號 CK 之一波形，(B) 圖解說明移位暫存器 82 之輸出信號 Q 之波形，(C) 圖解說明反相器 90 及 91 之輸出信號 Qb 之波形，且 (D) 圖解說明掃描線 WSL 之電壓 $VWSL$ 之波形。

移位暫存器 82 基於時脈信號 CK 產生脈衝信號 (其各自具

有與時脈信號CK相同之脈衝寬度)，以產生並輸出輸出信號Q(1)至Q(3N)(圖38之(B))。本文中，移位暫存器82如此操作以使得自輸出信號Q(1)至Q(3N)中之任一者不間斷地輸出脈衝信號。舉例而言，當輸出信號Q(n)已隨著時脈信號CK之上升而上升時，輸出信號Q(n+1)在與輸出信號Q(n)在時脈信號CK之隨後下降中之下降相同之時間上升。

在圖38之(B)中，僅圖解說明移位暫存器82之與三個特定位準移位器10(n-1)至10(n+1)相關之輸出信號Q。因此，舉例而言，針對移位暫存器82之輸出信號Q僅圖解說明輸出信號Q(3n-5)、Q(3n-3)、Q(3n-2)、Q(3n)、Q(3n+1)及Q(3n+3)之六個波形，且不圖解說明諸如Q(3n-4)、Q(3n-1)及Q(3n+2)等之信號之波形。

反相器90及91中之每一者使自移位暫存器82供應之輸出信號Q反相且輸出反相輸出信號Q作為輸出信號Qb(圖29之(D))。此時，反相器90及91中之每一者中之輸出信號Qb之波形與其輸入波形相比較因反相器90及91中之每一者中之一電路延遲而延遲。舉例而言，第n個反相器90(n)之輸出信號Qb(3n-2)之上升緊在移位暫存器82之輸出信號Q(3n-2)之下降之後(圖38之一時序T9)。類似地，舉例而言，第n個反相器91(n)之輸出信號Qb(3n)之上升緊在移位暫存器82之輸出信號Q(3n)之下降之後發生(圖38之一時序T10)。

位準移位器10基於自移位暫存器82及反相器90及91供應之信號各自產生具有大於自其供應之信號之彼等振幅之振幅的信號，且各自將所產生信號應用於掃描線WSL作為電

壓 VWSL。更具體而言，如圖 37 中所圖解說明，舉例而言，第 n 個位準移位器 10(n) 藉由利用移位暫存器 82 之輸出信號 $Q(3n-2)$ 作為設定信號 VS，利用反相器 90(n) 之輸出信號 $Qb(3n-2)$ 作為反相設定信號 VSb，藉由利用移位暫存器 82 之輸出信號 $Q(3n)$ 作為重設信號 VR，且利用反相器 91(n) 之輸出信號 $Qb(3n)$ 作為反相重設信號 VRb 來執行上文所述該等實施例及該等修改形式中之任一者中所述之操作。

在根據該等實施例及該等修改形式之位準移位器中，當將設定信號 VS 及重設信號 VR 兩者皆設定在高位準處時，可自電源 PVDD1 及 PVDD2 至電源 PVSS 產生直通電流且電力消耗相應地增加。因此，期望設定信號 VS 及重設信號 VR 兩者不同時在高位準處，即使其係瞬時的。

在該第五應用之實例中，不使用移位暫存器 82 之輸出中之三個輸出中之一者，從而不允許輸入至某一位準移位器 10 之設定信號 VS 及重設信號 VR 同時在高位準處。舉例而言，在第 n 個位準移位器 10(n) 中，使用移位暫存器 82 之輸出信號 $Q(3n-2)$ 中之脈衝信號作為設定信號 VS，且使用移位暫存器 82 之輸出信號 $Q(3n)$ 作為重設信號 VR。換言之，不使用移位暫存器 82 之輸出信號 $Q(3n-1)$ ，藉此允許設定信號 VS 及重設信號 VR 兩者不同時在高位準處，即使在一瞬時時刻。

在該第五應用之實例中，在其中自輸出信號中之任一者以一不間斷方式按序輸出脈衝信號之移位暫存器中，不使相繼的兩個輸出信號用於設定信號及重設信號。因此，可

防止直通電流，且達成低電力消耗。由該第五應用之實例達成之其他效應類似於上文所述該第一應用之實例之彼等效應。

[7. 電子裝置之應用實例]

現在，將參考圖39至圖43G闡述根據該實施例、該等修改形式及該等應用之實例之位準移位器、驅動電路及顯示裝置之至電子裝置之應用實例。根據該等實施例、該等修改形式及該等應用之實例之位準移位器、驅動電路及顯示裝置可應用於任何領域中之任何電子裝置。該電子裝置可係舉例而言(但不限於)一電視裝置、一數位相機、包含一臺式個人電腦及一膝上型個人電腦之一電腦、包含一蜂巢式電話之一可攜式終端機裝置、一視訊攝影機或其中期望供應恰當或經良好塑形之波形之任何其他裝置。

[第一應用實例]

圖39圖解說明根據上文所述該等實施例等中之任一者之位準移位器、驅動電路及顯示裝置應用於其之一電視裝置之一外觀。該電視裝置具有一影像顯示螢幕單元510，其包含(例如)一前面板511及一濾色玻璃512。影像顯示螢幕單元510包含根據上文所述該等實施例等中之任一者之位準移位器、驅動電路及顯示裝置。

[第二應用實例]

圖40A及40B各自圖解說明根據上文所述該等實施例等中之任一者之位準移位器、驅動電路及顯示裝置應用於其之一數位相機之一外觀。舉例而言，該數位相機具有用於

閃光燈之一發光單元521、一顯示單元522、一選單切換區段523及一快門釋放按鈕524。顯示單元522包含根據上文所述該等實施例等中之任一者之位準移位器、驅動電路及顯示裝置。

[第三應用實例]

圖41圖解說明根據上文所述該等實施例等中之任一者之位準移位器、驅動電路及顯示裝置應用於其之膝上型個人電腦之一外觀。舉例而言，該膝上型個人電腦具有一本體531、用於字符等之輸入操縱之一鍵盤532及用於顯示一影像之一顯示單元533。顯示單元533包含根據上文所述該等實施例等中之任一者之位準移位器、驅動電路及顯示裝置。

[第四應用實例]

圖42圖解說明根據上文所述該等實施例等中之任一者之位準移位器、驅動電路及顯示裝置應用於其之一視訊攝影機之一外觀。舉例而言，該視訊攝影機具有一本體541、於本體541之前面中提供用於拾取一物件之一影像之一透鏡542、一拍攝開始/停止開關543及一顯示單元544。顯示單元544包含根據上文所述該等實施例等中之任一者之位準移位器、驅動電路及顯示裝置。

[第五應用實例]

圖43A至43G各自圖解說明根據上文所述該等實施例等中之任一者之位準移位器、驅動電路及顯示裝置應用於其之一蜂巢式電話之一外觀。該蜂巢式電話藉由一耦合部分

(或一鉸鏈)730耦合一上部殼體710與一下部殼體720，且舉例而言，具有一顯示器740、一子顯示器750、一圖片燈760及一相機770。顯示器740或子顯示器750包含根據上文所述該等實施例等中之任一者之位準移位器、驅動電路及顯示裝置。

儘管在前文中藉由舉例參考該等實施例、該等修改形式、該等應用之實例及至電子裝置之該等應用實例闡述本發明，但本發明並不限於此，而係可以各種方式進行修改。

在根據第二實施例至第五實施例之位準移位器中之每一者中，可將所供應反相設定信號VSb及所供應反相重設信號VRb之高位準電壓VIH及低位準電壓VIL各自設定在一可選電壓處，如在該第一實施例之該等修改形式中之一者中。

在根據第二實施例至第五實施例之位準移位器中之每一者中，所供應之設定信號VS、重設信號VR、反相設定信號VSb及反相重設信號VRb之間的一關係可如在該第一實施例之該等修改形式中之一者中滿足以下條件：反相設定信號VSb之上升與設定信號VS之下降在同時或在設定信號VS之下降之後；及反相設定信號VSb之下降在其中設定信號VS在高位準處之一週期中，且滿足以下條件：反重設信號VRb之上升與重設信號VR之下降在同時或在重設信號VR之下降之後；及反相重設信號VRb之下降在其中重設信號VR在高位準處之一週期中。

在根據第二實施例至第五實施例之位準移位器中之每一者中，可利用MOS電晶體之閘極氧化物膜電容來組態對應於電容元件22至25之電容，如在該第一實施例之該等修改形式中之一者中。

在根據第二實施例至第五實施例之位準移位器中之每一者中，可使用雙閘極MOS電晶體或三閘極MOS電晶體，如在該第一實施例之該等修改形式中之一者中。

在根據該第二實施例至第五實施例之位準移位器中之每一者中，可不提供MOS電晶體15，如在該第一實施例之該等修改形式中之一者中。

在根據第二實施例至第五實施例之位準移位器中之每一者中，可使用P-通道MOS電晶體用於MOS電晶體，如在該第一實施例之該等修改形式中之一者中。

本申請案含有與於2009年12月28日在日本專利局提出申請之日本優先專利申請案JP 2009-298105中所揭示之標的物相關之標的物，該日本優先專利申請案之整體內容以引用方式併入本文中。

儘管已就實例性實施例闡述了本發明，但本發明並不限於此。應瞭解，熟習此項技術者可在不背離如以下申請專利範圍所界定之本發明之範疇之情形下在所述實施例中做出改變。應基於申請專利範圍中所採用之語言廣泛地解釋申請專利範圍中之局限且該等局限並不限於此說明書中或本申請案執行期間所述之實例，且將該等實例理解為非排他性的。舉例而言，在此揭示內容中，術語「較佳地」、

「較佳的」等為非排他性的且意指「較佳地」，但不限於其。術語第一、第二等之使用不表示任何次序或重要性，而係使用術語第一、第二等區分一個元件與另一個元件。而且，此揭示內容中之元件或組件皆非意欲奉獻給公眾，不管該元件或組件是否在以下申請專利範圍中明確引用。

【圖式簡單說明】

圖1係圖解說明根據本發明之一第一實施例之一位準移位器之一組態之一實例之一電路圖；

圖2係圖解說明圖1中所圖解說明之位準移位器之一操作實例之一時序波形圖；

圖3係圖解說明根據一比較實例之一位準移位器之一組態之一實例之一電路圖；

圖4係圖解說明圖3中所圖解說明之位準移位器之一操作實例之一時序波形圖；

圖5係圖解說明根據該第一實施例之一第三修改形式之一位準移位器之一組態之一實例之一電路圖；

圖6係圖解說明根據該第一實施例之一第四修改形式之一位準移位器之一組態之一實例之一電路圖；

圖7係圖解說明根據該第一實施例之一第五修改形式之一位準移位器之一組態之一實例之一電路圖；

圖8係圖解說明圖7中所圖解說明之位準移位器之一操作實例之一時序波形圖；

圖9係圖解說明根據該第一實施例之一第六修改形式之一位準移位器之一組態之一實例之一電路圖；

圖 10 係圖解說明圖 9 中所圖解說明之位準移位器之一操作實例之一時序波形圖；

圖 11 係圖解說明一 N-通道 MOS 電晶體之一靜態特性之一實例之一特性圖；

圖 12 係圖解說明根據該第一實施例之一第七修改形式之一位準移位器之一組態之一實例之一電路圖；

圖 13 係圖解說明圖 12 中所圖解說明之位準移位器之一操作實例之一時序波形圖；

圖 14 係圖解說明根據一第二實施例之一位準移位器之一操作實例之一時序波形圖；

圖 15 係圖解說明圖 14 中所圖解說明之位準移位器之一詳細操作之一時序波形圖；

圖 16 係圖解說明圖 1 中所圖解說明之位準移位器之一詳細操作之一時序波形圖；

圖 17 係圖解說明圖 3 中所圖解說明之位準移位器之一詳細操作之一時序波形圖；

圖 18 係圖解說明根據一第三實施例之一位準移位器之一組態之一實例之一電路圖；

圖 19 係圖解說明圖 18 中所圖解說明之位準移位器之一操作實例之一時序波形圖；

圖 20 係圖解說明根據該第三實施例之一修改形式之一位準移位器之一組態之一實例之一電路圖；

圖 21 係圖解說明圖 20 中所圖解說明之位準移位器之一操作實例之一時序波形圖；

圖 22 係圖解說明根據一第四實施例之一位準移位器之一組態之一實例之一電路圖；

圖 23 係圖解說明圖 22 中所圖解說明之位準移位器之一操作實例之一時序波形圖；

圖 24 係圖解說明根據一第五實施例之一位準移位器之一組態之一實例之一電路圖；

圖 25 係圖解說明圖 24 中所圖解說明之位準移位器之一操作實例之一時序波形圖；

圖 26 係根據一應用之實例之一顯示裝置之一組態之一實例之一方塊圖；

圖 27 係圖解說明圖 26 中所圖解說明之一像素之一組態之一實例之一電路圖；

圖 28 係圖解說明根據一第一應用之實例之一掃描線驅動電路之一組態之一實例之一方塊圖；

圖 29 係圖解說明圖 28 中所圖解說明之掃描線驅動電路之一操作實例之一時序波形圖；

圖 30 係圖解說明根據一第二應用之實例之一掃描線驅動電路之一組態之一實例之一方塊圖；

圖 31 係圖解說明圖 30 中所圖解說明之掃描線驅動電路之一操作實例之一時序波形圖；

圖 32 係圖解說明根據一第三應用之實例之一掃描線驅動電路之一組態之一實例之一方塊圖；

圖 33 係圖解說明圖 32 中所圖解說明之掃描線驅動電路之一操作實例之一時序波形圖；

圖34係圖解說明根據一第四應用之實例之一掃描線驅動電路之一組態之一實例之一方塊圖；

圖35係圖解說明圖34中所圖解說明之掃描線驅動電路之一操作實例之一時序波形圖；

圖36係圖解說明圖34中所圖解說明之一位準移位器之一組態之一實例之一電路圖；

圖37係圖解說明根據一第五應用之實例之一掃描線驅動電路之一組態之一實例之一方塊圖；

圖38係圖解說明圖37中所圖解說明之掃描線驅動電路之一操作實例之一時序波形圖；

圖39係圖解說明一第一應用實例之一外觀之一透視圖；

圖40A係圖解說明一第二應用實例之自其一前側觀看之一外觀之一透視圖，且圖40B係圖解說明該第二應用實例之自其一後側觀看之外觀之一透視圖；

圖41係圖解說明一第三應用實例之一外觀之一透視圖；

圖42係圖解說明一第四應用實例之一外觀之一透視圖；及

圖43A係一第五應用實例在一打開狀態中之一正視圖，圖43B係在該打開狀態中之一側視圖，圖43C係在一閉合狀態中之一正視圖，圖43D係一左側視圖，圖43E係一右側視圖，圖43F係一俯視圖且圖43G係一仰視圖。

【主要元件符號說明】

1	顯示裝置
10	位準移位器
10A	位準移位器

10B	位準移位器
10C	位準移位器
10D	位準移位器
10E	位準移位器
10R	位準移位器
10(1)	位準移位器
10(N)	位準移位器
10(n)	位準移位器
10(n+1)	位準移位器
10(n-1)	位準移位器
11	MOS電晶體
12	MOS電晶體
13	MOS電晶體
14	MOS電晶體
15	MOS電晶體
16	MOS電晶體
17	MOS電晶體
18	MOS電晶體
19	MOS電晶體
21	電容元件
22	電容元件
22a	MOS電晶體
23	電容元件
23a	MOS電晶體

24	電 容 元 件
24a	MOS 電 晶 體
25	電 容 元 件
25a	MOS 電 晶 體
30	位 準 移 位 器
30A	位 準 移 位 器
31	MOS 電 晶 體
32	MOS 電 晶 體
33	MOS 電 晶 體
34	MOS 電 晶 體
35	MOS 電 晶 體
36	MOS 電 晶 體
37	MOS 電 晶 體
40	位 準 移 位 器
41	電 容 元 件
42	電 容 元 件
43	電 容 元 件
44	電 容 元 件
45	電 容 元 件
50	位 準 移 位 器
51	MOS 電 晶 體
52	MOS 電 晶 體
53	電 容 元 件
54	電 容 元 件

60	顯示面板
61	像素
61B	針對藍色之一像素
61G	針對綠色之一像素
61R	針對紅色之一像素
62	有機電致發光元件
63	像素陣列區段
64	像素電路
70	驅動電路
71	影像信號處理電路
72	時序產生電路
73	掃描線驅動電路
74	信號線驅動電路
75	電力線驅動電路
73A	掃描線驅動電路
73B	掃描線驅動電路
73C	掃描線驅動電路
73D	掃描線驅動電路
73E	掃描線驅動電路
80	移位暫存器
81	移位暫存器
82	移位暫存器
85	NOR電路
90(1)	反相器

90(N)	反相器
90(n)	反相器
90(n+1)	反相器
90(n-1)	反相器
91(1)	反相器
91(N)	反相器
91(n)	反相器
91(n+1)	反相器
91(n-1)	反相器
510	影像顯示螢幕單元
511	前面板
512	濾色玻璃
521	發光單元
522	顯示單元
523	選單切換區段
524	快門釋放按鈕
531	本體
532	鍵盤
533	顯示單元
541	本體
542	透鏡
543	拍攝開始/停止開關
544	顯示單元
710	上部殼體

720	下部殼體
730	耦合部分
740	顯示器
750	子顯示器
760	圖片燈
770	相機
A	節點
B	節點
B1	自舉區段
B2	電壓補償區段
B3	電壓補償區段
C	節點
Cpix	電容元件
DSL	電力線
DTL	信號線
L1	波形
L2	波形
L3	波形
L4	特性
L6	波形
Out	輸出端子
PVDD	電源
PVDD1	電源
PVDD2	電源

PVDD3	電 源
PVSS	電 源
PVSS1	電 源
PVSS2	電 源
R	輸 入 端 子
R1	節 點
Rb	輸 入 端 子
S	輸 入 端 子
S1	節 點
Sb	輸 入 端 子
Tr1	寫 入 電 晶 體
Tr2	驅 動 電 晶 體
WSL	掃 描 線
WSL(1)	掃 描 線
WSL(N)	掃 描 線
WSL(n)	掃 描 線
WSL(n+1)	掃 描 線
WSL(n-1)	掃 描 線

七、申請專利範圍：

1. 一種位準移位電路，其包括：

一第一輸出電晶體，其經驅動以成為導通以輸出自一第一電源電壓獲得之一電壓；

一第二輸出電晶體，其經驅動以成為導通以輸出自一第二電源電壓獲得之一電壓；

一第一輸入電晶體，其具有一輸出端子，且基於一第一輸入脈衝信號驅動該第一輸入電晶體而成為導通以輸出一第一電壓，該第一電壓係允許該第一輸出電晶體導通之一驅動電壓之一基礎；

一第二輸入電晶體，其具有一輸出端子，且基於該第一輸入脈衝信號驅動該第二輸入電晶體而成為導通以輸出一第二電壓，該第二電壓係允許該第二輸出電晶體關斷之一驅動電壓之一基礎；

一第三輸入電晶體，其具有連接該第一輸入電晶體之該輸出端子之一輸出端子，且基於一第二輸入脈衝信號驅動該第三輸入電晶體而成為導通以輸出一第三電壓，該第三電壓係允許該第一輸出電晶體關斷之一驅動電壓之一基礎；

一第四輸入電晶體，其具有連接至該第二輸入電晶體之該輸出端子之一輸出端子，且基於該第二輸入脈衝信號驅動該第四輸入電晶體而成為導通以輸出一第四電壓，該第四電壓係允許該第二輸出電晶體導通之一驅動電壓之一基礎；

一第一自舉電路，其擴大該第一電壓之一振幅以將該經擴大第一電壓供應至該第一輸出電晶體；及

一第一電壓補償電路，其基於一第三輸入脈衝信號進行一電壓改變，該電壓改變之一方向與在該第一輸入脈衝信號之一結束時序處由於該第一輸入電晶體中之一寄生電容而在該第一電壓中導致之一電壓波動之一方向相反。

2. 如請求項1之位準移位電路，其進一步包括一第二電壓補償電路，其基於一第四輸入脈衝信號進行一電壓改變，該電壓改變之一方向與在該第二輸入脈衝信號之一結束時序處由於該第四輸入電晶體中之一寄生電容而在該第四電壓中導致之一電壓波動之一方向相反。
3. 如請求項1之位準移位電路，其中該第一輸入電晶體輸出自一第三電源電壓獲得之一電壓作為該第一電壓，且該第四輸入電晶體輸出自該第三電源電壓獲得之一電壓作為該第四電壓。
4. 如請求項1之位準移位電路，其中該第一電壓補償電路包含：

一第一電壓補償電容器，其具有該第三輸入脈衝信號供應至的一第一端，及連接至該第一輸入電晶體之該輸出端子及該第三輸入電晶體之該輸出端子兩者之一第二端；及

一第二電壓補償電容器，其具有連接至該第一輸入電晶體之該輸出端子及該第三輸入電晶體之該輸出端子兩

者之一第一端，及該第二電源電壓供應至的一第二端。

5. 如請求項4之位準移位電路，其中該第一電壓補償電容器及該第二電壓補償電容器中之每一者係憑藉使用一電晶體之一閘極氧化物膜電容來組態。
6. 如請求項3之位準移位電路，其中該第一自舉電路包含插入在該第一輸入電晶體之一控制端子與該輸出端子之間之一第一自舉電容器。
7. 如請求項6之位準移位電路，其中該第一自舉電路進一步包含一第一自舉電晶體，該第一自舉電晶體具有該第三電源電壓供應至的一控制端子，且在一導通狀態中供應該第一輸入電晶體之一輸出電壓或該第三輸入電晶體之一輸出電壓給該第一輸出電晶體。
8. 如請求項3之位準移位電路，其進一步包括：
 - 一第二自舉電路，其擴大該第一輸入脈衝信號之一振幅以將該經擴大第一輸入脈衝信號供應至該第一輸入電晶體；及
 - 一第三自舉電路，其擴大該第二輸入脈衝信號之一振幅以將該經擴大第二輸入脈衝信號供應至該第四輸入電晶體。
9. 如請求項8之位準移位電路，其中該第二自舉電路包含：
 - 一第二自舉電晶體，其在一導通狀態中將該第一輸入脈衝信號供應至該第一輸入電晶體；及
 - 一第二自舉電容器，其插入在該第一輸入電晶體之一

控制端子與該輸出端子之間；且

其中該第三自舉電路包含：

一第三自舉電晶體，其在一導通狀態中將該第二輸入脈衝信號供應至該第四輸入電晶體；及

一第三自舉電容器，其插入在該第四輸入電晶體之一控制端子與該輸出端子之間。

10. 如請求項9之位準移位電路，其中將該第三電源電壓供應至該第二自舉電晶體之一控制端子及該第三自舉電晶體之一控制端子兩者。

11. 如請求項9之位準移位電路，其中將一第四電源電壓供應至該第二自舉電晶體之一控制端子及該第三自舉電晶體之一控制端子兩者。

12. 如請求項1之位準移位電路，其進一步包括：

一第一電壓固定電晶體，其經組態以基於該第一輸入電晶體之一輸出電壓或該第三輸入電晶體之一輸出電壓在該第二電源電壓之一電源線與係該第二輸入電晶體及該第四輸入電晶體之共同連接的輸出端子之間執行導通/關斷控制，且經驅動以成為導通以固定該第二電壓；及

一第二電壓固定電晶體，其經組態以基於該第二輸入電晶體之一輸出電壓或該第四輸入電晶體之一輸出電壓在該第二電源電壓之該電源線與係該第一輸入電晶體及該第三輸入電晶體之共同連接的輸出端子之間執行導通/關斷控制，且經驅動以成為導通以固定該第三電壓。

13. 如請求項1之位準移位電路，其中該第三輸入脈衝信號

之一結束時序與該第一輸入脈衝信號之該結束時序重合
或在其之後發生。

14. 如請求項1之位準移位電路，其中該第三輸入脈衝信號
係藉由使該第一輸入脈衝信號反相或藉由使該第一輸入
脈衝信號反相且使該反相第一輸入脈衝信號之一相位延
遲而產生。

15. 如請求項1之位準移位電路，其中該第一輸入電晶體輸
出自該第一輸入脈衝信號獲得之該第一電壓，且該第四
輸入電晶體輸出自該第二輸入脈衝信號獲得之該第四電
壓。

16. 如請求項1之位準移位電路，該第一輸出電晶體及該第
二輸出電晶體及該第一輸入電晶體至該第四輸入電晶體
係相同傳導類型之MOS電晶體。

17. 一種位準移位電路，其包括：

一第一電晶體，其具有連接至一第一信號供應器之一
閘極，該第一信號供應器供應自一第一輸入信號獲得之
一信號；

一第二電晶體，其具有被供應一第二輸入信號之一閘
極、連接至該第一電晶體之一源極之一汲極，及連接至
一第一電源之一源極；

一第三電晶體，其具有連接至一第二信號供應器之一
閘極，該第二信號供應器供應自該第二輸入信號獲得之
一信號；

一第四電晶體，其具有被供應該第一輸入信號之一閘

極、連接至該第三電晶體之一源極之一汲極，及連接至該第一電源之一源極；

一第五電晶體，其具有連接至一第二電源之一汲極，及連接至一第三信號供應器之一閘極，該第三信號供應器供應自從該第三電晶體之該源極輸出之一信號獲得之一信號；

一第六電晶體，其具有連接至該第一電晶體之該源極之一閘極、連接至該第五電晶體之一源極之一汲極，及連接至該第一電源之一源極；

一第一電容元件，其具有與該第二輸入信號同步之一第三輸入信號供應至的一第一端，及連接至該第三電晶體之該源極之一第二端；

一第二電容元件，其插入在該第三電晶體之該源極與該第一電源之間；及

一第三電容元件，其插入在該第五電晶體之該閘極與該源極之間，

其中自該第五電晶體之該源極輸出具有等於或大於該第一輸入信號至該第三輸入信號之振幅之一振幅之一信號。

18. 一種位準移位電路，其包括：

一第一輸入電路，將一第一輸入信號及一第二輸入信號供應至該第一輸入電路；

一第二輸入電路，將該第一輸入信號及該第二輸入信號供應至該第二輸入電路；

一第一電容元件，其具有與該第一輸入信號同步之一第三輸入信號供應至之一第一端，及連接至該第二輸入電路之一輸出端子之一第二端；

一第二電容元件，其插入在該第二輸入電路之該輸出端子與一電源之間；及

一輸出電路，其基於該第一輸入電路之一輸出電壓及該第二輸入電路之一輸出電壓產生具有大於該第一輸入信號至該第三輸入信號之振幅之一振幅的一輸出信號，

其中由於該第二輸入信號而在該第二輸入電路之一輸出中導致之一振幅波動係藉由該第三輸入信號與該第一第二電容元件及該第二電容元件之一組合來補償。

19. 一種信號驅動電路，其包括：

一移位暫存器電路，其基於所供應控制信號產生脈衝信號以按一分時方式將該等所產生脈衝信號按序輸出至複數個信號線；及

一位準移位電路，其基於該等脈衝信號中之一者或多者產生一驅動信號以將該所產生驅動信號輸出至複數個驅動信號線中之一者，該驅動信號具有等於或大於係該驅動信號之基礎之該等脈衝信號之彼電壓振幅之一電壓振幅，

其中該位準移位電路包含：

一第一輸出電晶體，其經驅動以成為導通以輸出自一第一電源電壓獲得之一電壓；

一第二輸出電晶體，其經驅動以成為導通以輸出自

一 第二電源電壓獲得之一電壓；

一 第一輸入電晶體，其具有一輸出端子，且基於一第一輸入脈衝信號驅動該第一輸入電晶體而成為導通以輸出一第一電壓，該第一電壓係允許該第一輸出電晶體導通之一驅動電壓之一基礎；

一 第二輸入電晶體，其具有一輸出端子，且基於該第一輸入脈衝信號驅動該第二輸入電晶體而成為導通以輸出一第二電壓，該第二電壓係允許該第二輸出電晶體關斷之一驅動電壓之一基礎；

一 第三輸入電晶體，其具有連接該第一輸入電晶體之該輸出端子之一輸出端子，且基於一第二輸入脈衝信號驅動該第三輸入電晶體而成為導通以輸出一第三電壓，該第三電壓係允許該第一輸出電晶體關斷之一驅動電壓之一基礎；

一 第四輸入電晶體，其具有連接至該第二輸入電晶體之該輸出端子之一輸出端子，且基於該第二輸入脈衝信號驅動該第四輸入電晶體而成為導通以輸出一第四電壓，該第四電壓係允許該第二輸出電晶體導通之一驅動電壓之一基礎；

一 第一自舉電路，其擴大該第一電壓之一振幅以將該經擴大第一電壓供應至該第一輸出電晶體；及

一 第一電壓補償電路，其基於一第三輸入脈衝信號進行一電壓改變，該電壓改變之一方向與在該第一輸入脈衝信號之一結束時序處由於該第一輸入電晶體中

之一寄生電容而在該第一電壓中導致之一電壓波動之一方向相反。

20. 一種顯示裝置，其包括：

一顯示區段；及

一顯示控制區段，其具有輸出具有大於所供應之一個或多個信號之彼振幅之一振幅之一控制信號的一位準移位電路，且基於該控制信號驅動該顯示區段，

其中該位準移位電路包含：

一第一輸出電晶體，其經驅動以成為導通以輸出自一第一電源電壓獲得之一電壓；

一第二輸出電晶體，其經驅動以成為導通以輸出自一第二電源電壓獲得之一電壓；

一第一輸入電晶體，其具有一輸出端子，且基於一第一輸入脈衝信號驅動該第一輸入電晶體而成為導通以輸出一第一電壓，該第一電壓係允許該第一輸出電晶體導通之一驅動電壓之一基礎；

一第二輸入電晶體，其具有一輸出端子，且基於該第一輸入脈衝信號驅動該第二輸入電晶體而成為導通以輸出一第二電壓，該第二電壓係允許該第二輸出電晶體關斷之一驅動電壓之一基礎；

一第三輸入電晶體，其具有連接該第一輸入電晶體之該輸出端子之一輸出端子，且基於一第二輸入脈衝信號驅動該第三輸入電晶體而成為導通以輸出一第三電壓，該第三電壓係允許該第一輸出電晶體關斷之一

驅動電壓之一基礎；

一第四輸入電晶體，其具有連接至該第二輸入電晶體之該輸出端子之一輸出端子，且基於該第二輸入脈衝信號驅動該第四輸入電晶體而成為導通以輸出一第四電壓，該第四電壓係允許該第二輸出電晶體導通之一驅動電壓之一基礎；

一第一自舉電路，其擴大該第一電壓之一振幅以將該經擴大第一電壓供應至該第一輸出電晶體；及

一第一電壓補償電路，其基於一第三輸入脈衝信號進行一電壓改變，該電壓改變之一方向與在該第一輸入脈衝信號之一結束時序處由於該第一輸入電晶體中之一寄生電容而在該第一電壓中導致之一電壓波動之一方向相反。

21. 一種電子裝置，其包括：

一顯示區段；

一處理區段，其執行一預定處理程序；及

一顯示控制區段，其具有輸出具有大於自該處理區段供應之一個或多個信號之彼振幅之一振幅之一控制信號的一位準移位電路，且基於該控制信號驅動該顯示區段，

其中該位準移位電路包含：

一第一輸出電晶體，其經驅動以成為導通以輸出自一第一電源電壓獲得之一電壓；

一第二輸出電晶體，其經驅動以成為導通以輸出自一第二電源電壓獲得之一電壓；

一 第一輸入電晶體，其具有一輸出端子，且基於一第一輸入脈衝信號驅動該第一輸入電晶體而成為導通以輸出一第一電壓，該第一電壓係允許該第一輸出電晶體導通之一驅動電壓之一基礎；

一 第二輸入電晶體，其具有一輸出端子，且基於該第一輸入脈衝信號驅動該第二輸入電晶體而成為導通以輸出一第二電壓，該第二電壓係允許該第二輸出電晶體關斷之一驅動電壓之一基礎；

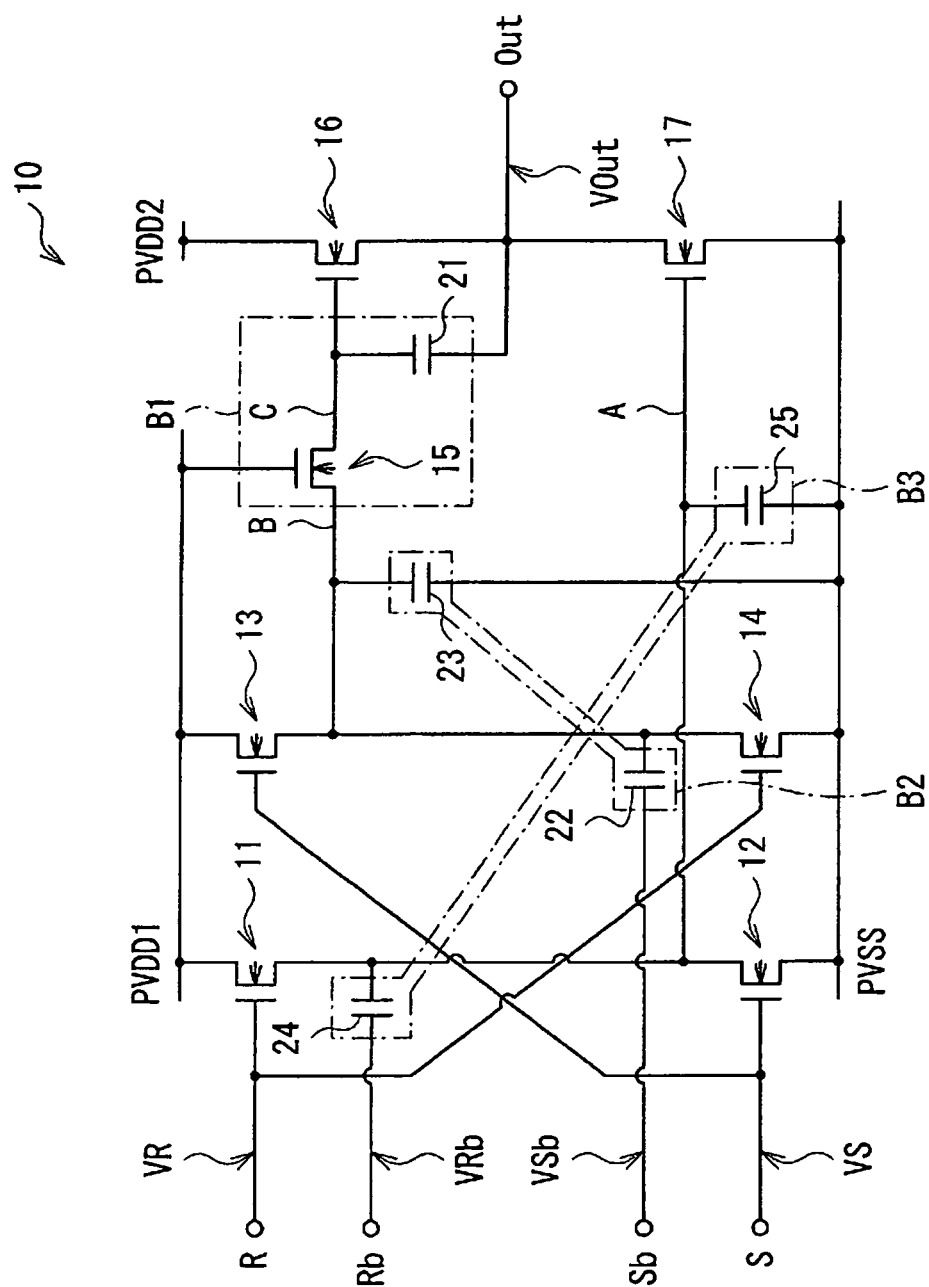
一 第三輸入電晶體，其具有連接該第一輸入電晶體之該輸出端子之一輸出端子，且基於一第二輸入脈衝信號驅動該第三輸入電晶體而成為導通以輸出一第三電壓，該第三電壓係允許該第一輸出電晶體關斷之一驅動電壓之一基礎；

一 第四輸入電晶體，其具有連接至該第二輸入電晶體之該輸出端子之一輸出端子，且基於該第二輸入脈衝信號驅動該第四輸入電晶體而成為導通以輸出一第四電壓，該第四電壓係允許該第二輸出電晶體導通之一驅動電壓之一基礎；

一 第一自舉電路，其擴大該第一電壓之一振幅以將該經擴大第一電壓供應至該第一輸出電晶體；及

一 第一電壓補償電路，其基於一第三輸入脈衝信號進行一電壓改變，該電壓改變之一方向與在該第一輸入脈衝信號之一結束時序處由於該第一輸入電晶體中之一寄生電容而在該第一電壓中導致之一電壓波動之一方向相反。

八、圖式：



一 回

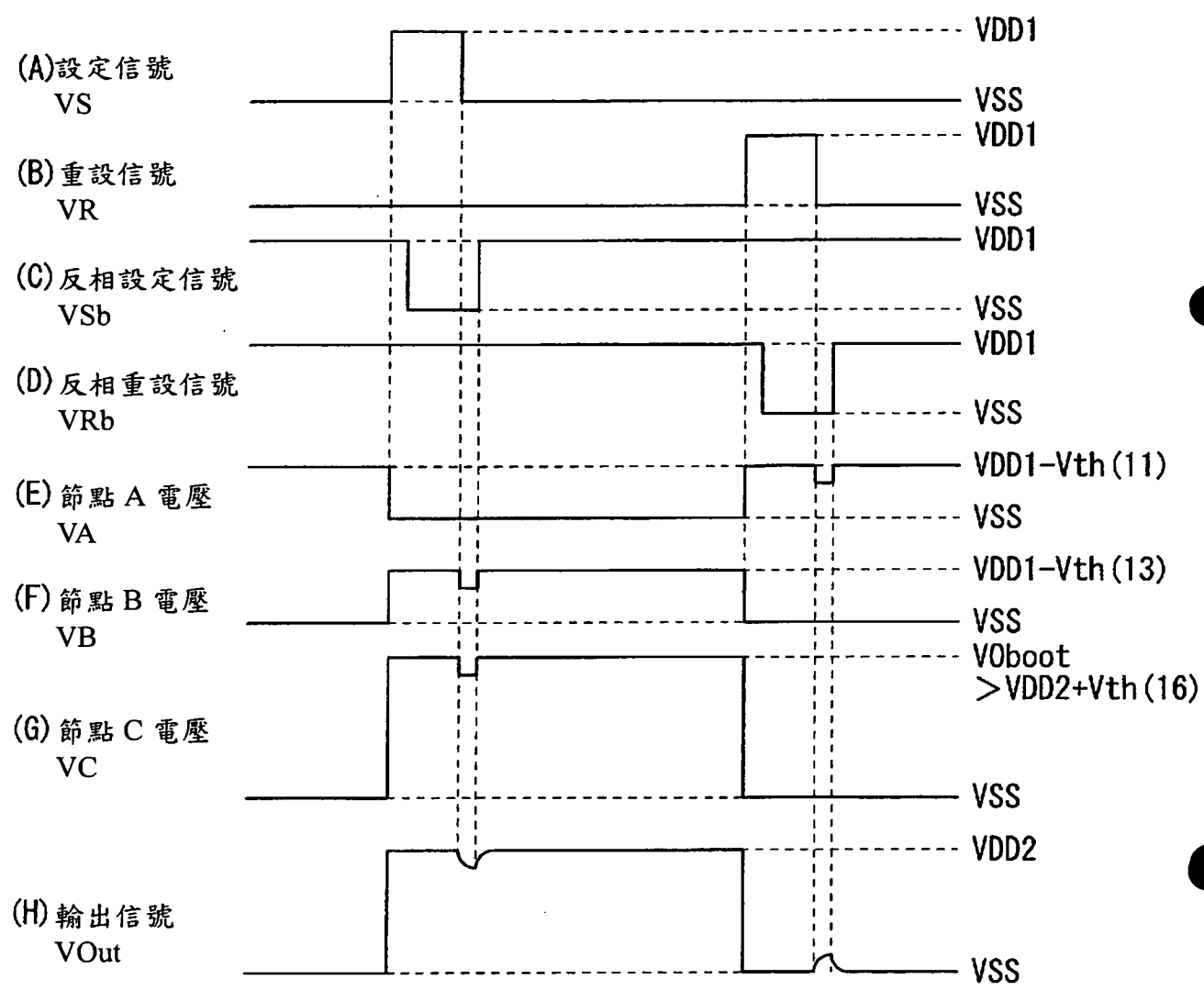


圖2



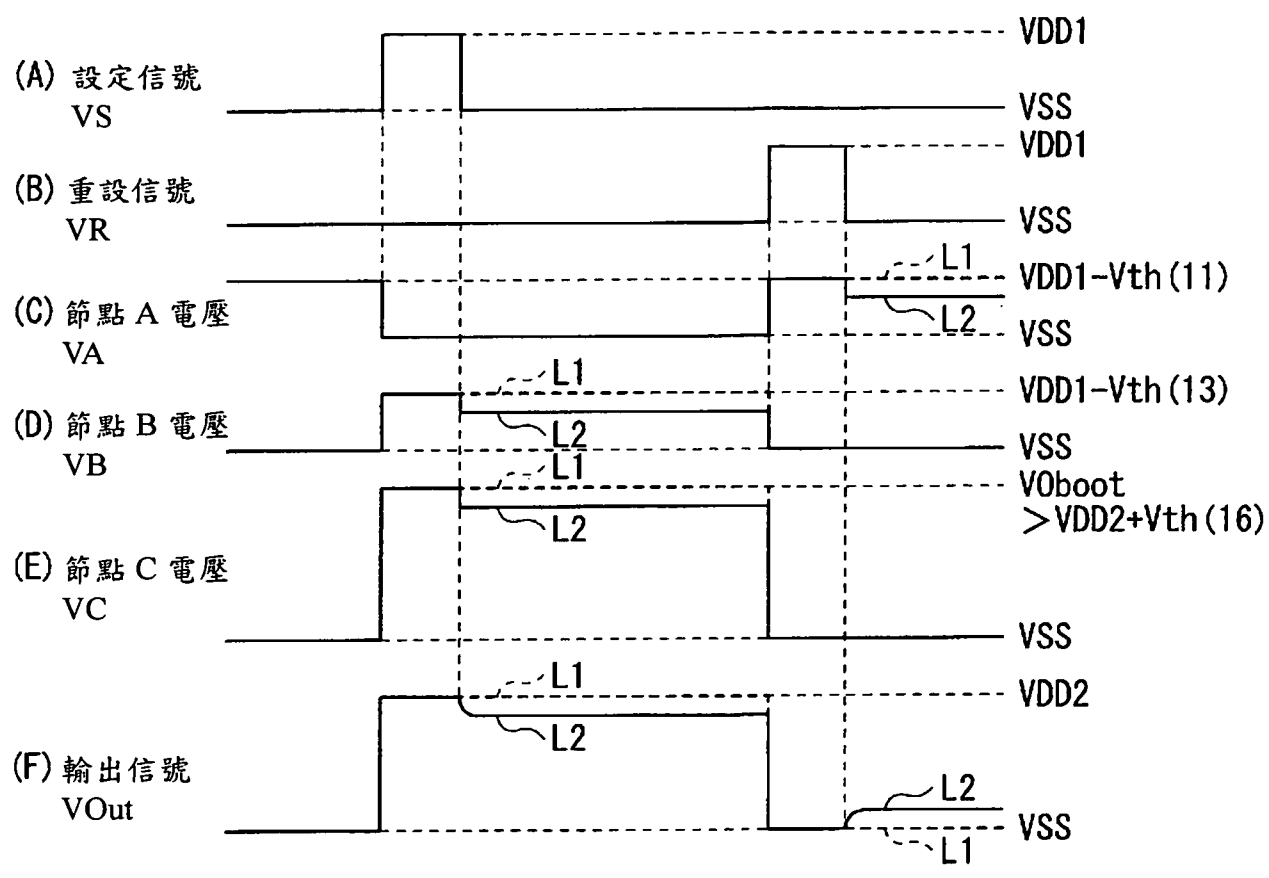


圖 4

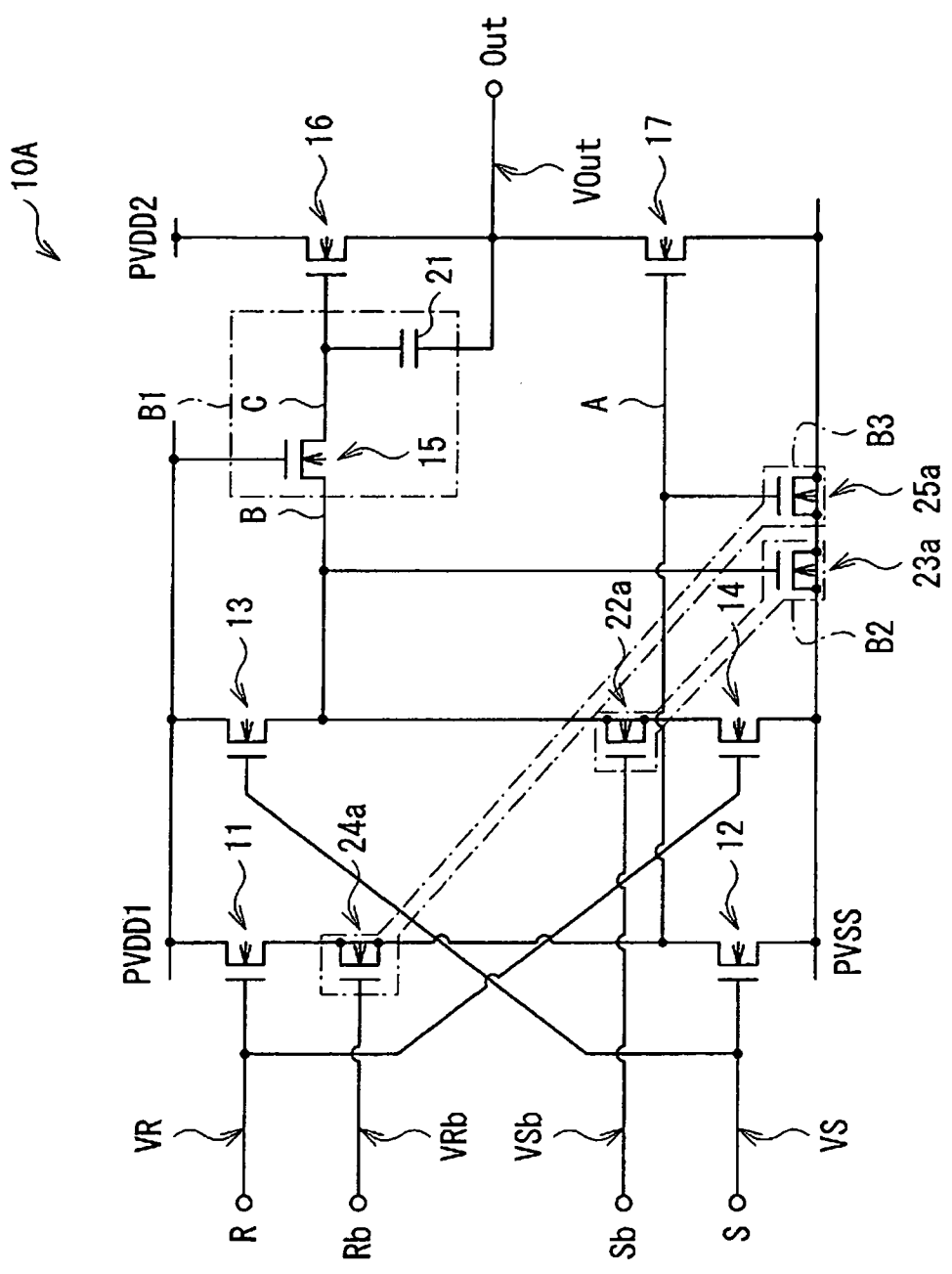


圖 5

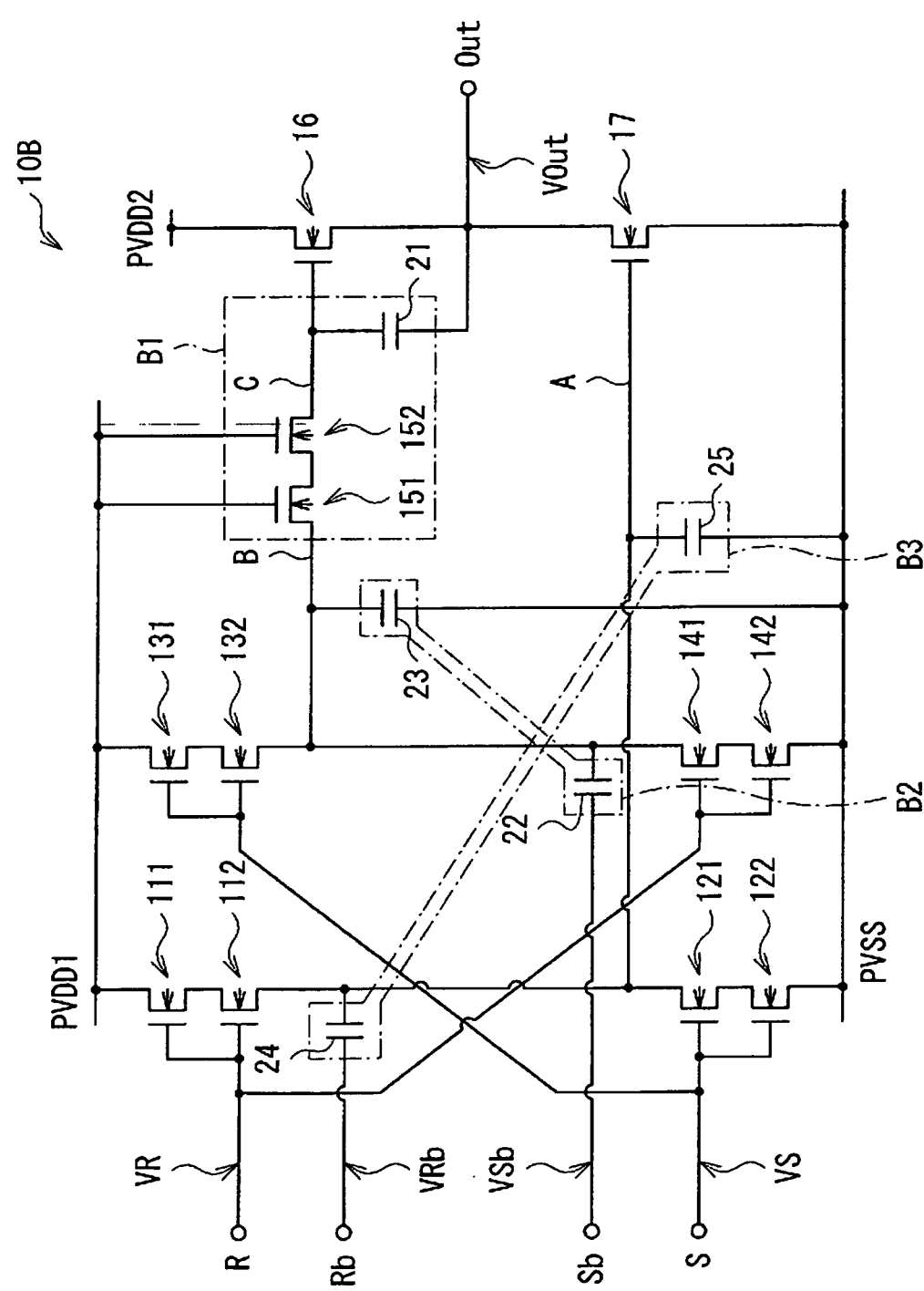


圖 6

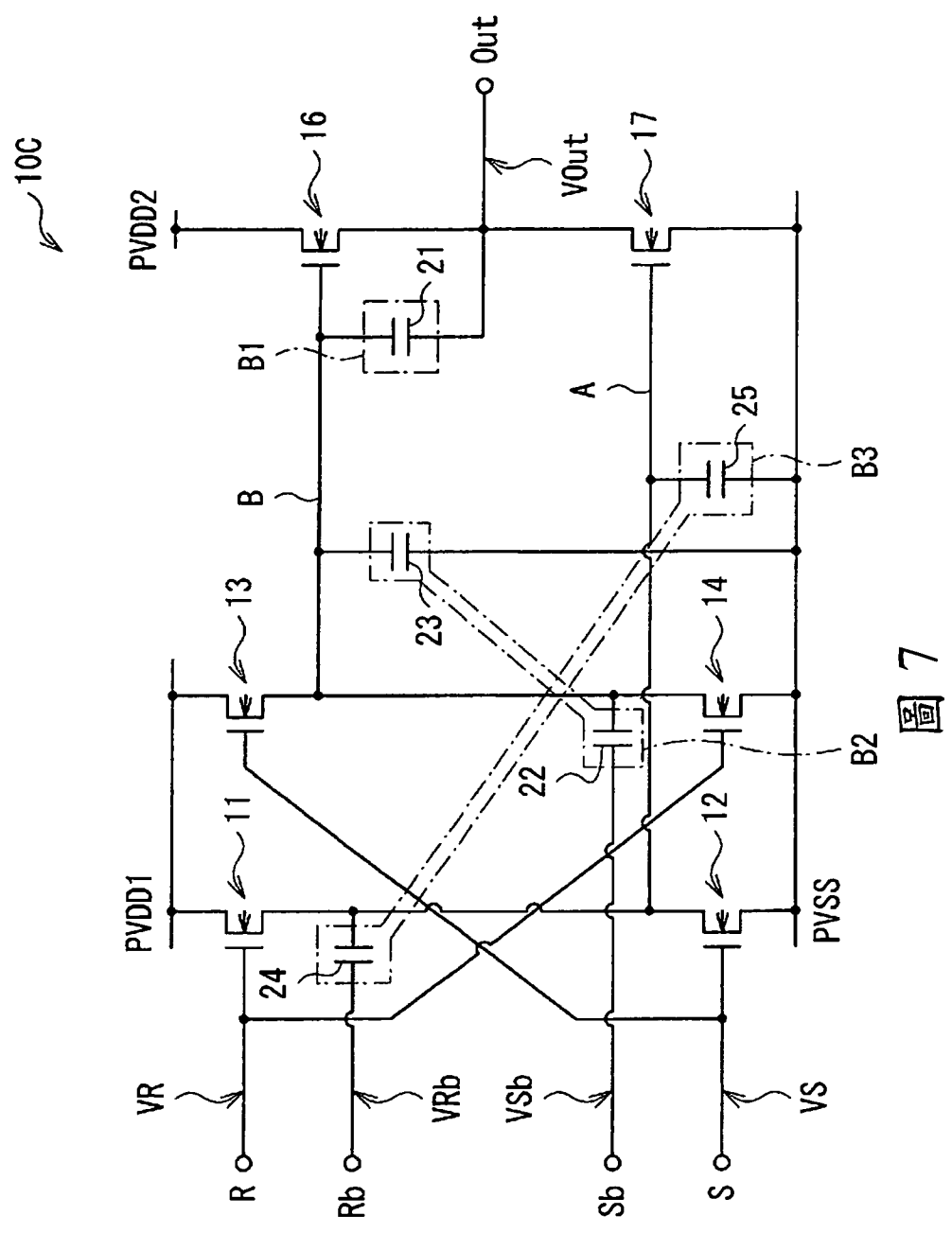


圖 7

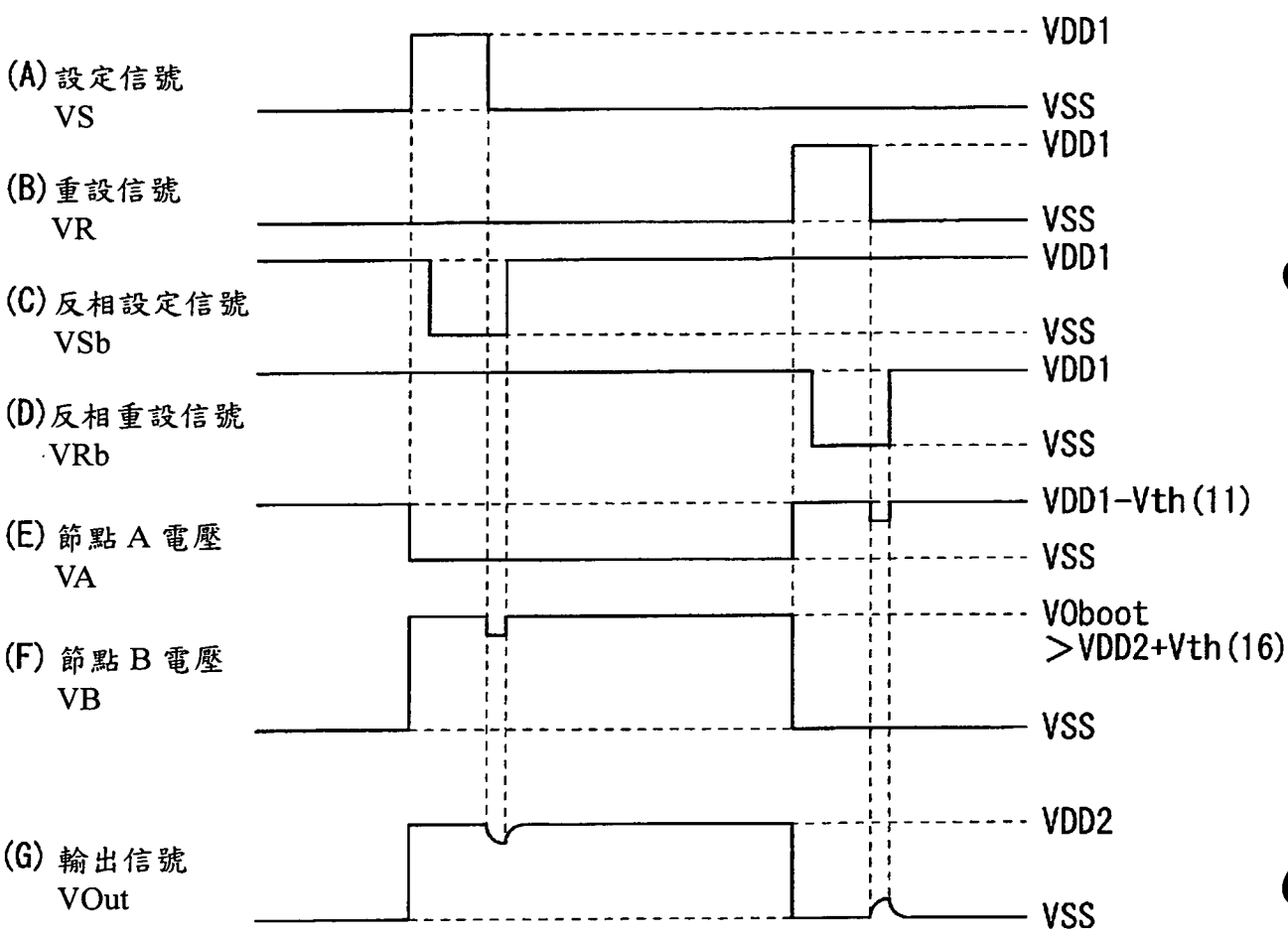


圖8

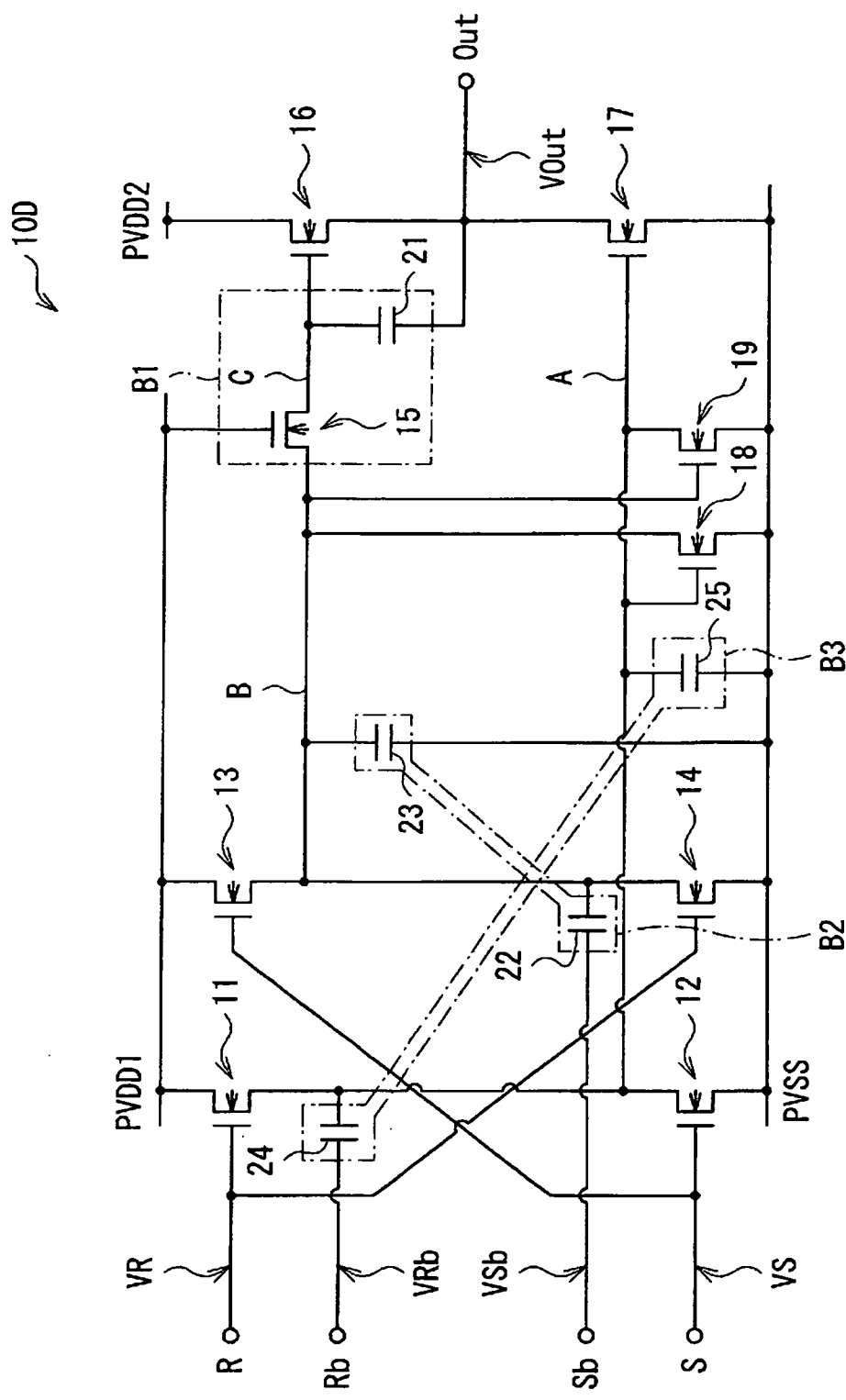


圖 9

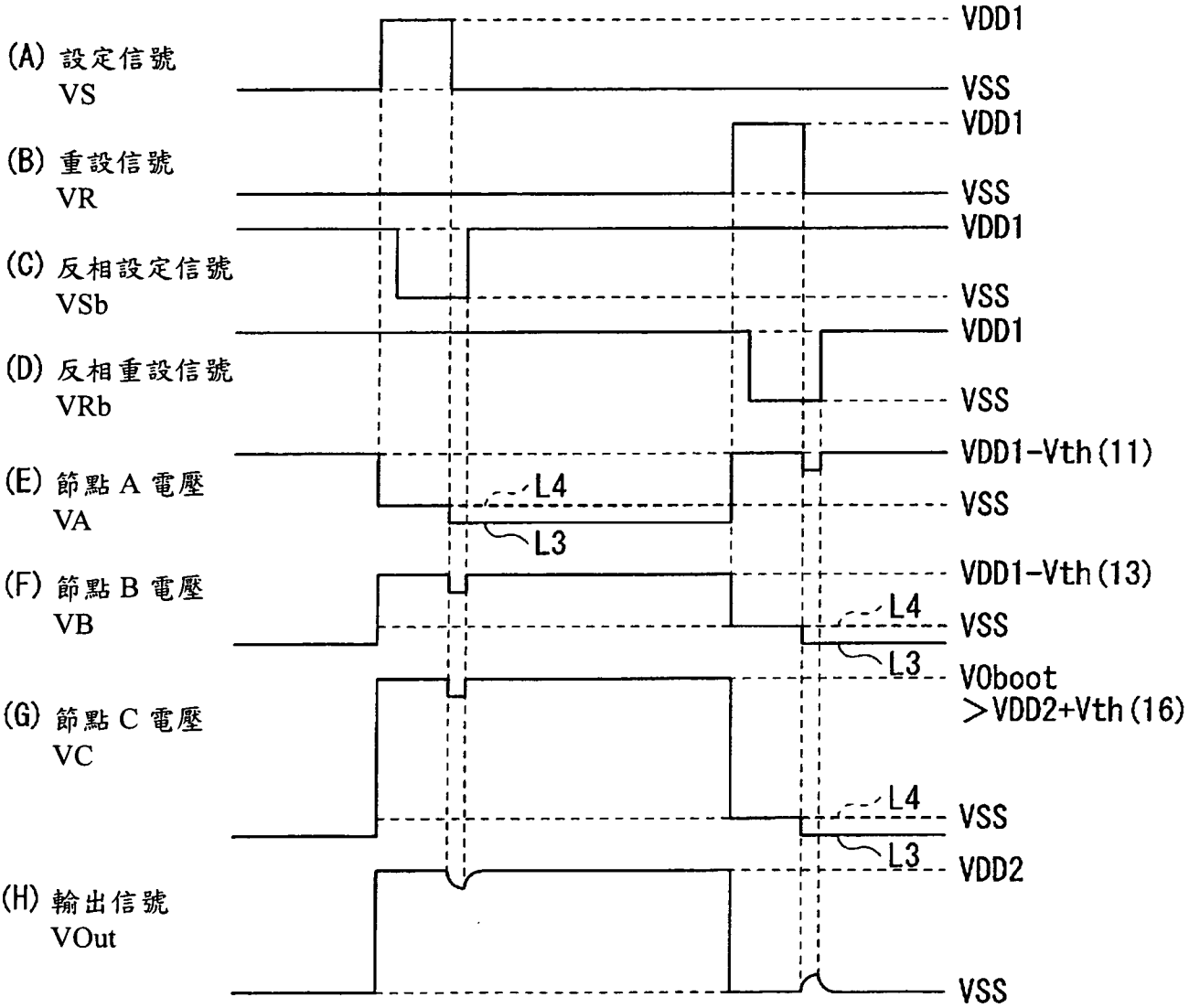


圖 10

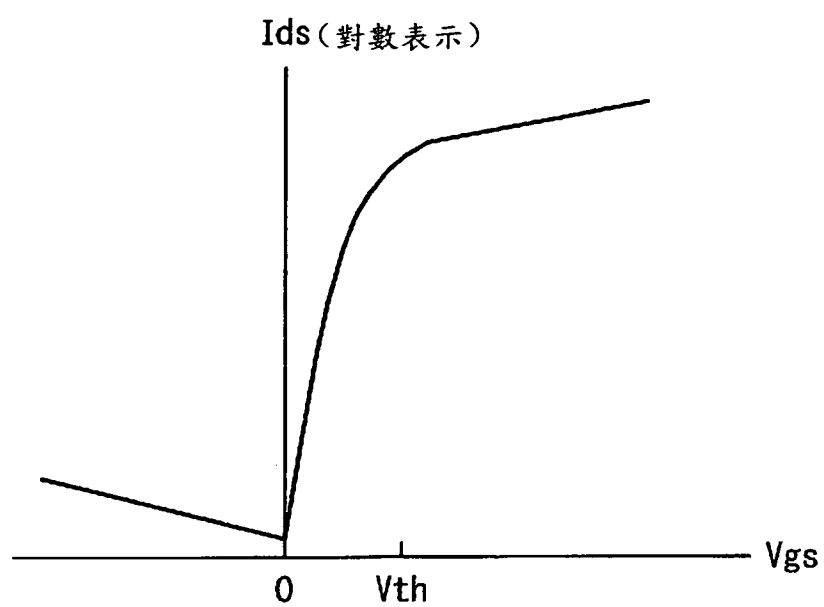


圖 11

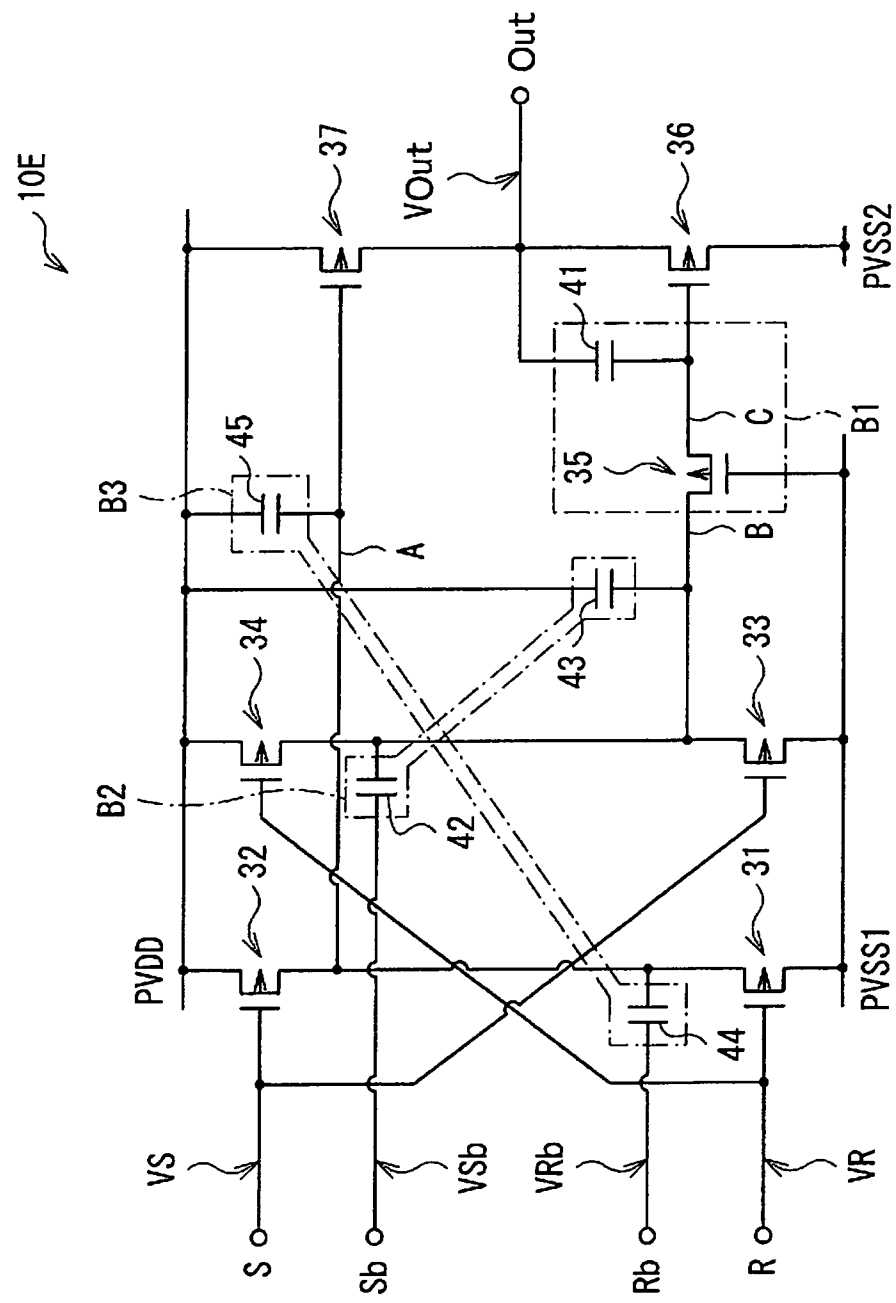


圖 12

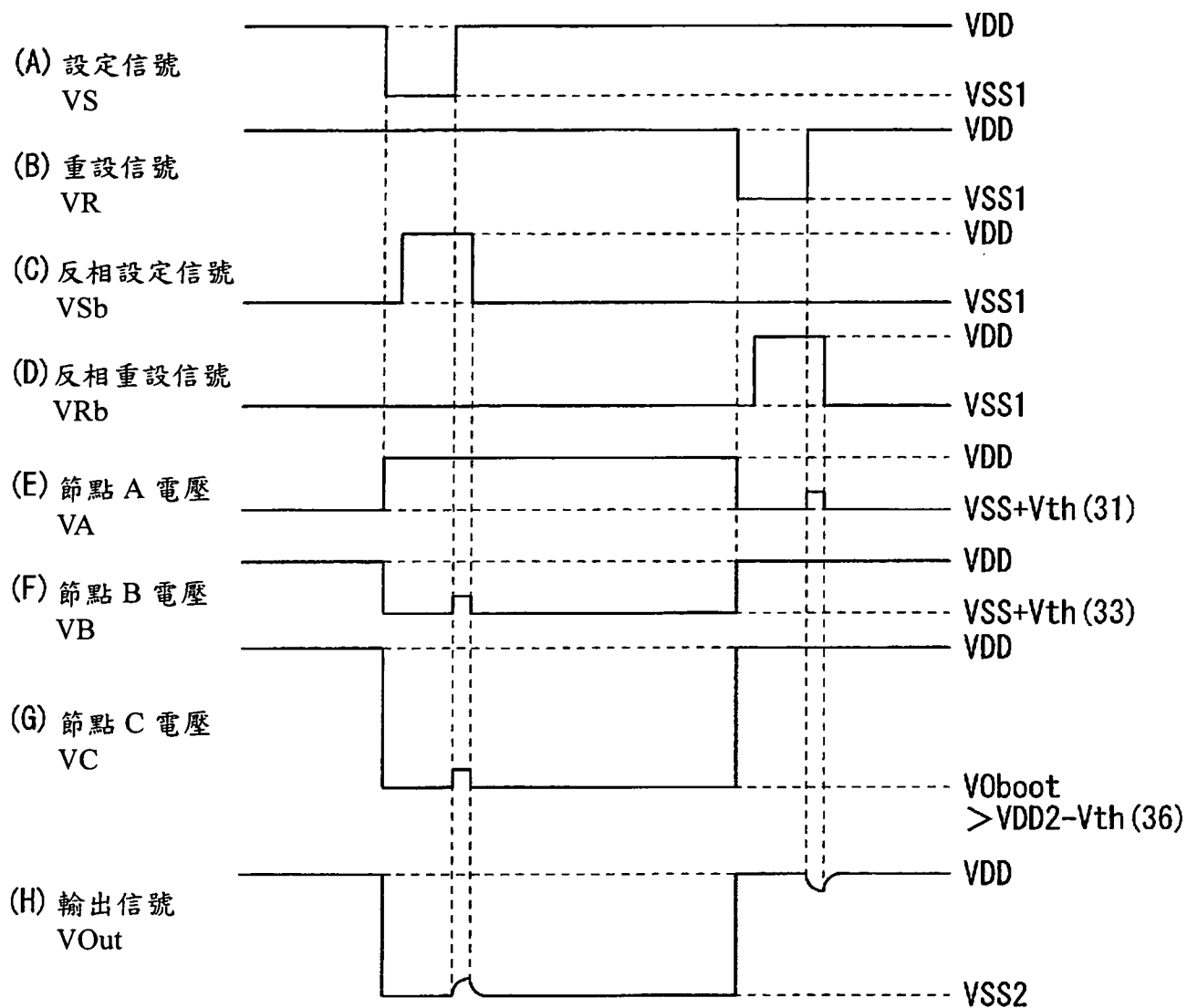


圖 13

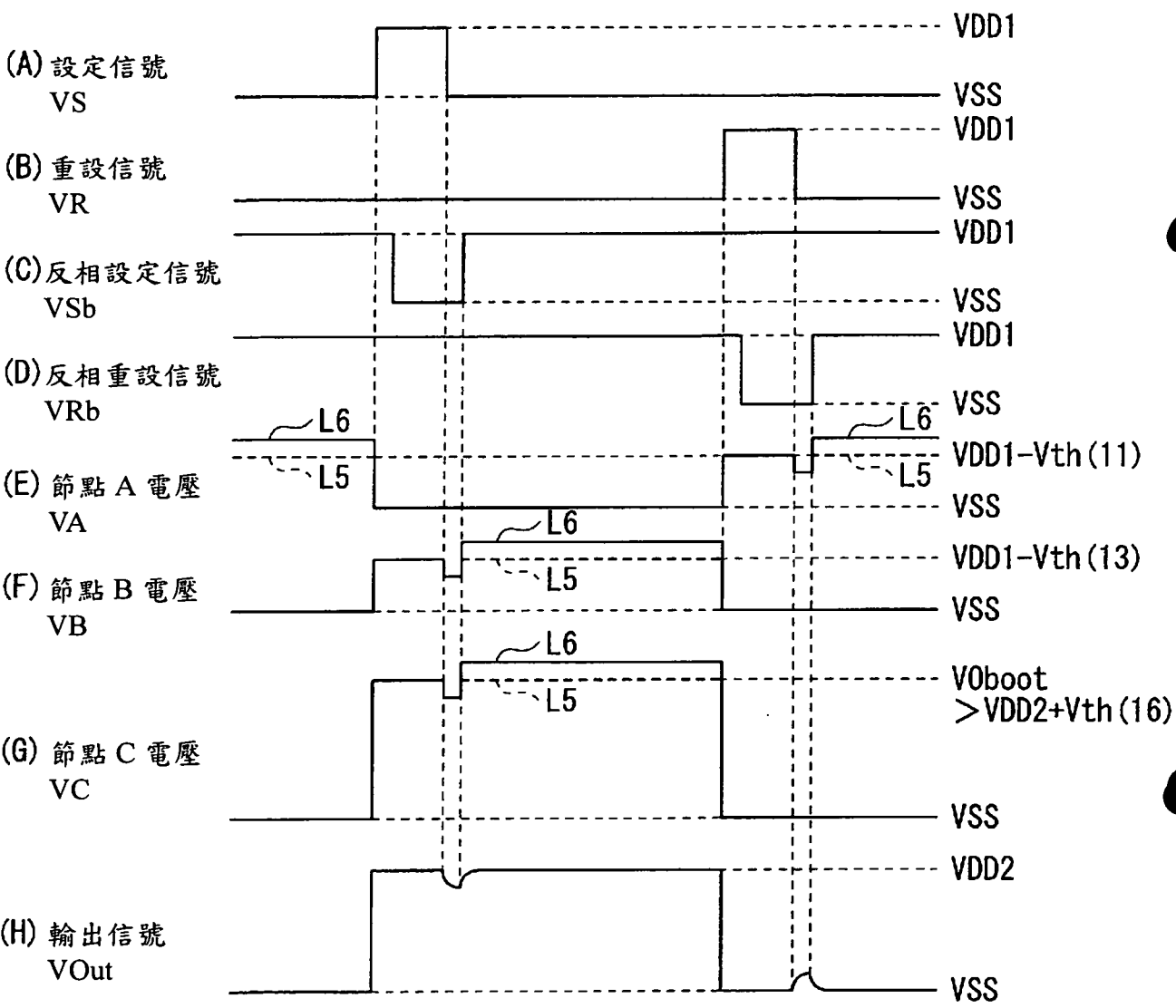


圖 14

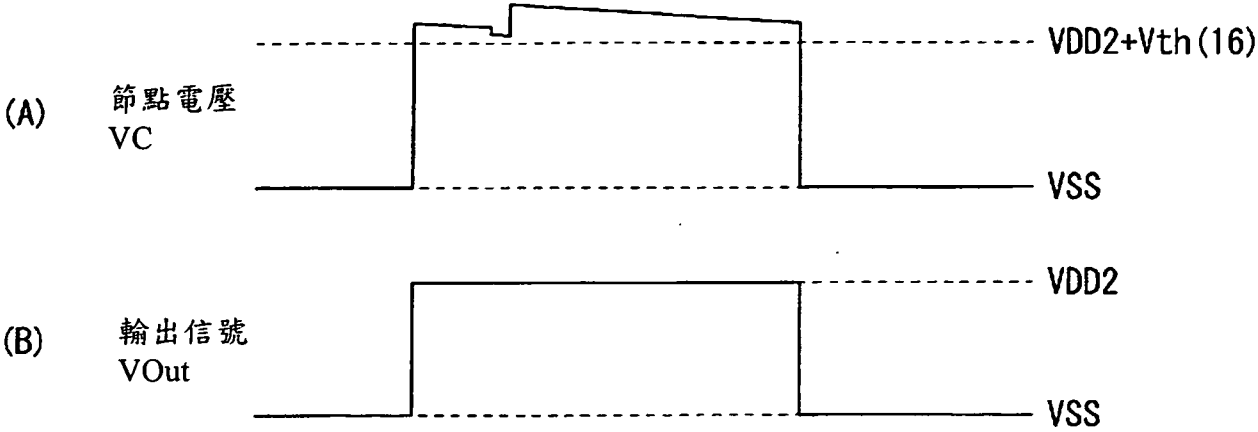


圖 15

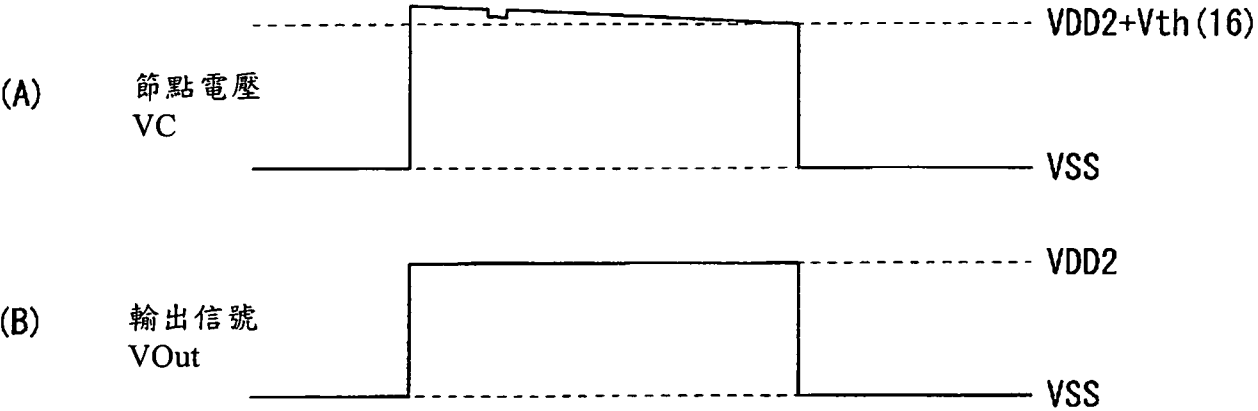


圖 16

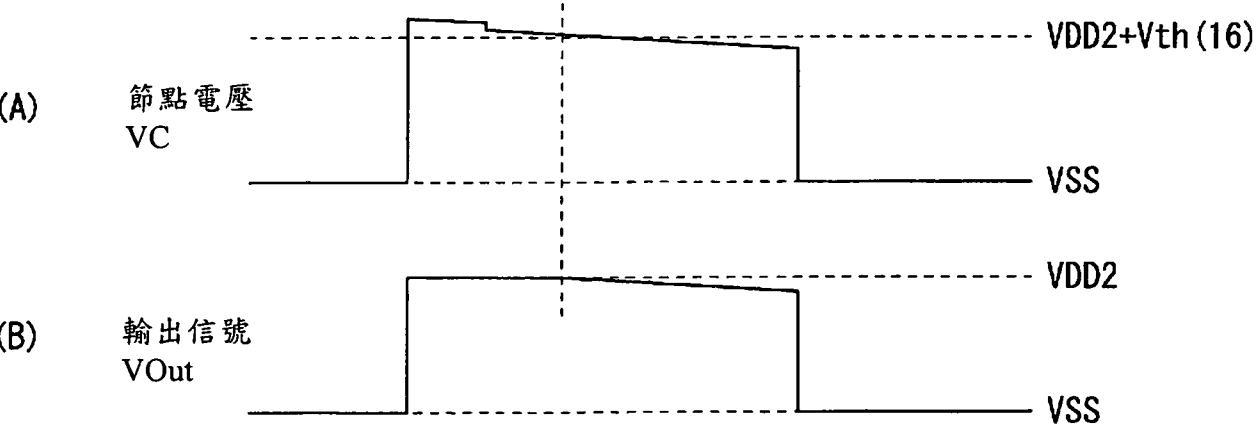
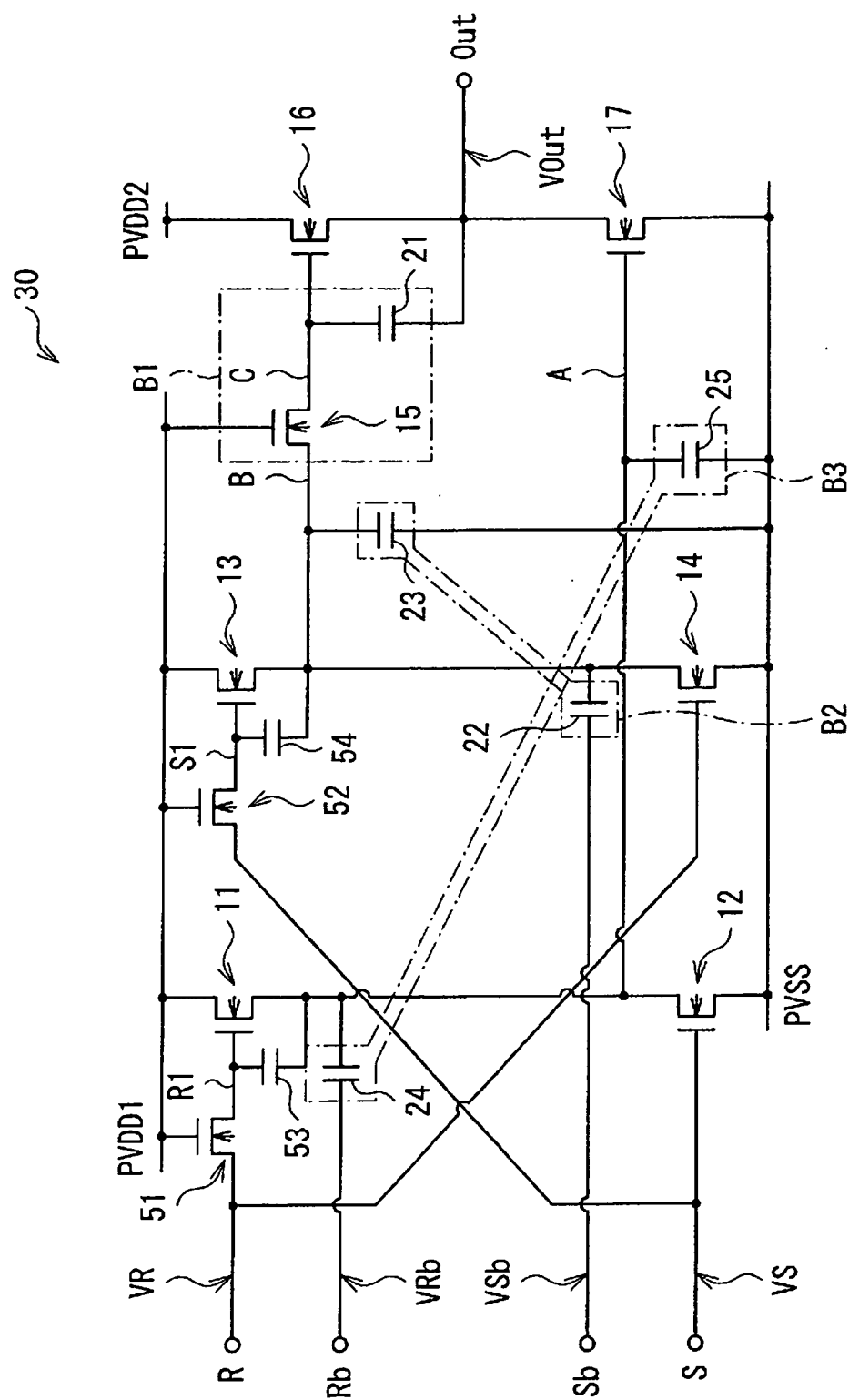


圖 17



18

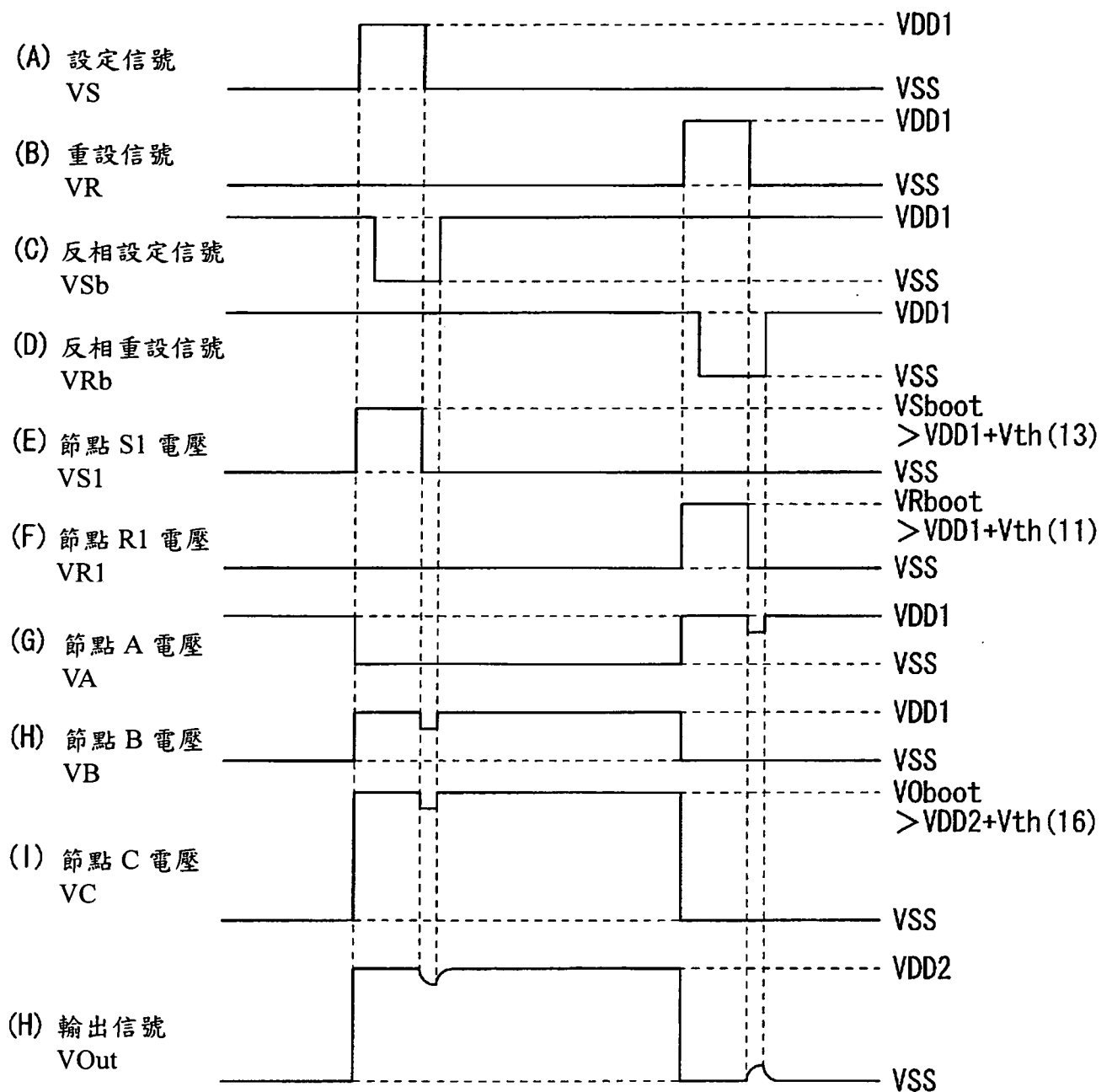
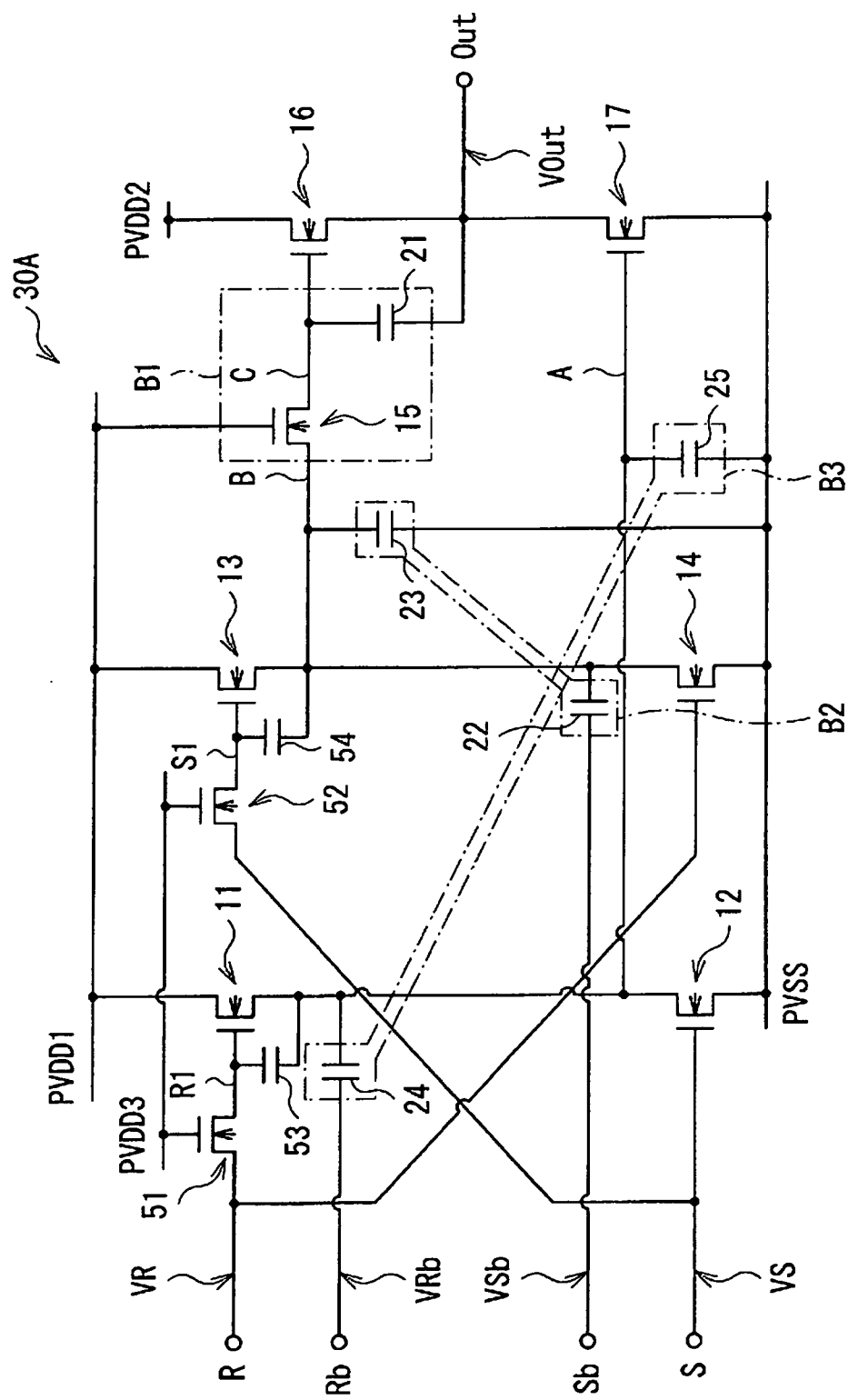


圖 19



20

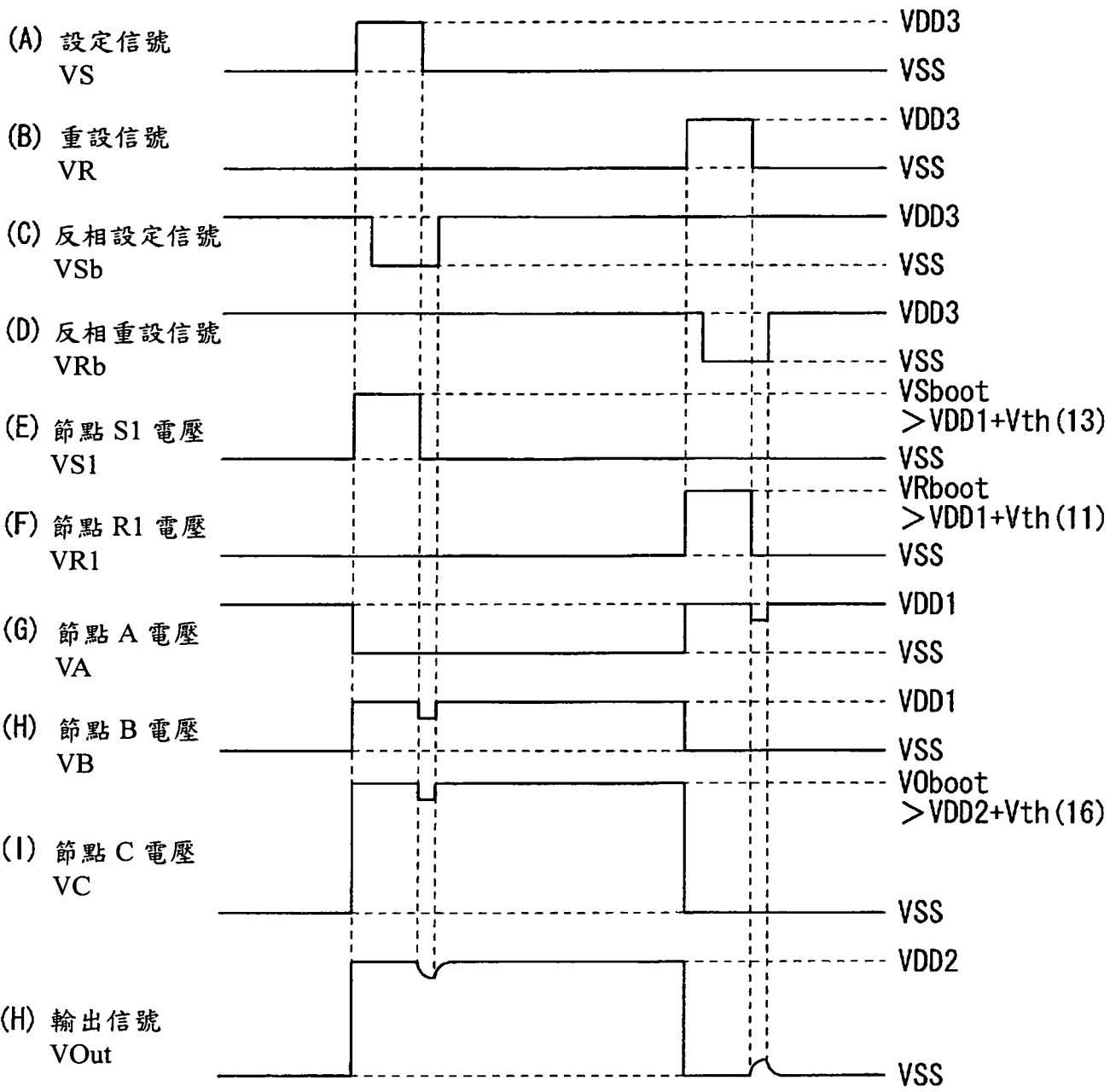


圖 21

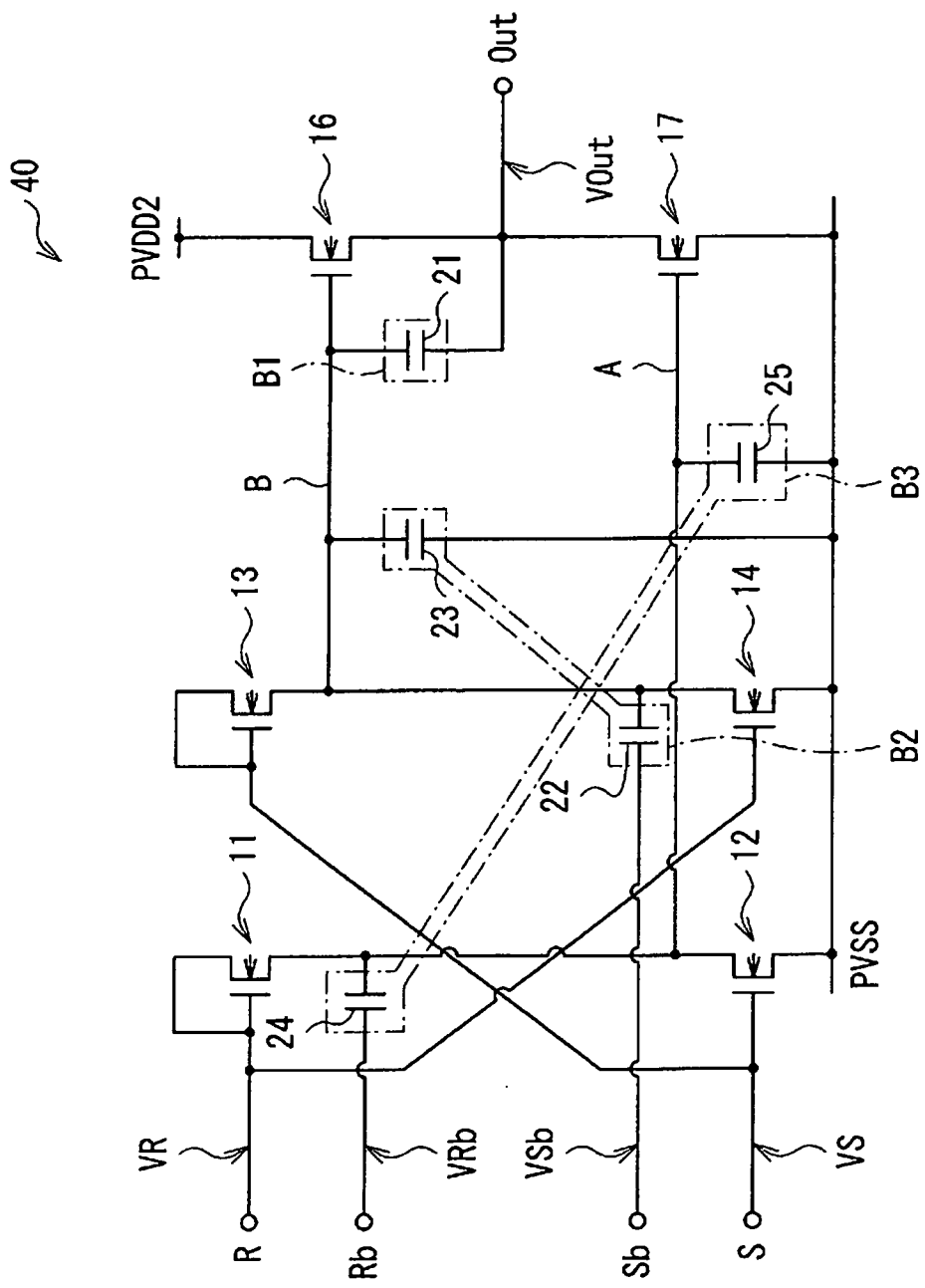


圖 22

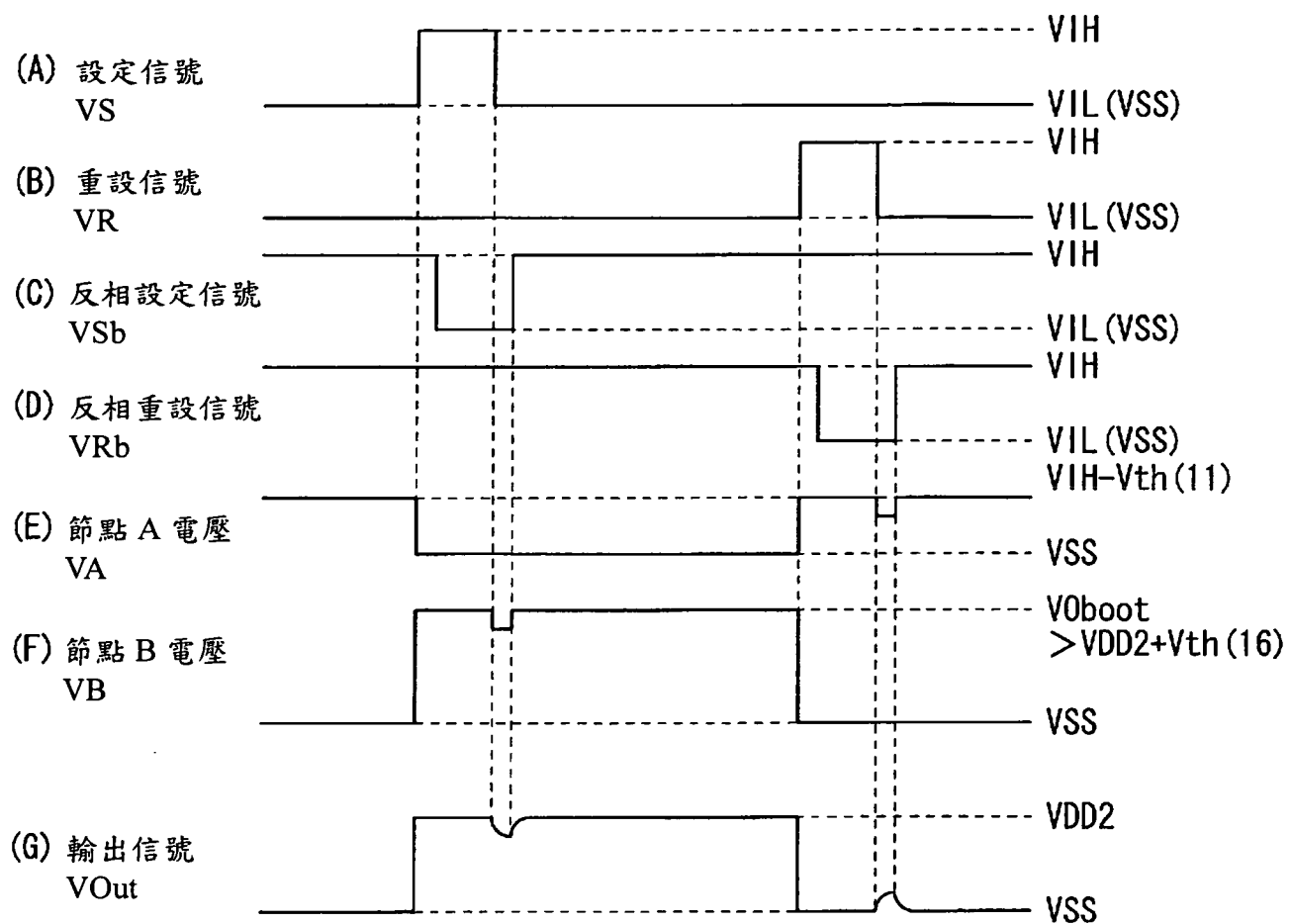
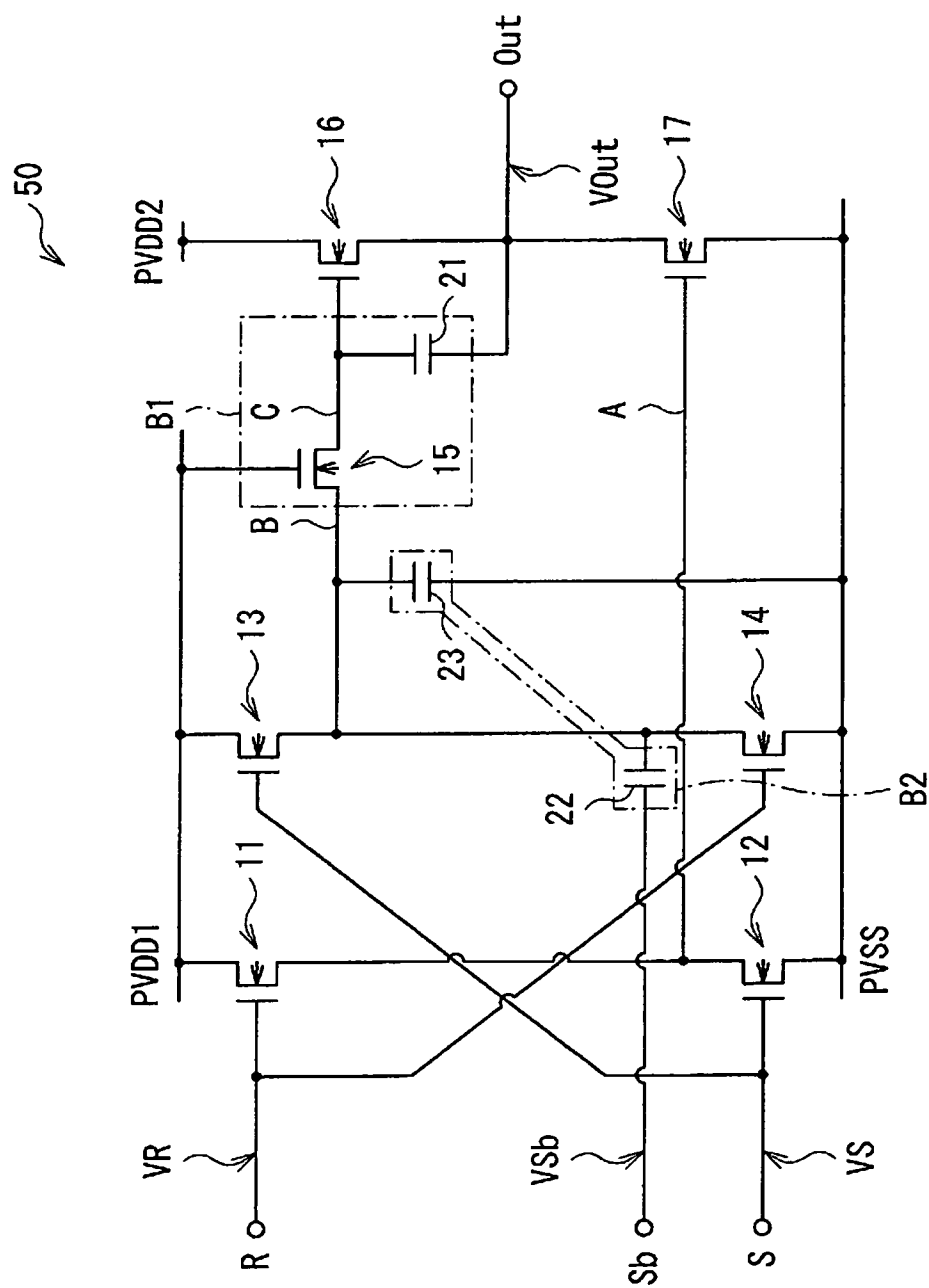


圖 23



24

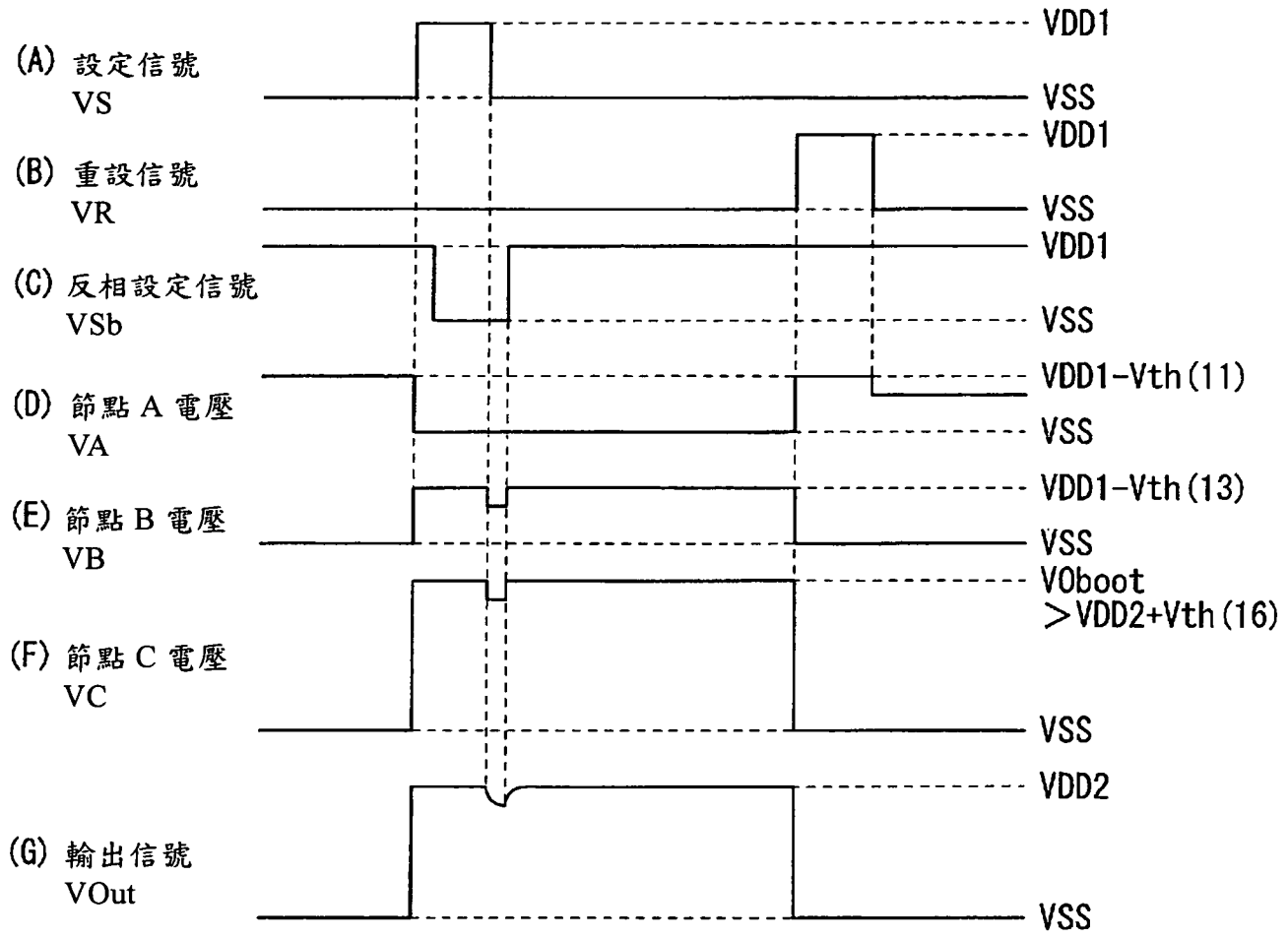


圖 25

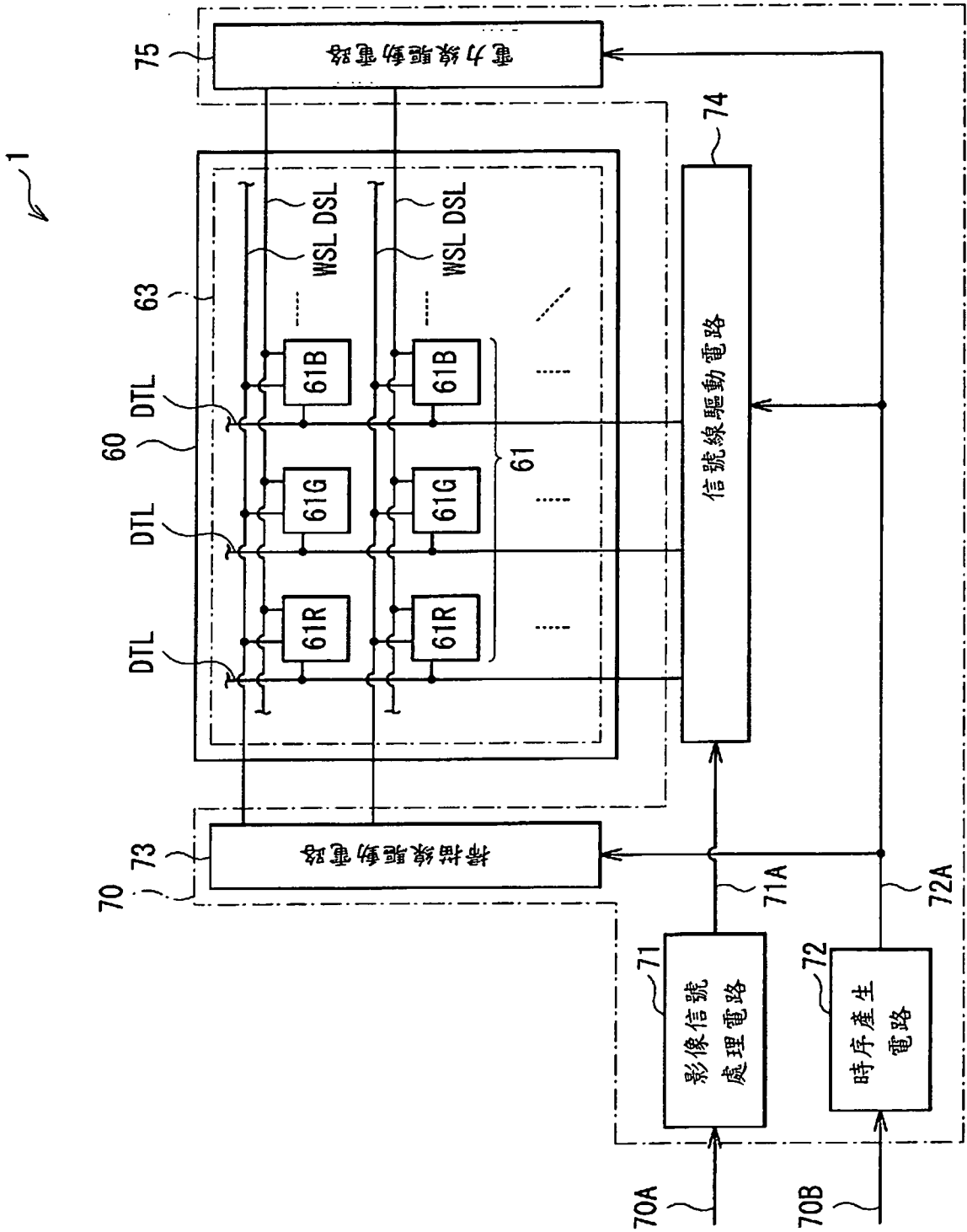


圖 26

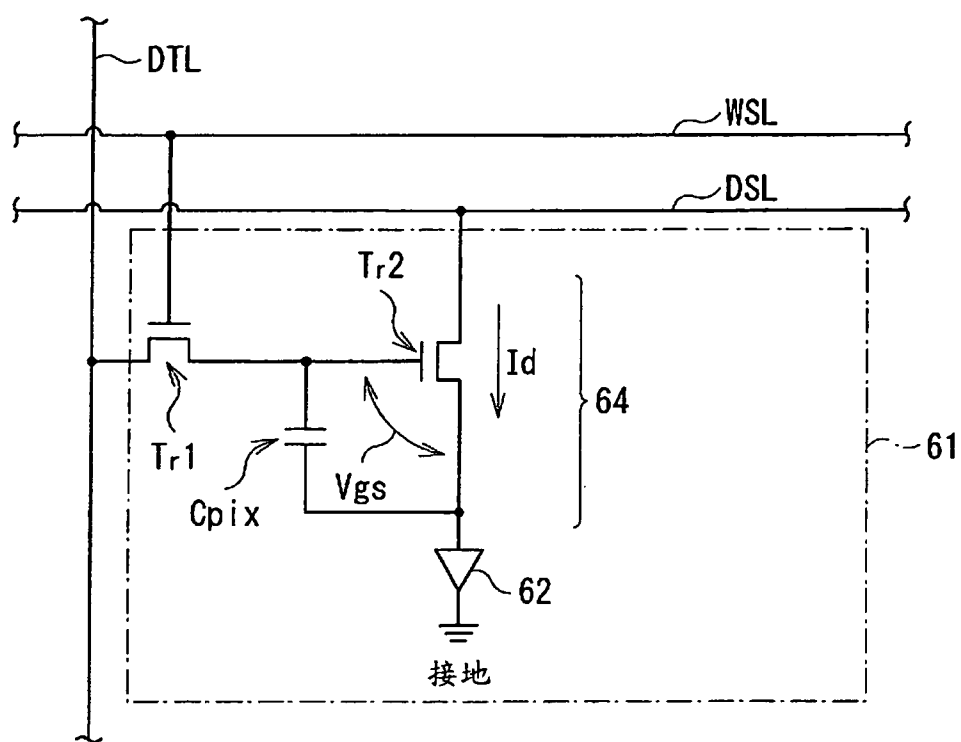


圖 27

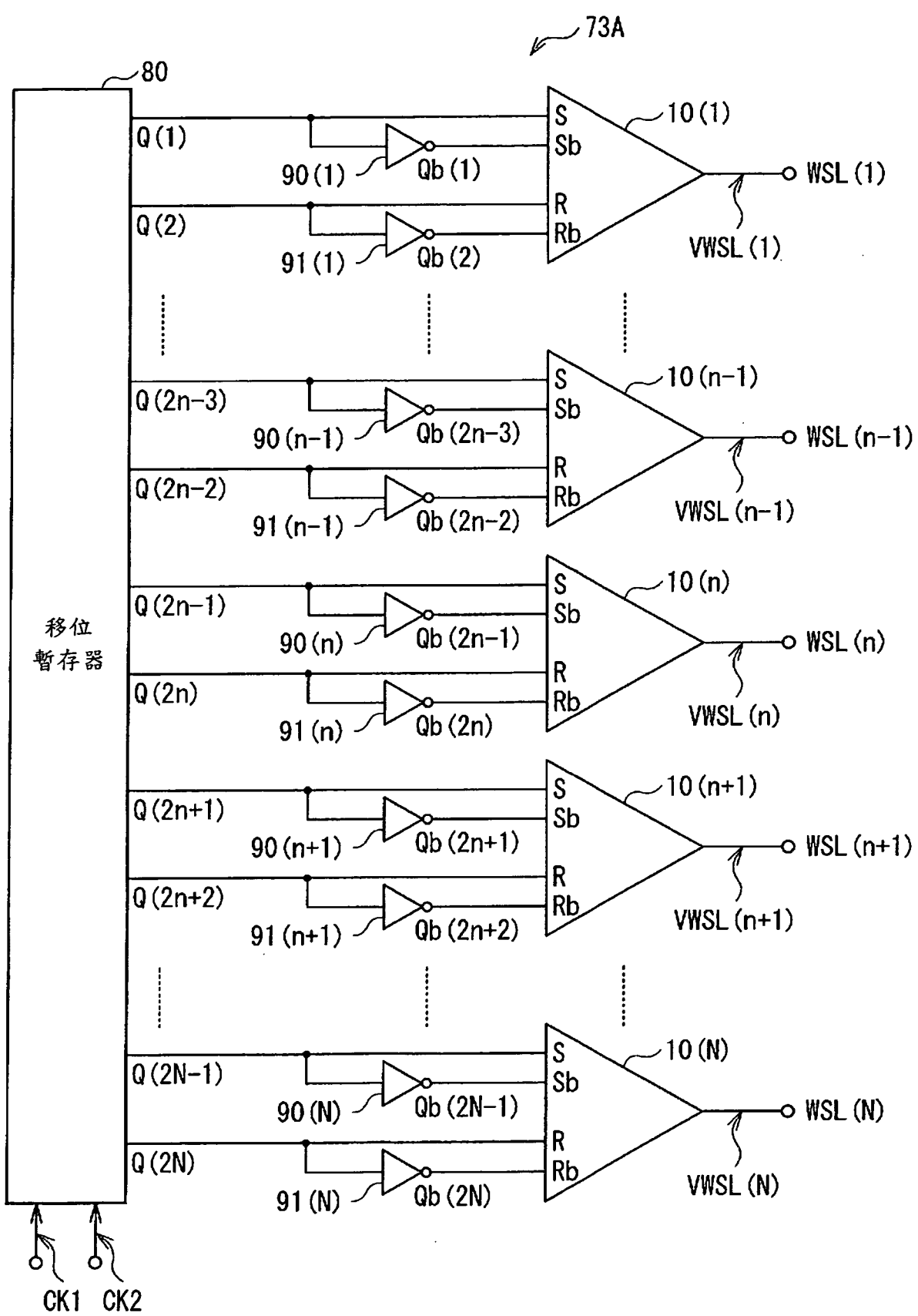


圖 28

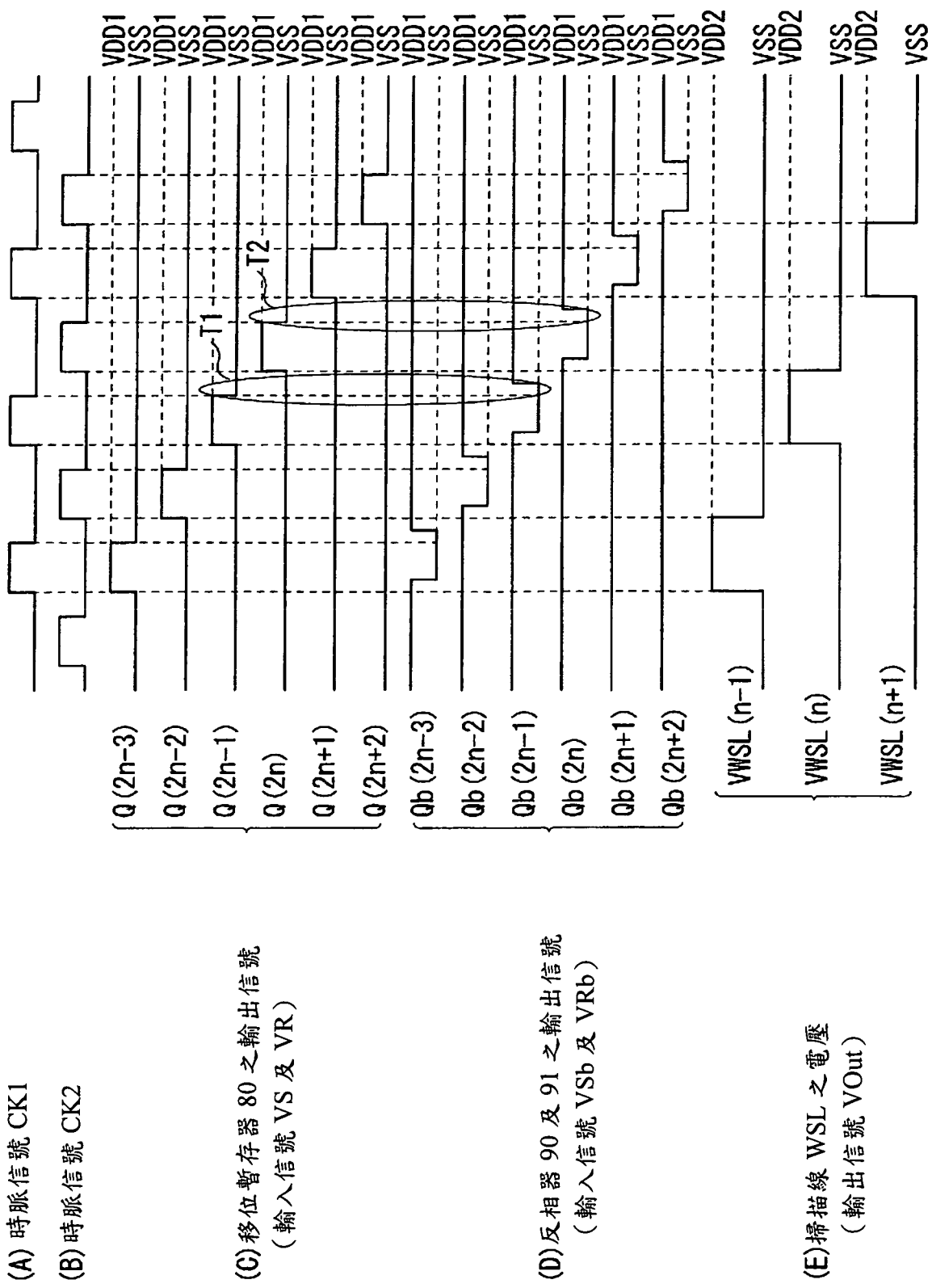


圖 29

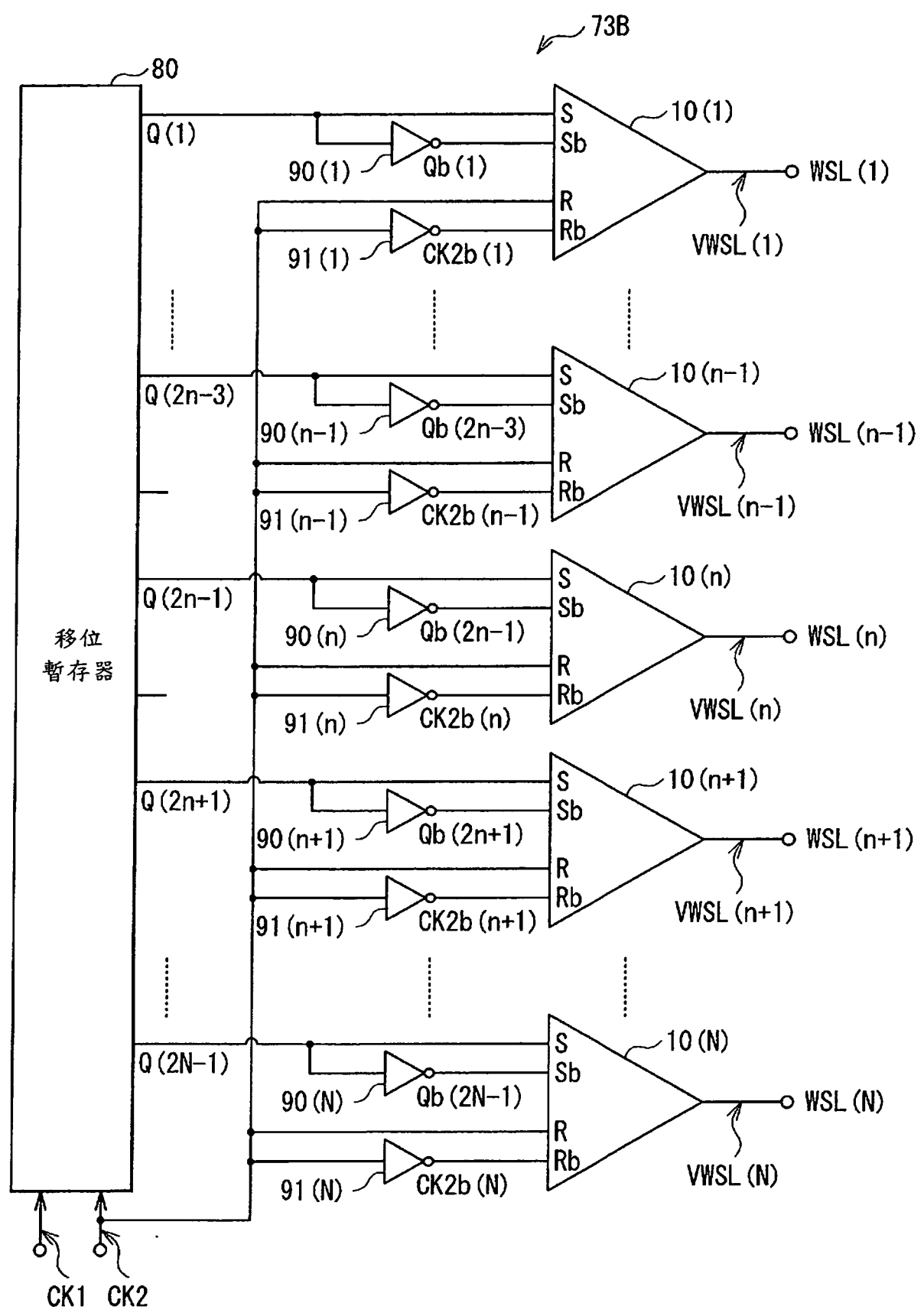


圖 30

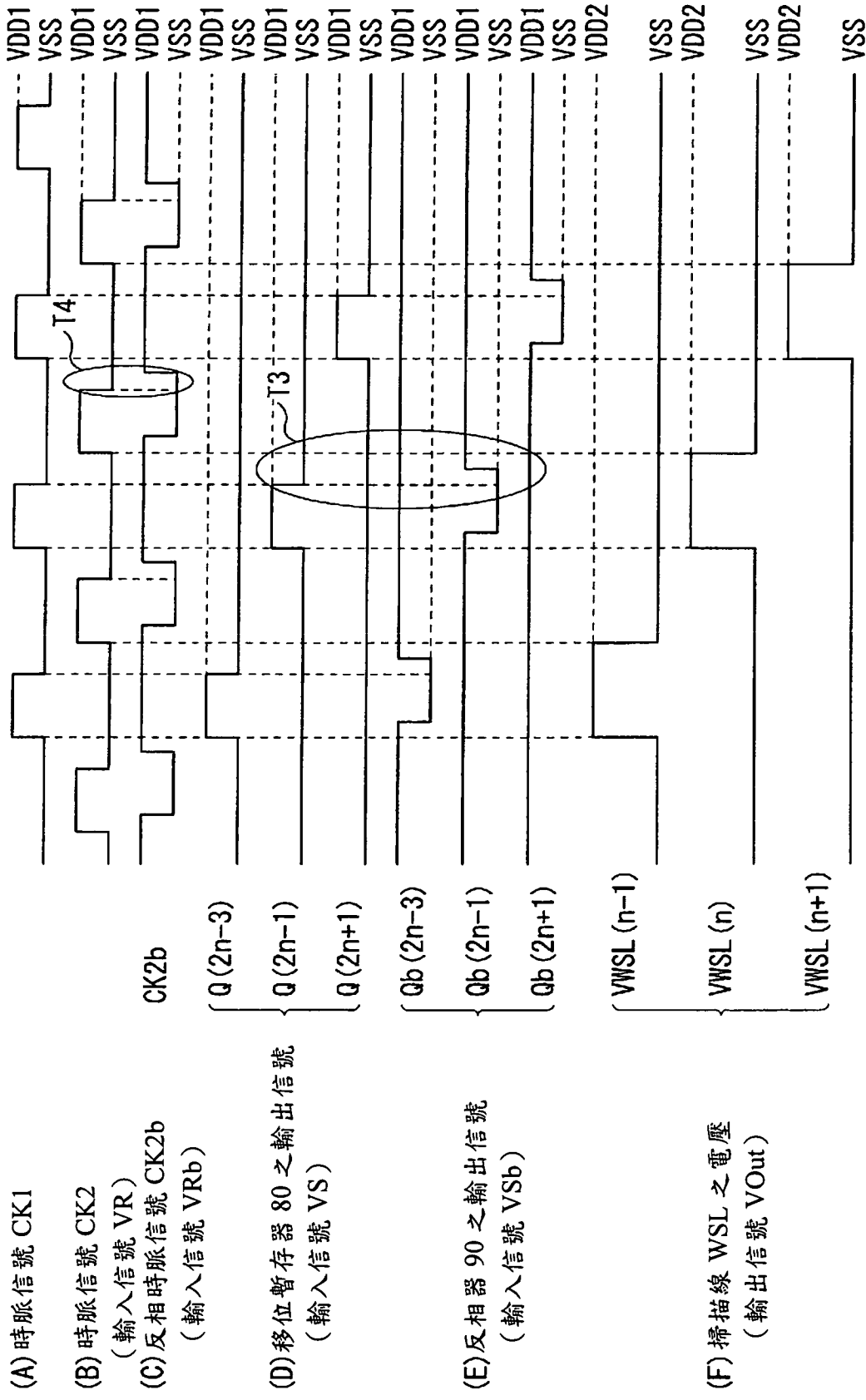


圖 31

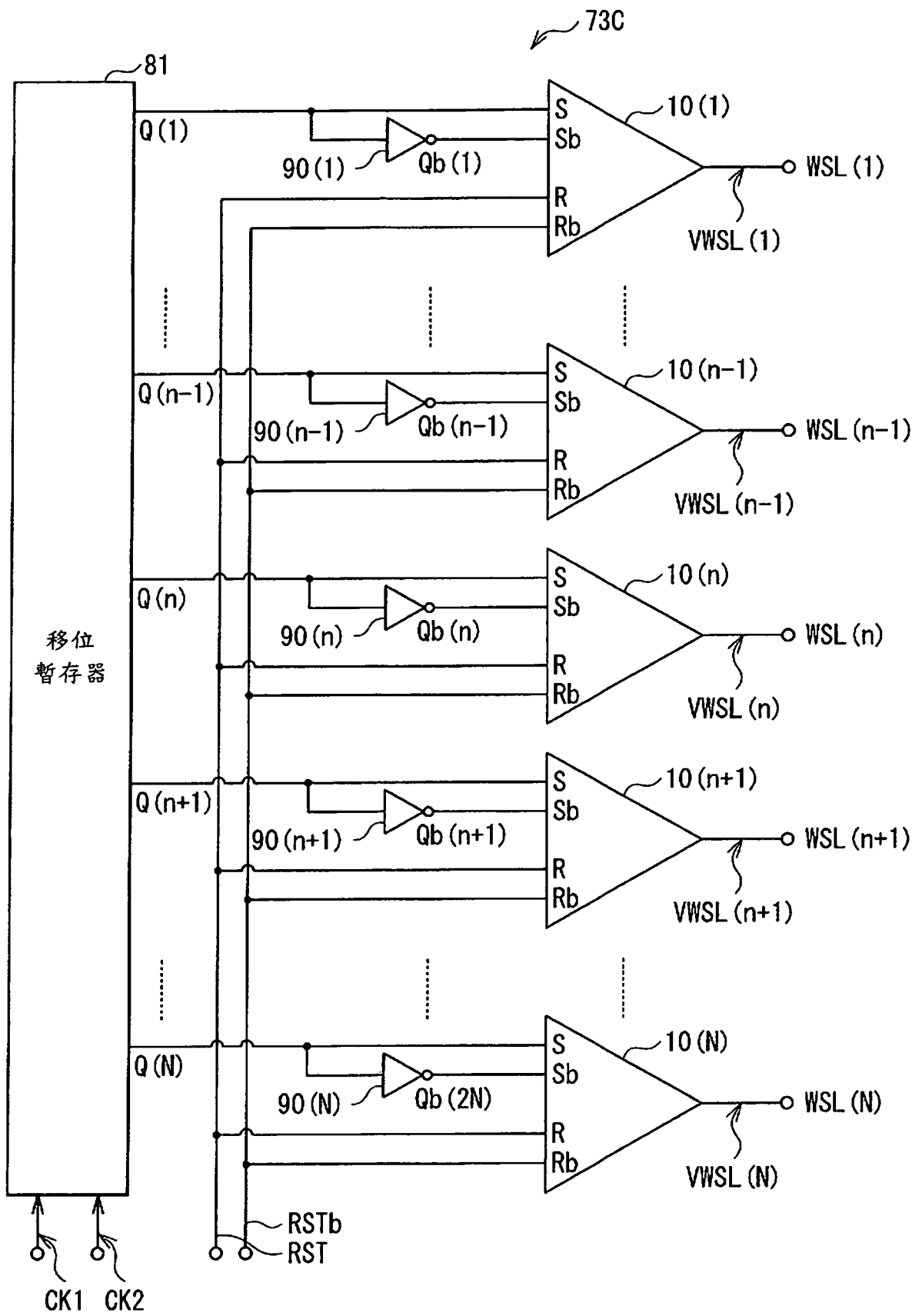


圖 32

(A) 時脈信號 CK1

(B) 時脈信號 CK2

(C) 重設控制信號 RST
(輸入信號 VR)

(D) 反相重設控制信號 RSTb
(輸入信號 VRb)

(E) 移位暫存器 81 之輸出信號
(輸入信號 VS)

(F) 反相器 90 之輸出信號
(輸入信號 VSb)

(G) 掃描線 WSL 之電壓
(輸出信號 VOut)

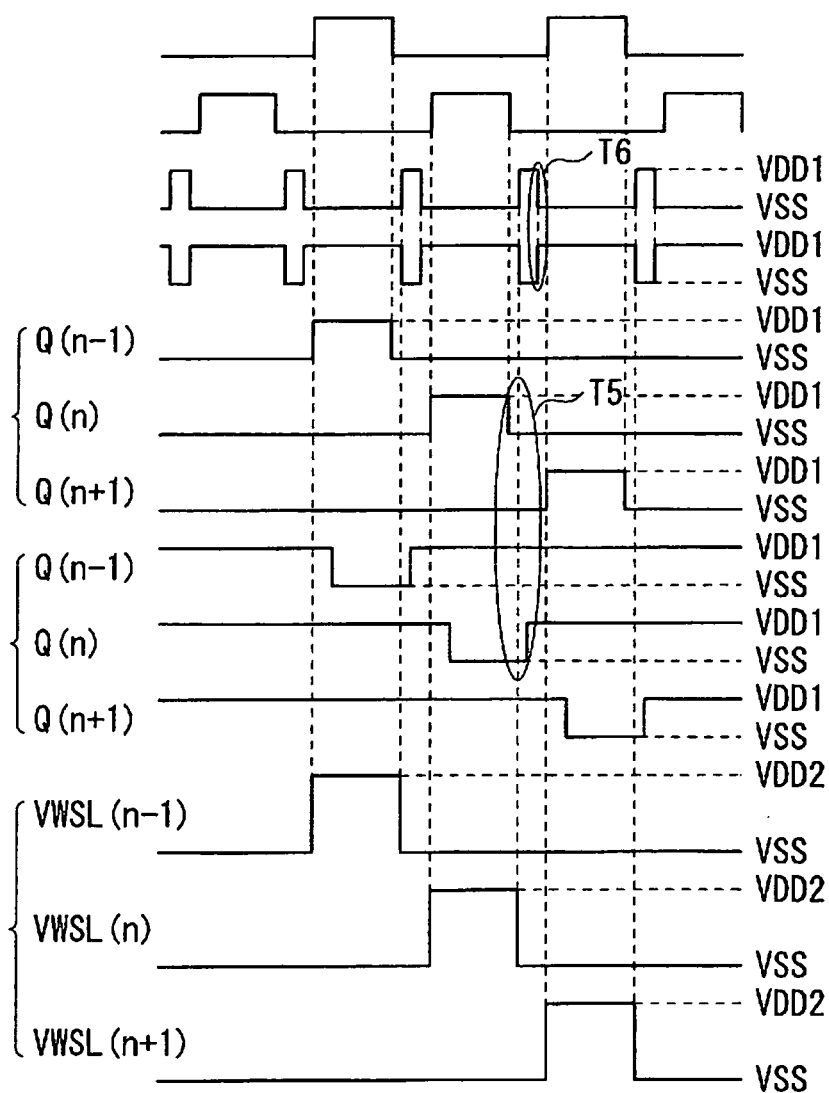


圖 33

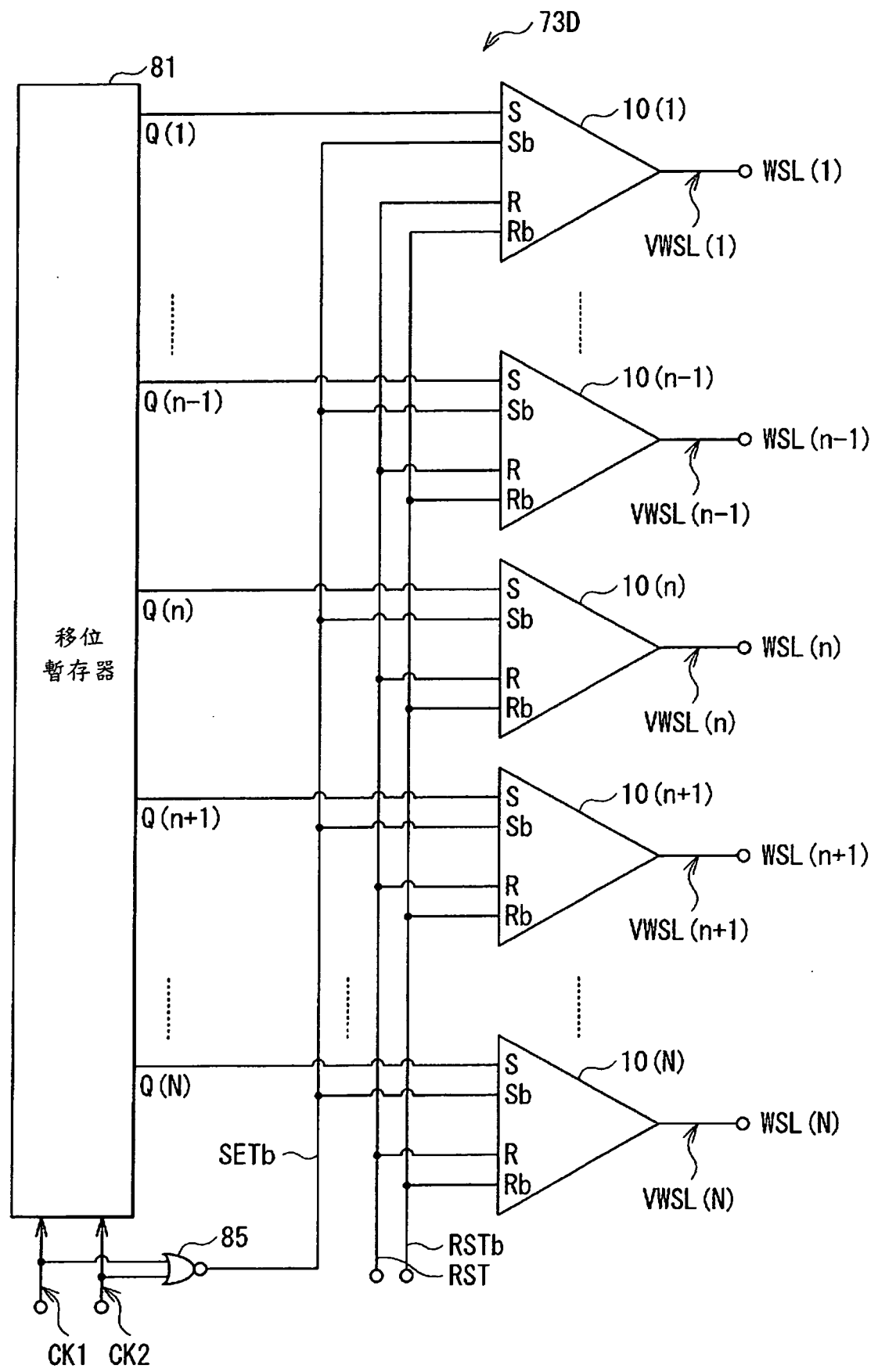


圖 34

- (A) 時脈信號 CK1
- (B) 時脈信號 CK2
- (C) 重設控制信號 RST
(輸入信號 VR)
- (D) 反相重設控制信號 RSTb
(輸入信號 VRb)
- (E) NOR 電路 85 之輸出信號 VSETb
(輸入信號 VSb)

- (F) 移位暫存器 81 之輸出信號
(輸入信號 VS)

- (G) 掃描線 WSL 之電壓
(輸出信號 VOut)

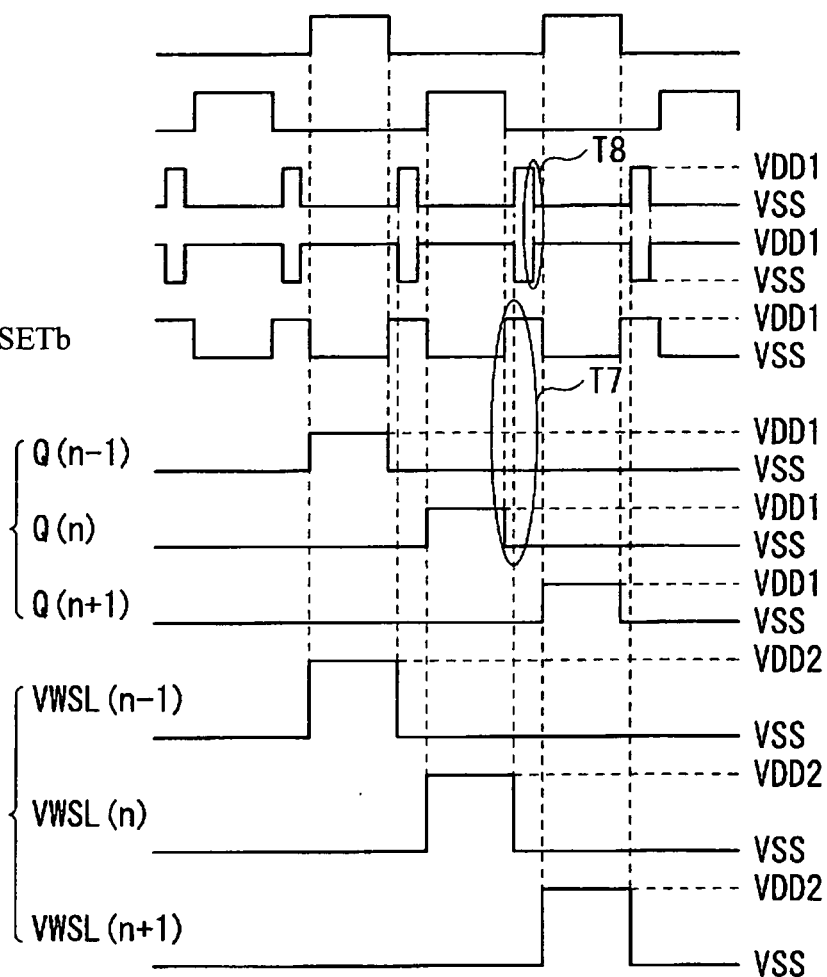


圖 35

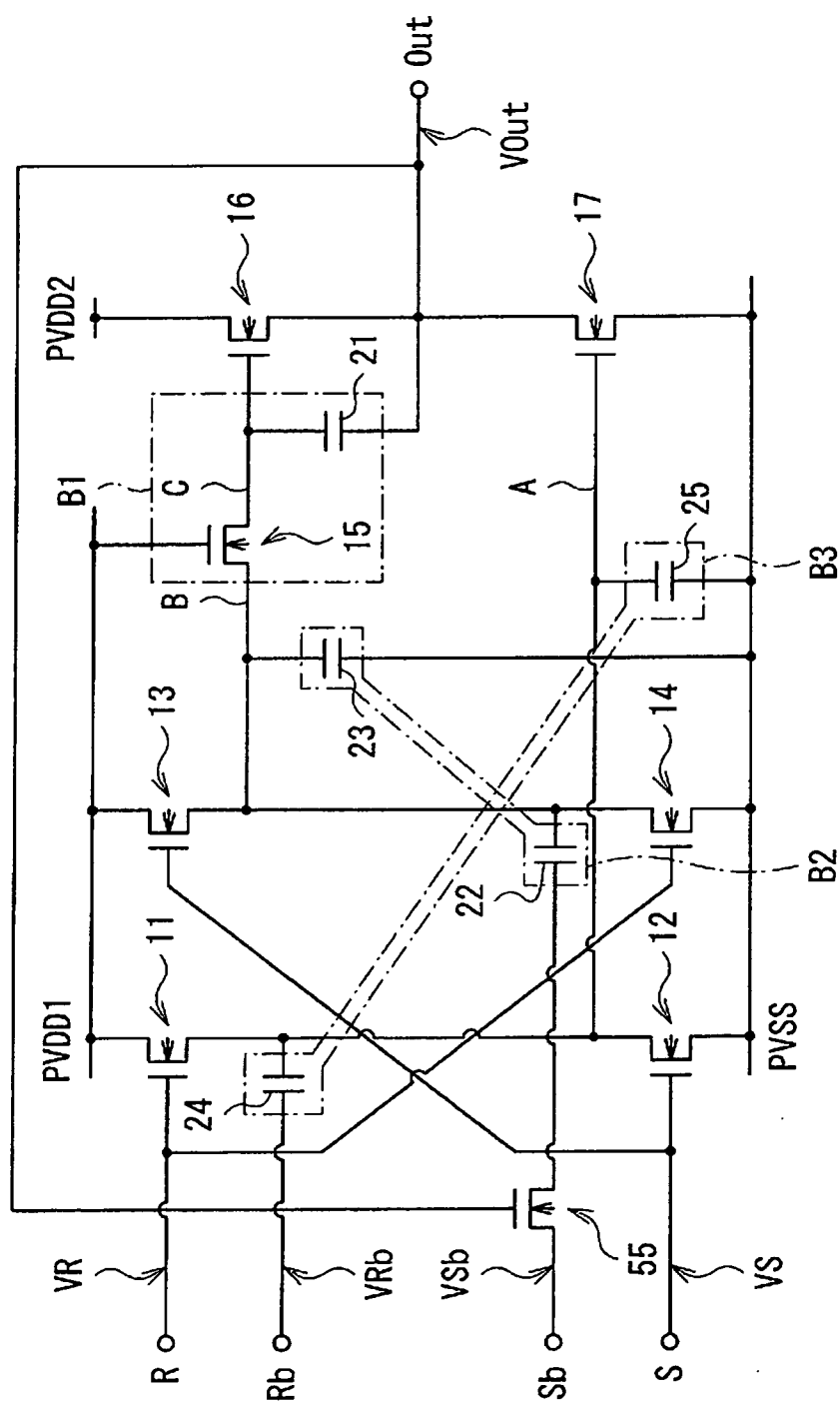


圖 36

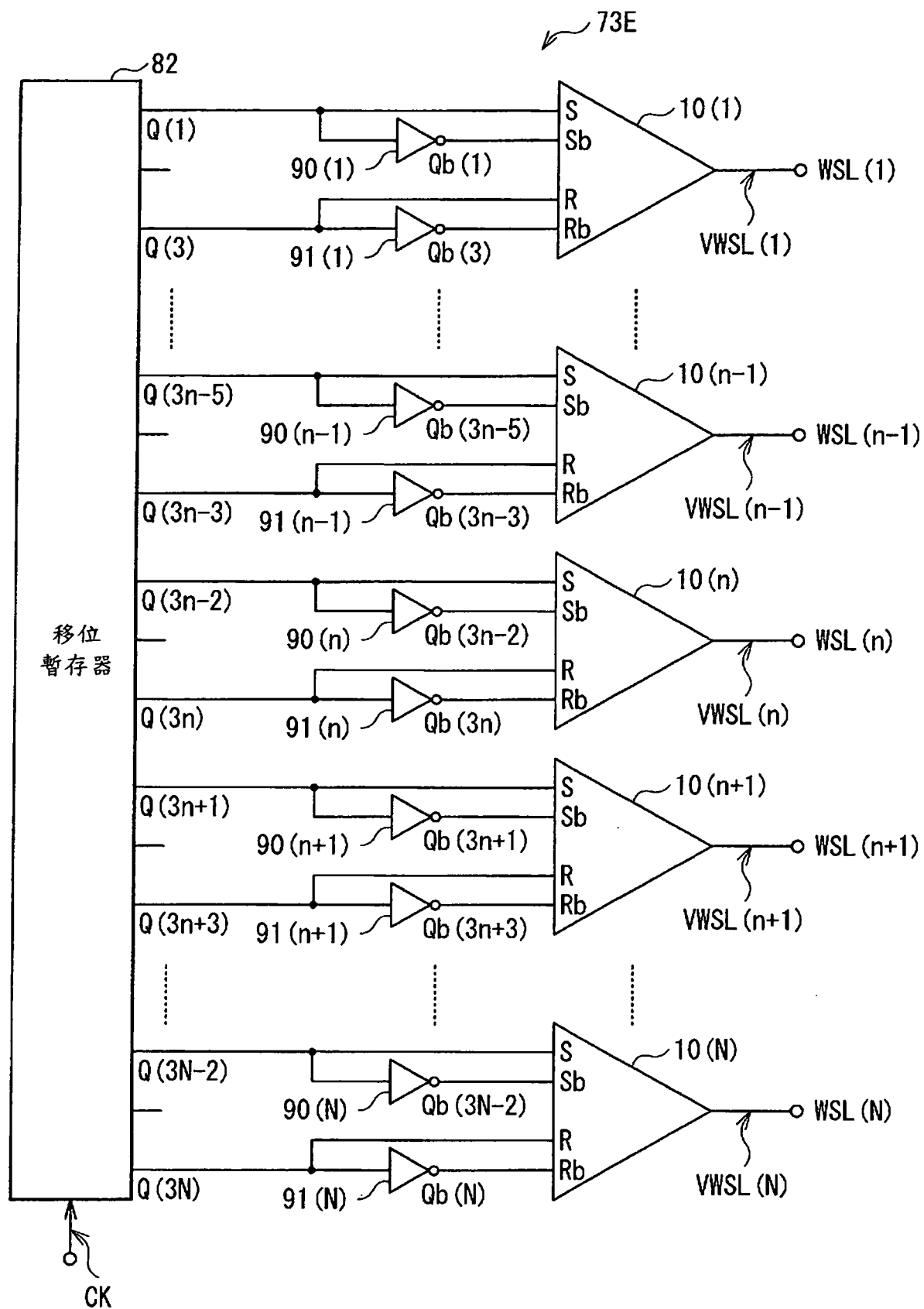
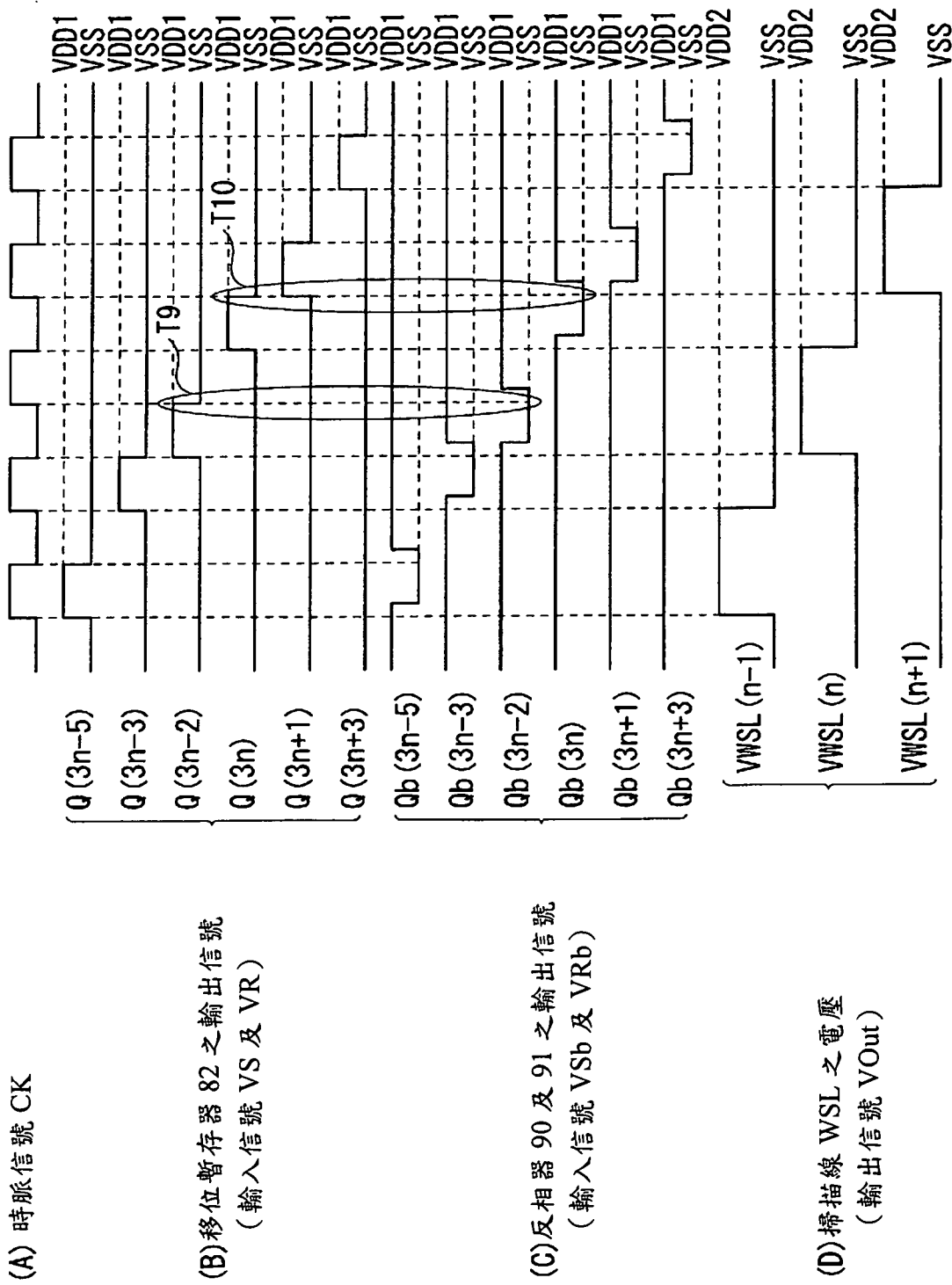


圖 37



(A) 時脈信號 CK

(B) 移位暫存器 82 之輸出信號
(輸入信號 VS 及 VR)

(C) 反相器 90 及 91 之輸出信號
(輸入信號 VSb 及 VRb)

(D) 掃描線 WSL 之電壓
(輸出信號 VOut)

圖 38

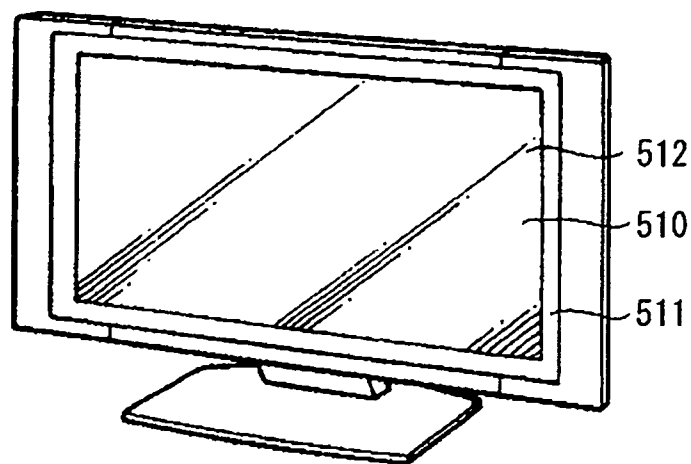


圖 39

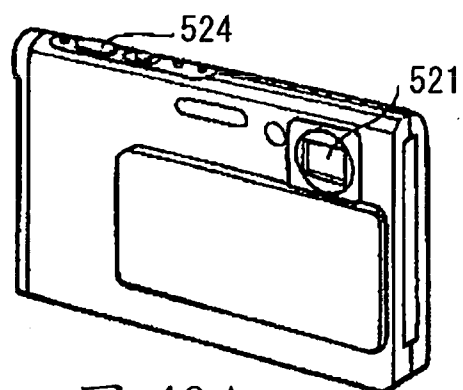


圖 40A

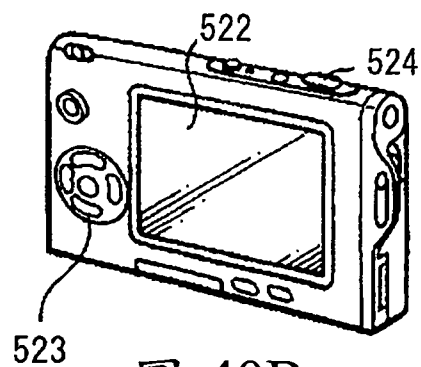


圖 40B

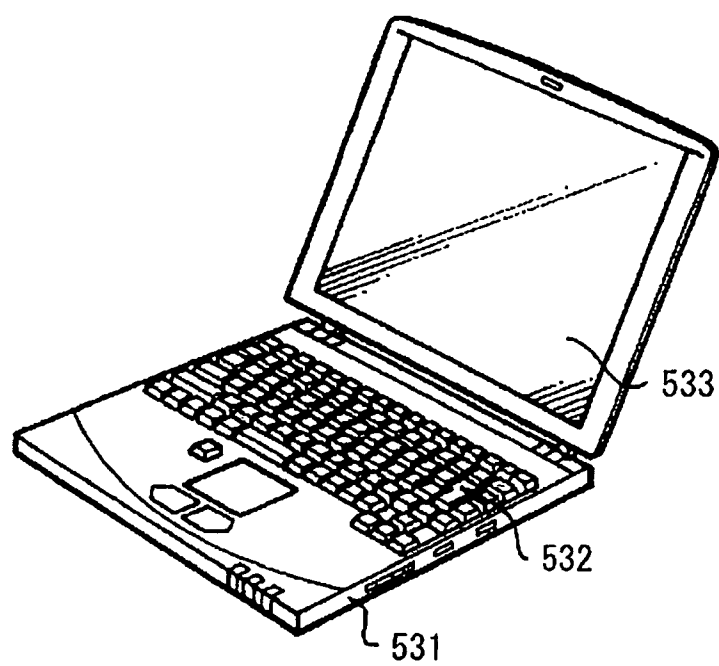


圖 41

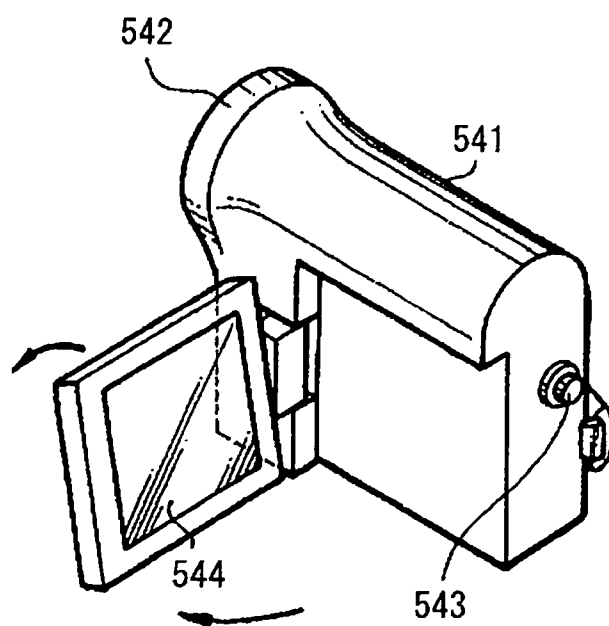


圖 42

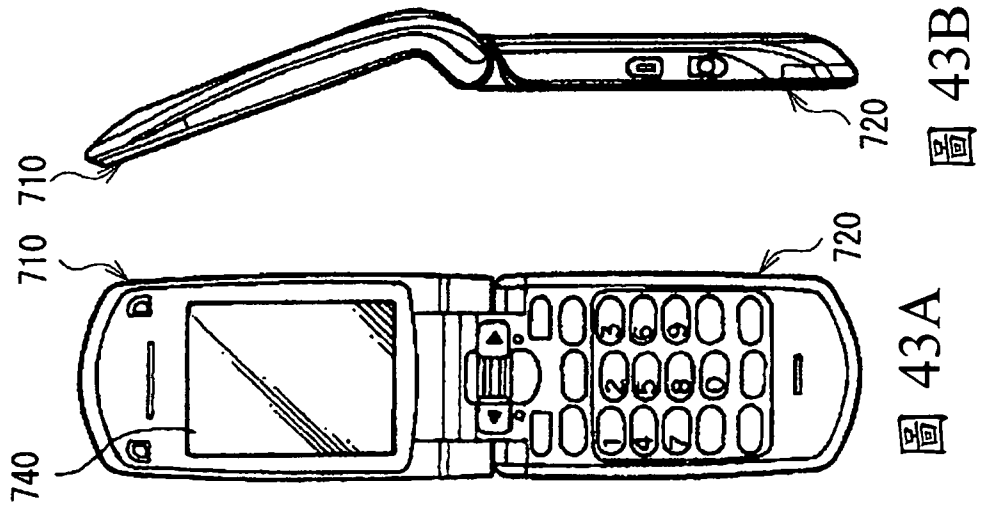


圖 43A



圖 43B

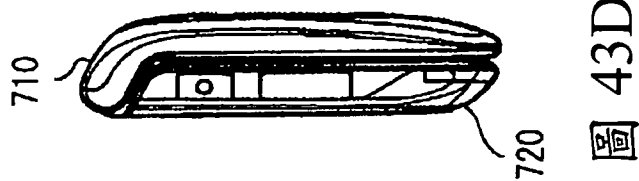


圖 43D

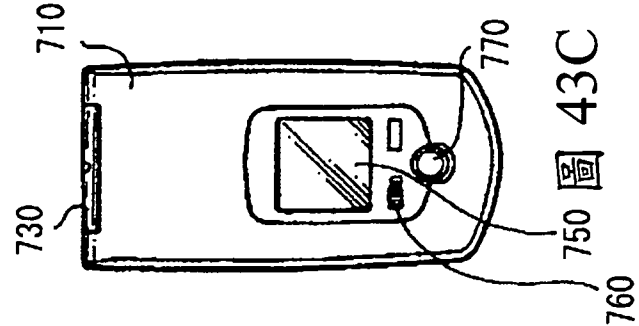


圖 43C

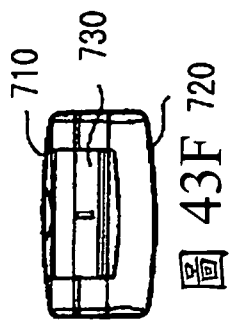


圖 43F

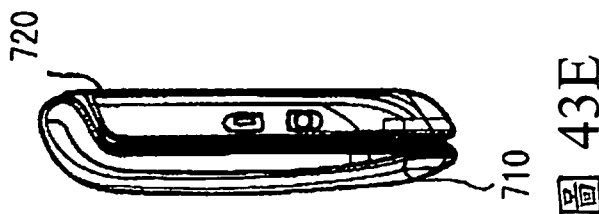


圖 43E

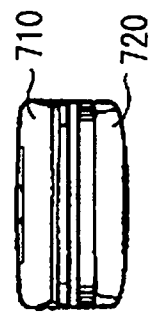


圖 43G