

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
G11C 11/40

(45) 공고일자 1991년11월 16일
(11) 공고번호 특1991-0009444

(21) 출원번호	특1988-0017050	(65) 공개번호	특1990-0010787
(22) 출원일자	1988년12월20일	(43) 공개일자	1990년07월09일
(71) 출원인	삼성전자 주식회사 안시환 경기도 수원시 권선구 매탄동 416번지		
(72) 발명자	조수인 서울특별시 강남구 개포 3동 주공아파트 605-901		
(74) 대리인	이건주		

심사관 : 김영길 (책자공보 제2568호)

(54) 반도체 메모리 장치

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

반도체 메모리 장치

[도면의 간단한 설명]

제1도는 종래의 디램의 회로도.

제2도는 본 발명에 따른 접힘 비트라인을 가지는 디램의 회로도.

제3도는 본 발명에 따른 오픈 비트라인을 가지는 디램의 회로도.

[발명의 상세한 설명]

본 발명은 다이내믹 랜덤 액세스 메모리(DRAM)장치에 관한 것으로 특히 디램에서 비트라인들의 회로 배치에 관한 것이다. 디램은 서로 평행하고 길이가 동일한 다수의 비트라인들을 가지고 있으며 각각의 비트라인 쌍들이 접속된 플립플롭 센스앰프들을 가지고 있다. 메모리 셀은 하나의 트랜지스터와 하나의 캐패시터로 구성되어 비트라인들과 워드라인들 사이에 접속된 메모리 셀들이 행과 열의 매트릭스 형식으로 배열되어 있다.

비트라인쌍들과 센스 앰프들의 회로배치는 2가지 종류로 종래기술에 의해 공지되어 있다. 즉 한가지는 센스앰프들이 각각의 비트라인 쌍들의 중앙에 위치되는 오픈비트라인 배치이며 다른 한가지는 접힘 비트라인이라고 불리는 센스 앰프들이 각 비트라인 쌍들의 한 단부에 위치되는 배치이다. 그러나 비트라인들의 평형과 고밀도 메모리 셀의 회로배치의 관점에서 접힘 비트라인 방식이 기술상 주로 사용되고 있다.

그러나 디램 메모리 셀들의 고밀도화가 되어감에 따라 비트라인들 사이의 간격은 점점 더 좁게되며 메모리 셀의 스토리지 캐패시터 또한 작아지게 된다. 그결과 메모리 셀의 액세스와 그후 이 메모리 셀이 접속된 비트라인에 대응하는 센스 앰프의 동작시, 상기 비트라인 위와 아래에서 인접한 비트라인들과의 상호 커플링 캐패세턴스의 영향에 의해 상기 센스앰프가 오동작을 일으키게 된다.

예를들면 제1도는 종래의 접힘 비트라인 방식의 회로 배치를 나타내고 있다. 제1도를 참조하면 비트라인들 B0-B2와 $\overline{B0}-\overline{B2}$ 및 워드라인 W1과 W2의 교차점에는 메모리 셀들 MC10-MC12와 MC20-MC22가 접속되어 있고 비트라인 쌍들 B0와 $\overline{B0}$, B1 및 $\overline{B1}$ 및 B2와 $\overline{B2}$ 의 각 쌍의 일단은 대응하는 센스 앰프 SA0-SA2에 접속되어 있다. 메모리 셀들 MC10-MC12와 MC20-MC22의 각각은 모오스 트랜지스터 M과 이 트랜지스터의 드레인-소오스 통로와 직렬로 접속된 스토리지 캐패시터 C를 구비하고 있다. 상기 모오스 트랜지스터들의 드레인들은 각각 비트라인을 B0, $\overline{B0}$...B2 및 $\overline{B2}$ 에 접속되었고 메모리 셀들 MC10-MC12와 MC20-MC22의 각 게이트들은 워드라인 W1과 W2에 접속되었다. 스토리지 캐패시터 캐패시터의 타단은 소정전압 Vp와 연결되어있다. 각 비트라인의 기생용량을 CB, 인접 비트라인을 사이의

사호 커플링 캐패시턴스를 CC, 스토리지 캐패시터 C의 용량을 CS라 가정한다.

지금 워드라인 W1에 인가되는 워드라인 신호에 의해 메모리 셀들 MC10-MC12가 선택되면 메모리 셀들 내의 각각의 스토리지 캐패시터에 축적된 전하가 대응하는 모오스 트랜지스터를 통해 각 비트라인 B0-B2에 전달되고 그결과 비트라인들 B0-B2의 각각의 전압은 타의 비트라인들 $\overline{B0-B2}$ 의 각각의 전압보다 $\Delta VS \left(= \frac{V_s - V_{BL} K_s}{B + V_{CC} + C_s} \right)$ 만큼 증가 또는 감소한다. 여기서 VS는 스토리지 캐패시터의 전압이고 VBL은 메모리 셀의 선택전의 비트라인 전압이다. 그후 여기서 메모리 셀들 MC10-MC12에 의해 비트라인들 B0-B2가 비트라인들 $\overline{B0-B2}$ 에 비해 상대적으로 ΔVS 만큼 높은 전압을 갖는 경우 센스앰프들 SA0-SA2는 액티브레슨되면 ΔVS 의 낮은 전압을 갖는 비트 라인들 $\overline{B0}$, $\overline{B1}$ 와 $\overline{B2}$ 의 비트 라인 전압을 하강시킨다.

이때 비트라인 B1의 전압은 인접한 비트라인들 $\overline{B0}$ 와 $\overline{B1}$ 의 전압이 하강함에 따라 커플링 캐패시턴스 CC의 영향으로 하강하게 된다. 이러한 영향은 메모리의 밀도가 높아짐에 따라 비트라인들 상호간의 간격이 좁아질수록 더욱 심각해지며 더우기 메모리 셀의 용량이 작아지면 센스앰프는 커플링 캐패시턴스에 의해 오동작의 가능성이 높아지게 된다.

따라서 본 발명의 목적은 메모리 용량이 고밀도의 경우에도 비트라인 상호간의 커플링 캐패시턴스의 영향을 감소할 수 있는 회로 배치를 제공함에 있다. 상기와 같은 목적을 달성하기 위하여 반도체 다이나믹 랜덤 액세스 메모리장치에 있어서, 서로 평행하게 배치된 다수의 비트라인들과, 상기 비트라인들과 교차하는 다수의 워드라인들과, 홀수번째의 비트라인쌍과 상부에서 접속된 다수의 상부센스 증폭기와, 짝수번째의 비트라인쌍과 하부에서 접속된 다수의 하부센스 증폭기와, 상기 비트라인들과 워드라인들이 교차하여 이루어지는 다수의 격자공간들 내부에 대각선상으로 소정위치에 배열되는 다수의 메모리 셀들로 구성된 메모리 셀 어레이와, 상기 상부센스 증폭기들을 활성화하기 위한 상부센스 증폭기들과 접속된 제1래치수단과, 상기 제1래치수단의 활성화시 비활성화되고 상기 제1래치수단 비활성화시 활성화되는 상기 하부 센스증폭기들과 접속된 제2래치수단을 구비함을 특징으로 한다.

또한, 반도체 다이나믹 랜덤 액세스 메모리 장치에 있어서, 행과 열로 배열된 다수의 센스증폭기들과, 하나의 열에 있는 센스증폭기들의 각각과 접속되며 서로 반대의 행방향으로 신장하는 한쌍의 비트라인과 상기 센스증폭기와 좌우에서 인접한 센스증폭기들의 각각과 접속되며 서로 반대의 행방향으로 상기 한쌍의 비트라인 중 하나와 인접하여 평행하게 행방향으로 신장하는 다른 한 쌍의 비트라인들로 이루어진 다수의 비트라인쌍들과, 상기 비트라인들과 수직하게 배치된 다수의 워드라인과, 상기 비트라인들과 워드라인들이 교차하여 이루어지는 격자공간들 내부에 순차적인 소정의 배열로써 이루어진 다수의 메모리 셀과, 동일 열에 배열된 센스 증폭기들과 접속된 래치수단과, 좌우 최외각의 비트라인들의 각각과 평행한 다수의 더미 비트라인들(DBL)을 구비함을 특징으로 한다.

제2도는 본 발명에 따라 접힘 비트라인의 회로 배치를 가지는 디램의 회로구성의 일실시예를 나타낸 도면이다. 제2도를 참조하면 상부단에는 다수의 상부 센스 앰프(10U)가 행으로 배열되어 있고 하부단에는 다수의 하부 센스 앰프(10D)가 행으로 배열되어 있다.

상기 센스앰프들의 각각은 모오스 트랜지스터들(12)-(15)로 구성되어 있다. 상기 모오스 트랜지스터(12)와 (14)의 드레인들은 센싱 노오드들(16)(18)을 통해 상기 모오스 트랜지스터들(14)와 (12)의 게이트에 각각 교차로 접속되어 있으며 상기 모오스 트랜지스터들(12)(14)의 소오스들은 소오스 공통 노오드(11)에 접속되어 있다.

또한 상기 모오스 트랜지스터들(12)(14)의 드레인과 임출력라인 I/0U, $\overline{I/0U}$ 와 I/0D, $\overline{I/0D}$ 사이에는 각각 부하 모오스 트랜지스터(13)(15)의 소오스-드레인통로가 접속되어 있고 상기 모오스 트랜지스터들(13)(15)의 게이트에는 부하신호 ϕ_s 가 인가된다.

상기 센스앰프들(10U)의 상기 소오스 공통 노오드(11)들은 상부 공통라인(24)에 접속되고 상기 상부 공통 라인(24)은 상기 상부 센스앰프들(10U)을 구동하여, 센싱노드(16)(18)를 래치하기 위한 모오스 트랜지스터(20)의 드레인에 접속된다. 또한 상기 모오스 트랜지스터(20)의 소오스는 접지에 접속되며 상기 트랜지스터(20)의 게이트에는 상기 상부 센스앰프를 활성화하는 신호 ϕ_L 가 인가된다.

상기 모오스 트랜지스터(20)는 상기 상부 센스앰프들(10U)을 활성화시키는 수단이 된다. 각각의 상부 센스앰프(10U)의 센싱 노오드들(16)(18)은 하향으로 신장하는 상부 비트라인(또는 열라인)쌍들

$\overline{UBL1}$ 과 $\overline{UBL2}$ 와 $\overline{UBL2}$... 및 UBLK와 \overline{UBLK} 에 각각 접속된다. 상기 비트라인 쌍들의 상기 상부 센스앰프들(10U)과 반대쪽의 단에는 비트라인들을 프리차아지를 위한 수단들(30U)이 각각 연결되어 있다. 상기 프리차아지수단(30U)은 모오스 트랜지스터들(32)와 (34)로 구성되며 상기 모오스 트랜지스터들의 소오스들은 각각 비트라인 쌍에 접속되며 또한 드레인들은 소정의 프리차아지 전압 V1과 연결되며 게이트들은 프리차아지 신호 P와 연결된다.

상기 상부 센스앰프들(10U)과 동일구성을 가지는 각각의 하부 센드 앰프(10D)의 소오스 공통 노오드(11D)은 하부 공통라인(26)을 통해 상기 하부 센스앰프들(10U)을 구동하여, 센싱노드(10D)(18D)를 래치하기 위한 모오스 트랜지스터(22)의 드레인에 접속된다.

모오스 트랜지스터(22)의 소오스 및 게이트는 각각 접지 및 상기 신호 ϕ_L 과 같이 활성화되지 않는 신호 ϕ_L 와 접속되어 있다. 상기 모오스 트랜지스터(22)는 상기 하부 센스앰프들(10D)를 활성화시키는 수단이 된다. 그러므로 상부 센스앰프들(10U)이 상기 신호 ϕ_L 에 의해 동작을 하고 있으면 하부 센스 앰프들(10D)은 동작을 하지 않으며 그역도 마찬가지다.

각각의 하부 센스앰플들(100)의 센싱 노오드들(160)와 (180)은 상기 상부 비트라인들 $\overline{UBL1}$, $\overline{UBL1}$... \overline{UBLK} 및 \overline{UBLK} 사이에서 등간격을 가지고 상향으로 신장하는 하부 비트라인들 DBL1, $\overline{UBL1}$... DBLK 및 \overline{UBLK} 와 접속된다. 또한 하부 비트라인 쌍들(DBL1, $\overline{UBL1}$), ... 및 (DBLK, \overline{UBLK})의 상기 하부 센스 앰플들(100)의 반대쪽단에는 전술한 프리차아지 수단(300)과 동일한 구성을 가지는 프리차아지 수단(300)이 접속되어 있다.

상기 프리차아지 수단들(300)과 (300) 사이에는 서로 평행한 워드라인들(또는 행라인들) WL1-WL4N이 상기 비트라인들 $\overline{UBL1}$, DBL1... \overline{UBLK} 및 DBLK위에서 수직하게 배열되어 있다. 그리고 상기 워드라인들과 상기 비트라인들의 교차점에는 행과열의 방향에서 매 4번째 교차점마다 메모리 셀을 M11-M4N이 연속적으로 접속되어 있다.

소정 메모리 셀로부터의 데이터의 독출동작전에 상기 비트라인들 $\overline{UBL1}$ -DBLK의 모두는 프리차아지 수단들(300)과 (300)에 의해 프리차아지 전압 V1으로 프리차아지 된다. 프리차아지 동작완료후 소정 메모리 셀로부터 데이터를 독출하기 위해 워드라인이 선택된다. 예를들어 메모리 셀 M12로부터 데이터가 독출된다면 워드라인 WL1이 선택될 것이다. 워드라인 WL1의 선택에 의해 상기 워드라인 WL1과 접속된 메모리 셀들 M11-M12K이 선택되며 상기 메모리 셀들 M11-M12K내의 스토리지 캐패시터들에 저장된 전하들의 각각 비트라인들 $\overline{UBL1}$, $\overline{UBL2}$, ... \overline{UBLK} 에 전달된다. 따라서 상기 비트라인들 $\overline{UBL1}$, $\overline{UBL2}$, ... \overline{UBLK} 들은 상기 저장된 전하들의 상태에 따라 프리차아지 전압 V1보다 다소 증가 또는 감소된 전압을 갖는다. 그후 신호 ϕ_L 가 모오스 트랜지스터(20)의 게이트에 인가되는 것에 의해 상부 센스 앰프(100)는 활성화되고 그다음 신호 ϕ_S 가 모오스 트랜지스터(13)(15)의 게이트에 인가되는 것에 의해 상기 비트라인들 $\overline{UBL1}$, $\overline{UBL2}$... \overline{UBLK} 과 $\overline{UBL1}$, $\overline{UBL2}$... \overline{UBLK} 중의 한쌍의 비트라인의 전압을 입출력라인 I/O와 $\overline{I/O}$ 로 각각 전달한다.

그러나 하부 센스앰플들(100)는 상기 신호 ϕ_L 과 같이 활성화되지 않는 신호 $\overline{\phi_L}$ 가 게이트에 인가되는 모오스 트랜지스터(22)의 오프상태에 의해 활성화되지 않는다. 따라서 상기 하부 센스앰플들(100)과 접속된 하부 비트라인들 DBL1, $\overline{UBL1}$...DBLK, \overline{UBLK} 는 프리차아지 전압 V1의 일정전압을 유지한다. 그러므로 상부 센스앰플들(100)의 센싱동작에 의해 상부비트라인들 $\overline{UBL1}$, $\overline{UBL1}$, ... \overline{UBLK} , \overline{UBLK} 의 전압변화가 있어도 이들 비트라인들의 각각과 인접한 하부 비트라인들 사이의 커플링 캐패시턴스에 의한 데이터 독출이 오동작 위험을 감소시킬 수 있다. 홀수 워드라인에 선택에 의해 상부 센스앰프가 동작하는 경우가 전술한 바와 같이 설명되었지만 그 역도 마찬가지이다.

제3도는 본 발명에 딸 오픈 비트라인의 회로 배치를 가지는 디램의 회로도들 나타낸 도면이다. 제3도를 참조하면 센스앰플들(40U)(40M)(40D)은 모두 제3도의 센스앰프(100)와 동일 구성이다.

또한 각 센스앰플들(40U)(40M)(40D)은 동일열에 동일 간격으로 배열되어 있다. 각열 센스앰플들(40U)(40M)(40D)은 공통 소오스 노오드들(11)에 접속된 아링들(62)(64)(66)을 통해 접지된 소오스들은 가지는 모오스 트랜지스터들(52)(54)(56)의 드레인들에 접속되어 있다. 또한 모오스 트랜지스터(54)의 게이트에는 센스앰플들(40M)를 활성화하는 신호 ϕ_L 이 접속되고 모오스 트랜지스터들

(52)(56)의 게이트에는 상기 신호 ϕ_L 과 같이 활성화되지 않는 신호 $\overline{\phi_L}$ 가 접속된다. 따라서 센스앰플들(40M)이 활성화되면 인접 센스앰플들(40U)(40D)이 활성화되지 않으며 그역도 마찬가지이다. 센스앰플들(40M)의 각각의 센싱 노오드들은 서로 반대 방향으로 신장하는 서로 동일한 길이를 갖는 비트라인 쌍들(BLM1, $\overline{BLM1}$), ... (BLMK, \overline{BLMK})에 접속되어 있다. 또한 센스앰플들(40U)(40D)의 각

각의 센싱 농도들도 또한 서로 반대방향으로 신장하며 상기 비트라인들 BLM1, $\overline{BLM1}$... BLMK, \overline{BLMK} 과 동일한 길이를 가지는 비트라인 쌍들(BLU1, $\overline{BLU1}$).....(BLUK, \overline{BLDK})와 (BLD1, $\overline{BLU1}$)...(BLDK, \overline{BLDK})과 접속되어 있다. 또한 상기 비트라인들(BLUK, \overline{BLDK})와 (BUM1, \overline{BLD} ...BLUK, \overline{BLDK})의 각 비트라인군은 서로 등간격으로 평행하게 배열되어 있다. 한편 더미비트라인들 DBL또한 비트라인들 BLU1-BLUK 및 $\overline{BLD1}$ - \overline{BLDK} 의 각 비트라인군과 서로 등간격을 가지고 평행하게 배열되어 있고 인접비트라인들과 용량 커플링을 줄일 수 있도록 일정 프리차아지전압이 인가된다. 또한 각 비트라인과 접속된 센스앰플의 반대쪽단에는 소정전압으로 상기 비트라인을 프리차아지 하기 위한 프리차아지 수단(도시하지 않았음)이 접속되어 있다. 또한 워드라인... W1N, W210-W2N, W31-W3N, W41...과 비트라인들과의 교차점 사이에는 도시한 바와 같이 메모리 셀들이 배열되어 있다.

즉 하나의 워드라인이 선택되면 상기 센스 앰플들(40U)(40M)(40D)중 하나의 센스앰플들과 접속된 비트라인들 모두가 메모리 셀들로부터 데이터를 액세스하도록 메모리 셀들이 배열되어 있었다.

예를들어 모든 비트라인들이 프리차아지된 후 워드라인 W32가 선택되었다 가정하자. 그러면 메모리 셀들 M321-M32K로부터 저장된 전하가 비트라인들 $\overline{BLM1}$ - \overline{BLMK} 로 전달된다. 그후 신호 ϕ_L 에 의해 모오스 트랜지스터(54)가 온상태로 되고 센스앰플들(40M)이 센싱동작을 한다. 이때 상기 센스 앰플들(40M)과 인접한 센스앰플들(40U)(40D)은 상기 신호 ϕ_L 과 처럼 활성화되지 않는 신호 $\overline{\phi_L}$ 에 의해 활성화되지 않는다. 따라서 상기 비트라인들 $\overline{BLM1}$ - \overline{BLMK} 와 인접한 비트라인들 BLD1-

BLDK은 대기상태 즉 각각 프리차아지 전압으로 일정하게 유지되고, 상기 비트라인들 BLM1-BLMK와 인접한 비트라인들 $\overline{BLU1} - \overline{BLUK}$ 또한 대기상태로 있기 때문에 상기 센싱동작시 커플링 캐패시턴스에 의한 데이터 독촉의 오동작이 감소되게 된다.

전술한 바와 같이 본 발명은 센스앰프들의 센싱동작에 따라 각각의 센스앰프에 접속된 비트라인 쌍 중 어느 하나의 비트라인이 레벨다운 또는 레벨 업 동작을 수행할 때 인접한 비트라인의 대기상태에 있게함으로써 인접비트라인과 커플링을 감소하여 안정도니 센싱동작을 할 수 있는 이점이 있게 된다.

(57) 청구의 범위

청구항 1

반도체 다이내믹 랜덤 액세스 메모리장치에 있어서, 서로 평행하게 배치된 다수의 비트라인들과, 상기 비트라인들과 교차하는 다수의 워드라인들과, 홀수번째의 비트라인쌍과 상부에서 접속된 다수의 상부센스증폭기와, 짝수번째의 비트라인쌍과 하부에서 접속된 다수의 하부센스 증폭기와, 상기 비트라인들과 워드라인들이 교차하고 이루어지는 다수의 격자공간들 내부에 대각선상으로 소정위치에 배열되는 다수의 메모리 셀들로 구성된 메모리 셀 어레이와, 상기 상부센스 증폭기들을 활성화하기 위한 상부센스 증폭기들과 접속된 제1센스앰프 활성화수단과, 상기 제1센스앰프 활성화수단의 활성화 시 비활성되고 상기 제1센스앰프 활성화수단 비활성화시 활성화되는 상기 하부센스증폭기들과 접속된 제2센스앰프 활성화수단을 구비하여, 상기 홀수번째의 비트라인에 접속된 메모리 셀의 워드라인은 상기 짝수번째의 비트라인에 접속된 메모리 셀에는 연결되지 않음을 특징으로 하는 반도체 메모리 장치.

청구항 2

제1항에 있어서, 상기 홀수번째 비트라인쌍과 짝수번째 비트라인쌍마다 상기 비트라인 쌍들을 프리차아지하기 위한 다수의 프리차아지 회로를 구비함을 특징으로 하는 반도체 메모리 장치.

청구항 3

제2항에 있어서, 상기 메모리 셀들의 각각은 1트랜지스터 1캐패시터 메모리 셀임을 특징으로 하는 반도체 메모리 장치.

청구항 4

반도체 다이내믹 랜덤 액세스 메모리 장치에 있어서, 행과 열로 배열된 다수의 센스증폭기들과, 하나의 열에 있는 센스증폭기들의 각각과 접속되며 서로 반대의 행방향으로 신장하는 한쌍의 비트라인과 상기 센스증폭기와 좌우에서 인접한 센스증폭기들의 각각과 접속되며 서로 반대의 행방향으로 상기 한쌍의 비트라인 중 하나와 인접하여 평행하게 행방향으로 신장하는 다른 한쌍의 비트라인들로 이루어진 다수의 비트라인쌍들과, 상기 비트라인들과 수직하게 배치된 다수의 워드라인과, 상기 비트라인들과 워드라인들이 교차하여 이루어지는 격자공간들내부에 순차적인 소정의 배열로써 이루어진 다수의 메모리 셀과, 동일 열에 배열된 센스 증폭기들과 접속된 센스앰프 활성화 수단과, 좌우 최외각의 비트라인들의 각각과 평행한 다수의 더미 비트라인들(DBL)을 구비하며, 상기 한쌍의 비트라인에 접속된 메모리 셀의 워드라인은 상기 다른 한쌍의 비트라인에 연결되지 않음을 특징으로 하는 반도체 메모리 장치.

청구항 5

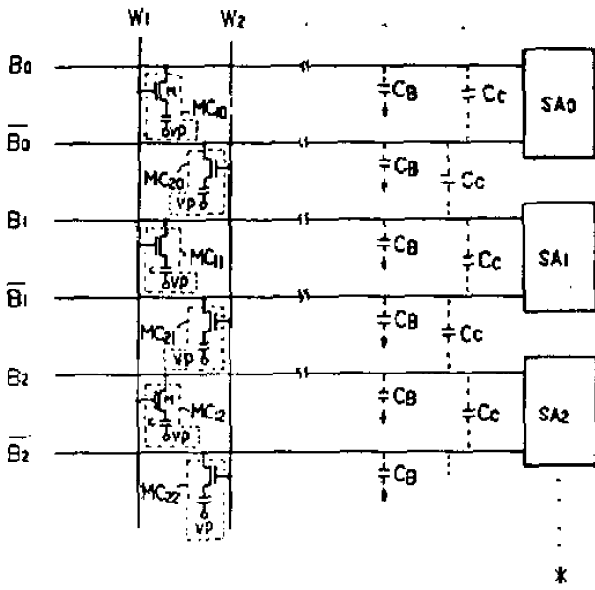
제4항에 있어서, 상기 메모리 셀은 1트랜지스터 1캐패시터 메모리 셀임을 특징으로 하는 반도체 메모리 장치.

청구항 6

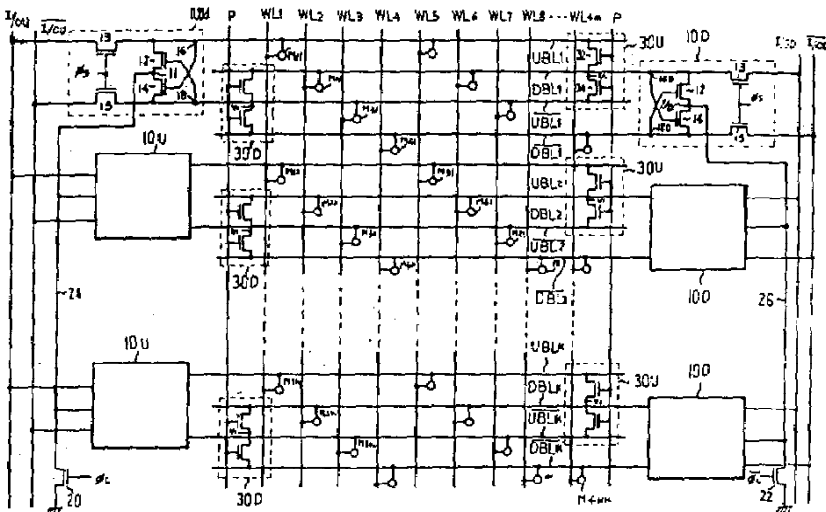
제4항에 있어서, 상기 더미 비트라인에는 일정전압이 인가됨을 특징으로 하는 반도체 메모리 장치.

도면

도면1



도면2



도면3

