(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0037980
(43) 공개일자 2024년03월22일

(51) 국제특허분류(Int. Cl.)
H03H 7/48 (2006.01) *H01P 5/16* (2006.01)
H04B 1/38 (2015.01)
(52) CPC특허분류
H03H 7/48 (2013.01)
H01P 5/16 (2013.01)
(21) 출원번호 10-2024-7003104
(22) 출원일자(국제) 2022년07월15일
심사청구일자 없음
(85) 번역문제출일자 2024년01월25일
(86) 국제출원번호 PCT/US2022/037358
(87) 국제공개번호 WO 2023/014488
국제공개일자 2023년02월09일
(30) 우선권주장
17/392,005 2021년08월02일 미국(US)

(71) 출원인
퀄컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(72) 발명자
김, 종해
미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
박, 상-준
미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
치담바람, 페리안난
미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(74) 대리인
특허법인 남앤남

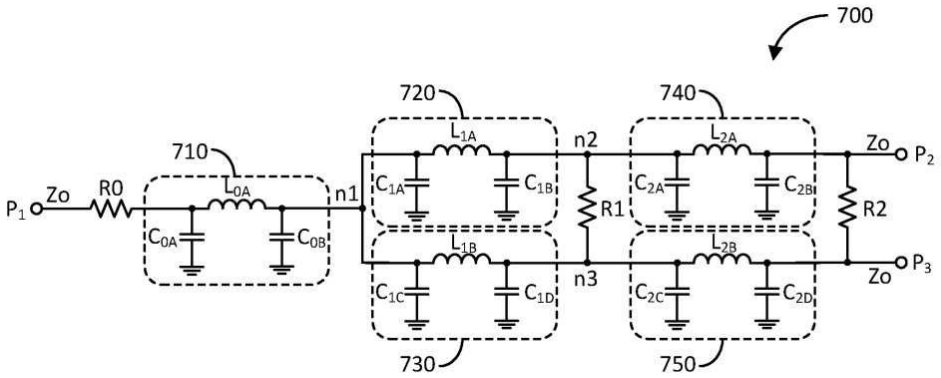
전체 청구항 수 : 총 30 항

(54) 발명의 명칭 **저항 및 임피던스 변환기 로딩을 갖는 신호 전력 분할기/결합기**

(57) 요 약

양태는 제1 신호 포트(P1); 제1 저항기(R0); 제1 신호 포트와 제1 중간 노드(n1) 사이에서 제1 저항기와 직렬로 결합된 제1 임피던스 변환기(710); 제1 중간 노드(n1)와 제2 신호 포트(P2) 사이에 결합된 제2 임피던스 변환기(720); 제1 중간(n1) 노드와 제3 신호 포트(P3) 사이에 결합된 제3 임피던스 변환기(730); 및 제2 신호 포트와 제3 신호 포트 사이에 결합된 제2 저항기(R2)를 포함하는 신호 전력 분할기/결합기(700)에 관한 것이다. 신호 전력 분할기/결합기는 제2 임피던스 변환기(720)와 제2 신호 포트 사이에 결합된 제4 임피던스 변환기(740); 제3 임피던스 변환기(730)와 제3 신호 포트 사이에 결합된 제5 임피던스 변환기(750); 및 제3 중간 노드(n3)와 제2 중간 노드(n2) 사이에 결합된 제3 저항기(R1)를 더 포함하고; 제2 중간 노드(n2)는 제2 및 제4 임피던스 변환기들(720, 740) 사이에 있고 제3 중간 노드(n3)는 제3 및 제5 임피던스 변환기들(730, 750) 사이에 있다.

대 표 도 - 도7



(52) CPC특허분류
H04B 1/38 (2013.01)

명 세 서

청구범위

청구항 1

장치로서,

제1 신호 포트;

제1 저항기;

상기 제1 신호 포트와 제1 중간 노드 사이에서 상기 제1 저항기와 직렬로 결합된 제1 임피던스 변환기;

상기 제1 중간 노드와 제2 신호 포트 사이에 결합된 제2 임피던스 변환기;

상기 제1 중간 노드와 제3 신호 포트 사이에 결합된 제3 임피던스 변환기; 및

상기 제2 신호 포트와 상기 제3 신호 포트 사이에 결합된 제2 저항기를 포함하는, 장치.

청구항 2

제1 항에 있어서,

상기 제1 임피던스 변환기는 제1 임피던스 및 제1 길이를 갖는 제1 송신 라인을 포함하는, 장치.

청구항 3

제2 항에 있어서,

상기 제2 임피던스 변환기는 제2 임피던스 및 제2 길이를 갖는 제2 송신 라인을 포함하는, 장치.

청구항 4

제3 항에 있어서,

상기 제3 임피던스 변환기는 제3 임피던스 및 제3 길이를 갖는 제3 송신 라인을 포함하는, 장치.

청구항 5

제4 항에 있어서,

상기 제2 임피던스는 상기 제3 임피던스와 실질적으로 동일하고, 그리고 상기 제2 길이는 상기 제3 길이와 실질적으로 동일한, 장치.

청구항 6

제1 항에 있어서,

상기 제1 임피던스 변환기는 제1 분로 커패시터, 제1 직렬 인덕터, 및 제2 분로 커패시터를 포함하고, 상기 제1 및 제2 분로 커패시터들은 각각 상기 제1 직렬 인덕터의 양단들에 결합되는, 장치.

청구항 7

제6 항에 있어서,

상기 제2 임피던스 변환기는 제3 분로 커패시터, 제2 직렬 인덕터, 및 제4 분로 커패시터를 포함하고, 상기 제3 및 제4 분로 커패시터들은 각각 상기 제2 직렬 인덕터의 양단들에 결합되는, 장치.

청구항 8

제7 항에 있어서,

상기 제3 임피던스 변환기는 제5 분로 커패시터, 제3 직렬 인덕터, 및 제6 분로 커패시터를 포함하고, 상기 제5

및 제6 분로 커패시터들은 각각 상기 제3 직렬 인덕터의 양단들에 결합되는, 장치.

청구항 9

제8 항에 있어서,

상기 제3, 제4, 제5, 및 제6 분로 커패시터들은 실질적으로 동일한 커패시턴스를 갖고, 상기 제2 및 제3 직렬 인덕터들은 실질적으로 동일한 인덕턴스를 갖는, 장치.

청구항 10

제6 항에 있어서,

상기 제2 임피던스 변환기는 제2 직렬 인덕터 및 제3 분로 커패시터를 포함하고, 상기 제2 분로 커패시터는 상기 제1 및 제2 임피던스 변환기들 간에 공유되고, 그리고 상기 제2 및 제3 분로 커패시터들은 각각 상기 제2 직렬 인덕터의 양단들에 결합되는, 장치.

청구항 11

제10 항에 있어서,

상기 제3 임피던스 변환기는 제3 직렬 인덕터와 제4 분로 커패시터를 포함하고, 상기 제2 분로 커패시터는 상기 제1, 제2 및 제3 임피던스 변환기들 간에 공유되고, 그리고 상기 제2 및 제4 분로 커패시터들은 각각 상기 제3 직렬 인덕터의 양단들에 결합되는, 장치.

청구항 12

제1 항에 있어서,

제2 중간 노드와 상기 제2 신호 포트 사이에 결합된 제4 임피던스 변환기 - 상기 제2 임피던스 변환기는 상기 제1 중간 노드와 상기 제2 중간 노드 사이에 결합됨 -;

제3 중간 노드와 상기 제3 신호 포트 사이에 결합된 제5 임피던스 변환기 - 상기 제3 임피던스 변환기는 상기 제1 중간 노드와 상기 제3 중간 노드 사이에 결합됨 -; 및

상기 제2 중간 노드와 상기 제3 중간 노드 사이에 결합된 제3 저항기를 더 포함하는, 장치.

청구항 13

제12 항에 있어서,

상기 제4 임피던스 변환기는 제1 임피던스 및 제1 길이를 갖는 제1 송신 라인을 포함하고, 상기 제5 임피던스 변환기는 상기 제2 임피던스 및 제2 길이를 갖는 제2 송신 라인을 포함하고, 상기 제1 임피던스는 실질적으로 상기 제2 임피던스와 동일하고, 그리고 상기 제1 길이는 실질적으로 상기 제2 길이와 동일한, 장치.

청구항 14

제12 항에 있어서,

상기 제4 임피던스 변환기는 제1 분로 커패시터, 제1 직렬 인덕터, 및 제2 분로 커패시터를 포함하고, 상기 제1 및 제2 분로 커패시터들은 각각 상기 제1 직렬 인덕터의 양단들에 결합되고;

상기 제5 임피던스 변환기는 제3 분로 캐패시터, 제2 직렬 인덕터, 및 제4 분로 커패시터를 포함하고, 상기 제3 및 제4 분로 커패시터들은 각각 상기 제2 직렬 인덕터의 양단들에 결합되고; 그리고

상기 제1, 제2, 제3, 및 제4 분로 커패시터들은 실질적으로 동일한 커패시턴스를 갖고, 상기 제1 및 제2 직렬 인덕터들은 실질적으로 동일한 인덕턴스를 갖는, 장치.

청구항 15

방법으로서,

제1 신호 포트에서 제1 신호를 수신하는 단계;

제1 중간 노드에서 제2 신호를 생성하기 위해 제1 저항기 및 제1 임피던스 변환기를 통해 상기 제1 신호를 전파하는 단계;

상기 제1 중간 노드의 상기 제2 신호를 분할하여 제3 및 제4 신호들을 생성하는 단계;

제2 임피던스 변환기를 통해 제2 신호 포트를 향해 상기 제3 신호를 전파하는 단계;

제3 임피던스 변환기를 통해 제3 신호 포트를 향해 상기 제4 신호를 전파하는 단계; 및

제2 저항기를 통해 상기 제2 신호 포트를 상기 제3 신호 포트에 전기적으로 결합하는 단계를 포함하는, 방법.

청구항 16

제15 항에 있어서,

상기 제1, 제2, 및 제3 임피던스 변환기들 각각은 송신 라인을 포함하는, 방법.

청구항 17

제15 항에 있어서,

상기 제1, 제2, 및 제3 임피던스 변환기들 각각은 제1 분로 커패시터, 직렬 인덕터, 및 제2 분로 커패시터를 포함하고, 상기 제1 및 제2 분로 커패시터들은 각각 상기 직렬 인덕터의 양단들에 결합되는, 방법.

청구항 18

제15 항에 있어서,

제4 임피던스 변환기를 통해 제2 중간 노드로부터 상기 제2 신호 포트로 상기 제3 신호를 전파하는 단계 – 상기 제2 임피던스 변환기는 상기 제1 중간 노드와 상기 제2 중간 노드 사이에 결합됨 –;

제5 임피던스 변환기를 통해 제3 중간 노드로부터 상기 제3 신호 포트로 상기 제4 신호를 전파하는 단계 – 상기 제3 임피던스 변환기는 상기 제1 중간 노드와 상기 제3 중간 노드 사이에 결합됨 –; 및

제3 저항기를 통해 상기 제2 중간 노드를 상기 제3 중간 노드에 전기적으로 결합하는 단계를 더 포함하는, 방법.

청구항 19

제15 항에 있어서,

상기 제2 신호 포트에서 상기 제3 신호를 분할하여 제5 신호 및 제6 신호를 생성하는 단계를 더 포함하는, 방법.

청구항 20

제15 항에 있어서,

제5 신호를 분할하여 상기 제1 신호 및 제6 신호를 생성하는 단계를 더 포함하는, 방법.

청구항 21

방법으로서,

제1 신호 포트에서 제1 신호를 수신하는 단계;

제2 신호 포트에서 제2 신호를 수신하는 단계;

제1 저항기를 통해 상기 제1 신호 포트를 상기 제2 신호 포트에 전기적으로 결합하는 단계;

상기 제1 임피던스 변환기를 통해 상기 제1 신호 포트로부터 제1 중간 노드로 상기 제1 신호를 전파하는 단계;

제2 임피던스 변환기를 통해 상기 제2 신호 포트로부터 상기 제1 중간 노드로 상기 제2 신호를 전파하는 단계;

상기 제1 중간 노드에서 상기 제1 신호와 상기 제2 신호를 결합하여 제3 신호를 생성하는 단계; 및

제3 임피던스 변환기 및 제2 저항기를 통해 상기 제1 중간 노드로부터 제3 신호 포트로 상기 제3 신호를 전파하는 단계를 포함하는, 방법.

청구항 22

제21 항에 있어서,

상기 제1, 제2, 및 제3 임피던스 변환기들 각각은 송신 라인을 포함하는, 방법.

청구항 23

제21 항에 있어서,

상기 제1, 제2, 및 제3 임피던스 변환기들 각각은 제1 분로 커패시터, 직렬 인덕터, 및 제2 분로 커패시터를 포함하고, 상기 제1 및 제2 분로 커패시터들은 각각 상기 직렬 인덕터의 양단들에 결합되는, 방법.

청구항 24

제21 항에 있어서,

제4 임피던스 변환기를 통해 상기 제1 신호 포트로부터 제2 중간 노드로 상기 제1 신호를 전파하는 단계 – 상기 제1 임피던스 변환기는 상기 제1 및 제2 중간 노드들 사이에 결합됨 –;

제5 임피던스 변환기를 통해 상기 제2 신호 포트로부터 제3 중간 노드로 상기 제2 신호를 전파하는 단계 – 상기 제2 임피던스 변환기는 상기 제1 중간 노드와 상기 제3 중간 노드 사이에 결합됨 –; 및

제3 저항기를 통해 상기 제2 중간 노드를 상기 제3 중간 노드에 전기적으로 결합하는 단계를 더 포함하는, 방법.

청구항 25

제21 항에 있어서,

상기 제3 신호를 제4 신호와 결합하여 제5 신호를 생성하는 단계를 더 포함하는, 방법.

청구항 26

제21 항에 있어서,

제4 신호와 제5 신호를 결합하여 상기 제1 신호를 생성하는 단계를 더 포함하는, 방법.

청구항 27

무선 통신 디바이스로서,

적어도 하나의 안테나;

상기 적어도 하나의 안테나에 결합된 트랜시버 체인들의 세트; 및

상기 트랜시버 체인들의 세트에 결합된 신호 전력 분할기 또는 결합기를 포함하고, 상기 신호 전력 분할기 또는 결합기는:

제1 신호 포트;

제1 저항기;

상기 제1 신호 포트와 제1 중간 노드 사이에서 상기 제1 저항기와 직렬로 결합된 제1 임피던스 변환기;

상기 제1 중간 노드와 제2 신호 포트 사이에 결합된 제2 임피던스 변환기;

상기 제1 중간 노드와 제3 신호 포트 사이에 결합된 제3 임피던스 변환기; 및

상기 제2 신호 포트와 상기 제3 신호 포트 사이에 결합된 제2 저항기를 포함하는, 무선 통신 디바이스.

청구항 28

제27 항에 있어서,

상기 제1 신호 포트는 신호 프로세싱 회로의 입력에 결합되고, 그리고 상기 제2 및 제3 포트들은 상기 트랜시버 체인들의 세트의 입력들에 각각 결합되는, 무선 통신 디바이스.

청구항 29

제27 항에 있어서,

상기 제2 및 제3 신호 포트들은 각각 상기 트랜시버 체인들의 세트의 출력들에 결합되고, 그리고 상기 제1 신호 포트는 신호 프로세싱 회로의 입력에 결합되는, 무선 통신 디바이스.

청구항 30

제27 항에 있어서,

상기 신호 전력 분할기 또는 결합기는:

제2 중간 노드와 상기 제2 신호 포트 사이에 결합된 제4 임피던스 변환기 - 상기 제2 임피던스 변환기는 상기 제1 중간 노드와 상기 제2 중간 노드 사이에 결합됨 -;

제3 중간 노드와 상기 제3 신호 포트 사이에 결합된 제5 임피던스 변환기 - 상기 제3 임피던스 변환기는 상기 제1 중간 노드와 상기 제3 중간 노드 사이에 결합됨 -; 및

상기 제2 중간 노드와 상기 제3 중간 노드 사이에 결합된 제3 저항기를 더 포함하는, 무선 통신 디바이스.

발명의 설명

기 술 분 야

[0001] [0001] 본 특허 출원은 2021년 8월 2일에 출원된, 계류 중인 미국 정식 특허 출원 제17/392,005에 대한 우선권을 주장하고, 본 출원의 양수인에게 양도되었으며, 이로써 아래에 완전히 설명된 것처럼 모든 적용 가능한 목적을 위해 인용에 의해 본원에 명시적으로 포함된다.

[0002] [0002] 본 개시내용의 양태들은 일반적으로 신호 전력 분할기들/결합기들, 특히 더 넓은 대역폭에 걸쳐 개선된 성능을 위한 저항 및 임피던스 변환기 로딩을 갖는 신호 전력 분할기/결합기에 관한 것이다.

배 경 기 술

[0003] [0003] 신호 전력 분할기는 입력 신호를 수신하고, 입력 신호를 전력 분배하여 출력 신호들의 세트를 생성하도록 구성된다. 반대로, 신호 전력 결합기는 입력 신호들의 세트를 수신하고, 입력 신호들을 전력 결합하여 출력 신호를 생성하도록 구성된다. 일반적으로 신호 전력 분할기 또는 결합기는 상호성의 특성을 가지며, 동일한 디바이스는, 입력 신호가 디바이스의 한쪽에 있는 단일 포트에서 수신되는지, 입력 신호들의 세트가 디바이스의 다른 쪽 입력 포트들의 세트에서 수신되는지에 따라 전력 분할기 또는 결합기로 사용될 수 있다.

[0004] [0004] 신호 전력 분할기들/결합기들의 관심 있는 다른 특성들은 입력 포트와 출력 포트 사이의 삽입 손실, 2개 이상의 입력 또는 출력 포트들 사이의 절연, 및 임의의 포트들에서의 임피던스 매칭 또는 반사 손실을 포함한다.

발명의 내용

[0005] [0005] 다음은 이러한 구현들에 대한 기본적인 이해를 제공하기 위해 하나 이상의 구현들에 대한 간략한 요약을 제시한다. 이 요약은 고려된 모든 구현들에 대한 광범위한 개요가 아니고 모든 구현들의 핵심 또는 중요한 요소들을 식별하거나 일부 또는 모든 구현들의 범위를 설명하기 위한 것도 아니다. 이 요약의 유일한 목적은 이후에 제시되는 보다 상세한 설명에 대한 서론으로서 단순화된 형태로 하나 이상의 구현들의 일부 개념들을 제시하는 것이다.

[0006] [0006] 본 개시내용의 양태는 장치에 관한 것이다. 장치는 제1 신호 포트; 제1 저항기; 제1 신호 포트와 제1 중간 노드 사이에서 제1 저항기와 직렬로 결합된 제1 임피던스 변환기; 제1 중간 노드와 제2 신호 포트 사이에 결합된 제2 임피던스 변환기; 제1 중간 노드와 제3 신호 포트 사이에 결합된 제3 임피던스 변환기; 및 제2 신호

포트와 제3 신호 포트 사이에 결합된 제2 저항기를 포함한다.

[0007] [0007] 본 개시내용의 다른 양태는 방법에 관한 것이다. 방법은 제1 신호 포트에서 제1 신호를 수신하는 단계; 제1 중간 노드에서 제2 신호를 생성하기 위해 제1 저항기 및 제1 변환기를 통해 제1 신호를 전파하는 단계; 제1 중간 노드의 제2 신호를 분할하여 제3 및 제4 신호를 생성하는 단계; 제2 임피던스 변환기를 통해 제2 신호 포트를 향해 제3 신호를 전파하는 단계; 제3 임피던스 변환기를 통해 제3 신호 포트를 향해 제4 신호를 전파하는 단계; 및 제2 저항기를 통해 제2 신호 포트를 제3 신호 포트에 전기적으로 결합하는 단계를 포함한다.

[0008] [0008] 본 개시내용의 다른 양태는 장치에 관한 것이다. 장치는 제1 신호 포트에서 제1 신호를 수신하기 위한 수단; 제1 중간 노드에서 제2 신호를 생성하기 위해 제1 저항기 및 제1 변환기를 통해 제1 신호를 전파하기 위한 수단; 제1 중간 노드의 제2 신호를 분할하여 제3 및 제4 신호를 생성하기 위한 수단; 제2 임피던스 변환기를 통해 제2 신호 포트를 향해 제3 신호를 전파하기 위한 수단; 제3 임피던스 변환기를 통해 제3 신호 포트를 향해 제4 신호를 전파하기 위한 수단; 및 제2 저항기를 통해 제2 신호 포트를 제3 신호 포트에 전기적으로 결합하기 위한 수단을 포함한다.

[0009] [0009] 본 개시내용의 다른 양태는 방법에 관한 것이다. 방법은 제1 신호 포트에서 제1 신호를 수신하는 단계; 제2 신호 포트에서 제2 신호를 수신하는 단계; 제1 저항기를 통해 제1 신호 포트를 제2 신호 포트에 전기적으로 결합하는 단계; 제1 임피던스 변환기를 통해 제1 신호 포트로부터 제1 중간 노드로 제1 신호를 전파하는 단계; 제2 임피던스 변환기를 통해 제2 신호 포트로부터 제1 중간 노드로 제2 신호를 전파하는 단계; 제1 중간 노드에서 제1 신호와 제2 신호를 결합하여 제3 신호를 생성하는 단계; 및 제3 임피던스 변환기 및 제2 저항기를 통해 제1 중간 노드로부터 제3 신호 포트로 제3 신호를 전파하는 단계를 포함한다.

[0010] [0010] 본 개시내용의 다른 양태는 장치에 관한 것이다. 장치는 제1 신호 포트에서 제1 신호를 수신하기 위한 수단; 제2 신호 포트에서 제2 신호를 수신하기 위한 수단; 제1 저항기를 통해 제1 신호 포트를 제2 신호 포트에 전기적으로 결합하기 위한 수단; 제1 임피던스 변환기를 통해 제1 신호 포트로부터 제1 중간 노드로 제1 신호를 전파하기 위한 수단; 제2 임피던스 변환기를 통해 제2 신호 포트로부터 제1 중간 노드로 제2 신호를 전파하기 위한 수단; 제1 중간 노드에서 제1 신호와 제2 신호를 결합하여 제3 신호를 생성하기 위한 수단; 및 제3 임피던스 변환기 및 제2 저항기를 통해 제1 중간 노드로부터 제3 신호 포트로 제3 신호를 전파하기 위한 수단을 포함한다.

[0011] [0011] 본 개시내용의 다른 양태는 무선 통신 디바이스에 관한 것이다. 무선 통신 디바이스는 적어도 하나의 안테나; 적어도 하나의 안테나에 결합된 트랜시버 체인의 세트; 및 트랜시버 체인의 세트에 결합된 신호 전력 분할기 또는 결합기를 포함하고, 신호 전력 분할기 또는 결합기는: 제1 신호 포트; 제1 저항기; 제1 신호 포트와 제1 중간 노드 사이에서 제1 저항기와 직렬로 결합된 제1 임피던스 변환기; 제1 중간 노드와 제2 신호 포트 사이에 결합된 제2 임피던스 변환기; 제1 중간 노드와 제3 신호 포트 사이에 결합된 제3 임피던스 변환기; 및 제2 신호 포트와 제3 신호 포트 사이에 결합된 제2 저항기를 포함한다.

[0012] [0012] 전술한 목적 및 관련된 목적을 달성하기 위해, 하나 이상의 구현들은 이하에서 충분히 설명되고 특히 청구범위에서 지적되는 특징들을 포함한다. 다음 설명 및 첨부된 도면들은 하나 이상의 구현들의 소정 예시적 양태들을 상세히 설명한다. 그러나, 이러한 양태들은 다양한 구현들의 원리들이 이용될 수 있는 다양한 방식들 중 약간을 나타내고, 이 설명 구현들은 모든 그러한 양태들 및 이의 등가물들을 포함하도록 의도된다.

도면의 간단한 설명

[0013] [0013] 도 1a는 본 개시내용의 양태에 따른 예시적인 신호 전력 분할기의 개략도를 예시한다.

[0014] [0014] 도 1b는 본 개시내용의 다른 양태에 따른 예시적인 신호 전력 결합기의 개략도를 예시한다.

[0015] [0015] 도 2a-도 2c는 본 개시내용의 다른 양태에 따른 도 1a 또는 도 1b의 신호 전력 분할기/결합기와 연관된 예시적인 사양들 및 응답들의 그래프들을 예시한다.

[0016] [0016] 도 3은 본 개시내용의 다른 양태에 따른 다른 예시적인 신호 전력 분할기/결합기의 개략도를 예시한다.

[0017] [0017] 도 4는 본 개시내용의 다른 양태에 따른 다른 예시적인 신호 전력 분할기/결합기의 개략도를 예시한다.

[0018] [0018] 도 5a-도 5c는 본 개시내용의 다른 양태에 따르면 도 3 또는 도 4의 신호 전력 분할기/결합기와 연관된 예시적인 사양들 및 응답들의 그래프들을 예시한다.

[0019] 도 6은 본 개시내용의 다른 양태에 따른 다른 예시적인 신호 전력 분할기/결합기의 개략도를 예시한다.

[0020] 도 7은 본 개시내용의 다른 양태에 따른 다른 예시적인 신호 전력 분할기/결합기의 개략도를 예시한다.

[0021] 도 8은 본 개시내용의 다른 양태에 따른 도 3 또는 도 4의 신호 전력 분할기/결합기의 신호 포트에서의 임피던스의 예시적인 스미스 차트(Smith chart)를 예시한다.

[0022] 도 9는 본 개시내용의 다른 양태에 따른 도 6 또는 도 7의 신호 전력 분할기/결합기의 신호 포트에서의 임피던스의 예시적인 스미스 차트를 예시한다.

[0023] 도 10a-도 10c는 본 개시내용의 다른 양태에 따르면 도 6 또는 도 7의 신호 전력 분할기/결합기와 연관된 예시적인 사양들 및 응답들의 그래프들을 예시한다.

[0024] 도 11은 본 개시내용의 다른 양태에 따른 예시적인 신호 전력 분할기/결합기의 레이아웃 다이어그램을 예시한다.

[0025] 도 12는 본 개시내용의 다른 양태에 따라 신호를 전력 분할하는 예시적인 방법의 흐름도를 예시한다.

[0026] 도 13은 본 개시내용의 다른 양태에 따라 신호들을 전력 결합하는 예시적인 방법의 흐름도를 예시한다.

[0027] 도 14는 본 개시내용의 다른 양태에 따른 예시적인 무선 통신 디바이스의 블록도를 예시한다.

[0028] 도 15는 본 개시내용의 다른 양태에 따른 다른 예시적인 신호 전력 분할기/결합기의 블록도를 예시한다.

발명을 실시하기 위한 구체적인 내용

[0014] [0029] 첨부된 도면들과 관련하여 아래에 설명된 상세한 설명은 다양한 구성들에 대한 설명으로 의도되고 본원에 설명된 개념들이 실시될 수 있는 유일한 구성들을 나타내려는 의도가 아니다. 상세한 설명은 다양한 개념들에 대한 철저한 이해를 제공할 목적으로 구체적인 세부사항을 포함한다. 그러나, 이들 개념들이 이들 특정 세부사항 없이도 실시될 수 있다는 것이 당업자에게 명백할 것이다. 일부 사례들에서, 잘 알려진 구조들과 구성요소들은 이러한 개념들이 모호해지는 것을 피하기 위해 블록도 형태로 도시된다.

[0015] [0030] 도 1a는 본 개시내용의 양태에 따른 예시적인 신호 전력 분할기(100)의 개략도를 예시한다. 신호 전력 분할기(100)는 입력 신호(P_{in})를 수신하고 입력 신호(P_{in})를 전력 분할하여 제1 및 제2 출력 신호들(P_{out1} 및 P_{out2})을 생성하도록 구성된다. 이 예에서, 전력 분할은 동일하거나 균형을 이루고, 즉, 제1 출력 신호(P_{out1})의 전력 레벨이 제2 출력 신호(P_{out2})의 전력 레벨과 실질적으로 동일하다는 것을 의미한다. 신호 전력 분할기(100)의 입력과 출력 사이에 삽입 손실이 없다고 가정할 때, 제1 및 제2 출력 신호들(P_{out1}, P_{out2}) 각각의 신호 전력은 입력 신호(P_{in})의 신호 전력보다 실질적으로 3 데시벨(dB) 낮다.

[0016] [0031] 신호 전력 분할기(100)는 입력 신호 포트(110), 입력 신호 포트(110)와 제1 출력 신호 포트(116) 사이에 결합된 제1 송신 라인(112), 입력 신호 포트(110)와 제2 출력 신호 포트 사이에 결합된 제2 송신 라인(114), 및 제1 및 제2 출력 신호 포트들(116 및 118) 사이에 결합된 저항기(R)를 포함한다. 논의된 바와 같이, 입력 신호(P_{in})는 입력 신호 포트(110)에서 수신되고, 제1 및 제2 출력 신호들(P_{out1} 및 P_{out2})은 각각 제1 및 제2 출력 포트들(116 및 118)에서 생성된다.

[0017] [0032] 입력 신호 포트(110) 및 출력 신호 포트들(116 및 118)이 특정 파장(λ) 또는 주파수에서 특정 특성 임피던스(Zo)를 갖는 경우, 송신 라인들(112 및 114) 각각은 실질적으로 $\sqrt{2} \cdot Zo$로 설정될 수 있는 실질적으로 동일한 임피던스(Z_1)를 가진다. 추가적으로, 송신 라인들(112 및 114) 각각은 실질적으로 동일한 길이(L_1)를 가지며, 이는 특정 주파수에서 실질적으로 1/4 파장(λ/4)으로 설정될 수 있다. 추가로, 저항기(R)의 저항은 실질적으로 $2 \cdot Zo$로 설정될 수 있다.

[0018] [0033] 송신 라인들(112 및 114)은 마이크로스트립, 스트립라인, 동일 평면 마이크로스트립, 매달린 마이크로스트립 등으로 구현될 수 있고, 여기서 송신 라인들(112 및 114)은 각각 유전체 또는 반도체 기판 상에 배치된 금속화 스트립들로 구현된다. 저항기(R)는 또한 유전체 또는 반도체 기판 상에 배치된 티타늄 질화물(TiN)과 같은 적합한 치수의 박막 재료로서 구현될 수 있다.

[0019] [0034] 도 1b는 본 개시내용의 다른 양태에 따른 예시적인 신호 전력 결합기(150)의 개략도를 예시한다. 앞서 논의된 신호 전력 분할기(100)는 상호성(reciprocity) 특성을 갖는다. 즉, 신호 전력 분할기(100)는 포트들(116 및 118)에서 각자의 입력 신호들을 수신하고, 포트(110)에서 결합된 신호를 생성함으로써 신호 전력 결합기로 구성될 수 있다. 신호 전력 결합기(150)는 신호 전력 분할기(100)가 전력 결합기로 사용되는 예이다. 상호성 특성으로 인해, 신호 전력 분할기(100) 및 결합기(150)는 본원에서 일반적으로 신호 전력 분할기/결합기로 지칭된다.

[0020] [0035] 신호 전력 결합기(150)는 제1 및 제2 입력 신호들(P_{in1} 및 P_{in2})을 수신하고, 입력 신호들(P_{in1} 및 P_{in2})을 전력 결합하여 출력 신호(P_{out})를 생성하도록 구성된다. 이 예에서, 전력 결합은 동일하거나 균형을 이루어지고, 즉, 출력 신호(P_{out})의 전력 레벨이 실질적으로 입력 신호들(P_{in1}과 P_{in2})의 전력 레벨들의 합이라는 것을 의미한다. 신호 전력 결합기(150)의 입력들과 출력들 사이에 삽입 손실이 없고, 입력 신호들(P_{in1}과 P_{in2})이 실질적으로 동일한 전력을 갖는다고 가정하면, 출력 신호(P_{out})의 전력은 입력 신호들(P_{in1} 및 P_{in2}) 각각의 신호 전력보다 실질적으로 3 dB 더 높다.

[0021] [0036] 신호 전력 결합기(150)는 제1 입력 신호 포트(162), 제2 입력 신호 포트(164), 제1 및 제2 입력 신호 포트들(162 및 164) 사이에 결합된 저항기(R), 제1 입력 신호 포트(162)와 출력 신호 포트(170) 사이에 결합된 제1 송신 라인(166), 및 제2 입력 신호 포트(164)와 출력 신호 포트(170) 사이에 결합된 제2 송신 라인(168)을 포함한다. 논의된 바와 같이, 제1 및 제2 입력 신호(P_{in1} 및 P_{in2})는 각각 제1 및 제2 입력 신호 포트(162 및 164)에서 수신되고, 출력 신호(P_{out})는 출력 신호 포트(170)에서 생성된다.

[0022] [0037] 입력 신호 포트들(162 및 164) 및 출력 신호 포트(170)가 특정 파장(λ) 또는 주파수에서 특정 특성 임피던스(Zo)를 갖는 경우, 송신 라인들(166 및 168) 각각은 실질적으로 $\sqrt{2} \cdot Zo$로 설정될 수 있는 실질적으로 동일한 임피던스(Z_1)를 가진다. 추가적으로, 송신 라인들(166 및 168) 각각은 실질적으로 동일한 길이(L_1)를 가지며, 이는 특정 주파수에서 실질적으로 1/4 파장(λ/4)으로 설정될 수 있다. 추가로, 저항기(R)의 저항은 실질적으로 $2 \cdot Zo$로 설정될 수 있다.

[0023] [0038] 유사하게, 송신 라인들(166 및 168)은 마이크로스트립, 스트립라인, 동일 평면 마이크로스트립, 매달린 마이크로스트립 등으로 구현될 수 있고, 여기서 송신 라인들(166 및 168)은 각각 유전체 또는 반도체 기판 상에 배치된 금속화 스트립으로 구현된다. 저항기(R)는 또한 유전체 또는 반도체 기판 상에 배치된 티타늄 질화물(TiN)과 같은 적합한 치수의 박막 재료로서 구현될 수 있다.

[0024] [0039] 도 2a-도 2c는 본 개시내용의 다른 양태에 따르면 신호 전력 분할기/결합기(100/150)와 연관된 예시적인 사양들 및 응답들의 그래프들을 예시한다. 그래프들 각각에서, x축 또는 수평 축은 좌측 끝의 0Hz부터 우측 끝의 20 기가헤르츠(GHz)까지의 주파수를 나타낸다. 도 2a에 묘사된 그래프의 y 축 또는 수직 축은 상단의 -2 dB에서 하단의 -14 dB까지 포트(110/170)와 포트(116/162)(또는 포트(110/170) 및 포트(118/164)) 사이의 삽입 손실을 dB 단위로 나타낸다. 도 2b에 묘사된 그래프의 y 축 또는 수직 축은 상단의 0 dB부터 하단의 -30 dB까지 포트들(116/162 및 118/164) 사이의 격리를 dB 단위로 나타낸다. 도 2c에 묘사된 그래프의 y 축 또는 수직 축은 포트(110/170)에서의 반사 손실(dB)을 상단의 0 dB부터 하단의 -30 dB까지 나타낸다.

[0025] [0040] 도 2a를 구체적으로 참조하여, 그래프는 특정 애플리케이션에 대한 삽입 손실에 대한 예시적인 사양을 나타내는 음영 지역을 포함한다. 특히, 사양은 0 내지 15 GHz 주파수 사이에서 -5 dB 이하의 삽입 손실을 나타내지만, 이상적으로는 전체 주파수 대역에서 -3 dB이어야 한다. 추가로, 논의된 바와 같이, 그래프는 또한 포트(110/170)와 포트(116/162)(또는 포트(110/170)와 포트(118/164)) 사이의 삽입 손실(dB)을 도시한다. 삽입 손실이 주파수들(0 내지 15 GHz) 사이에서 -3 dB과 -4 dB 사이에서 달라지고, 이것이 삽입 손실에 대한 예시적인 사양을 충족한다는 것이 유의된다.

[0026] [0041] 도 2b를 구체적으로 참조하여, 그래프는 특정 애플리케이션에 대한 포트들(116/162와 118/164) 사이의 격리에 대한 예시적인 사양을 나타내는 음영 지역을 포함한다. 특히, 사양은 주파수들(7 내지 15 GHz) 사이에서 -15 dB 이상의 격리를 나타낸다. 추가적으로, 논의된 바와 같이, 그래프는 또한 포트들(116/162와 118/164) 사이의 격리를 도시한다. 격리가 주파수 대역(7 내지 15 GHz) 내에서 -13 dB 내지 -29 dB 사이에서 다양하다는 것이 유의된다. 따라서, 7 내지 15 GHz 주파수 대역의 하부 부분(예를 들어, 7 내지 8 GHz)에서, 포트들(116/162와 118/164) 사이의 격리는 사양을 충족하지 못한다. 이는 송신 라인(112/166 및 114/168)의 길이(L

$_1$)가 이 예에서는 13 GHz와 같은 특정 주파수에 대해 각각 설정되기 때문이고, 여기서 격리는 -29 dB에서 피크이다. 격리는 특정 주파수에서 멀리 떨어진 주파수들에 대해 감소하고, 이 예에서, 격리는 8.2 GHz 미만의 사양을 충족하지 못한다.

[0027] [0042] 도 2c를 구체적으로 참조하면, 그래프는 특정 애플리케이션에 대한 포트(110/170)에서의 반사 손실에 대한 예시적인 사양을 나타내는 음영 지역을 포함한다. 특히, 사양은 낮은 주파수 대역(0 내지 1 GHz)과 높은 주파수 대역(7 내지 15 GHz) 내에서 -15 dB 이하의 반사 손실을 나타낸다. 추가적으로, 논의된 바와 같이, 그래프는 또한 이런 포트(110/170)에서의 반사 손실을 도시한다. 반사 손실이 더 높은 주파수 대역(7 내지 15 GHz) 내에서 -12 dB 내지 -27 dB에서 다양하다는 것이 유의된다. 따라서, 특히 더 높은 주파수 대역(7 내지 15 GHz)(예를 들어, 7 내지 9 GHz)의 하분 부분에서, 반사 손실은 사양을 충족하지 못한다. 추가적으로, 낮은 주파수 대역(0 내지 1 GHz) 전체에 대해, 반사 손실은 -5 dB를 초과하고, 이는 사양을 크게 충족시키지 못한다. 다시, 이는 송신 라인들(112/166 및 114/168)의 길이(L_1)가 이 예에서는 13 GHz와 같은 특정 주파수에 대해 각각 설정되기 때문이고, 여기서 반사 손실은 -29 dB에서 가장 좋다. 반사 손실은 특정 주파수에서 더 멀리 떨어진 주파수들에서 증가하고, 이 예에서, 반사 손실은 더 높은 주파수 대역에 대한 9 GHz 미만의 사양을 충족하지 않고, 전체 더 낮은 주파수 대역에 대한 사양을 충족하지 못한다.

[0028] [0043] 도 3은 본 개시내용의 다른 양태에 따른 다른 예시적인 신호 전력 분할기/결합기(300)의 개략도를 예시한다. 신호 전력 분할기/결합기가 삽입 손실, 절연 및 반사 손실 측면에서 사양을 충족할 수 있는 대역폭을 개선하기 위한 접근법은 신호 전력 분할기/결합기에 더 많은 스테이지를 추가하는 것이다. 전력 분할기/결합기(300)는 다중 스테이지 신호 전력 분할기/결합기의 예이다.

[0029] [0044] 특히, 신호 전력 분할기/결합기(300)는 제1 신호 포트(P_1), 제1 신호 포트(P_1)와 제1 중간 노드(n1) 사이에 결합된 제1 송신 라인(312), 제1 신호 포트(P_1)와 제2 중간 노드(n1) 사이에 결합된 제2 송신 라인(314), 및 제1 및 제2 중간 노드들(n1 및 n2) 사이에 결합된 제1 저항기(R1)을 포함한다. 신호 전력 분할기/결합기(300)는 제1 중간 노드(n1)와 제2 신호 포트(P_2) 사이에 결합된 제3 송신 라인(316), 제2 중간 노드(n2)와 제3 신호 포트(P_3) 사이에 결합된 제4 송신 라인(318), 및 제2 및 제3 신호 포트(P_2와 P_3) 사이에 결합된 제2 저항기(R2)를 더 포함한다.

[0030] [0045] 신호 전력 분할기/결합기(300)가 전력 분할기로 사용되는 경우, 신호 전력 분할기/결합기(300)는 포트(P_1)에서 입력 신호(P_{in})를 수신하고, 포트(P_2 및 P_3)에서 각각 출력 신호들(P_{out1} 및 P_{out2})을 생성한다. 신호 전력 분할기/결합기(300)가 전력 결합기로 사용되는 경우, 신호 전력 분할기/결합기(300)는 포트들(P_2 및 P_3)에서 입력 신호들(P_{in1} 및 P_{in2})을 각각 수신하고, 포트(P_1)에서 출력 신호(P_{out})를 생성한다.

[0031] [0046] 포트들(P_1, P_2, 및 P_3) 각각이 특정 파장(λ) 또는 주파수에서 특성 임피던스(Zo)를 갖는 경우, 제1 및 제2 송신 라인들(312 및 314)은 각각 실질적으로 동일한 임피던스(Z_1)(예를 들어, Z_1=1.32 · Zo)을 가질 수 있고 실질적으로 동일한 길이(L_1)(예를 들어, 특정 주파수(예를 들어, 13 GHz)에서 λ/4)를 가질 수 있다. 추가로, 제1 저항기(R1)의 저항은 실질적으로 1.87 · Zo로 설정될 수 있다. 추가적으로, 제3 및 제4 송신 라인들(316 및 318)은 각각 실질적으로 동일한 임피던스(Z_2)(예를 들어, Z_2=1.13 · Zo)와 실질적으로 동일한 길이(L_2)(예를 들어, 특정 주파수(예를 들어, 13 GHz)에서 λ/4)를 가질 수 있다. 추가로, 제2 저항기(R2)의 저항은 실질적으로 3.11 · Zo로 설정될 수 있다.

[0032] [0047] 송신 라인들(312, 314, 316, 및 318)은 마이크로스트립, 스트립라인, 동일 평면 마이크로스트립, 매달린 마이크로스트립 등으로 구현될 수 있고, 여기서 송신 라인들(312, 314, 316, 및 318)은 각각 유전체 또는 반도체 기판에 배치된 금속화 스트립으로 구현된다. 저항기(R1 및 R2)는 또한 유전체 또는 반도체 기판 상에 배치된 티타늄 질화물(TiN)과 같은 적합한 치수의 박막 재료로서 구현될 수 있다.

[0033] [0048] 도 4는 본 개시내용의 다른 양태에 따른 다른 예시적인 신호 전력 분할기/결합기(400)의 개략도를 예시한다. 신호 전력 분할기/결합기(400)는 이전에 논의된 신호 전력 분할기/결합기(300)의 대안적인 구현일 수 있다. 즉, 신호 전력 분할기/결합기(300)의 송신 라인들(312, 314, 316, 및 318)은 각각 임피던스 변환기로서 동작한다. 그러나, 등가 임피던스 변환기를 구현하는 다른 회로는 직렬 인덕터의 대향 단부들에 각각 결합된 분로 커패시터들을 포함하는 파이 네트워크(pi-network)와 같은 개별 디바이스들을 사용한다. 송신 라인들 대신

개별 구성요소들을 사용함으로써, 신호 전력 분할기/결합기(400)는 신호 전력 분할기/결합기(300)에 비해 더 작거나 더 컴팩트하게 만들어질 수 있다.

[0034] [0049] 신호 전력 분할기/결합기(400)는 제1 신호 포트(P_1), 제1 임피던스 변환기(420), 제2 임피던스 변환기(430), 제1 저항기(R1), 제3 임피던스 변환기(440), 제4 임피던스 변환기(450), 제2 저항기(R2), 제2 신호 포트(P_2)및 제3 신호 포트(P_3)를 포함한다. 제1 임피던스 변환기(420)는 제1 신호 포트(P_1)와 제1 중간 노드(n1) 사이에 결합된다. 제1 임피던스 변환기(420)는 제1 신호 포트(P_1)와 더 낮은 전압 레일(예를 들어, 접지) 사이에 결합된 제1 분로 커패시터(C_{1A}), 제1 신호 포트(P_1)와 제1 중간 노드(n1) 사이에 결합된 직렬 인덕터(L_{1A}), 및 제2 제1 중간 노드(n1)와 더 낮은 전압 레일(예를 들어, 접지) 사이에 결합된 제2 분로 커패시터(C_{1B})를 포함한다.

[0035] [0050] 제2 임피던스 변환기(430)는 제1 신호 포트(P_1)와 제2 중간 노드(n2) 사이에 결합된다. 제2 임피던스 변환기(430)는 제1 신호 포트(P_1)와 더 낮은 전압 레일(예를 들어, 접지) 사이에 결합된 제1 분로 커패시터(C_{1c}), 제1 신호 포트(P_1)와 제1 중간 노드(n2) 사이에 결합된 직렬 인덕터(L_{1B}), 및 제2 제1 중간 노드(n2)와 더 낮은 전압 레일(예를 들어, 접지) 사이에 결합된 제2 분로 커패시터(C_{1D})를 포함한다. 제1 저항기(R1)는 제1 및 제2 중간 노드들(n1 및 n2) 사이에 결합된다.

[0036] [0051] 제3 임피던스 변환기(440)는 제1 중간 노드(n1)와 제2 신호 포트(P_2) 사이에 결합된다. 제3 임피던스 변환기(440)는 제1 중간 노드(n1)와 더 낮은 전압 레일(예를 들어, 접지) 사이에 결합된 제1 분로 커패시터(C_{2A}), 제1 중간 노드(n1)와 제2 신호 포트(P_2) 사이에 결합된 직렬 인덕터(L_{2A}), 및 제2 신호 포트(P_2)와 더 낮은 전압 레일(예를 들어, 접지) 사이에 결합된 제2 분로 커패시터(C_{2B})를 포함한다.

[0037] [0052] 제4 임피던스 변환기(450)는 제2 중간 노드(n2)와 제3 신호 포트(P_3) 사이에 결합된다. 제4 임피던스 변환기(450)는 제2 중간 노드(n2)와 더 낮은 전압 레일(예를 들어, 접지) 사이에 결합된 제1 분로 커패시터(C_{2C}), 제2 중간 노드(n2)와 제3 신호 포트(P_3) 사이에 결합된 직렬 인덕터(L_{2B}), 및 제3 신호 포트(P_3)와 더 낮은 전압 레일(예를 들어, 접지) 사이에 결합된 제2 분로 커패시터(C_{2D})를 포함한다.

[0038] [0053] 신호 전력 분할기/결합기(400)가 전력 분할기로 사용되는 경우, 신호 전력 분할기/결합기(400)는 포트(P_1)에서 입력 신호(P_{in})를 수신하고, 포트(P_2 및 P_3)에서 각각 출력 신호들(P_{out1} 및 P_{out2})을 생성한다. 신호 전력 분할기/결합기(400)가 전력 결합기로 사용되는 경우, 신호 전력 분할기/결합기(400)는 포트들(P_2 및 P_3)에서 입력 신호들(P_{in1} 및 P_{in2})을 각각 수신하고, 포트(P_1)에서 출력 신호(P_{out})를 생성한다.

[0039] [0054] 포트들(P_1, P_2, 및 P_3) 각각이 특정 파장(λ) 또는 주파수에서 특성 임피던스(Zo)를 갖는 경우, 제1 및 제2 임피던스 변환기들(420 및 430)은 제1 및 제2 송신 라인들(312 및 314)과 각각 실질적으로 동일한 임피던스 변환을 수행하도록 구성될 수 있다. 이는 커패시터들(C_{1A}, C_{1B}, C_{1C}, 및 C_{1D}) 및 인덕터들(L_{1A} 및 L_{1B})의 커패시턴스와 인덕턴스를 각각 설정함으로써 달성될 수 있다. 예를 들어, 커패시터들(C_{1A}, C_{1B}, C_{1C}, 및 C_{1D})의 커패시턴스는 실질적으로 동일할 수 있고, 인덕터들(L_{1A} 및 L_{1B})의 인덕턴스는 실질적으로 동일할 수 있다.

[0040] [0055] 유사하게, 제3 및 제4 임피던스 변환기들(440 및 450)은 각각 제3 및 제4 송신 라인들(316 및 318)과 실질적으로 동일한 임피던스 변환을 수행하도록 구성될 수 있다. 이는 커패시터들(C_{2A}, C_{2B}, C_{2C}, 및 C_{2D}) 및 인덕터들(L_{2A} 및 L_{2B})의 커패시턴스와 인덕턴스를 각각 설정함으로써 달성될 수 있다. 예를 들어, 커패시터들(C_{2A}, C_{2B}, C_{2C}, 및 C_{2D})의 커패시턴스는 실질적으로 동일할 수 있고, 인덕터들(L_{2A} 및 L_{2B})의 인덕턴스는 실질적으로 동일할 수 있다.

[0041] [0056] 신호 전력 분할기/결합기(400)의 저항기들(R1 및 R2)은 각각 전력 분할기/결합기(300)의 저항기들(R1 및 R2)과 실질적으로 동일한 저항들을 갖도록 구현될 수 있다.

[0042] [0057] 도 5a-도 5c는 본 개시내용의 다른 양태에 따른 신호 전력 분할기/결합기(300 또는 400)와 연관된 예시적인 사양들 및 응답들의 그래프들을 예시한다. 그래프들의 치수들, 단위들, 축척들은 이전에 논의된 도 2a-도

2c에 묘사된 것들과 동일하다. 그래프들은 또한 각각 삽입 손실, 절연 및 반사 손실에 대해 동일한 사양 음영 지역들을 묘사한다.

[0043] [0058] 도 5a에 묘사된 삽입 손실에 대해서, 그래프는 포트(P_1)와 포트(P_2)(또는 P_1과 P_3) 사이의 dB 단위 삽입 손실이 주파수들(0 내지 15 GHz) 사이에서 여전히 -3 dB 및 -4 dB 내에 있음을 도시하고, 이는 삽입 손실에 대한 예시적인 사양을 충족한다. 그러나, 전력 분할기/결합기(100 또는 150)의 하나의 스테이지에 비해 전력 분할기/결합기(300 또는 400)는 2 개의 스테이지를 갖기 때문에, 전력 분할기/결합기(300 또는 400)는 전력 분할기/결합기(100 또는 150)와 연관된 롤오프(roll-off)와 비교하여 더 높은 주파수에서 롤오프를 갖는다. 예를 들어, 하나의 스테이지 전력 분할기/결합기(100 또는 150)에서, 롤오프는 14 GHz 부근에서 시작되는 반면, 2 개의 스테이지 전력 분할기/결합기(300 또는 400)에서, 롤오프는 15 GHz 부근에서 시작된다.

[0044] [0059] 도 5b에 묘사된 바와 같은 격리에 관하여, 그래프는 포트들(P_2 및 P_3)사이의 격리가 주파수들(7 내지 15 GHz) 사이에서 -17 dB보다 크고, 이것이 사양을 충족함을 도시한다. 따라서, 전력 분할기/결합기(300 또는 400)의 2 개의 스테이지들로 인해, 격리가 사양을 충족하는 대역폭 또는 주파수 범위는 2 개의 스테이지들이 관심 주파수 범위(예를 들어, 7-15 GHz) 내에 다른 격리 피크를 도입하기 때문에 넓어진다. 예를 들어, 격리는 9.5 GHz와 14 GHz에서 피크들을 갖는다.

[0045] [0060] 도 5c에 묘사된 바와 같은 반사 손실에 관해서, 그래프는 반사 손실이 관심 상부 주파수 범위(7-15 GHz) 내에서 더 넓다는 것을 도시한다. 그러나, 이 주파수 대역 내에서도, 반사 손실은 7-9.5 GHz 주파수들에 대한 사양을 충족하지 못한다. 관심 있는 더 낮은 주파수 범위(예를 들어, 0-1 GHz)와 관련하여, 반사 손실은 사양을 충족하지 못한다. 따라서, 2 개의 스테이지 신호 전력 분할기/결합기(300 또는 400)는 내부의 반사 손실을 주파수 확대하여 상부 주파수 대역의 반사 손실을 개선할 수 있다. 그러나, 신호 전력 분할기/결합기(300 또는 400)는 여전히 상부 주파수 대역의 일부 및 전체 하부 주파수 대역에 대한 사양을 충족시키기에는 부족하다.

[0046] [0061] 도 6은 본 개시내용의 다른 양태에 따른 다른 예시적인 신호 전력 분할기/결합기(600)의 개략도를 예시한다. 요약하면, 하부 주파수 대역(예를 들어, 0-1GHz) 및 상부 주파수 대역(예를 들어 7-15 GHz)의 하부 부분 내에서 반사 손실 사양을 개선하기 위해, 신호 전력 분할기/결합기(600)는 로딩 저항기(R0) 및 신호 포트(P_1)와 제1 및 제2 임피던스 변환기들(612 및 614) 사이에 직렬로 결합된 추가 임피던스 변환기(610)를 포함한다. 본원에서 더 상세히 논의된 바와 같이, 로딩 저항기(R0)는 더 낮은 주파수 대역 내의 반사 손실을 개선하여 그 주파수 대역 내의 사양을 충족한다. 추가 임피던스 변환기(610)는 상부 주파수 대역에 걸친 반사 손실이 사양을 충족하도록 상부 주파수 대역의 하부 부분 내의 반사 손실을 개선한다.

[0047] [0062] 특히, 신호 전력 분할기/결합기(600)는 제1 신호 포트(P_1), 로딩 저항기(R0), 직렬 송신 라인(610), 제1 및 제2 병렬 송신 라인들(612 및 614), 제1 저항기(R1), 제3 및 제4 병렬 송신 라인들(616 및 618), 제2 저항기(R2), 및 제2 및 제3 신호 포트들(P_2 및 P_3)을 포함한다. 로딩 저항기(R0)와 직렬 송신 라인(610)은 제1 신호 포트(P_1)와 제1 중간 노드(n1) 사이에 직렬로 결합된다. 제1 병렬 송신 라인(612)은 제1 중간 노드(n1)와 제2 중간 노드(n2) 사이에 결합된다. 제2 병렬 송신 라인(614)은 제1 중간 노드(n1)와 제3 중간 노드(n3) 사이에 결합된다. 제1 저항기(R1)는 제2 및 제3 중간 노드들(n2 및 n3) 사이에 결합된다. 제3 병렬 송신 라인(616)은 제2 중간 노드(n2)와 제2 신호 포트(P_2) 사이에 결합된다. 제4 병렬 송신 라인(618)은 제3 중간 노드(n3)와 제3 신호 포트(P_3) 사이에 결합된다. 제2 저항기(R2)는 제2 및 제3 신호 포트들(P_2 및 P_3) 사이에 결합된다.

[0048] [0063] 유사하게, 신호 전력 분할기/결합기(600)가 전력 분할기로 사용되는 경우, 신호 전력 분할기/결합기(600)는 포트(P_1)에서 입력 신호(P_{in})를 수신하고, 포트(P_2 및 P_3)에서 각각 출력 신호들(P_{out1} 및 P_{out2})을 생성한다. 신호 전력 분할기/결합기(600)가 전력 결합기로 사용되는 경우, 신호 전력 분할기/결합기(600)는 포트들(P_2 및 P_3)에서 입력 신호들(P_{in1} 및 P_{in2})을 각각 수신하고, 포트(P_1)에서 출력 신호(P_{out})를 생성한다. 저항기들(R0, R1, 및 R2)의 저항, 송신 라인들(610, 612/614, 및 616/618)의 임피던스들(Z_0, Z_1, 및 Z_2) 및 길이들(L_1, L_2, 및 L_3)은 관심 있는 하나 이상의 주파수 대역들에 걸친 삽입 손실, 격리 및 반사 손실이 도 2a-도 2c를 참조하여 설명된 것들과 같은 사양을 충족하도록 최적화될 수 있다.

[0049] [0064] 유사하게, 송신 라인들(610, 612, 614, 616 및 618)은 마이크로스트립, 스트립라인, 동일 평면 마이크

로스트립, 매달린 마이크로스트립 등으로서 구현될 수 있고, 여기서 송신 라인들(610, 612, 614, 616 및 618)은 유전체 또는 반도체 기판에 배치된 금속화 스트립으로 각각 구현된다. 저항기들(R0, R1 및 R2)은 또한 유전체 또는 반도체 기판 상에 배치된 티타늄 질화물(TiN)과 같은 적합한 치수의 박막 재료로서 구현될 수 있다.

[0050] [0065] 도 7은 본 개시내용의 다른 양태에 따른 다른 예시적인 신호 전력 분할기/결합기(700)의 개략도를 예시한다. 신호 전력 분할기/결합기(700)는 이전에 논의된 신호 전력 분할기/결합기(600)의 대안적인 개별 구성요소 구현일 수 있다.

[0051] [0066] 신호 전력 분할기/결합기(700)는 신호 포트(P_1), 로딩 저항기(R0), 직렬 임피던스 변환기(710), 제1 병렬 임피던스 변환기(720), 제2 병렬 임피던스 변환기(730), 제1 저항기(R1), 제3 병렬 임피던스 변환기(740), 제4 병렬 임피던스 변환기(750), 제2 저항기(R2), 제2 신호 포트(P_2) 및 제3 신호 포트(P_3)를 포함한다. 로딩 저항기(R0)와 직렬 임피던스 변환기(710)는 제1 신호 포트(P_1)와 제1 중간 노드(n1) 사이에 직렬로 결합된다. 직렬 임피던스 변환기(710)는 제1 포트(P_1)와 더 낮은 전압 레일(예를 들어, 접지) 사이에 결합된 제1 분로 커패시터(C_{0A}), 제1 포트(P_1)와 제1 중간 노드(n1) 사이에 결합된 직렬 인덕터(L_{0A}), 및 제2 제1 중간 노드(n1)와 더 낮은 전압 레일(예를 들어, 접지) 사이에 결합된 제2 분로 커패시터(C_{0B})를 포함한다.

[0052] [0067] 제1 병렬 임피던스 변환기(720)는 제1 중간 노드(n1)와 제2 중간 노드(n2) 사이에 결합된다. 제1 병렬 임피던스 변환기(720)는 제1 중간 노드(n1)와 더 낮은 전압 레일(예를 들어, 접지) 사이에 결합된 제1 분로 커패시터(C_{1A}), 제1 중간 노드(n1)와 제2 중간 노드(n2) 사이에 결합된 직렬 인덕터(L_{1A}), 및 제2 중간 노드(n2)와 더 낮은 전압 레일(예를 들어, 접지) 사이에 결합된 제2 분로 커패시터(C_{1B})를 포함한다.

[0053] [0068] 제2 병렬 임피던스 변환기(730)는 제1 중간 노드(n1)와 제3 중간 노드(n3) 사이에 결합된다. 제2 병렬 임피던스 변환기(730)는 제1 중간 노드(n1)와 더 낮은 전압 레일(예를 들어, 접지) 사이에 결합된 제1 분로 커패시터(C_{1c}), 제1 중간 노드(n1)와 제3 중간 노드(n3) 사이에 결합된 직렬 인덕터(L_{1B}), 및 제3 중간 노드(n3)와 더 낮은 전압 레일(예를 들어, 접지) 사이에 결합된 제2 분로 커패시터(C_{1B})를 포함한다. 제1 저항기(R1)는 제2 및 제3 중간 노드들(n2 및 n3) 사이에 결합된다.

[0054] [0069] 제3 병렬 임피던스 변환기(740)는 제2 중간 노드(n2)와 제2 포트(P_2) 사이에 결합된다. 제3 병렬 임피던스 변환기(740)는 제2 중간 노드(n2)와 더 낮은 전압 레일(예를 들어, 접지) 사이에 결합된 제1 분로 커패시터(C_{2A}), 제2 중간 노드(n2)와 제2 포트(P_2) 사이에 결합된 직렬 인덕터(L_{2A}), 및 제2 포트(P_2)와 더 낮은 전압 레일(예를 들어, 접지) 사이에 결합된 제2 분로 커패시터(C_{2B})를 포함한다.

[0055] [0070] 제4 병렬 임피던스 변환기(750)는 제3 중간 노드(n3)와 제3 포트(P_3) 사이에 결합된다. 제4 임피던스 변환기(750)는 제3 중간 노드(n3)와 더 낮은 전압 레일(예를 들어, 접지) 사이에 결합된 제1 분로 커패시터(C_{2C}), 제3 중간 노드(n3)와 제3 포트(P_3) 사이에 결합된 직렬 인덕터(L_{2B}), 및 제3 포트(P_3)와 더 낮은 전압 레일(예를 들어, 접지) 사이에 결합된 제2 분로 커패시터(C_{2D})를 포함한다.

[0056] [0071] 신호 전력 분할기/결합기(700)가 전력 분할기로 사용되는 경우, 신호 전력 분할기/결합기(700)는 포트(P_1)에서 입력 신호(P_{in})를 수신하고, 포트(P_2 및 P_3)에서 각각 출력 신호들(P_{out1} 및 P_{out2})을 생성한다. 신호 전력 분할기/결합기(700)가 전력 결합기로 사용되는 경우, 신호 전력 분할기/결합기(700)는 포트들(P_2 및 P_3)에서 입력 신호들(P_{in1} 및 P_{in2})을 각각 수신하고, 포트(P_1)에서 출력 신호(P_{out})를 생성한다.

[0057] [0072] 포트들(P_1, P_2, 및 P_3) 각각이 특정 파장(λ) 또는 주파수에서 특성 임피던스(Zo)를 갖는 경우, 로딩 저항기(R0) 및 직렬 임피던스 변환기(710)는 이전에 논의된 하부 주파수 대역(예를 들어, 0-1 GHz) 및 상부 주파수 대역(예를 들어, 7-15 GHz)의 일부와 같은 하나 이상의 원하는 주파수 대역들에서 신호 전력 분할기/결합기(700)의 반사 손실(및/또는 다른 특성(들))을 개선하도록 구성될 수 있다. 이는 로딩 저항기(R0)의 저항, 직렬 임피던스 변환기(710)의 커패시터들(C_{0A} 및 C_{0B}) 및 인덕터(L_{0A})의 커패시턴스 및 인덕턴스를 각각 설정함으로써 달성될 수 있다.

[0058] [0073] 신호 전력 분할기/결합기(600)와 유사하게, 제1 및 제2 병렬 임피던스 변환기들(720 및 730)은 각각 제

1 및 제2 병렬 송신 라인들(612 및 614)과 실질적으로 동일한 임피던스 변환을 수행하도록 구성될 수 있다. 이는 커패시터들(C_{1A}, C_{1B}, C_{1C}, 및 C_{1D}) 및 인덕터들(L_{1A} 및 L_{1B})의 커패시턴스와 인덕턴스를 각각 설정함으로써 달성될 수 있다. 유사하게, 제3 및 제4 병렬 임피던스 변환기들(740 및 750)은 각각 제3 및 제4 병렬 송신 라인들(616 및 618)과 실질적으로 동일한 임피던스 변환을 수행하도록 구성될 수 있다. 이는 커패시터들(C_{2A}, C_{2B}, C_{2C}, 및 C_{2D}) 및 인덕터들(L_{2A} 및 L_{2B})의 커패시턴스와 인덕턴스를 각각 설정함으로써 달성될 수 있다. 신호 분할기/결합기(700)의 저항기들(R1 및 R2)은 각각 전력 분할기/결합기(600)의 저항기들(R1 및 R2)과 실질적으로 동일한 저항들을 갖도록 구현될 수 있다.

[0059] [0074] 도 8은 본 개시내용의 다른 양태에 따른 신호 전력 분할기/결합기(300 또는 400)의 포트에서의 임피던스의 예시적인 스미스 차트를 예시한다. 더 낮은 주파수 대역(예를 들어, 0-1 GHz) 내와 같은 저주파수들에서, 임피던스 변환기들(312, 314, 316, 및 318 또는 420, 430, 440, 및 450)은 저주파 신호에 실질적으로 영향을 미치지 않는다. 이는 저주파수들에서 송신 라인들(312, 314, 316, 및 318)이 본질적으로 단락으로 기능하기 때문이다. 유사하게, 저주파수들에서, 임피던스 변환기들(420, 430, 440, 및 450)의 커패시터들은 본질적으로 개방들로 기능하고 인덕터들은 본질적으로 단락들로 기능한다.

[0060] [0075] 따라서, 포트(P_1)의 관점에서 볼 때, 신호 전력 분할기/결합기(300 또는 400)의 임피던스는 본질적으로 R2와 병렬인 R1이다. 예를 들어, R1이 1.87 · Zo이고 R2가 3.11 · Zo이면, 전력 분할기/결합기(300)에 의해 포트(P_1)에 제시되는 임피던스는 또한 Zo가 포트들(P_2 및 P_3)에 존재하는 것을 고려하여 0.7 · Zo이다. 따라서, 스미스 차트에 표시된 것처럼, 이러한 저주파수들에서의 임피던스는 실질적으로 스미스 차트에서 원으로 표시된 숫자 "1"로 표시된 바와 같이, Zo 보다 작은 저항이다. 이것이 저주파들에서 반사 손실이 나쁜 원인이다. 숫자 "2"로 표시된 정사각형 내에 표시된 지역은 상부 주파수 대역(예를 들어, 7-15 GHz) 같은 더 높은 주파수들에서 전력 분할기/결합기(300)에 의해 포트(P_1)에 제시되는 임피던스이고, 여기서 반사 손실은, 이전에 논의된 바와 같이, 더 좋지만 전체 상부 주파수 대역에 대해 사양을 충족할 수 없다.

[0061] [0076] 도 9는 본 개시내용의 다른 양태에 따른 신호 전력 분할기/결합기(600 또는 700)의 포트에서의 임피던스의 예시적인 스미스 차트를 예시한다. 전력 분할기/결합기(600 또는 700)에 로딩 저항기(R0)의 추가는 전력 분할기/결합기(600 또는 700)에 의해 포트(P_1)에 제시되는 저항을 증가시키는 효과를 갖는다. 따라서, 저주파 임피던스를 나타내는 원숫자 "3"으로 표시된 지역은 전력 분할기/결합기(300 또는 400)와 연관된 스미스 차트의 원숫자 "1" 지역보다 Zo에 더 가깝다. 따라서, 직렬 로딩 저항기(R0)의 추가는 더 낮은 주파수 대역 내에서 임피던스 매칭 또는 반사 손실을 개선한다.

[0062] [0077] 직렬 로딩 저항기(R0)의 추가는 더 낮은 주파수들에서 임피던스 매칭 또는 반사 손실을 개선할 뿐만 아니라, 상부 주파수 대역 내에서 임피던스 매칭에 부정적인 영향을 미칠 수 있다. 따라서, 로딩 저항기(R0)의 추가에 인한 상부 주파수 대역 내의 임피던스 매칭 또는 반사 손실에 대한 임의의 악영향을 보상하기 위해, 직렬 임피던스 변환기(610 또는 710)는 상부 주파수 대역의 임피던스 매칭 또는 반사 손실을 개선한다. 스미스 차트는 숫자 "4"로 표시된 정사각형 지역이 전력 분할기/결합기(300 또는 400)와 관련된 스미스 차트의 지역 "2"와 비교하여 대략 Zo 압축되어 있음을 예시한다. 따라서, 직렬 임피던스 변환기(610 또는 710)의 추가는 상부 주파수 대역 내에서 임피던스 매칭 또는 반사 손실을 개선한다.

[0063] [0078] 도 10a-도 10c는 본 개시내용의 다른 양태에 따른 신호 전력 분할기/결합기(600 또는 700)와 연관된 예시적인 사양들 및 응답들의 그래프들을 예시한다. 그래프들의 치수들, 단위들, 축척들은 이전에 논의된 도 2a-도 2c에 묘사된 것들과 동일하다. 그래프들은 또한 각각 삽입 손실, 절연 및 반사 손실에 대해 동일한 사양 음영 지역들을 묘사한다.

[0064] [0079] 도 10a에 묘사된 바와 같은 삽입 손실에 관련하여, 그래프는 포트(P_1)와 포트(P_2)(또는 P_1과 P_3) 사이의 삽입 손실(dB)이 전력 분할기/결합기(300 또는 400)의 대응 삽입 손실보다 약 1 dB 더 크지만, 여전히 주파수들(0 내지 15 GHz) 사이에서 -5 dB 사양보다 작다는 것을 도시한다. 따라서, 로딩 저항기(R0)와 직렬 임피던스 변환기(610 또는 710)의 추가는 삽입 손실에 미치는 영향들이 미미하다.

[0065] [0080] 도 10b에 묘사된 바와 같은 격리에 관하여, 그래프는 포트들(P_2 및 P_3)사이의 격리가 주파수들(7 내지 15 GHz) 사이에서 -15 dB보다 크고, 이것은 사양을 충족한다는 것을 도시한다. 따라서, 2 개의 스테이지 신호 전력 분할기/결합기(300 또는 400)에 로딩 저항기(R0) 및 직렬 임피던스 변환기(610 또는 710)의 추가는 상부

주파수 대역(예를 들어, 7-15 GHz) 내의 격리에 큰 영향을 미치지 않는다.

[0066] [0081] 도 10c에 묘사된 바와 같은 반사 손실에 관련하여, 그래프는 로딩 저항기(R0) 및 직렬 임피던스 변환기(610 또는 710)의 추가가 하부 및 상부 주파수 대역들(예를 들어, 0-1 GHz 및 7-15 GHz) 내에서 임피던스 매칭 또는 반사 손실을 크게 개선한다는 것을 도시한다. 따라서, 둘 모두의 대역들 내의 반사 손실은 -15 dB 미만의 사양을 충족한다.

[0067] [0082] 도 11은 본 개시내용의 다른 양태에 따른 예시적인 신호 전력 분할기/결합기(1100)의 레이아웃 다이어그램을 예시한다. 신호 전력 분할기/결합기(1100)는 신호 전력 분할기/결합기(700)의 예시적인 레이아웃 구현이다.

[0068] [0083] 신호 전력 분할기/결합기(1100)는 신호 포트(P_1), 로딩 저항기(1110), 및 제1 및 제2 분로 커패시터들(1112)와 직렬 인덕터(1114)를 포함하는 직렬 임피던스 변환기를 포함한다. 신호 전력 분할기/결합기(1100)는 분로 커패시터들(1116 및 1124) 및 직렬 인덕터(1118)를 포함하는 제1 병렬 임피던스 변환기를 더 포함한다. 분로 커패시터(1116)가 직렬 임피던스 변환기와 제1 병렬 임피던스 변환기 사이에서 공유된다는 것이 유의된다. 유사하게, 신호 전력 분할기/결합기(1100)는 분로 커패시터들(1116 및 1126) 및 직렬 인덕터(1120)를 포함하는 제2 병렬 임피던스 변환기를 더 포함한다. 또한, 분로 커패시터(1116)가 직렬 임피던스 변환기와 제2 병렬 임피던스 변환기 사이에서 공유된다는 것이 유의된다.

[0069] [0084] 신호 전력 분할기/결합기(1100)는 분로 커패시터들(1124 및 1136) 및 직렬 인덕터(1130)를 포함하는 제3 병렬 임피던스 변환기를 더 포함한다. 분로 커패시터(1124)가 제1 및 제3 병렬 임피던스 변환기 간에 공유된다는 것이 유의된다. 추가적으로, 유사하게, 신호 전력 분할기/결합기(1100)는 분로 커패시터들(1126 및 1138) 및 직렬 인덕터(1132)를 포함하는 제4 병렬 임피던스 변환기를 더 포함한다. 분로 커패시터(1126)가 제2 및 제4 병렬 임피던스 변환기들 간에 공유된다는 것이 유의된다. 신호 전력 분할기/결합기(1100)는 제1 및 제2 저항기들(1128 및 1134)과, 제2 및 제3 신호 포트들(P_2, 및 P_3)을 더 포함한다.

[0070] [0085] 로딩 저항기(1110)와 직렬 임피던스 변환기(1112/1114/1116)는 제1 포트(P_1)와 제1 중간 노드(n1) 사이에 직렬로 결합된다. 제1 병렬 임피던스 변환기(1116/1118/1124)는 제1 중간 노드(n1)와 제2 중간 노드(n2) 사이에 결합된다. 제2 병렬 임피던스 변환기(1116/1120/1126)는 제1 중간 노드(n1)와 제3 중간 노드(n3) 사이에 결합된다. 제1 저항기(1128)는 제2 및 제3 중간 노드들(n2 및 n3) 사이에 결합된다.

[0071] [0086] 제3 병렬 임피던스 변환기(1124/1130/1136)는 제2 중간 노드(n2)와 제2 포트(P_2) 사이에 결합된다. 제4 병렬 임피던스 변환기(1126/1132/1138)는 제3 중간 노드(n3)와 제3 포트(P_3) 사이에 결합된다. 제2 저항기(1134)는 제2 및 제3 포트들(P_2 및 P_3) 사이에 결합된다.

[0072] [0087] 앞서 언급된 바와 같이, 저항기들(1110, 1128, 및 1134)은 TiN과 같은 적절한 치수의 저항성 재료 시트들로 구현될 수 있다. 커패시터들(1112, 1116, 1124, 1126, 1136, 및 1138)은 MIM(Metal-Insulator-Metal) 커패시터들로 구현될 수 있다. 인덕터들(1114, 1118, 1120, 1130, 및 1132)은 하나 이상의 금속화 층들 상에 형성된 금속화 코일 스트립으로서 구현될 수 있다.

[0073] [0088] 신호 전력 분할기/결합기(1100)가 전력 분할기로 사용되는 경우, 신호 전력 분할기/결합기(1100)는 포트(P_1)에서 입력 신호(P_{in})를 수신하고, 포트(P_2 및 P_3)에서 각각 출력 신호들(P_{out1} 및 P_{out2})을 생성한다. 신호 전력 분할기/결합기(1100)가 전력 결합기로 사용되는 경우, 신호 전력 분할기/결합기(1100)는 포트들(P_2 및 P_3)에서 입력 신호들(P_{in1} 및 P_{in2})을 각각 수신하고, 포트(P_1)에서 출력 신호(P_{out})를 생성한다.

[0074] [0089] 도 12는 본 개시내용의 다른 양태에 따라 신호를 전력 분할하는 예시적인 방법(1200)의 흐름도를 예시한다. 방법(1200)은 제1 신호 포트에서 제1 신호를 수신하는 단계(블록(1210))를 포함한다. 제1 신호 포트에서 제1 신호를 수신하기 위한 수단의 예들은 본원에 설명된 신호 포트들(P_1, P_{11}, P_{21A} 및 P_{21B}) 중 임의의 것을 포함한다.

[0075] [0090] 방법(1200)은 제1 중간 노드에서 제2 신호를 생성하기 위해 제1 저항기 및 제1 임피던스 변환기를 통해 제1 신호를 전파하는 단계(블록(1220))를 더 포함한다. 제1 중간 노드에서 제2 신호를 생성하기 위해 제1 저항기 및 제1 변환기를 통해 제1 신호를 전파하기 위한 수단의 예들은 본원에 설명된 로딩 저항기들(R0 및 1110) 및 직렬 임피던스 변환기들(610, 710 및 1112/1114/1116) 중 임의의 것을 포함한다.

[0076] [0091] 방법(1200)은 또한 제1 중간 노드의 제2 신호를 분할하여 제3 및 제4 신호들을 생성하는 단계를 포함한다(블록(1230)). 제3 및 제4 신호들을 생성하기 위해 제1 중간 노드에서 제2 신호를 분할하기 위한 수단의 예들은 본원에 설명된 중간 노드(n1) 중 임의의 것을 포함한다.

[0077] [0092] 방법(1200)은 추가적으로 제2 임피던스 변환기를 통해 제2 신호 포트를 향해 제3 신호를 전파하는 단계(블록(1240))를 포함한다. 제2 임피던스 변환기를 통해 제2 신호 포트를 향해 제3 신호를 전파하기 위한 수단의 예들은 본원에 설명된 임피던스 변환기들(612, 720, 및 1116/1118/1124) 중 임의의 것을 포함한다.

[0078] [0093] 추가로, 방법(1200)은 제3 임피던스 변환기를 통해 제3 신호 포트를 향해 제4 신호를 전파하는 단계(블록(1250))를 포함한다. 제3 임피던스 변환기를 통해 제3 신호 포트를 향해 제4 신호를 전파하기 위한 수단의 예들은 본원에 설명된 임피던스 변환기들(614, 730, 및 1116/1120/1126) 중 임의의 것을 포함한다.

[0079] [0094] 또한, 방법(1200)은 제2 저항기를 통해 제2 신호 포트를 제3 신호 포트에 전기적으로 결합하는 단계를 포함한다(블록(1260)). 제2 저항기를 통해 제2 신호 포트를 제3 신호 포트에 전기적으로 결합하기 위한 수단의 예들은 제2 및 제3 포트들(P_2 및 P_3) 사이에 제2 저항기(R2 또는 1134)의 결합을 포함한다.

[0080] [0095] 방법(1200)은 제4 임피던스 변환기를 통해 제2 중간 노드로부터 제2 신호 포트로 제3 신호를 전파하는 단계 – 제2 임피던스 변환기는 제1 및 제2 중간 노드들 사이에 결합됨 –, 제5 임피던스 변환기를 통해 제3 중간 노드에서 제3 신호 포트로 제4 신호를 전파하는 단계 – 제3 임피던스 변환기는 제1 중간 노드와 제3 중간 노드 사이에 결합됨 –; 및 제3 저항기를 통해 제2 중간 노드를 제3 중간 노드에 전기적으로 결합하는 단계를 더 포함할 수 있다.

[0081] [0096] 제4 임피던스 변환기를 통해 제2 중간 노드로부터 제2 신호 포트로 제3 신호를 전파하기 위한 수단의 예들은 본원에 설명된 임피던스 변환기들(616, 740, 및 1124/1130/1136) 중 임의의 것을 포함한다. 제5 임피던스 변환기를 통해 제3 중간 노드로부터 제3 신호 포트로 제4 신호를 전파하기 위한 수단의 예들은 본원에 설명된 임피던스 변환기들(618, 750, 및 1126/1132/1138) 중 임의의 것을 포함한다. 제3 저항기를 통해 제2 중간 노드를 제3 중간 노드에 전기적으로 결합하기 위한 수단의 예들은 제2 및 제3 중간 노드들(n2 및 n3) 사이에 제1 저항기(R1 또는 1128)를 결합하는 것을 포함한다.

[0082] [0097] 추가적으로, 방법(1200)은 제2 신호 포트에서 제3 신호를 분할하여 제5 신호 및 제6 신호를 생성하는 단계를 포함할 수 있다. 제5 신호 및 제6 신호들을 생성하기 위해 제2 신호 포트에서 제3 신호를 분할하기 위한 수단의 예들은 본원에 설명된 전력 분할기들(1520 및 1530) 중 임의의 것을 포함한다. 게다가, 방법(1200)은 제1 신호 포트에서 제5 신호를 분할하여 제1 신호 및 제6 신호를 생성하는 단계를 포함할 수 있다. 제1 신호 및 제6 신호를 생성하기 위해 제1 신호 포트에서 제5 신호를 분할하기 위한 수단의 예들은 본원에 설명된 전력 분할기들(1520 및 1530) 중 임의의 것을 포함한다.

[0083] [0098] 도 13은 본 개시내용의 다른 양태에 따라 신호들을 전력 결합하는 예시적인 방법(1300)의 흐름도를 예시한다. 방법(1300)은 제1 신호 포트에서 제1 신호를 수신하는 단계를 포함한다(블록(1310)). 제1 신호 포트에서 제1 신호를 수신하기 위한 수단의 예들은 본원에 설명된 신호 포트들(P_2) 중 임의의 것을 포함한다. 방법(1300)은 제2 신호 포트에서 제2 신호를 수신하는 단계를 더 포함한다(블록(1320)). 제2 신호 포트에서 제2 신호를 수신하기 위한 수단의 예들은 본원에 설명된 신호 포트들(P_3) 중 임의의 것을 포함한다.

[0084] [0099] 추가로, 방법(1300)은 제1 저항기를 통해 제1 신호 포트를 제2 신호 포트에 전기적으로 결합하는 단계를 포함한다(블록(1330)). 제1 저항기를 통해 제1 신호 포트를 제2 신호 포트에 전기적으로 결합하기 위한 수단의 예들은 본원에 설명된 제2 및 제3 포트들(P_2 및 P_3) 사이에 제2 저항기(R2 또는 1134)를 결합하는 것을 포함한다.

[0085] [0100] 방법(1300)은 또한 제1 임피던스 변환기를 통해 제1 신호 포트로부터 제1 중간 노드로 제1 신호를 전파하는 단계를 포함한다(블록(1340)). 제1 임피던스 변환기를 통해 제1 신호 포트로부터 제1 중간 노드로 제1 신호를 전파하기 위한 수단의 예들은 본원에 설명된 임피던스 변환기들(612, 720, 및 1124/1118/1116) 중 임의의 것을 포함한다.

[0086] [0101] 추가로, 방법(1300)은 제2 임피던스 변환기를 통해 제2 신호 포트로부터 제1 중간 노드로 제2 신호를 전파하는 단계를 포함한다(블록(1350)). 제2 임피던스 변환기를 통해 제2 신호 포트로부터 제1 중간 노드로 제2 신호를 전파하기 위한 수단의 예들은 본원에 설명된 임피던스 변환기들(614, 730, 및 1126/1120/1116) 중 임

의의 것을 포함한다.

[0087] [0102] 방법(1300)은 또한 제1 중간 노드에서 제1 신호와 제2 신호를 결합하여 제3 신호를 생성하는 단계를 포함한다(블록(1360)). 제3 신호를 생성하기 위해 제1 중간 노드에서 제1 및 제2 신호를 결합하기 위한 수단의 예들은 본원에 설명된 중간 노드들(n1) 중 임의의 것을 포함한다.

[0088] [0103] 그리고 방법(1300)은 제3 임피던스 변환기 및 제2 저항기를 통해 제1 중간 노드로부터 제3 신호 포트로 제3 신호를 전파하는 단계를 포함한다(블록(1370)). 제3 임피던스 변환기 및 제2 저항기를 통해 제1 중간 노드로부터 제3 신호 포트로 제3 신호를 전파하기 위한 수단의 예들은 본원에 설명된 직렬 임피던스 변환기들(610, 710, 및 1116/1114/1112), 및 로딩 저항기들(R0 및 1110) 중 임의의 것을 포함한다.

[0089] [0104] 방법(1300)은 제4 임피던스 변환기를 통해 제2 신호 포트로부터 제2 중간 노드로 제3 신호를 전파하는 단계 – 제1 임피던스 변환기는 제1 중간 노드와 제2 중간 노드 사이에 결합됨 –; 제5 임피던스 변환기를 통해 제4 신호를 제3 신호 포트로부터 제3 중간 노드로 전파하는 단계 – 제2 임피던스 변환기는 제1 및 제3 중간 노드들 사이에 결합됨 –; 및 제3 저항기를 통해 제2 중간 노드를 제3 중간 노드에 전기적으로 결합하는 단계를 더 포함할 수 있다.

[0090] [0105] 제4 임피던스 변환기를 통해 제2 신호 포트로부터 제2 중간 노드로 제3 신호를 전파하기 위한 수단의 예들은 본원에 설명된 임피던스 변환기들(616, 740, 및 1136/1130/1124) 중 임의의 것을 포함한다. 제5 임피던스 변환기를 통해 제3 신호 포트로부터 제3 중간 노드로 제4 신호를 전파하는 예들은 본원에 설명된 임피던스 변환기들(618, 750, 및 1138/1132/1126) 중 임의의 것을 포함한다. 그리고 제3 저항기를 통해 제2 중간 노드를 제3 중간 노드에 전기적으로 결합하기 위한 수단의 예들은 제2 및 제3 중간 노드들(n2 및 n3) 사이에 제1 저항기(R1 또는 1128)를 결합하는 것을 포함한다.

[0091] [0106] 추가적으로, 방법(1300)은 제3 신호를 제3 신호 포트에서 제4 신호와 결합하여 제5 신호를 생성하는 단계를 포함할 수 있다. 제5 신호를 생성하기 위해 제3 신호 포트에서 제3 신호를 제4 신호와 결합하기 위한 수단은 본원에 설명된 전력 분할기들(1520 및 1530) 중 임의의 것을 포함한다. 게다가, 방법(1300)은 제1 신호를 생성하기 위해 제1 신호 포트에서 제4 신호와 제5 신호를 결합하는 단계를 포함할 수 있다. 제1 신호를 생성하기 위해 제1 신호 포트에서 제4 및 제5 신호를 결합하기 위한 수단의 예들은 본원에 추가로 설명되는 전력 분할기들(1520 및 1530) 중 임의의 것을 포함한다.

[0092] [0107] 도 14는 본 개시내용의 다른 양태에 따른 예시적인 무선 통신 디바이스(1400)의 블록도를 예시한다. 무선 통신 디바이스(1400)는 스마트폰, 태블릿 디바이스, 랩톱 컴퓨터, 데스크톱 컴퓨터, 웨어러블 디바이스들(예를 들어, 스마트 워치, 활동 모니터링 디바이스, 건강 모니터링 디바이스 등), 사물 인터넷(IoT) 디바이스 등으로 구현될 수 있다.

[0093] [0108] 무선 통신 디바이스(1400)는 적어도 하나의 안테나(1410)(예를 들어, 안테나 세트 또는 하나 이상의 위상 어레이 안테나 등), 트랜시버 체인 세트(1420), 신호 전력 결합기(1440), 신호 전력 분할기(1450), 및 신호 프로세싱 회로(1460)를 포함한다. 트랜시버 체인 세트(1420) 각각은 적어도 하나의 안테나(1410)로 및 이로부터 신호들을 라우팅하도록 구성된 신호 라우팅 회로(1422), 저잡음 증폭기(LNA)(1424), 위상 시프터(1426), 하향 변환 믹서(1428)(이는 국부 발진기(LO) 신호를 수신함), 및 중간 주파수(IF) 또는 기저대역(BB) 필터(1430)를 포함할 수 있다. 이들 디바이스들은 적어도 하나의 안테나(1410)를 통해 수신된 RF 신호를 수신된 IF 또는 BB 신호로 변환하도록 집합적으로 구성된다.

[0094] [0109] 신호 전력 결합기(1440)는 트랜시버 체인들의 세트(1420)의 출력들에 각각 결합된 입력을 포함한다. 예를 들어, 신호 전력 결합기(1140)의 입력들은 트랜시버 체인들의 세트(1420)의 대응 수신 IF 또는 BB 필터들(1430)의 출력들에 각각 결합될 수 있다. 신호 전력 결합기(1140)의 입력들은 트랜시버 체인들의 세트(1420)로부터 IF 또는 BB 신호들을 수신하도록 구성된다. 이전 예들을 고려하면, 트랜시버 체인들의 세트(1420) 중 하나는 상부 주파수 대역(예를 들어, 7-15 GHz) 내에서 IF 신호를 생성하도록 구성될 수 있고, 트랜시버 체인들의 세트(1420) 중 다른 하나는 더 낮은 주파수 대역(예를 들어, 0-1 GHz) 내의 IF 신호를 생성하도록 구성될 수 있다.

[0095] [0110] 신호 전력 결합기(1440)는 수신된 IF 또는 BB 신호들을 결합하여 출력에서 결합된 수신 IF 또는 BB 신호를 생성하도록 구성된다. 신호 전력 결합기(1440)는 본원에 설명된 신호 전력 결합기들 중 임의의 것에 따라 구현될 수 있다. 신호 전력 결합기(1440)의 출력은 신호 프로세싱 회로(1460)의 입력에 결합된다. 신호 프로세싱 회로(1460)는 결합된 수신 IF 또는 BB 신호를 프로세싱하여 그로부터 데이터를 복구하도록 구성된다.

[0096] [0111] 신호 프로세싱 회로(1460)는 데이터를 포함하는 결합된 송신 IF 또는 BB 신호를 생성하도록 구성된다. 신호 프로세싱 회로(1460)는 결합된 송신 IF 또는 BB 신호가 생성되고, 신호 전력 분할기(1450)의 입력에 결합되는 출력을 포함한다. 신호 전력 분할기(1450)는 결합된 송신 IF 또는 BB 신호를 전력 분할하여 송신 IF 또는 BB 신호들의 세트를 생성하도록 구성된다. 신호 전력 분할기(1450)는 본원에 설명된 신호 전력 분할기들 중 임의의 것에 따라 구현될 수 있다. 신호 전력 분할기(1450)는 송신 IF 또는 BB 신호들의 세트가 생성되고, 트랜시버 체인들의 세트(1420)의 입력들에 각각 결합되는 출력들의 세트를 포함한다.

[0097] [0112] 트랜시버 체인들의 세트(1420) 각각은 (LO 신호를 수신하는) 상향 변환 믹서(1432), 무선 주파수(RF) 필터(1434), 위상 시프터(1436), 및 하나 이상의 증폭기들의 세트(1438)(예를 들어, 프리앰프, 전력 증폭기(PA) 등)를 더 포함할 수 있다. 이들 디바이스들은 신호 전력 분할기(1450)로부터 수신된 송신 IF 또는 BB 신호를 변환하여 무선 송신을 위해 신호 라우팅 회로(1422)를 통해 적어도 하나의 안테나(1410)에 제공되는 송신 RF 신호를 생성하도록 집합적으로 구성된다. 신호 전력 분할기(1450)에 의해 생성된 송신 IF 또는 BB 신호들의 세트는 트랜시버 체인들의 세트(1420)의 대응하는 상향 변환 믹서들(1432)에 각각 제공된다.

[0098] [0113] 도 15는 본 개시내용의 다른 양태에 따른 다른 예시적인 신호 전력 분할기/결합기(1500)의 블록도를 예시한다. 전력 분할기/결합기(1500)는 계층적 신호 전력 분할기/결합기들의 세트를 포함할 수 있고, 각각의 전력 분할기/결합기는 이전에 논의된 신호 전력 분할기/결합기 중 임의의 것마다 구성될 수 있다.

[0099] [0114] 특히, 신호 전력 분할기/결합기(1500)는 신호 포트들(P_{11}, P_{12}, 및 P_{13})을 포함하는 제1 계층 레벨 신호 전력 분할기/결합기(1510)를 포함한다. 제1 계층 레벨 신호 전력 분할기/결합기(1510)는 이전에 설명한 신호 전력 분할기/결합기들(600, 700, 및 1100) 중 임의의 것에 따라 구현될 수 있고, 여기서 신호 포트들(P_{11}, P_{12}, 및 P_{13})은 각각 신호 전력 분할기/결합기(600, 700 및 1100)의 신호 포트들(P_1, P_2, 및 P_3)에 대응한다.

[0100] [0115] 신호 전력 분할기/결합기(1500)는 신호 포트들(P_{21A}, P_{22A} 및 P_{23A})을 포함하는 제1의 제2 계층 레벨 신호 전력 분할기/결합기(1520)를 포함한다. 제1의 제2 계층 레벨 신호 전력 분할기/결합기(1520)는 이전에 설명한 신호 전력 분할기/결합기들(600, 700, 및 1100) 중 임의의 것에 따라 구현될 수 있고, 여기서 신호 포트들(P_{21A}, P_{22A}, 및 P_{23A})은 각각 신호 전력 분할기/결합기(600, 700 및 1100)의 신호 포트들(P_1, P_2, 및 P_3)에 대응한다.

[0101] [0116] 신호 전력 분할기/결합기(1500)는 신호 포트들(P_{21B}, P_{22B} 및 P_{23B})을 포함하는 제2의 제2 계층 레벨 신호 전력 분할기/결합기(1530)를 포함한다. 제2의 제2 계층 레벨 신호 전력 분할기/결합기(1530)는 이전에 논의된 신호 전력 분할기/결합기들(600, 700, 및 1100) 중 임의의 것에 따라 구현될 수 있고, 여기서 신호 포트들(P_{21B}, P_{22B} 및 P_{23B})은 각각 신호 전력 분할기/결합기들(600, 700, 및 1100)의 신호 포트들(P_1, P_2, 및 P_3)에 대응한다.

[0102] [0117] 신호 전력 분할기/결합기(1500)가 전력 분할기로 사용되는 경우, 신호 전력 분할기(1500)는 포트(P_{11})에서 입력 신호(P_{in})을 수신하고, 제1 계층 레벨 분할기(1510)는 입력 신호(P_{in})를 전력 분할하여 포트들(P_{12} 및 P_{13})에서 각각 제1 계층 레벨 출력 신호들(P_{out11} 및 P_{out12})을 생성한다 제1의 제2 계층 레벨 신호 전력 분할기(1520)는 포트(P_{21A})에서 제1 계층 레벨 출력 신호(P_{out11})를 수신하고, 신호(P_{out11})을 전력 분할하여 포트들(P_{22A} 및 P_{23B})에서 각각 제2 계층 레벨 출력 신호들(P_{out21} 및 P_{out22})을 생성한다. 제2의 제2 계층 레벨 신호 전력 분할기(1530)는 포트(P_{21B})에서 제2 계층 레벨 출력 신호(P_{out12})를 수신하고, 신호(P_{out12})을 전력 분할하여 포트들(P_{22B} 및 P_{23B})에서 각각 제2 계층 레벨 출력 신호들(P_{out23} 및 P_{out24})을 생성한다. 신호 전력 분할기들의 계층 레벨들은 2 개 초과가 있을 수 있음이 이해되어야 한다.

[0103] [0118] 신호 전력 분할기/결합기(1500)가 전력 결합기로 사용되는 경우, 신호 전력 분할기(1500)는 포트들(P_{22A}, P_{23A}, P_{22B} 및 P_{23B})에서 입력 신호들(P_{in1}, P_{in2}, P_{in3} 및 P_{in4})을 각각 수신한다. 제1의 제2 계층 레벨 신호 전력 결합기(1520)는 입력 신호들(P_{in1} 및 P_{in2})을 전력 결합하여 포트(P_{21A})에서 제1, 제1 계층 레벨 입력 신호(P_{in11})를 생성한다. 유사하게, 제2의 제2 계층 레벨 신호 전력 결합기(1530)는 입력 신호들(P_{in3} 및 P_{in4})을 전력 결합하여 포트(P_{21B})에서 제2, 제1 계층 레벨 입력 신호(P_{in12})를 생성한다. 제1 계층 레벨 신호 전력 결합기(1510)는 포트들(P_{12} 및 P_{13})에서 각각 제1 계층 레벨 입력 신호들(P_{in11} 및 P_{in12})을 수신하고, 신호들(P_{in11} 및 P_{in12})을 전력 결합하여 포트(P_{11})에서 출력 신호(P_{out})를 생성한다. 신호 전력 결합기들의 계층 레벨들은 2 개

초과가 있을 수 있음이 이해되어야 한다.

[0104] [0119] 도 15에 도시된 예는 1:4 전력 분할기 또는 4:1 전력 결합기이다. 최대 신호 전력 분할 또는 결합은 2^n이고, 여기서 n은 계층 레벨들의 수이다. 예를 들어, 이 예에서, n=2이다. 따라서, 신호 분할 또는 결합의 최대 개수는 2^2 개 또는 4 개이다. 최대 2^n 개의 신호 분할 또는 결합 이외의 홀수 또는 짝수는 최고 계층 레벨에서 하나 이상의 전력 분할기/결합기들을 제거함으로써 달성될 수 있다. 예를 들어, 1:3 전력 분할기 또는 3:1 전력 결합기는 전력 분할기/결합기(1530)를 제거함으로써 전력 분할기/결합기(1500)로 달성될 수 있다. 다른 예는 3 개 계층 수준(n=3)이고, 가장 높은 계층 레벨은 최대 8 개가 아닌 6 개의 전력 분할기/결합기를 갖는다.

[0105] [0120] 다음은 본 개시내용의 양태들의 개요를 제공한다:

[0106] [0121] 양태 1: 장치로서, 제1 신호 포트; 제1 저항기; 제1 신호 포트와 제1 중간 노드 사이에서 제1 저항기와 직렬로 결합된 제1 임피던스 변환기; 제1 중간 노드와 제2 신호 포트 사이에 결합된 제2 임피던스 변환기; 제1 중간 노드와 제3 신호 포트 사이에 결합된 제3 임피던스 변환기; 및 제2 신호 포트와 제3 신호 포트 사이에 결합된 제2 저항기를 포함한다.

[0107] [0122] 양태 2: 양태 1에 있어서, 제1 임피던스 변환기는 제1 임피던스 및 제1 길이를 갖는 제1 송신 라인을 포함한다.

[0108] [0123] 양태 3: 양태 1 또는 양태 2에 있어서, 제2 임피던스 변환기는 제2 임피던스 및 제2 길이를 갖는 제2 송신 라인을 포함한다.

[0109] [0124] 양태 4: 양태 1 내지 양태 3 중 어느 한 양태에 있어서, 제3 임피던스 변환기는 제3 임피던스 및 제3 길이를 갖는 제3 송신 라인을 포함한다.

[0110] [0125] 양태 5: 양태 4에 있어서, 제2 임피던스는 제3 임피던스와 실질적으로 동일하고, 제2 길이는 제3 길이와 실질적으로 동일하다.

[0111] [0126] 양태 6: 양태 1 내지 양태 5 중 어느 한 양태에 있어서, 제1 임피던스 변환기는 제1 분로 커패시터, 제1 직렬 인덕터, 및 제2 분로 커패시터를 포함하고, 제1 및 제2 분로 커패시터들은 각각 제1 직렬 인덕터의 양단들에 결합된다.

[0112] [0127] 양태 7: 양태 1 내지 양태 6 중 어느 한 양태에 있어서, 제2 임피던스 변환기는 제3 분로 커패시터, 제2 직렬 인덕터, 및 제4 분로 커패시터를 포함하고, 제3 및 제4 분로 커패시터들은 각각 제2 직렬 인덕터의 양단들에 결합된다.

[0113] [0128] 양태 8: 양태 1 내지 양태 7 중 어느 한 양태에 있어서, 제3 임피던스 변환기는 제5 분로 커패시터, 제3 직렬 인덕터, 및 제6 분로 커패시터를 포함하고, 제5 및 제6 분로 커패시터들은 각각 제3 직렬 인덕터의 양단들에 결합된다.

[0114] [0129] 양태 9: 제9 양태에 있어서, 제3, 제4, 제5, 및 제6 분로 커패시터들은 실질적으로 동일한 커패시턴스를 갖고, 제2 및 제3 직렬 인덕터들은 실질적으로 동일한 인덕턴스를 갖는다.

[0115] [0130] 양태 10: 양태 6 내지 양태 9 중 어느 한 양태에 있어서, 제2 임피던스 변환기는 제2 직렬 인덕터 및 제3 분로 커패시터를 포함하고, 제2 분로 커패시터는 제1 및 제2 임피던스 변환기들 간에 공유되고, 제2 및 제3 분로 커패시터들은 각각 제2 직렬 인덕터의 양단들에 결합된다.

[0116] [0131] 양태 11: 양태 10에 있어서, 제3 임피던스 변환기는 제3 직렬 인덕터와 제4 분로 커패시터를 포함하고, 제2 분로 커패시터는 제1, 제2 및 제3 임피던스 변환기들 간에 공유되고, 제2 및 제4 분로 커패시터들은 각각 제3 직렬 인덕터의 양단들에 결합된다.

[0117] [0132] 양태 12: 양태 1 내지 양태 11 중 어느 한 양태에 있어서, 제2 중간 노드와 제2 신호 포트 사이에 결합된 제4 임피던스 변환기 – 제2 임피던스 변환기는 제1 중간 노드와 제2 중간 노드 사이에 결합됨 –; 제3 중간 노드와 제3 신호 포트 사이에 결합된 제5 임피던스 변환기 – 제3 임피던스 변환기는 제1 중간 노드와 제3 중간 노드 사이에 결합됨 –; 및 제2 중간 노드와 제3 중간 노드 사이에 결합된 제3 저항기를 더 포함한다.

[0118] [0133] 양태 13: 양태 12에 있어서, 제4 임피던스 변환기는 제1 임피던스 및 제1 길이를 갖는 제1 송신 라인을 포함하고, 제5 임피던스 변환기는 제2 임피던스 및 제2 길이를 갖는 제2 송신 라인을 포함하고, 제1 임피던스는

실질적으로 제2 임피던스와 동일하고, 제1 길이는 실질적으로 제2 길이와 동일하다.

[0119] [0134] 양태 14: 양태 12에 있어서, 제4 임피던스 변환기는 제1 분로 커패시터, 제1 직렬 인덕터, 및 제2 분로 커패시터를 포함하고, 제1 및 제2 분로 커패시터들은 각각 제1 직렬 인덕터의 양단들에 결합되고; 제5 임피던스 변환기는 제3 분로 캐패시터, 제2 직렬 인덕터, 제4 분로 커패시터를 포함하고, 제3 및 제4 분로 커패시터들은 각각 제2 직렬 인덕터의 양단들에 결합되고; 그리고 제1, 제2, 제3, 및 제4 분로 커패시터들은 실질적으로 동일한 커패시턴스를 갖고, 제1 및 제2 직렬 인덕터들은 실질적으로 동일한 인덕턴스를 갖는다.

[0120] [0135] 양태 15: 방법으로서, 제1 신호 포트에서 제1 신호를 수신하는 단계; 제1 중간 노드에서 제2 신호를 생성하기 위해 제1 저항기 및 제1 임피던스 변환기를 통해 제1 신호를 전파하는 단계; 제1 중간 노드의 제2 신호를 분할하여 제3 및 제4 신호를 생성하는 단계; 제2 임피던스 변환기를 통해 제2 신호 포트를 향해 제3 신호를 전파하는 단계; 제3 임피던스 변환기를 통해 제3 신호 포트를 향해 제4 신호를 전파하는 단계; 및 제2 저항기를 통해 제2 신호 포트를 제3 신호 포트에 전기적으로 결합하는 단계를 포함한다.

[0121] [0136] 양태 16: 양태 15에 있어서, 제1, 제2, 및 제3 임피던스 변환기들 각각은 송신 라인을 포함한다.

[0122] [0137] 양태 17: 양태 15에 있어서, 제1, 제2, 및 제3 임피던스 변환기들은 각각 제1 분로 커패시터, 직렬 인덕터, 및 제2 분로 커패시터를 포함하고, 제1 및 제2 분로 커패시터들은 각각 직렬 인덕터의 양단들에 결합된다.

[0123] [0138] 양태 18: 양태 15 내지 양태 17 중 어느 한 양태에 있어서, 제4 임피던스 변환기를 통해 제2 중간 노드로부터 제2 신호 포트로 제3 신호를 전파하는 단계 - 제2 임피던스 변환기는 제1 및 제2 중간 노드들 사이에 결합됨 -; 제5 임피던스 변환기를 통해 제3 중간 노드에서 제3 신호 포트로 제4 신호를 전파하는 단계 - 제3 임피던스 변환기는 제1 중간 노드와 제3 중간 노드 사이에 결합됨 -; 및 제3 저항기를 통해 제2 중간 노드를 제3 중간 노드에 전기적으로 결합하는 단계를 더 포함한다.

[0124] [0139] 양태 19: 양태 15 내지 양태 18 중 어느 한 양태에 있어서, 제2 신호 포트에서 제3 신호를 분할하여 제5 신호 및 제6 신호를 생성하는 단계를 더 포함한다.

[0125] [0140] 양태 20: 양태 15 내지 양태 19 중 어느 한 양태에 있어서, 제5 신호를 분할하여 제1 신호 및 제6 신호를 생성하는 단계를 더 포함한다.

[0126] [0141] 양태 21: 방법으로서, 제1 신호 포트에서 제1 신호를 수신하는 단계; 제2 신호 포트에서 제2 신호를 수신하는 단계; 제1 저항기를 통해 제1 신호 포트를 제2 신호 포트에 전기적으로 결합하는 단계; 제1 임피던스 변환기를 통해 제1 신호 포트로부터 제1 중간 노드로 제1 신호를 전파하는 단계; 제2 임피던스 변환기를 통해 제2 신호 포트로부터 제1 중간 노드로 제2 신호를 전파하는 단계; 제1 중간 노드에서 제1 신호와 제2 신호를 결합하여 제3 신호를 생성하는 단계; 및 제3 임피던스 변환기 및 제2 저항기를 통해 제1 중간 노드로부터 제3 신호 포트로 제3 신호를 전파하는 단계를 포함한다.

[0127] [0142] 양태 22: 양태 21에 있어서, 제1, 제2, 및 제3 임피던스 변환기들 각각은 송신 라인을 포함한다.

[0128] [0143] 양태 23: 양태 21에 있어서, 제1, 제2, 및 제3 임피던스 변환기들은 각각 제1 분로 커패시터, 직렬 인덕터, 및 제2 분로 커패시터를 포함하고, 제1 및 제2 분로 커패시터들은 각각 직렬 인덕터의 양단들에 결합된다.

[0129] [0144] 양태 24: 양태 21 내지 양태 23 중 어느 한 양태에 있어서, 제4 임피던스 변환기를 통해 제1 신호 포트로부터 제2 중간 노드로 제1 신호를 전파하는 단계 - 제1 임피던스 변환기는 제1 중간 노드와 제2 중간 노드 사이에 결합됨 -; 제5 임피던스 변환기를 통해 제2 신호 포트로부터 제3 중간 노드로 제2 신호를 전파하는 단계 - 제2 임피던스 변환기는 제1 및 제3 중간 노드들 사이에 결합됨 -; 및 제3 저항기를 통해 제2 중간 노드를 제3 중간 노드에 전기적으로 결합하는 단계를 더 포함한다.

[0130] [0145] 양태 25: 양태 21 내지 양태 24 중 어느 한 양태에 있어서, 제3 신호를 제4 신호와 결합하여 제5 신호를 생성하는 단계를 더 포함한다.

[0131] [0146] 양태 26: 양태 21 내지 양태 25 중 어느 한 양태에 있어서, 제4 신호와 제5 신호를 결합하여 제1 신호를 생성하는 단계를 더 포함한다.

[0132] [0147] 양태 27: 무선 통신 디바이스로서, 적어도 하나의 안테나; 적어도 하나의 안테나에 결합된 트랜시버 체인의 세트; 및 트랜시버 체인의 세트에 결합된 신호 전력 분할기 또는 결합기를 포함하고, 신호 전력 분할기 또

는 결합기는: 제1 신호 포트; 제1 저항기; 제1 신호 포트와 제1 중간 노드 사이에서 제1 저항기와 직렬로 결합된 제1 임피던스 변환기; 제1 중간 노드와 제2 신호 포트 사이에 결합된 제2 임피던스 변환기; 제1 중간 노드와 제3 신호 포트 사이에 결합된 제3 임피던스 변환기; 및 제2 신호 포트와 제3 신호 포트 사이에 결합된 제2 저항기를 포함한다.

[0133] [0148] 양태 28: 양태 27에 있어서, 제1 신호 포트는 신호 프로세싱 회로의 입력에 결합되고, 제2 및 제3 포트들은 트랜시버 체인들의 세트의 입력들에 각각 결합된다.

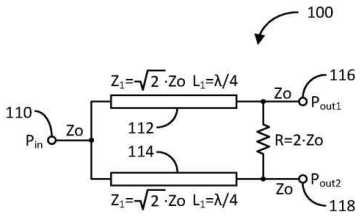
[0134] [0149] 양태 29: 양태 27에 있어서, 제2 및 제3 신호 포트들은 각각 트랜시버 체인들의 세트의 출력들에 결합되고, 제1 신호 포트는 신호 프로세싱 회로의 입력에 결합된다.

[0135] [0150] 양태 30: 양태 27 내지 양태 29 중 어느 한 양태에 있어서, 신호 전력 분할기 또는 결합기는: 제2 중간 노드와 제2 신호 포트 사이에 결합된 제4 임피던스 변환기 — 제2 임피던스 변환기는 제1 중간 노드와 제2 중간 노드 사이에 결합됨 —; 제3 중간 노드와 제3 신호 포트 사이에 결합된 제5 임피던스 변환기 — 제3 임피던스 변환기는 제1 중간 노드와 제3 중간 노드 사이에 결합됨 —; 및 제2 중간 노드와 제3 중간 노드 사이에 결합된 제3 저항기를 더 포함한다.

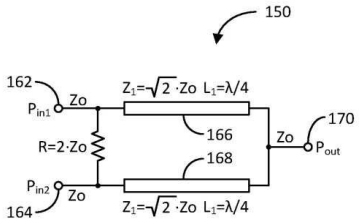
[0136] [0151] 본 개시내용의 이전 설명은 통상의 기술자가 본 개시내용을 만들거나 사용할 수 있도록 제공된다. 본 개시내용에 대한 다양한 수정들은 당업자에게 쉽게 명백할 것이며, 본원에 정의된 일반적인 원리들은 본 개시내용의 사상 또는 범위를 벗어나지 않고 다른 변형들에 적용될 수 있다. 따라서, 본 개시내용은 본원에 설명된 예들로 제한되도록 의도되지 않고, 본원에 개시된 원리들 및 신규 특징들과 일치하는 가장 넓은 범위에 부여되어야 한다.

도면

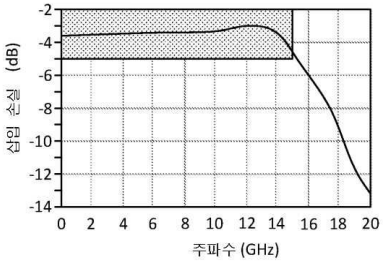
도면1a



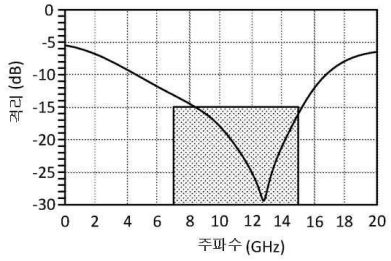
도면1b



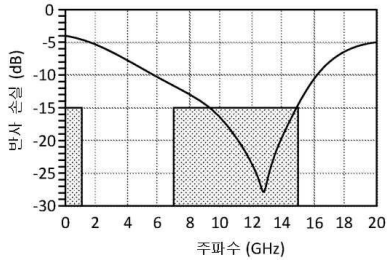
도면2a



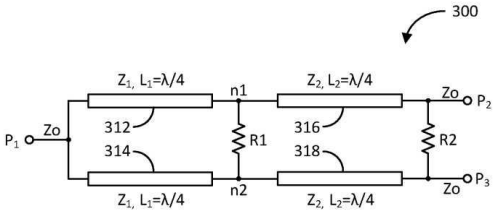
도면2b



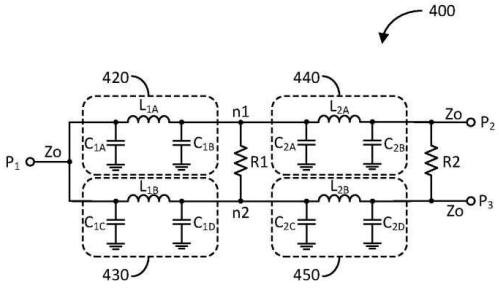
도면2c



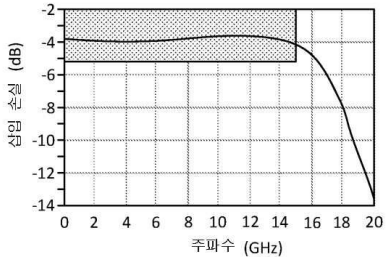
도면3



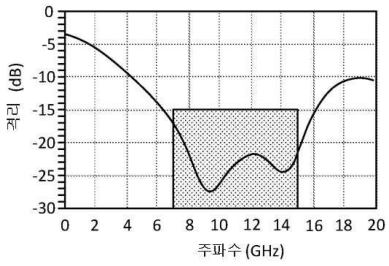
도면4



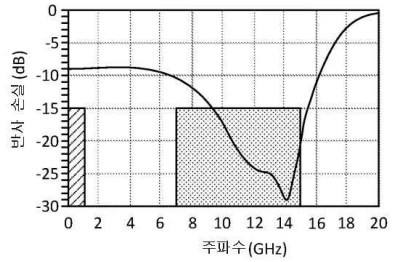
도면5a



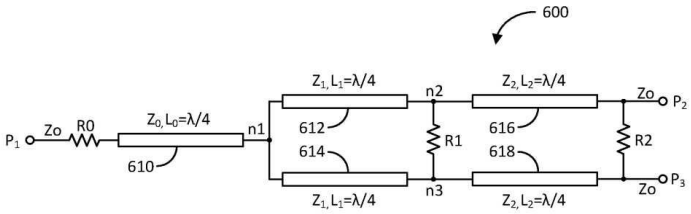
도면5b



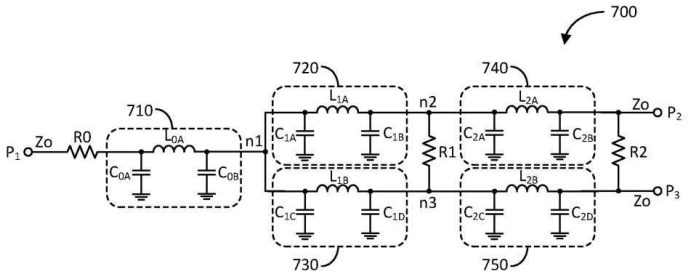
도면5c



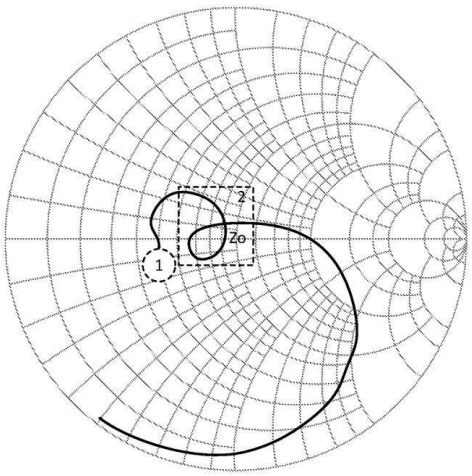
도면6



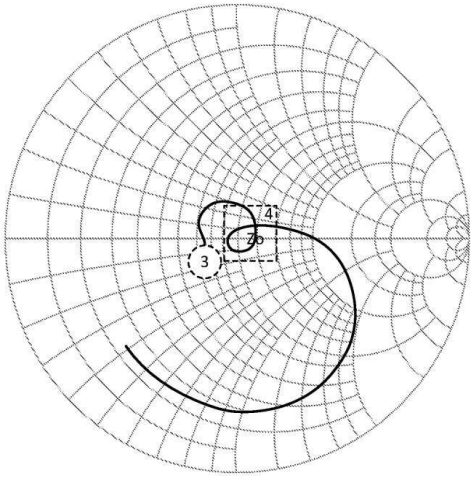
도면7



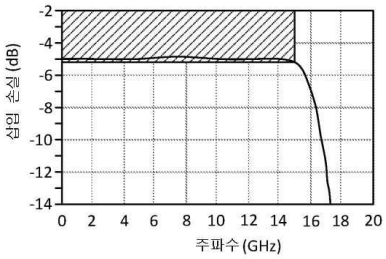
도면8



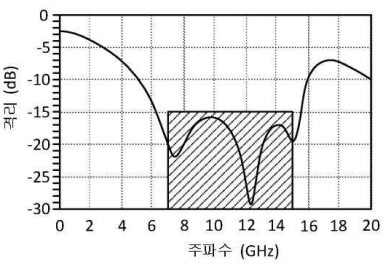
도면9



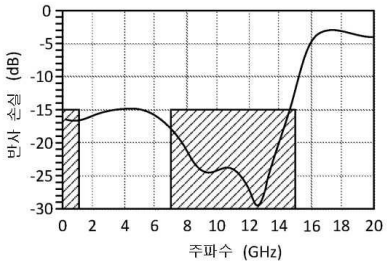
도면10a



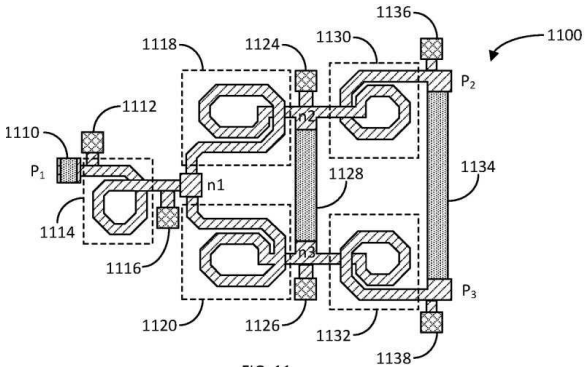
도면10b



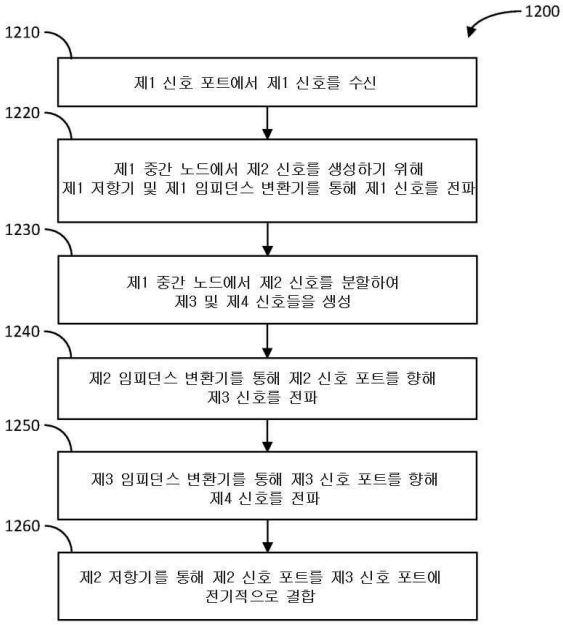
도면10c



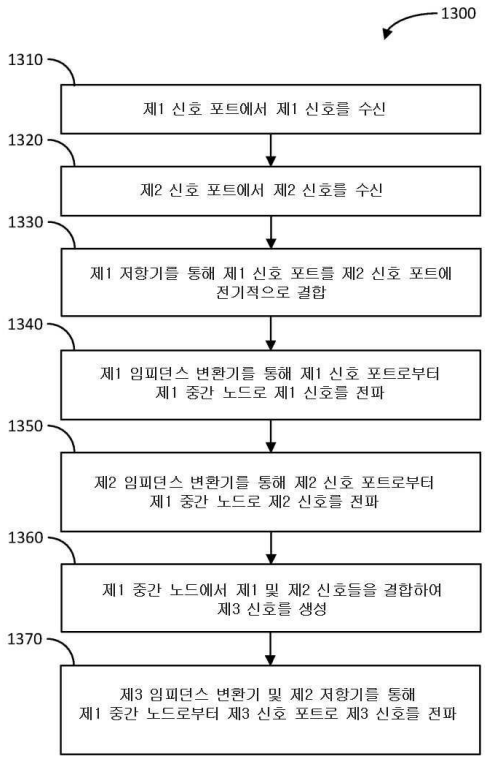
도면11



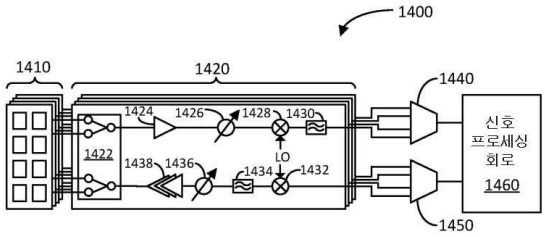
도면12



도면13



도면14



도면15

