

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-20863

(P2010-20863A)

(43) 公開日 平成22年1月28日(2010.1.28)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 13/00 (2006.01)	G 1 1 C 13/00 A	5 F 0 8 3
H 0 1 L 27/10 (2006.01)	H 0 1 L 27/10 4 5 1	

審査請求 未請求 請求項の数 5 O L (全 28 頁)

(21) 出願番号	特願2008-182410 (P2008-182410)	(71) 出願人	000003078
(22) 出願日	平成20年7月14日 (2008.7.14)		株式会社東芝
			東京都港区芝浦一丁目1番1号
		(74) 代理人	100092820
			弁理士 伊丹 勝
		(74) 代理人	100106389
			弁理士 田村 和彦
		(72) 発明者	戸田 春希
			東京都港区芝浦一丁目1番1号 株式会社
			東芝内
		Fターム(参考)	5F083 FZ10 GA10 GA11

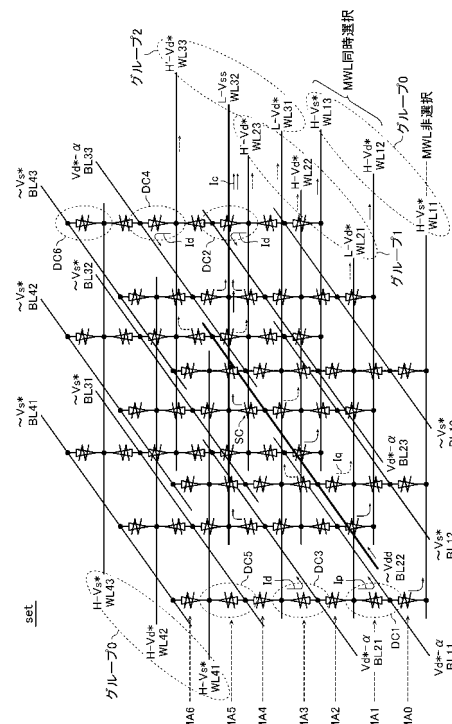
(54) 【発明の名称】 三次元メモリデバイス

(57) 【要約】

【課題】リーク電流の影響を低減した層選択方式を適用した三次元メモリデバイスを提供する。

【解決手段】メモリセルが二次元マトリクス状に配列されたマットを複数層積層して構成され、各マット内でメモリセル選択を行うアクセス信号線とデータ線とがそれぞれ隣接マット間で共有された三次元メモリデバイスであって、積層されたマットが3つ以上の複数グループに分けられ、その複数グループの一つが選択されるときに、残りのグループの一部においてメモリセルがリーク電流の流れる状態にバイアスされ、残部においてメモリセルがリーク電流の流れない状態にバイアスされる。

【選択図】 図17



【特許請求の範囲】

【請求項 1】

メモリセルが二次元マトリクス状に配列されたマットを複数層積層して構成され、各マット内でメモリセル選択を行うアクセス信号線とデータ線とがそれぞれ隣接マット間で共有された三次元メモリデバイスにおいて、

積層されたマットが 3 つ以上の複数グループに分けられ、その複数グループの一つが選択されるときに、残りのグループの一部においてメモリセルがリーク電流の流れる状態にバイアスされ、残部においてメモリセルがリーク電流の流れない状態にバイアスされることを特徴とする三次元メモリデバイス。

【請求項 2】

前記各マットは、前記アクセス信号線とデータ線のクロスポイントに、電圧印加により抵抗値を可逆的に設定できる可変抵抗素子とダイオードの直列接続により構成されたメモリセルを配置して構成され、

前記残りグループの一部において、アクセス信号線とデータ線の間がダイオードが逆バイアスの状態に設定され、前記残部において、アクセス信号線とデータ線の間がダイオードが略ゼロバイアスの状態に設定されることを特徴とする請求項 1 記載の三次元メモリデバイス。

【請求項 3】

半導体基板と、

前記半導体基板上にメモリセルが二次元マトリクス状に配列されたマットを複数層積層して構成され、各マット内でメモリセル選択を行うアクセス信号線とデータ線とがそれぞれ隣接マット間で共有された三次元セルアレイと、

前記半導体基板の前記三次元セルアレイ下に形成されて、前記三次元セルアレイの読み出し及び書き込み制御を行う制御回路とを備え、

前記制御回路は、前記三次元セルアレイのマットを 3 つ以上の複数グループに分けて、その複数グループの一つを選択するとき、残りのグループの一部を同時に選択し、残部を非選択とするグループ選択回路を有することを特徴とする三次元メモリデバイス。

【請求項 4】

前記グループ選択回路は、

入力されるアドレスビットに基づいて選択メモリセルを含む選択グループに属する複数のマット番号を、 2^i (i は、グループ数) を法とする既約剰余として計算する計算回路と、

前記計算回路の結果に基づいて、前記複数グループの一つを選択する第 1 の選択信号及び、前記残りのグループの一部を同時に選択する第 2 の選択信号をデコードするグループ選択信号デコード回路とを有する

ことを特徴とする請求項 3 記載の三次元メモリデバイス。

【請求項 5】

前記三次元セルアレイの各マットは、前記アクセス信号線とデータ線のクロスポイントに、電圧印加により抵抗値を可逆的に設定できる可変抵抗素子とダイオードの直列接続により構成されたメモリセルを配置して構成され、

前記三次元セルアレイ内で前記複数グループの一つが選択されるときに、残りのグループの一部においてアクセス信号線とデータ線の間がダイオードが逆バイアスの状態に設定され、残部においてメモリセルがリークのない非活性状態に設定される

ことを特徴とする請求項 3 記載の三次元メモリデバイス。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、セルアレイが三次元的に配列されたメモリデバイスに係り、特に不良セルの影響を低減するセルアレイ層の選択法に関する。

10

20

30

40

50

【背景技術】

【0002】

最近、電圧、電流や熱などで物質の抵抗状態を変えて、その抵抗状態をデータとして利用する抵抗変化メモリ（Resistance RAM；ReRAM）がNAND型フラッシュメモリの後続候補として注目されている（例えば、非特許文献1参照）。抵抗変化メモリは微細化に向いていると同時に、クロスポイントセルを構成できる上に積層化が容易であり、大容量ファイルメモリとして利用価値が高いと考えられる。

【0003】

しかし、多数のセルアレイの積層化を可能にするためには、選択されるメモリセルが属する層の選択方式が重要となる。その理由は、セルアレイがクロスポイントセルアレイとして構成されて、層間でセルを選択する信号配線（クセス信号線やデータ線）が共有されることが多く、不良セルのリーク電流の影響が各層にまたがって生じる可能性があるからである。リーク電流の影響が広範囲にわたると、誤動作やパワーの増大を招き、多層構成での折角の大容量化もその効果が減殺されるおそれがある。

【0004】

また積層されたセルアレイ層からの配線を下地基板の回路部に接続する部分の構成を簡単にするためには、層間の信号配線の共有化が重要となるが、不良セルの影響範囲の限定を、この信号配線の共有化との関係で最適化することが必要となる。

【非特許文献1】Y. Hosoi et al, "High Speed Unipolar Switching Resistance RAM(RRAM) Technology" IEEE International Electron Devices Meeting 2006 Technical Digest p.793-796

【発明の開示】

【発明が解決しようとする課題】

【0005】

この発明は、不良セルの影響を低減できる層選択方式を適用した三次元メモリデバイスを提供することを目的とする。

【課題を解決するための手段】

【0006】

この発明の一態様による三次元メモリデバイスは、メモリセルが二次元マトリクス状に配列されたマットを複数層積層して構成され、各マット内でメモリセル選択を行うアクセス信号線とデータ線とがそれぞれ隣接マット間で共有された三次元メモリデバイスであって、

積層されたマットが3つ以上の複数グループに分けられ、その複数グループの一つが選択されるときに、残りのグループの一部においてメモリセルがリーク電流の流れる状態にバイアスされ、残部においてメモリセルがリーク電流の流れない状態にバイアスされることを特徴とする。

【0007】

この発明の他の態様による三次元メモリデバイスは、
半導体基板と、

前記半導体基板上にメモリセルが二次元マトリクス状に配列されたマットを複数層積層して構成され、各マット内でメモリセル選択を行うアクセス信号線とデータ線とがそれぞれ隣接マット間で共有された三次元セルアレイと、

前記半導体基板の前記三次元セルアレイ下に形成されて、前記三次元セルアレイの読み出し及び書き込み制御を行う制御回路とを備え、

前記制御回路は、前記三次元セルアレイのマットを3つ以上の複数グループに分けて、その複数グループの一つを選択するとき、残りのグループの一部を同時に選択し、残部を非選択とするグループ選択回路を有することを特徴とする。

【発明の効果】

【0008】

この発明によれば、不良セルの影響を低減できる層選択方式を適用した三次元メモリデバイスを提供することができる。

【発明を実施するための最良の形態】

【0009】

以下、この発明の実施の形態を説明する。

【0010】

〔ReRAM構成概要〕

図1は、実施の形態による三次元（3D）セルアレイ構造のReRAMについて、その3Dセルアレイブロック1と下地制御回路2の構成概要を示している。ここでは、セルアレイブロック1は、説明を簡単にするため、4層のセルアレイMA0～MA3が積層された例を示している。

10

【0011】

ワード線WL及びビット線BLは、隣接セルアレイ間で共有する方式とする。各セルアレイ層のワード線WLは、そのワード線方向（y方向）の両端で、交互に垂直配線31により、下地の制御回路2に接続される。ビット線BLは、ビット線方向（x方向）の両側から交互に出て、3Dセルアレイ層の下から数えて偶数番目層と奇数番目層がそれぞれ層間では共通接続されて、下地制御回路2に接続される。即ちセルアレイブロック1の4辺を全てワード線WLとビット線BLの垂直配線31、32の領域としている。なおビット線について偶奇の各層間を共通接続しない方法もあり、以下の実施の形態ではこの共通接続のない場合を説明する。

20

【0012】

制御回路2は、主な回路配置例を図に示した。セルアレイのビット線方向両端で垂直配線32により基板上に降りたビット線は、マルチプレクサ（MUX）24a、24bで選択されて、アレイバス23a、23b上の信号が得られる。このバス上の信号はセンスアンプ回路22a、22bに入力される。センスアンプ回路22a、22bと外部とのデータのやり取りはデータバス21a、21bを介して行なわれる。

【0013】

ワード線方向ではセルアレイの両端で垂直配線31により基板上に降りたワード線はワード線デコーダ／マルチプレクサ25a、25bに入る。外部とのデータやり取りを考慮したバス領域の設定として、この例ではワード線デコーダ／マルチプレクサ25a、25bとセルアレイブロック1の間に隙間を空けて一部のデータバス21bをこの隙間に配置する。

30

【0014】

セルアレイブロック1の直下のデータバス21aの領域は、その配線領域に直交する、セルアレイブロック1のワード線端の両辺に沿ってのデータバス21bに2分されセルアレイブロック1の直下領域から外部に出ていく。

【0015】

図2は、各層セルアレイの等価回路を示している。ワード線WLとビット線BLの各クロスポイントに、可変抵抗素子VRとダイオードDiを直列接続したメモリセルMCが配置される。図3は、各層セルアレイMA0～MA3の隣接するセルアレイ間で、メモリセルのダイオード極性を逆極性にするを示している。

40

【0016】

例えばデータ読み出し時は、選択ワード線をVssとして、選択ビット線にVreadを与え、非選択ワード線をVread、非選択ビット線をVssとして、選択されたセルアレイの選択セルのデータをセンスアンプで読むことができる。

【0017】

選択セルを高抵抗状態（リセット状態）から低抵抗状態（セット状態）に設定するには、選択ワード線をVss、選択ビット線をVpとし、選択セルに書き込みに必要な電圧Vp-Vssを所定のパルス幅で与える。これにより、選択セルの可変抵抗素子を電圧過程により低抵抗状態にすることができる（セット動作）。

50

【0018】

選択セルを低抵抗状態から高抵抗状態に設定するには、セット時とは異なる電圧（或いは同じ電圧）、異なるパルス幅で選択セルにリセット用電圧を与えて、素子が発生するジュール熱による熱過程を利用する（リセット動作）。

【0019】

なおここでのワード線WLとビット線BLの役割は便宜的なもので、いずれをワード線と呼ぶかはシステムの状況による。

【0020】

以上のような3DセルアレイのReRAMにおいて、この実施の形態では、3Dセルアレイを3つ以上の複数グループに分けて、選択的にその一部のグループを非活性にしておくことにより、不良セルのリーク電流の影響を軽減する。

10

【0021】

〔実施の形態の技術要素概要〕

実施の形態の技術的要素をまとめると、次の通りである。

【0022】

（1）メモリセルが二次元マトリクス状に配列されたセルアレイ（以下、これをマットと称することがある）を複数層積層した3Dメモリデバイスにおいて、各層間で共有される、メモリセル選択のためのアクセス信号/データ線を3つ以上の複数グループに分け、その複数グループのうちの一部のグループにおいて、アクセス信号/データ線の多くが、アクセス信号線とデータ線間のメモリセルのセル電流を発生させる電位差より小さな電位差の範囲に設定されるようにする。

20

【0023】

（2）同様の3Dメモリデバイスにおいて、アクセス信号線/データ線を3つ以上の複数グループに分け、その複数グループ内の一部グループのみにおいて、アクセス信号線とデータ線間のメモリセルにセル電流を発生させる電位差以上の電位差が与えられるようにする。

【0024】

（3）メモリセルは、一定以上の電圧または電流を印加して抵抗値を変化させる可変抵抗素子とダイオードとの直列接続として構成され、単位セルアレイはアクセス信号線（ワード線WL）とデータ線（ビット線BL）との間にメモリセルが配置されるクロスポイントセルアレイとして構成される。アクセス信号線とデータ線をそれぞれセルアレイ間で共有して、複数セルアレイが積層され、データ線のセル電流をモニタしてセル状態を判定するように、3DセルアレイのReRAMが構成される。

30

【0025】

このようなReRAMにおいて、アクセス信号線を層選択に関して3つ以上の複数グループに分けて層間でグループごとにアクセス信号線を共用し、選択メモリセルを含むセルアレイのアクセス信号線とデータ線以外のアクセス信号線とデータ線の電位が、メモリセルのダイオードが逆バイアスになるように設定される。

【0026】

（4）メモリセルが二次元マトリクス状に配列されたマットを複数積層した3Dメモリデバイスにおいて、メモリセル選択のためのアクセス信号線/データ線を3つ以上の複数グループに分け、非選択アクセス信号線に同じ電位を与えるグループを選択するために、選択メモリセルが属するマットを識別するアドレスビットから同じ電位を与えるグループを選択する信号を発生する回路が、アドレスビットに対する加算回路を用いて構成される。

40

【0027】

（5）メインワード線を選択し、メインワード線によって選ばれた複数の部分ワード線ドライバ回路に選択信号を選択的に供給してアクセス信号線の電位が設定されるダブルワード線スキームの3Dメモリデバイスにおいて、アクセス信号線のグループごとに部分ワード線ドライバ回路を持ち、グループを選択する信号の活性化状態の組合せによってアク

50

セス信号線の電流パスを切り替える回路を備える。

【0028】

(6) メインワード線を選択し、メインワード線によって選ばれた複数の部分ワード線ドライバ回路に選択信号を選択的に供給してアクセス信号線の電位が設定されるダブルワード線スキームの3Dメモリデバイスにおいて、アクセス信号線のグループごとに部分ワード線ドライバ回路を持ち、グループ分けされた層のアクセス信号線が、グループ層ごとに層間で共通接続されて、基板上の部分ワード線ドライバ回路の出力部へと接続される。

【0029】

[リーク電流の影響]

具体的な実施の形態の説明に先立って、先ず図4を参照して、ビット線BLとワード線WLをそれぞれ隣接セルアレイ間で共有する方式とした3D-R e R A Mにおけるリーク電流の影響、具体的に選択セルについて、どれだけ離れたマットの不良セルの影響が現れるかを検討する。

【0030】

図4には、7層のセルアレイMA0-MA6の範囲について、太線で示すワード線WL32とビット線BL22によりセルSCが選択されたときの不良セルDC1~DC6のリークの影響を示している。

【0031】

セル選択はそのセルをクロスポイントとするワード線WLを接地電圧Vssに設定し、ビット線BLに動作モードに応じた電圧を与えて、ビット線BLに流れ込む電流を制御することによって行なう。図4の例は読み出し動作時であり、選択ビット線BL22は、電源電圧Vddより低い読み出し用電圧とする。

【0032】

非選択ワード線WLは高い電圧例えばVd* (ビット線BLにかける最高電圧Vddよりダイオードの順方向電圧降下分Vf程度低い電圧)を印加し、非選択ビット線BLにはVs* (ビット線BLにかける最低電圧VssよりダイオードのVf程度高い電圧)を設定してダイオードに順方向電流が流れないようにする。

【0033】

なお、非選択ビット線はフローティングでも動作期間に実質的にVs*となる電位であればよい。また、ダイオードの逆耐圧特性が悪いため不良と見なされるリーク電流の大きな不良セルが属するビット線BLは予め検出されて、フローティングに設定されるものとする。

【0034】

図4の例は、7層マットからなる真中の層MA3でセルSCを選択して読み出す場合であり、その2層目MA1から6層目MA6にそれぞれ逆バイアスリークの大きな不良セルDC1(MA1)、DC2(MA2)、DC3(MA3)、DC4(MA4)、DC5(MA5)、DC6(MA6)がある例を示している。

【0035】

真中の層マットMA3で選択されるセルSCは、不良セルとはビット線とワード線を共有しないものとして、選択ワード線WL32にはVss、選択ビット線BL22はVddよりかなり低い電位レベルがかけられる。

【0036】

不良セルにつながるビット線(不良ビット線)はフローティングにされる。従って、図のように不良セルDC2、DC4、DC3、DC5を流れるリーク電流Idが流れて、選択ワード線にまで流れ込むパスがあるビット線BL21、BL23、BL31、BL33は、Vd*より少し低いVd*-αとなる。

【0037】

最上層マットの不良ビット線BL43は、不良セルDC6のリーク電流の流れる先がないので、Vd*となる。2層目マットの不良ビット線BL11も、不良セルDC1のリーク電流の流れる先はなく、同様にVd*となる。

10

20

30

40

50

【0038】

選択ビット線BL22から非選択ワード線への経路は、V_{dd}よりかなり低いレベルからV_{d*}への逆バイアス経路となり、セルダイオードがオフ状態を維持する。選択セルへは電圧と電流のディスタートは生じない。

【0039】

なお、図から分かるように選択ワード線WL32には選択セルに流すセル電流I_cに加えて選択ワード線WL32から2マット分上下のクロスフェールからのリーク電流のまともI_{d'}が流れ込む。従ってここに選択セルの電流値を検出するような回路や素子を入れると誤動作を起こす可能性がある。選択ビット線BL22には読み出しでは微小セル電流I_cが流され、この電流量がセンスされるがクロスフェールからの流入電流のディスタートはないので問題は生じない。

10

【0040】

不良ビット線からのリークはV_{d*}－V_{ss}間で生じ、選択ワード線の上下の2層マットの不良数に比例して選択ワード線に流れ込むリーク電流が増大する。従って選択ワード線のV_{ss}へのドライブを特に強力にすることが、誤動作防止のためには必要である。

【0041】

図5は、多層マットのセルアレイにおいて、ワード線とビット線を層間で共有する場合のこれらの配線の引き出し方法の一例を示す。ここでは、8層のセルMC0－MC7の柱を示している。ビット線は層ごとに個別に制御したいので、各層のビット線BL0－BL3は別々に下地制御回路に配線する。一方ワード線は下地回路へのコンタクト領域の面積を削減するために、できる限り共通化してグループを少なくしたい。セルの多重アクセスを生じない最小のグループ数は2であり、これらのグループをevenとoddと命名し、WLe（又はWL(0)）とWL_o（又はWL(1)）で表すと図の接続関係となる。

20

【0042】

このようなワード線のグループ分けの場合、例えばセルMC3が選択セルSCである場合、クロスフェールのリーク電流は、選択層の上下2層（MC4、5及びMC2、3）の分が選択ワード線WL_oに集中する。従って、全ての層でのクロスフェールリークが選択ワード線WL_oが属するグループを駆動するドライブに集中してしまうことが予想される。これは、3Dセルアレイの特徴である多層化に限界をもたらす。

【0043】

このようなリーク電流の集中の様子を、以下いくつかのグループ分けについて具体的に検討する。

30

【0044】

[binaryグループ化の場合のリークの影響]

図6は、16層マット構成で、上に説明した2グループ分けの場合(binaryの場合)である。左側に異なるワード線とビット線に属するセルをイメージして16層のマットを二つのメモセルの柱として示す。下線を付した番号が、下から数えたマット番号である。グループ番号は、バイナリの場合は0と1がワード線ごとに交互に繰り返される。

【0045】

右側の表は、16層マット内でのセルを選択する際のワード線とビット線のレベルと、それらの間のセルを介して流れる電流とその方向とを、マット番号0～4を選択した場合について示している。表の中の各欄が、マット選択時の交互に重ねられるワード線群とビット線群のレベルを示している。即ち最下層の欄が、マット番号0対応のワード線群WL0の欄、次が同じマット番号0対応のビット線群BL0であり、以下同様に、WL1、BL1、WL2、BL2、…、WL7、BL7、WL8が重ねられる様子を示している。

40

【0046】

そして表の各欄には、マット内で選択されたセルと非選択セルのレベルを並列して示している。即ちワード線は選択／非選択レベル関係を太文字のL／Hで表し、ビット線は選択／非選択レベル関係を小文字のh／lで示している。

【0047】

50

マット0でセルが選択されると、最左端の表に示すように、ビット線群BL0内で選択ビット線がh(=V_{dd})になり、非選択ビット線はl(=V_s*)となり、またワード線群WL0内で選択ワード線がL(=V_ss)、非選択ワード線がH(=V_d*)を保つ。残りのマットのビット線は、全て非選択レベルlである。白丸で示すワード線グループ0の他のマット3, 7, 11, 15対応のワード線群WL2, WL4, WL6, WL8では、選択セルを含むマットにおけると同様に選択/非選択=L/Hが設定される。黒丸で示すグループ1のマットでは、ワード線は非選択状態Hである。

【0048】

従って、マット0でセルが選択されたとき、実線矢印で示す選択セル電流I_cが選択ビット線から選択ワード線に向かって流れる。破線矢印のように、ダイオードの逆耐圧特性またはクロス不良によりワード線からビット線へのリーク電流I_lがあり、バイナリの場合全てのマットでこのリーク電流I_lが流れうる。

【0049】

マット1, 2, 3, 4のセルが選択される場合についても同様に示してある。

【0050】

これらの表からも分かるように、binaryの場合は選択セル以外の全てのセルが逆バイアス状態になるので全てのマットからのリーク電流がワード線グループから流れ出る。マットの数が多い場合(すなわち積層されるメモリセルの層が多い場合)は全てのセルの影響を考慮する必要がある、考慮しなければならない電流量はとても大きくなる。

【0051】

[ternaryグループ化の場合のリークの影響]

図7は、同様の16マット構成で3グループ分けの場合(ternaryの場合)である。即ちワード線群WL0, WL3, WL6をグループ0、ワード線群WL1, WL4, WL7をグループ1、ワード線群WL2, WL5, WL8をグループ2と設定している。

【0052】

表はそれぞれマット0, 1, 2, 3, 4, 5, 6のセルを選択する際のワード線とビット線のレベルと、セルを介して流れる電流の種別と方向を、図6の場合と同様の関係で示している。

【0053】

マット0のワード線が選択されたとき、白丸で示すように、グループ0の他のマット6, 12で、マット0におけると同様に、ワード線群WL3, WL6の選択/非選択=L/Hが設定される。黒丸で示すグループ1のマット2, 8, 14では、ワード線は非選択状態Hである。

【0054】

しるしのつけていないワード線群WL2, WL5, WL8は、マット選択には関係がなくLレベルのままでよいワード線グループ2である。

【0055】

マット0選択のときの選択セル電流I_cは、選択ビット線から選択ワード線に向かって流れる。このとき、ビット線群BL0, BL3, BL6にはその上下のワード線から、またビット線群BL2, BL5には上のワード線のみから流れ込む破線のリーク電流I_{l1}は、ダイオードの逆耐圧特性またはクロス不良によるリーク電流である。グループ1のワード線(ワード線群WL1, WL4, WL7)から上のビット線に向かって流れる破線で示すリーク電流I_{l2}は、選択ワード線グループに対して影響がないリーク電流である。グループ2のワード線(ワード線群WL2, WL5, WL8)は、マット選択に関係なく、“L”レベルのまま、即ちセルダイオードが略ゼロバイアスの非活性状態に保持される。

【0056】

マット1, 2, 3, 4, 5, 6のセルが選択される場合についても同様に示してある。

【0057】

これらの表から、ternaryの場合は選択セル以外の全てのセルの3分の2が逆耐圧特性

10

20

30

40

50

になり、逆耐圧リークの影響は3分の2になる。クロス不良の影響は全セルの2分の1について現れ、リーク電流がワード線から流れる出ることが分かる。従ってbinaryの場合と比べると、リーク電流の選択ワード線グループへの影響をかなり軽減できる。

【0058】

[quadrupleグループ化の場合のリークの影響]

図8は、同様の16マット構成で4グループ分けの場合(quadrupleの場合)である。即ちワード線群WL0, WL4, WL8をグループ0、ワード線群WL1, WL5をグループ1、ワード線群WL2, WL6をグループ2、ワード線群WL3, WL7をグループ3、と設定している。

【0059】

表はそれぞれマット0～8のセルを選択する際のワード線とビット線のレベルと、セルを介して流れる電流の種別と方向を、図6の場合と同様の関係で示している。

【0060】

マット0のワード線が選択されたとき、白丸で示すように、グループ0の他のマット7, 15で、マット0におけると同様に、ワード線群WL4, WL8の選択／非選択=L／Hが設定される。黒丸で示すグループ1のマット2, 10では、ワード線は非選択状態Hである。

【0061】

しるしのつけていないワード線群WL2, WL3, WL6, WL7は、マット選択には関係がなくLレベルのままでよいワード線グループ2, 3である。

【0062】

マット0選択のときの選択セル電流Icは、選択ビット線から選択ワード線に向かって流れる。このとき、ビット線群BL0, BL4にはその上下のワード線から、またビット線群BL3, BL7に上のワード線のみから流れ込む破線のリーク電流I11は、ダイオードの逆耐圧特性またはクロス不良によるリーク電流である。ワード線群WL1, WL5から上のビット線に向かって流れる破線で示すリーク電流I12は、選択ワード線グループに対して影響がないリーク電流である。

【0063】

マット1～8のセルが選択される場合についても同様に示してある。

【0064】

これらの表から、quadrupleの場合は選択セル以外の全てのセルの2分の1が逆耐圧特性になり、逆耐圧リークの影響は2分の1になり、クロス不良の影響はリーク電流I12の部分であり、全セルの8分の3に対して影響する。従って、ternaryの場合と比べて更に、リーク電流の選択ワード線グループへの影響を軽減できることになる。

【0065】

[グループ選択ロジック]

上述のように、ワード線の選択グループを、binary, ternary, quadrupleと増やすと、リーク電流の選択ワード線グループへの影響を小さく出来ることが分かった。この場合、ワード線はマット間で共用されるため、グループ間の選択ロジックに工夫がいる。次にこのワード線選択ロジックを説明する。

【0066】

図9は、16層マットの例でのセルの柱の図に、3種のワード線グループをまとめて示している。

【0067】

図10は、図9に示すそれぞれのワード線グループ化の場合について、グループ選択に属するマット番号をグループ毎にまとめて示している。前述のようにワード線は隣接マットで共有されるので、binaryの場合には、どのグループのセルが選択されても、全てのグループ(即ち全てのマット)を活性化する必要がある。この場合マット番号は、4を法とする(0, 1, 2, 3)の合同数としてまとめることができ、これをmod 4の欄に示した。

10

20

30

40

50

【0068】

ternaryの場合は、ワード線グループは0, 1, 2であり、これらのワード線選択に属するマット番号は、mod 6で整理できる。選択されるセルの属するマット番号のmod 6の剰余は二つのワード線グループに属するので、ワード線グループのうちのひとつは活性化する必要がない。

【0069】

quadrupleの場合は、ワード線グループは0, 1, 2, 3であり、これらの選択に属するマット番号はmod 8で整理できる。選択されるセルの属するマット番号のmod 8の剰余は二つのワード線グループに属するので、ワード線グループのうちの二つは活性化する必要がない。

10

【0070】

以上を一般化すると、図10の最下欄に示すように、ワード線グループの分け方を“i-ary”として、ワード線グループをi-k ($k=1\sim i$)、即ち0, 1, 2, ..., i-2, i-1で表すことができ、選択されるセルの属するマット番号がmであれば、活性化するワード線グループ番号は、mのmod 2iの剰余が $-2k-2$, $-2k-1$, $-2k$, $-2k+1$ に相当するkから計算したi-kとなる。

【0071】

[具体的なリークの影響]

以上、ワード線グループの分割とマット選択の規則についてまとめたが、これらを実際に3Dセルアレイに適用する際の具体的な方法について説明する。まずワード線を3以上のグループに分けた場合について、セルアレイのリークの影響を具体的にしてみる。

20

【0072】

図11は、図4と同様にセルアレイMA0~MA6の7層分のマット構成について、ちょうど真中のマットのセルSCがアクセスされた場合に各種電流の流れる様子を、ワード線グループ分けが3以上の場合(具体的にはternaryの場合)について示したものである。選択セルSCは、太線で示すワード線WL32と同じく太線で示すビット線BL22によって選択される。ここでは、セット状態への書き込みの場合(セット動作)を示しており、選択ビット線BL22にはほぼVddが印加され、選択ワード線WL22はVssにドライブされる。

【0073】

選択セルSCの属するマットのワード線グループ2の中の選択ワード線WL32以外の非選択ワード線(WL31, WL33)は、Vd* (VddよりダイオードのVf程度低い電位)に設定する。ワード線グループ0のワード線(WL11-WL13, WL41-WL43)は全てVs* (VssよりダイオードのVf程度高い電位)、ワード線グループ1のワード線WL21-WL23は全て、Vd*とする。

30

【0074】

非選択ビット線は全てフローティングのVs*となる。

【0075】

不良セルは、図4の場合と同様、セルアレイMA1内のセルDC1、セルアレイMA2内のセルDC2、セルアレイMA3内のセルDC3、セルアレイMA4内のセルDC4、セルアレイMA5内のセルDC5、セルアレイMA6内のセルDC6である。これらのうち、選択セルへ影響の大きな不良セルは、DC2, DC3, DC4である。

40

【0076】

不良セルの属するビット線(不良ビット線)は常にフローティングであり、その他の非選択ビット線はVs*に設定されアクセスの短い期間だけフローティングに設定されるで、アクセス期間中は不良ビット線のレベルは不良セル経由のワード線レベルVd*からのリークによってVd*- α となる。

【0077】

このアクセス状態でのリーク電流は図のような状況となる。Vssに設定された選択ワード線WL32には選択セルSCの属するマットとその上下のマットの不良セルのリーク

50

電流が本来のセル電流 I_c に加えて流れ込む。即ち不良セル $DC2$ 、 $DC3$ 、 $DC4$ のリーク電流 I_d が、隣接ビット線を通り、選択ワード線 $WL32$ に流れ込んで、セル電流 I_c に加算される。

【0078】

それ以外のマットの例えば不良セル $DC1$ のリーク電流 I_p は、非選択ワード線として V_{s*} に設定されたワード線 $WL11$ 、 $WL12$ 、 $WL13$ に分散して流れ込む。また選択ビット線 $BL22$ は、セット状態への書き込みでは V_{dd} 程度の電位に設定されるので、選択ワード線グループの非選択ワード線のレベル V_{d*} よりダイオードの V_f 程度電位が高く、これに接続されるセルにわずかながらオン電流が流れる可能性がある。このオン電流リーク I_q は個々の非選択ワード線に分散して流れ込む。

10

【0079】

但し、上述の選択ビット線からのリーク電流 I_q は、セット状態への書き込みの場合だけであり、このときはセルが高抵抗状態でこれら電流の総和もリセット状態への書き込みの場合に比べてオーダーが十分小さいから、選択ビット線のレベルを変えるほどではなく、セット状態への書き込み動作に対す影響は無視できる。

【0080】

以上から、選択ワード線の V_{ss} へのドライブはそのドライブ電流に選択マットとその上下の1層内の不良セルのリークが加算されるので、十分に低インピーダンスにして電流シンクとしての役割を十分働かせる必要がある。非選択ワード線の設定電位 V_{s*} や V_{d*} へのドライブについては、弱い順方向電流が分散して流れ込むのでインピーダンスをむしろ高くしてこれらの電流を抑えることが良い。

20

【0081】

[WL及びBL選択回路]

図12は、ワード線及びビット線選択回路部の詳細構成を示している。3Dセルアレイは、センスアンプ(SA)106を共有するビット線群の範囲をひとつのセルアレイユニット(以下、スタンバイユニットという)100として、それらのビット線群の一つがビット線選択回路103により選択されて、ローカルバス LB_m に接続される。ビット線選択回路103としてここでは簡略に選択トランジスタであるNMOSTランジスタ $QN2$ のみ示している。

【0082】

30

ワード線ドライバ101は、選択ワード線を V_{ss} に設定するためのNMOSTランジスタ $QN1$ と、非選択ワード線に V_{d*} を与えるためのPMOSTランジスタ $QP1$ からなるCMOSドライバである。これらは、出力インピーダンスを出来る限り小さくして、クロスフェールに対しても、選択、非選択共に十分なレベルが保持できるようにする。

【0083】

状態遷移安定化回路104は、ローカルバス LB_m を介して選択ビット線に接続されるNMOSTランジスタ MN 及びPMOSTランジスタ MP の部分である。

【0084】

ビット線リセット回路105は、非選択ビット線を V_{s*} に設定するための回路であり、NMOSTランジスタ $QN4$ を用いて構成される。このNMOSTランジスタ $QN4$ のソース側には、不良セル検出用NMOSTランジスタ M が挿入されている。

40

【0085】

ワード線及びビット線の電位設定のためには、接地レベル V_{ss} よりダイオードの順方向降下電圧 V_f 分高い電位 V_{s*} を生成し、セット電圧より高い電源電位 V_{dd} より V_f だけ低い電位 V_{d*} を生成するようにしている。

【0086】

ワード線ドライバ101は、制御信号 $wlsel_x$ ($x=k, k+1, \dots$) により制御されて、選択されたひとつのワード線(選択ワード線)を V_{ss} に、残りの非選択ワード線を V_{d*} に設定する。ワード線選択信号 $wlsel_x$ はセルデータを保持しておくホールド状態では“H”、セルのアクセスがいつでも可能なスタンバイ状態以降では、非選

50

択で“L”、選択で“H”となる信号である。

【0087】

ビット線デコードに関しては、スタンバイユニット100の共通のデータバスであるローカルバスLB_mに各々のビット線が選択的に接続されるが、この選択を行なうのがビット線選択信号b l s e l_yである。この信号はビット線に十分なレベルを伝達するためにNMOSトランジスタQN2を用いるときは、“H”レベルとしてV_{dd}+V_tより高いレベルをもつ信号である。即ちビット線選択信号b l s e l_y (y = i, i + 1, …) は、非選択時はすべてV_{dd}レベルの“H”であり、選択されたスタンバイユニット属するビット線対応の信号は、V_{dd}+V_tより高いレベルの“H”になり、非選択ビット線対応の信号はV_{ss}レベルの“L”となる。

10

【0088】

不良セルを検出して、不良セルにつながるビット線（即ち不良ビット線）をフローティングにする手法を次に説明する。

【0089】

スタンバイ時には、全てのビット線選択信号b l s e l_y (y = i, i + 1, …) が“H”であり、ローカルバスLB_mは、フラグ信号f l a g_mが“H”に設定されてセンスアンプ106からも切り離されるので、ローカルバスのレベルが全てのビット線に設定される。具体的に言えば、ローカルバスLB_mのレベルは、ローカルバス選択信号／l c b s e l_mが“H”で、信号／f l a g_mも“H”に設定されてNMOSトランジスタQN4及びMが共にオンであるので、V_s*である。

20

【0090】

スタンバイユニット100にリークの大きな不良セルがある場合、ワード線WLのV_d*レベルから電流がビット線BLを介してローカルバスLB_mに流れてくる。この電流はV_s*に流れ込むが、ゲートレベルが“H”であるセンス用NMOSトランジスタMを通る際に、そのドレインノード（ビット線電流モニターノード）IM_mのレベルを引き上げる。このモニターノードIM_mのレベル変化を検出して不良セルの有無の判定を行う。

【0091】

フリップフロップ回路107は、上述した不良セルの有無判定回路である。この判定回路107は、CMOSインバータ108、109の入出力をクロスカップルして構成されている。CMOSインバータ109の入力ノードが、NMOSトランジスタQN10を介してモニターノードIM_mに接続され、その出力ノードがフラグ信号／f l a g_mの出力ノードとなる。CMOSインバータ109の入力ノードには、リセット用NMOSトランジスタQN11が接続されている。

30

【0092】

この判定回路107は、ホールド状態ではHS = “H”により、／f l a g_m = “H”なる初期状態に設定される。スタンバイ状態になると信号“s t d b y”が“H”になり、HSが“L”になるので、モニターノードIM_mのレベルを受けて状態を変化することが出来る。ある定められた不良があれば、IM_mのレベル上昇によりフリップフロップの状態が反転し、／f l a g_mが“L”になる。

40

【0093】

ここで判定回路107のフリップフロップ構成は、CMOSインバータ108の寸法をCMOSインバータ109のそれより小さくして、モニターノードIM_mから電流を多く引き込まないようにする。また、入力側のインバータ109のしきい値を最適設定することにより、リークの許容値を設定する。

【0094】

信号／f l a g_mが“L”になると、f l a g_mの“H”でローカルバスが選択されて、l c b s e l_mが“H”になっても“H”のままであり、センスアンプ系が切り離された状態を維持する。またこのときトランジスタMもオフとなるので、ローカルバスLB_mはフローティングになり、ビット線は選択されてもフローティング状態となる。

50

【0095】

不良がないときには信号／f l a g _mが“H”であるので信号s t d b yが“L”になりローカルバス選択信号l c b s e l _mが“H”になると、f l a g _mが“L”となり、ローカルバスL B _mとセンスアンプ系がつながる。この際ローカルバスは、信号／l c b s e l _mが“L”になるので、V s *とは切り離される。

【0096】

その後アクセスサイクルに入り、選択ビット線の選択信号b l s e l _yのみがV d d + V t 以上の“H”レベルになり、他の非選択ビット線はローカルバスL B _mから切り離されてフローティングとなる。

【0097】

[メモリチップの構成と活性化方式]

図13は、メモリチップの構成と活性化の選択のひとつの方式を説明するための図である。ここでは、一つのセルアレイブロックが32マットで、1マットが1k本のワード線を有し、一つのメインワード線を選択することにより複数の部分ワード線ドライバに選択信号が送られて、複数のワード線が選択される、ダブルワード線スキーム方式の場合を想定している。

【0098】

8個のセルアレイブロックM B 0～7が、×8 I/O構成で同時選択される一つのアレイグループを構成するものとして、ここでは二つのアレイグループA G 0, A G 1が配置された例を示している。

【0099】

まずアドレスビットの割付であるが、A 0～A 6をメインワード線(M W L)選択に、A 7～A 9を部分ロウデコーダ(P R D C)の選択に適用する。すなわちA 0からA 9を1k本のワード線選択に関わるビットとする。

【0100】

セルアレイの層である32マトの選択にはA 1 0～A 1 4を用いる。A 1 5はアレイグループA G 0, 1の選択に関わる部分とする。

【0101】

メモリチップはセルアレイブロック16個により構成され、1バイト(=8ビット)のデータを同時に扱う×8 I/O構成のメモリとし、アクセスはセルアレイあたり1セルのみにアクセスできるとする。従って×8においては、いずれかのグループA G 0, A G 1で同時に8セルアレイブロックM B 0～M B 7にアクセスすることになる。

【0102】

4セルアレイブロックにまたがるメインワード線M W Lの一端側にメインワード線デコーダ(M W L d e c) 1 3 1が配置される。また同時選択アレイグループのセルアレイブロックM B 0, M B 4の間、同様にM B 1, M B 5の間、M B 2, M B 6の間、M B 3, M B 7の間にそれぞれ、部分ロウデコーダP R D Cとこれに信号を転送する転送ゲート回路1 3 2が配置される。

【0103】

転送ゲート回路1 3 2に供給される信号は、P R D Cを選択的に駆動する信号P R D C i (=P R D C 0～P R D C 7)と、マトのワード線グループを選択されたマトに従って活性化するための選択信号W G i (=W G 0～W G 2)である。これらはそれぞれアドレスビットA 7～A 9とA 1 0～A 1 4からデコードされる。

【0104】

図14は、これらの信号W G i, P R D C iを更にデコードしてワード線選択を行う部分、即ち図13の転送ゲート回路1 3 2の部分と、ワード線ドライバ1 4 1及び部分ロウデコーダ1 4 2の構成を示す。これはセルアレイブロック間の回路であるので出来るだけ簡単な構成で必要最小限の機能を満たすように構成することが重要となる。ここに示す回路はternaryのワード線を選択する場合を想定して構成したものである。

【0105】

10

20

30

40

50

y 方向に走る信号 $PRDC_i$, WG_i , $\neg WG_i$ が全てのセルアレイで使用される共通の信号であり、これらの信号を更にデコードして選択セルアレイで固有のワード線選択信号とする各デコーダ回路が示されている。図中、 WC は、3Dセルアレイブロックのワード線グループ毎に共通の垂直配線が基板回路部に落ちてくるワード線コンタクトを示しており、ここに出力を与えるドライバ群がワード線ドライバ141を構成している。

【0106】

今の場合、ternaryであるので、セルアレイブロック毎にワード線グループは、 $W.G.0 \sim W.G.2$ の3系列ある。図14では、左右に隣接する二つのセルアレイブロック例えば、 $MB0$ と $MB1$ に共通のデコーダ回路部を示しているの、それぞれのセルアレイブロックに対応した3つずつのワード線グループのワード線コンタクト WC を持つ。

10

【0107】

信号のインバータとして働く回路は2種類ありこれをシンボル化している。即ち、 $NMOS$ トランジスタのソースが V_{ss} に接続され、 $PMOS$ トランジスタのソースに信号が入力されるインバータ $INV1$ を、インバータ記号の上側に下向き矢印を加えて示し、 $NMOS$ トランジスタ、 $PMOS$ トランジスタともソースに信号入力されるインバータ $INV2$ を、インバータ記号の上下に内向きの矢印を付して示した。いずれにおいても、 $NMOS$ トランジスタのゲート幅 w は大きくしてオンインピーダンスを減らしている。

【0108】

転送ゲート回路132において、信号 WG_i , $\neg WG_i$ がワード線グループ選択信号としてワード線ドライバ141の各ドライバに送られる、また信号 $PRDC0 \sim 3$ がセルアレイブロック $MB0$, $MB1$ 間の部分ロウデコーダ142に送られる。

20

【0109】

点線で囲ったワード線ドライバ141はメインワード線信号 $\neg MWL$ の数だけ繰り返される。なお、セルアレイブロックのワード線 WL は、図1で説明したように、各セルアレイで左右の辺から交互に配線されるので、図の部分デコーダ回路142を挟む左右のセルアレイブロックはレイアウト的には一般的に左右反転した形になる。この図の隣の部分ロウデコーダ回路（セルアレイブロック $MB2$, $MB3$ の間の部分ロウデコード回路）には、信号 $PRDC0 \sim 3$ の代わりに信号 $PRDC4 \sim 7$ が接続されていて、メインワード線信号 $\neg MWL$ あたりひとつのセルアレイブロックで8本のワード線 WL を選択駆動する。

【0110】

30

以下に信号（線）の簡単な説明をまとめる。

【0111】

$\neg MWLx$: 選択される全ての（8個の）セルアレイブロックに共通のメインワード線（信号）で、メインワード線デコーダ ($MWLdec$) 131で発生されて各セルアレイブロック間に配置される部分ロウデコーダ142を選択する。

【0112】

Vd^* : 電源電位 Vdd よりダイオードの順方向電圧降下 Vf 程度低いレベルの電源線。

【0113】

Vs^* : 接地電位 Vss よりダイオードの Vf 程度高いレベルの電源線。

40

【0114】

$\neg Wgc0 \sim 2$: 選択されたセルのワード線グループとそれに随伴して選択されるワード線グループを合わせて選択する信号 $Wgc0 \sim 2$ の反転信号。

【0115】

$WG0 \sim 2$: 選択されたセルのワード線グループの選択信号。

【0116】

$PRDC0 \sim 3$: セルアレイブロックの一方のワード線端部側の部分ワード線ドライバ回路に選択的に供給される駆動信号。

【0117】

$PRDC4 \sim 7$: セルアレイブロックの他方のワード線端部側の部分ワード線ドライバ

50

回路に選択的に供給される駆動信号。

【0118】

図15は、図14のデコード回路に従ったワード線のレベルの設定値をまとめたものである。表記について、電源信号へのワード線接続のインピーダンス状態をH、H'及びLで表す。

【0119】

Hは、 V_{d*} がNMOSトランジスタを介して、または V_{s*} がPMOSトランジスタを介してワード線に供給される部分を含むことを示し、電源へといたるパスがハイインピーダンスであることを表す。H'は、 V_{d*} がPMOSトランジスタを介して供給されるが、トランジスタのゲートレベルが V_{th} 分だけロスがあり、トランジスタのコンダクタンスが少し小さく、その分だけハイインピーダンスであることを表す。Lは、電源信号が、トランジスタにおけるロスがなく本来のインピーダンスで供給される場合である。

10

【0120】

デコーダの選択信号の状態によってワード線のインピーダンス状態とレベルがどうなるかを表に従って見てみる。先ず、表の各欄の意味を説明すると、欄WG/WGcは、WGcが選択と非選択に別れ、選択の場合は、ワード線グループがセルアクセスとして選択された場合(WG="H")と、そのペアして選択された場合(WG="L")に分かれる。

【0121】

そのいずれの場合も、メインワード線選択信号MWLが選択か非選択かの場合に分かれる。MWLが選択の場合は、部分ワード線ドライバを選択するので、PRDCが選択と非選択に分かれ、個別のワード線レベルが設定される。

20

【0122】

個々のワード線の状態を簡単に見てみると、次の通りである。ワード線インピーダンスレベルの欄の一番上から順に説明する。

【0123】

- ・1は選択されたワード線でインピーダンスがLで V_{ss} に接続される。

【0124】

・2は選択されたワード線と同じ部分ワード線ドライバに属してPRDC信号によって選択されないワード線であり、PMOSトランジスタの V_{th} ロスを介してPMOSトランジスタのゲートレベルを作るので、インピーダンスがH'で V_{d*} に接続される。

30

【0125】

・3は1、2と同じワード線グループに属しているが、MWLで選択されない部分ワード線ドライバに属しているワード線で、PMOSトランジスタのゲートはしっかり V_{ss} になるので、インピーダンスがLで V_{d*} に接続される。

【0126】

・4は選択ワード線グループの対をなすワード線グループとして選択されるもので、選択セルと同じMWL信号で選択される部分ワード線ドライバに属するワード線であり、PRDC信号によって選択されるワード線であって、 V_{d*} がNMOSトランジスタ側からワード線に接続されるので、インピーダンスがHとなる。

40

【0127】

・5は選択ワード線グループの対をなすワード線グループとして選択されるもので、選択セルと同じMWL信号で選択される部分ワード線ドライバに属するワード線であり、PRDC信号によって選択されないワード線であって、PMOSトランジスタの V_{th} ロスを介してPMOSトランジスタのゲートレベルを作るので、インピーダンスがH'で V_{d*} に接続される。

【0128】

・6は4、5と同じワード線グループに属しているが、MWLで選択されない部分ワード線ドライバに属しているワード線で、PMOSトランジスタのゲートはしっかり V_{ss} になるので、インピーダンスがLで V_{d*} に接続される。

50

【0129】

・7は非選択のワード線グループに属しているがMWLで選択された部分ワード線ドライバからPRDC信号で選択されるワード線で、 Vd^* がNMOSトランジスタ側からワード線に接続されるので、インピーダンスがHとなる。

【0130】

・8は非選択のワード線グループに属しているがMWLで選択された部分ワード線ドライバからPRDC信号で非選択となるワード線で、PMOSトランジスタの V_{th} ロスを経してPMOSトランジスタのゲートレベルを作るので、インピーダンスがH'であり、 Vs^* がPMOSトランジスタ側からワード線に接続されるので、インピーダンスはHでもある。

10

【0131】

・9は7、8と同じワード線グループに属しているがMWLで選択されない部分ワード線ドライバに属しているワード線で、PMOSトランジスタのゲートはしっかり V_{ss} になるが、 Vs^* がPMOSトランジスタ側からワード線に接続されるのでインピーダンスはHである。

【0132】

選択WGc内のワード線はインピーダンスの違いはあるものの非選択セルのワード線は Vd^* 、選択セルのワード線はインピーダンスLの V_{ss} となり、非選択WG内のワード線は選択セルのワード線に対応するものを除いてインピーダンスHの Vs^* 、選択セル対応ワード線もインピーダンスHの Vd^* になり、クロスフェールへの影響ほとんどない。

20

【0133】

なお、7は本来 Vs^* へと接続されるのが望ましいが、回路の簡単化から Vd^* への接続となっている。

【0134】

この様なワード線のレベル設定でのリーク電流の流れる様子を次に具体的に見ると、図7に対して、図16のようになる。

【0135】

ワード線グループは、図7の場合と同様、ternaryであるから、16マットに対して、グループ番号0, 1, 2で示す3グループに分けられる。図7と対応させて、各マットのワード線選択／非選択状態、ビット線選択／非選択状態、リーク電流の状態を示している。

30

【0136】

マット0でセルが選択されると、最左端の表に示すように、ワード線群WL0の中で選択ワード線がL、非選択ワード線がHとなり、ビット線群BL0の中で選択ビット線がh、非選択ビット線がlとなり、マット0の選択セルにセル電流Icが流れる。

【0137】

同時に、白丸で示した選択ワード線グループ0と同じグループ0のワード線群WL3, WL6内で選択マットと同様に選択／非選択が設定される。黒丸で示したワード線群WL1, WL4, WL7は、アクセスされたマットに関係したその他のワード線群であり、Hに設定される。何もしるしのないワード線群はマット選択には全く関係がなく、Lレベルのままでよい。

40

【0138】

図7と同様に、ダイオードの逆耐圧特性またはクロス不良によるリーク電流I11が流れ、またワード線群WL1, WL4, WL7からそれらの上方のビット線に選択ワード線グループには影響がないリーク電流I12が流れる。

【0139】

図7で説明したリーク電流に加えて、選択ワード線と同じ部分ワード線ドライブを受けるワード線群WL2, WL5, WL8において、ワード線のH/Lが設定され、これらから隣接するlレベルのビット線に対して、リーク電流I13が流れる。従って選択ワード

50

線グループに流れ込む電流は増えるが、非選択ワード線グループ中で図15の“7”の状態になるのは選択ワード線に対応する各マットで1本ずつであるので、実質的なリーク電流の増加はない。

【0140】

他のマットが選択された場合も同様である。

【0141】

以上のリーク電流の状態を、実際に3Dアレイの状況として見たのが、図17であり、これは先の図11に対応する。先の図11と異なる点は、太線で示す選択ワード線WL32に対応する他のマットの非選択ワード線WL12, WL22, WL42が全て、H-Vd*となる点である。図では3系統のワード線群が示されているが、各マット3本ずつ示されたワード線の奥から2本が、メインワード線信号MWLによって同時選択され、手前の1本のワード線がMWLで非選択となったことを示している。

【0142】

図ではこれらのワード線に属する不良セルを想定していないのでリーク電流の流れの様子は先の図11の場合と変わらない。逆バイアスとなるセルも新たにワード線グループ0で加わった1本のワード線に属する分である。

【0143】

以上、ワード線を3つ以上のグループに分けると、ワード線とビット線をそれぞれ層間で共有化した場合のクロスフェールなどのリーク電流を大幅に削減できることが分かった。次に、図10で示したようなマット選択とワード線グループの選択の関連付けを具体的に回路システムで実現する方法を説明する。

【0144】

選択セルの属するマット番号から決まる選択ワード線グループ番号をWG、ペアとして同時に選択される相補的な選択ワード線グループ番号をWGcとする。ワード線グループ数をiとして $WGc = i - k$ ($k = i, i - 1, i - 2, \dots, 2, 1$)とする。また、選択セルが属するマットの番号をmとする。mが与えられた時に選ぶワード線グループ番号は、図10で確立していて、 $2WGc \equiv -2k \equiv m - 1, m, m + 1, m + 2 \pmod{2i}$ として、kを計算することにより得られる。

【0145】

図18はそのようなワード線グループ番号を計算するためのブロック概念を示している。これは、ワード線グループ選択回路でもある。マット番号mが決まるとこれからまず、 $m - 1, m, m + 1, m + 2$ を求める。これらの結果を、 $2i$ を法としての合同数である既約剰余を求める回路ブロック、 $\text{residue} \pmod{2i}$ 、に入力して剰余を求める。次に各剰余をワード線グループ番号WGcに対応するデコーダ回路、すなわち2進数で表された剰余の各ビットのANDから $2WGc$ の2進数表現に一致するものを検索し、どれかが一致すれば選択信号としてWGcを立てる。またmの剰余から一致検索を行なった結果を選択信号WGとして、これが選択ワード線グループ番号となる。この一致検索の回路は、WGcが0から $i - 1$ のi個必要である。

【0146】

[ワード線選択信号発生回路—ternaryの場合]

ternaryの場合 ($i = 3$) について具体的なワード線選択信号発生回路を検討する。

【0147】

図19に示すように、マットの総数を32としマット番号がA10～A14の5ビットで2進表示されるものとする。各アドレスビットとマット番号mの関係は図19の上側の表に示した通りであり、WGcの0, 1, 2とmと $\text{mod } 6$ の関係は下の表に示した通りである。

【0148】

図20には、マット番号mを表すアドレスビットから $m - 1, m, m + 1, m + 2$ の $\text{mod } 6$ による既約剰余 $(m - 1)br, (m)br, (m + 1)br, (m + 2)br$ を求めるマット番号計算回路200を示す。左側の回路ブロック から順番に説明する。

- ・ $(m-1) \text{ br}$: 5ビット加算回路 (5 bit adder) 201に m のアドレスビットと、1の5ビットの補数11111を入力して加算結果の $m-1$ を求める。この結果を $\text{mod } 6$ の剰余を求める剰余回路(5 bit residue(6)) 202に入力して、剰余の2進数表現 $(m-1) \text{ br}$ ($r = 0 \sim 4$) を得る。
- ・ $(m) \text{ br}$: 5ビットの m のアドレスビットを $\text{mod } 6$ の剰余を求める剰余回路(5 bit residue(6)) 203に入力して剰余の2進数表現 $(m) \text{ br}$ ($r = 0 \sim 4$) を得る。
- ・ $(m+1) \text{ br}$: 5ビット加算回路 (5 bit adder) 204に m のアドレスビットと、1の5ビット表現00001を入力して加算結果の $m+1$ を求める。この結果を、 $\text{mod } 6$ の剰余を求める剰余回路 (5 bit residue(6)) 205に入力して剰余の2進数表現 $(m+1) \text{ br}$ ($r = 0 \sim 4$) を得る。
- ・ $(m+2) \text{ br}$: 5ビット加算回路 (5 bit adder) 206に m のアドレスビットと、2の5ビット表現00010を入力して加算結果の $m+2$ を求める。この結果を $\text{mod } 6$ の剰余を求める剰余回路 (5 bit residue(6)) 207に入力して剰余の2進数表現 $(m+2) \text{ br}$ ($r = 0 \sim 4$) を得る。

10

【0149】

図21は、上述の5ビット加算回路201、204、206の構成例である。この例は、数AとBを2進数で表した各桁の和をフルアダー及びハーフアダーで求めて表す加算器である。クロックなどの同期が必要でない入力が増加すれば出力も確定するようにして、システムのタイミング制御の負担を減らす構成としている。

【0150】

20

図22は、5ビットの $\text{mod } 6$ の剰余を求める剰余回路202、203、205、207の構成例である。これは、数Aを2進数で表した数が6以上になったことを検出する検出部221と、その検出結果に基づいて5ビットに対する6の補数26 ($= 32 - 6$) (即ち2進数表示で11010)を加える加算部222とから構成される。

【0151】

この回路も、クロックなどの同期が必要でなく、入力が増加すれば出力も確定するようにして、システムのタイミング制御の負担を減らす構成としている。

【0152】

図23と図24は、2進数の足し算を行なう基本的な単位であるフルアダーとハーフアダーを示している。フルアダーは加えるビットAとBをXORとXNOR回路でロジック演算を行い、桁上げ信号Cinとのロジックを更にとって、出力としてA、B、Cinの和Soutと桁上げ信号Coutを出力する。ハーフアダーは一般的なロジックゲートで構成できる。

30

【0153】

図25は、選択したマット番号 m から最終的にワード線グループを選択する選択信号WGと/WGcを発生する、グループ選択信号デコード回路210をternaryの場合 ($i = 3$) について示す。これは、 m から $\text{mod } 6$ の剰余として計算された $(m-1) \text{ br}$ ($r = 0 \sim 4$)、 $(m) \text{ br}$ ($r = 0 \sim 4$)、 $(m+1) \text{ br}$ ($r = 0 \sim 4$)、 $(m+2) \text{ br}$ ($r = 0 \sim 4$) が、2WGcがそれぞれ0、2、4に一致するものを検索する回路である。

40

【0154】

即ち一致検索は、それぞれの剰余ビットの一致／不一致を検出するAND回路群G0～G2で行い、4つの剰余のうちのいずれかが一致したら信号/WGcを立ち下げ、 $(m) \text{ br}$ ($r = 0 \sim 4$) が一致したら信号WGを立ち上げるという論理による。2WGc = 0の検索結果が信号WG0と/WGc0であり、2WGc = 2の検索結果が信号WG1と/WGc1であり、2WGc = 4の検索結果が信号WG2と/WGc2となる。

【0155】

[ワード線グループ選択信号発生回路—quadrupleの場合]

次に、quadrupleの場合 ($i = 4$) の具体的なワード線グループ選択信号発生回路を検討する。マットの総数を32としマット番号がA10～A14の5ビットで2進表示され

50

るものとする。各アドレスビットと m の関係は、図26の上側の表に示した通りである。選択信号 WGc の0, 1, 2, 3と m と $\text{mod } 8$ の関係は下の表に示した通りである。

【0156】

図27には、マット番号 m を表すアドレスビットから $m-1$, m , $m+1$, $m+2$ の $\text{mod } 8$ による既約剰余 $(m-1)bm$, $(m)bm$, $(m+1)bm$, $(m+2)bm$ を求めるマット番号計算回路300を示す。左側の回路ブロックから順番に説明する。

- ・ $(m-1)bm$: 5ビット加算回路(5 bit adder)301に m のアドレスビットと、1の5ビットの補数11111を入力して加算結果の $m-1$ を求める。この結果を $\text{mod } 8$ の剰余を求める剰余回路(5 bit residue(8))302に入力して、剰余の2進数表現 $(m-1)bm$ ($m=0\sim 4$)を得る。

10

- ・ $(m)bm$: 5ビットの m のアドレスビットを $\text{mod } 8$ の剰余を求める剰余回路(5 bit residue(8))303に入力して剰余の2進数表現 $(m)bm$ ($m=0\sim 4$)を得る。

- ・ $(m+1)bm$: 5ビット加算回路(5 bit adder)304に m のアドレスビットと、1の5ビット表現00001を入力して加算結果の $m+1$ を求める。この結果を、 $\text{mod } 8$ の剰余を求める剰余回路(5 bit residue(8))305に入力して剰余の2進数表現 $(m+1)bm$ ($m=0\sim 4$)を得る。

- ・ $(m+2)bm$: 5ビット加算回路(5 bit adder)306に m のアドレスビットと、2の5ビット表現00010を入力して加算結果の $m+2$ を求める。この結果を $\text{mod } 8$ の剰余を求める剰余回路(5 bit residue(8))307に入力して剰余の2進数表現 $(m+2)bm$ ($m=0\sim 4$)を得る。

20

【0157】

図28は、5ビットの $\text{mod } 8$ の剰余を求める剰余回路(5 bit residue(8))302, 303, 305, 307の構成例である。これは、数 A を2進数で表した数が8以上になったことを検出する検出部321と、その検出結果に基づいて5ビットに対する8の補数24 ($=32-8=24$) (即ち2進数表示で11000)を加える加算部322とから構成される。

【0158】

図29は、選択したマットの番号 m から最終的にワード線グループを選択する選択信号 WG と $\neg WGc$ を発生するグループ選択信号デコード回路310をquadrupleの場合($i=4$)について示す。これは、 m から $\text{mod } 8$ の剰余として計算された $(m-1)bm$ ($m=0\sim 4$), $(m)bm$ ($m=0\sim 4$), $(m+1)bm$ ($m=0\sim 4$), $(m+2)bm$ ($m=0\sim 4$)が、 $2WGc$ がそれぞれ0, 2, 4, 6に一致するものを検索する回路である。

30

【0159】

即ち一致検索は、それぞれの剰余ビットの一致/不一致を検出するAND回路群 $G0\sim G3$ で行い、4つの剰余のうちのいずれかが一致したら信号 $\neg WGc$ を立ち下げ、 $(m)bm$ ($m=0\sim 4$)が一致したら信号 WG を立ち上げるという論理による。 $2WGc=0$ の検索結果が信号 $WG0$ と $\neg WGc0$ であり、 $2WGc=2$ の検索結果が信号 $WG1$ と $\neg WGc1$ であり、 $2WGc=4$ の検索結果が信号 $WG2$ と $\neg WGc2$ であり、 $2WGc=6$ の検索結果が信号 $WG3$ と $\neg WGc3$ となる。

40

【0160】

以上説明したようにこの実施の形態によれば、クロスポイントセルによって構成された3Dメモリデバイスにおいて、積層されたメモリマットの活性化を3以上の層のグループに分けて選択的に行うことによって、クロスフェールのリーク電流の影響を抑制しつつ、セルアレイ下の基板上のデコーダ回路への垂直配線の接続部レイアウト面積を小さくすることができる。

【図面の簡単な説明】

【0161】

【図1】実施の形態による3D-ReRAMの構成を示す図である。

【図2】同ReRAMの単位セルアレイの等価回路である。

50

【図 3】同 ReRAM の積層されたセルピラーの選択状態を説明するための図である。

【図 4】同 ReRAM の各層のクロスフェールの影響を示す図である。

【図 5】セルピラーでのクロスフェールの影響の及ぶ様子を示す図である。

【図 6】16 層マツ構成での binary グループ化の場合のリーク電流分布を示す図である。

【図 7】同じく ternary グループ化の場合のリーク電流分布を示す図である。

【図 8】同じく quadruple グループ化の場合のリーク電流分布を示す図である。

【図 9】16 層マツの例でのセルピラーと 3 種のワード線グループをまとめて示している。

【図 10】ワード線グループと、グループ選択に属するマツ番号をグループ毎にまとめて示す。 10

【図 11】3 以上のグループ化を行った場合のリーク電流の層間影響を示す図である。

【図 12】ビット線／ワード線選択回路の構成を示す図である。

【図 13】メモリチップの構成と活性化選択の方式を説明するための図である。

【図 14】部分ロウデコーダ回路と転送ゲート回路部の構成を示す図である。

【図 15】ワード線グループ選択／非選択とワード線インピーダンス状態及びレベルを示す図である。

【図 16】ternary グループ化の場合の実際のリーク電流分布を図 7 と対応させて示す図である。

【図 17】同じく実際のリーク電流の影響を図 11 と対応させて示す図である。 20

【図 18】選択マツ番号からワード線グループ選択信号 WG, WGc を計算する方式を説明するための図である。

【図 19】ternary グループ化の場合のアドレスビットとマツ番号の関係及び選択信号 WGc とマツ番号の関係を示す図である。

【図 20】ternary グループ化の場合のアドレスビットからマツ番号の既約剰余を求める回路を示す図である。

【図 21】図 20 に用いられる 5 ビットアダー回路構成を示す図である。

【図 22】同じく 5 ビット剰余回路構成を示す図である。

【図 23】フルアダー構成を示す図である。

【図 24】ハーフアダー構成を示す図である。 30

【図 25】ternary グループ化の場合のワード線グループ選択信号発生回路を示す図である。

【図 26】quadruple グループ化の場合のアドレスビットとマツ番号の関係及び選択信号 WGc とマツ番号の関係を示す図である。

【図 27】quadruple グループ化の場合のアドレスビットからマツ番号の既約剰余を求める回路を示す図である。

【図 28】図 27 に用いられる 5 ビット剰余回路構成を示す図である。

【図 29】t quadruple グループ化の場合のワード線グループ選択信号発生回路を示す図である。

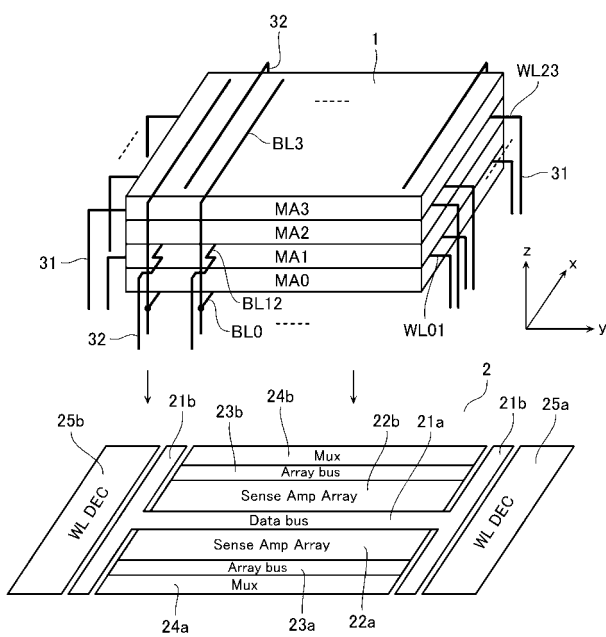
【符号の説明】 40

【0162】

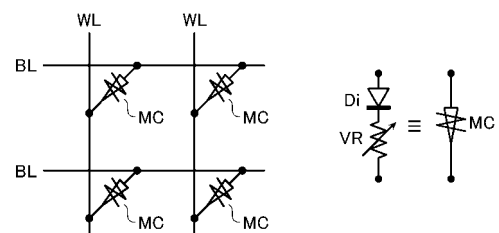
1…セルアレイブロック、2…制御回路、31, 32…垂直配線、MA (MA0, MA1, …)…セルアレイ (マツ)、BL (BL0, BL12, BL3)…ビット線、WL (WL01, WL23)…ワード線、21a, 21b…データバス、22a, 22b…センスアンプアレイ、23a, 23b…アレイバス、24a, 24b…ビット線マルチプレクサ、25a, 25b…ワード線デコーダ／マルチプレクサ、100…スタンバイユニット、101…ワード線ドライバ、103…ビット線選択回路、104…状態遷移安定化回路、105…ビット線リセット回路、106…センスアンプ回路、107…不良セル有無判定回路、131…メインワード線デコーダ、132…転送ゲート回路、141…ワード線ドライバ、142…部分ロウデコーダ、201, 204, 206…5 ビットアダー、2 50

02, 203, 205, 207…5ビット剰余回路、301, 304, 306…5ビットアダー、302, 303, 305, 307…5ビット剰余回路、200, 300…マツト番号計算回路、210, 310…グループ選択信号デコード回路。

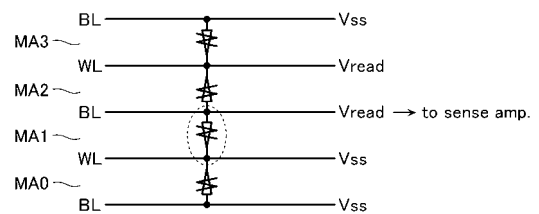
【図1】



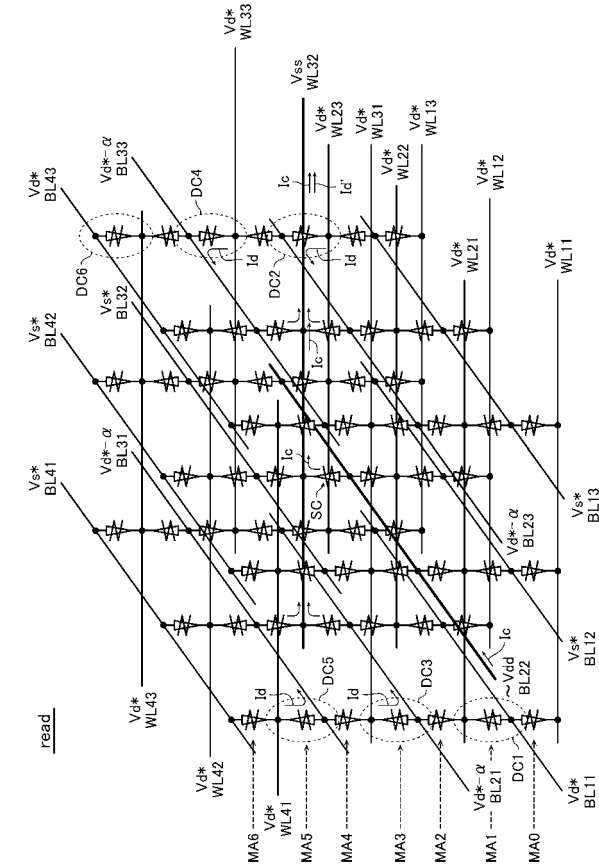
【図2】



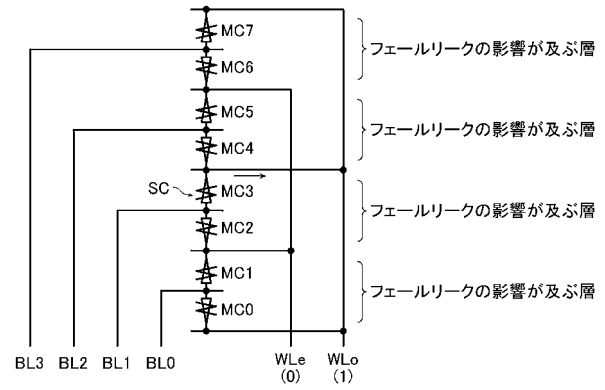
【図3】



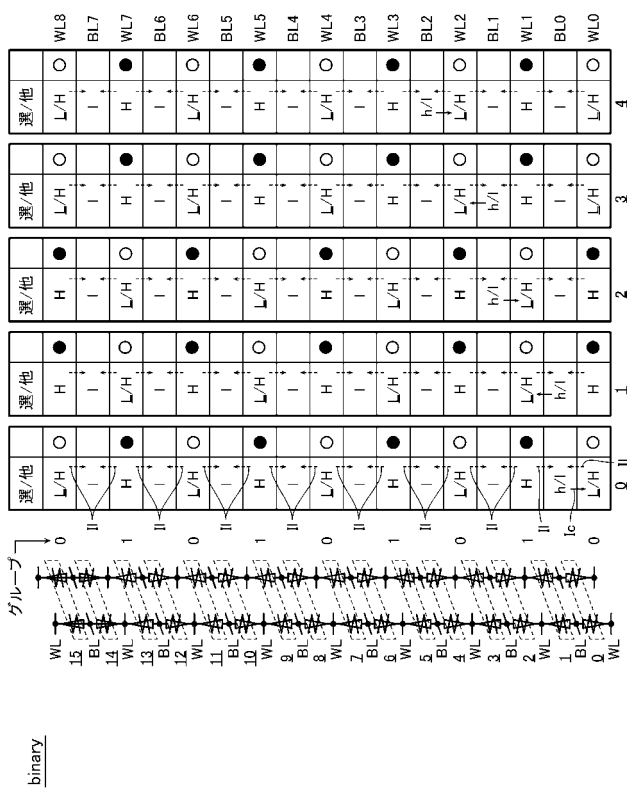
【図 4】



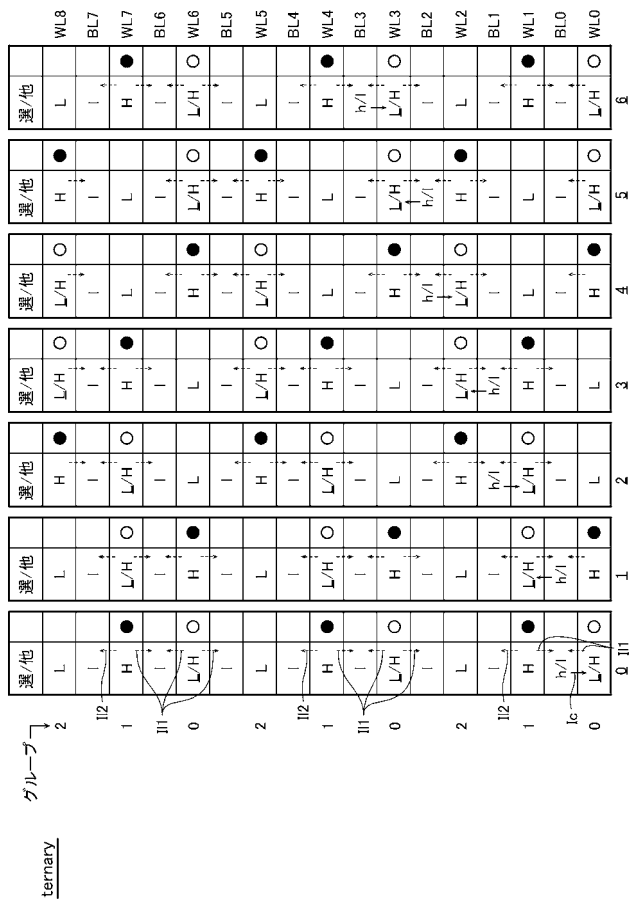
【図 5】



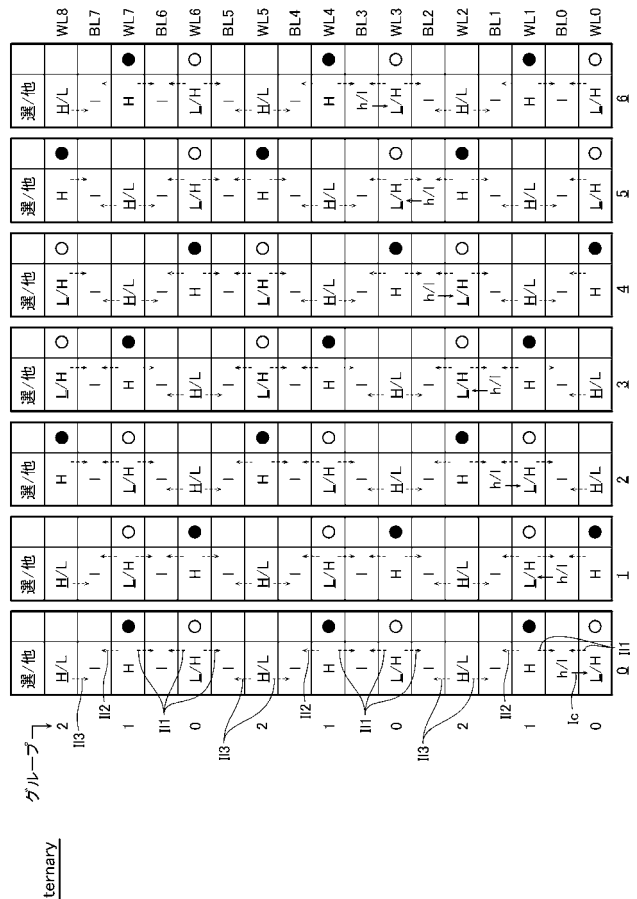
【図 6】



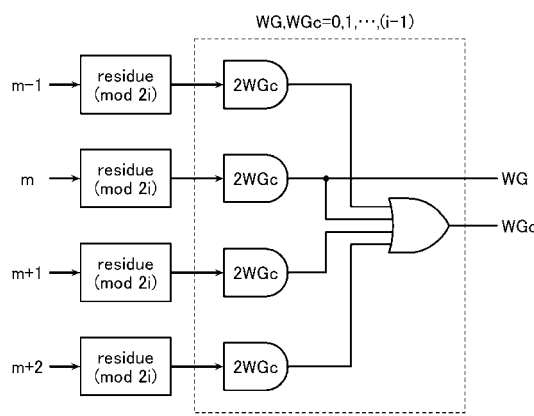
【図 7】



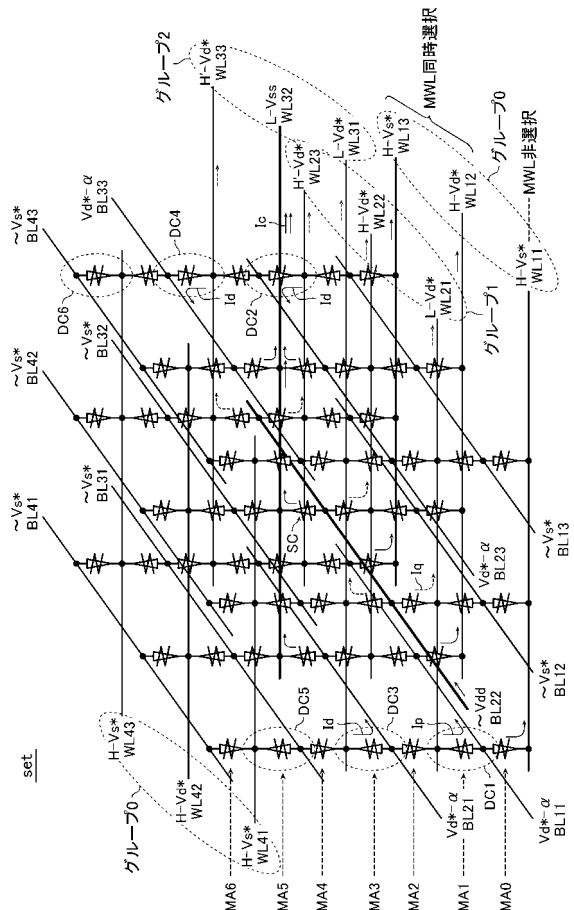
【図 16】



【図 18】



【図 17】



【図 19】

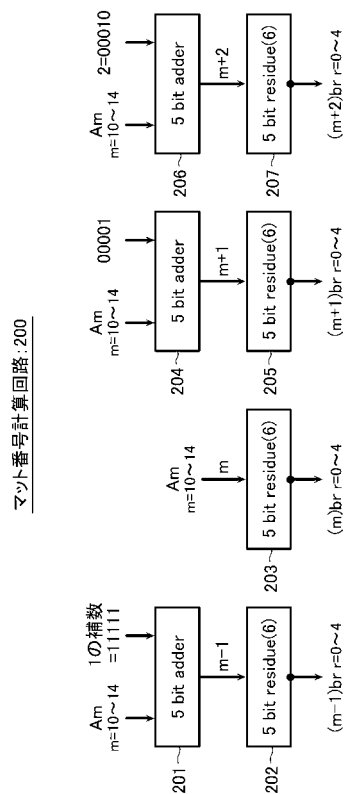
i=3 の場合(ternary)

A14~A10
(mat総数32)

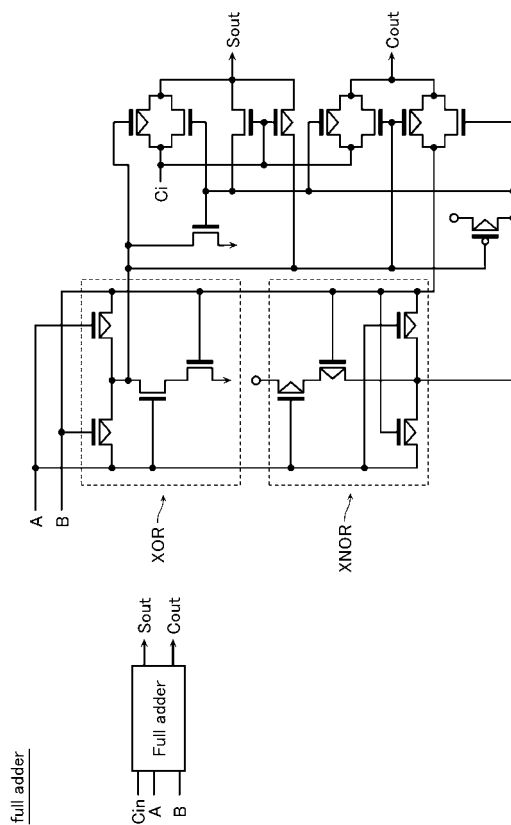
A14	A13	A12	A11	A10	m
0	0	0	0	0	0
0	0	0	0	1	1
0	0	0	1	0	2
0	0	0	1	1	3
.....					...
1	1	1	1	1	31

WGc (ternary)	m	mod 6
2	2,3,4,5,8,9,10,11,14,15,...	2,3,4,5
1	0,1,2,3,6,7,8,9,12,13,14,15,...	0,1,2,3
0	0,1,4,5,6,7,10,11,12,13,...	1,4,5,0

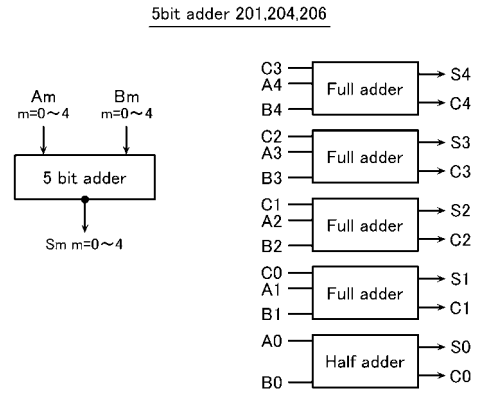
【図 20】



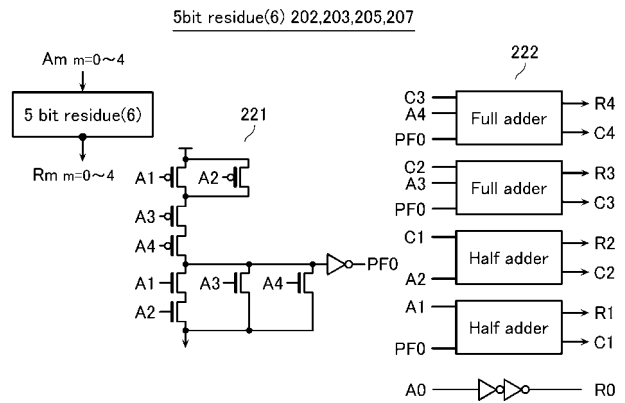
【図 23】



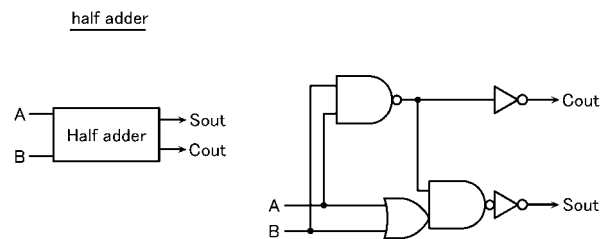
【図 21】



【図 22】

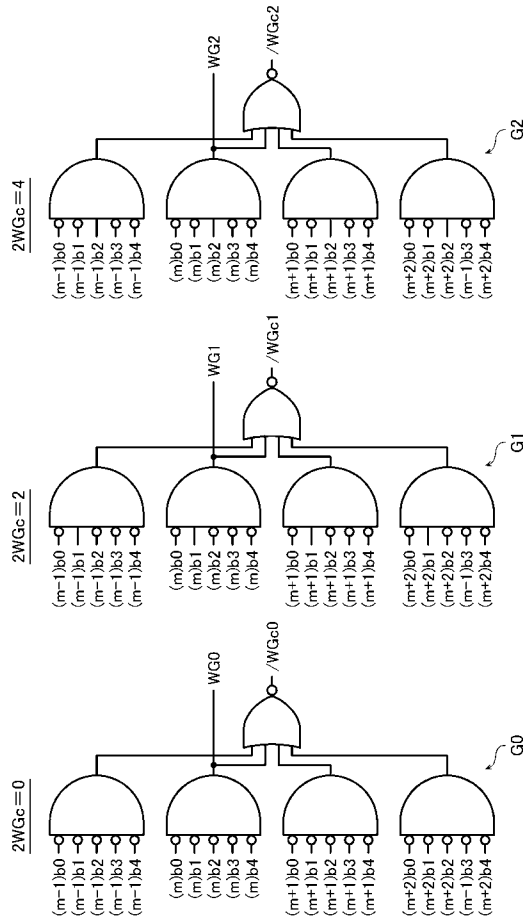


【図 24】



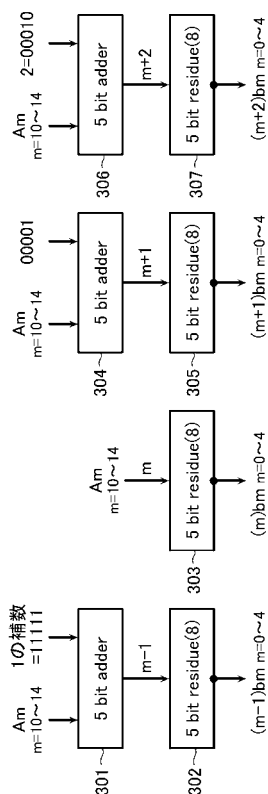
【図 25】

グループ選択信号デコード回路: 210
i=3の場合(ternary)



【図 27】

マント番号計算回路: 300



【図 26】

i=4の場合(quadruple)

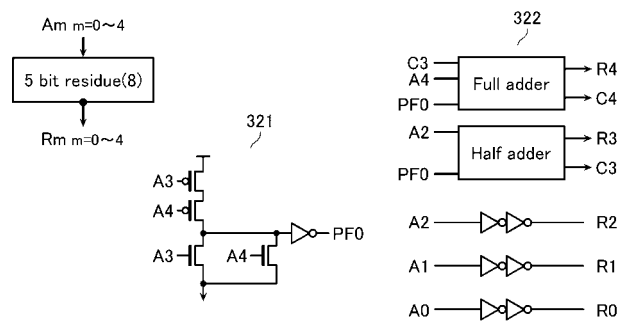
A14~A10
(mat総数32)

A14	A13	A12	A11	A10	m
0	0	0	0	0	0
0	0	0	0	1	1
0	0	0	1	0	2
0	0	0	1	1	3
.....					...
1	1	1	1	1	31

WGc (quadruple)	mat番号	mod 8
3	4,5,6,7,12,13,14,15,...	4,5,6,7
2	2,3,4,5,10,11,12,13,...	2,3,4,5
1	0,1,2,3,8,9,10,11,...	0,1,2,3
0	0,1,6,7,8,9,14,15,...	6,7,0,1

【図 28】

5bit residue(8) 302,303,305,307



【図 29】

グループ選択信号デコード回路:310
 $i = 4$ の場合 (quadruple)

