(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3679853号
(P3679853)
(45)発行日　平成17年8月3日(2005.8.3)　(24)登録日　平成17年5月20日(2005.5.20)

(51)Int.Cl.[7]　F I
G11B 20/14　G11B 20/14　341A
H03M 13/25　H03M 13/25

請求項の数 17　(全 20 頁)

(21)出願番号　特願平8-58754
(22)出願日　平成8年3月15日(1996.3.15)
(65)公開番号　特開平9-251725
(43)公開日　平成9年9月22日(1997.9.22)
審査請求日　平成12年8月4日(2000.8.4)

(73)特許権者　503136004
株式会社日立グローバルストレージテクノロジーズ
神奈川県小田原市国府津２８８０番地
(74)代理人　100075096
弁理士　作田　康夫
(72)発明者　アレクサンダー・クズネソフ
東京都国分寺市東恋ケ窪１丁目２８０番地　株式会社日立製作所中央研究所内
(72)発明者　梅本　益雄
東京都国分寺市東恋ケ窪１丁目２８０番地　株式会社日立製作所中央研究所内

最終頁に続く

(54)【発明の名称】ディジタル記録再生方法および信号処理装置

(57)【特許請求の範囲】

【請求項１】

磁気ヘッドと磁気ディスクとを含む記録再生系と、該記録再生系からの記録再生信号を処理する信号処理回路系とを有する磁気記録再生装置において、該信号処理回路系は、記録すべき信号をそれぞれ固有のビット長をもつｎ（ｎは２以上)個のデータ系列を形成するように順次に分配し、ビット長の短い少なくとも１つのデータ系列に対して符号化ビットを追加することによって上記データ系列を同一ビット長とし、上記ｎ個のデータ系列をそれぞれ１ビットずつ出力してｎビットの並列データを順次に生成する第１の符号化手段と、上記第１の符号化手段から与えられるｎビット単位の入力データ毎に、該入力データのビットパターンと既に変換済の複数ビット分の記録符号の状態とによって決まるｎビットの記録符号に変換する第２の符号化手段とを有し、上記第２の符号化手段が、上記ｎビット入力データがとり得るビットパターンに対して、所定のハミング距離にある２つのビットパターンの組合せ毎に、３ビット以上の符号間干渉を考慮したそれぞれの記録符号のパーシャルレスポンス等化出力が４以上のユークリッド距離をもつように、変換後の記録符号を割り当てることを特徴とする信号処理装置を有することを特徴とする磁気記録再生装置。

【請求項２】

前記第２の符号化手段から並列的に出力されるｎビットの記録符号を所定順序の直列データに変換する変換手段を有し、上記直列データを記録媒体への書き込手段に供給するようにしたことを特徴とする請求項１に記載の磁気記録再生装置。

【請求項３】
前記第１の符号化手段が、記録すべきディジタルデータをそれぞれが固有のビット長となるように第１、第２、第３のデータ系列に分配する手段と、上記データ系列のうちの少なくとも１つから第１のビット長をもつ第１の符号化情報を生成し、第１のデータ系列の後に挿入する第１の符号演算手段と、上記データ系列のうちの少なくとも１つから第２のビット長をもつ第２の符号化情報を生成し、該第２のデータ系列の後に挿入する第２の符号演算手段とを有し、上記第３のデータ系列の最終ビットと上記第１、第２の符号化情報の最終ビットとが並列的に出力されるように、上記各データ系列のビット長と符号化情報のビット長とが関係付けられていることを特徴とする請求項１または請求項２に記載の磁気記録再生装置。
【請求項４】
前記第１の符号演算手段が、前記第１、第２のデータ系列のデータ内容と対応したリードソロモン誤り訂正符号を生成し、前記第２の符号演算手段が前記第２のデータ系列のデータ内容と対応したパリティビットを生成することを特徴とする請求項３に記載の磁気記録再生装置。
【請求項５】
前記第１の符号化手段が、前記ディジタルデータをそれぞれが固有のビット長となるように第１、第２のデータ系列に分配する手段と、上記第１のデータ系列から第１のビット長をもつ第１の符号化情報を生成し、該第１のデータ系列の後に挿入する第１の符号演算手段と、上記第２のデータ系列から第２のビット長をもつ第２の符号化情報を生成し、該第２のデータ系列の後に挿入する第２の符号演算手段とを有し、上記第１、第２の符号化情報の最終ビットとが並列的に出力されるように、上記各データ系列のビット長と符号化情報のビット長とが関係付けられていることを特徴とする請求項１または請求項２に記載の磁気記録再生装置。
【請求項６】
前記第１の符号演算手段がハミング符号を生成し、前記第２の符号演算手段がパリティビットを生成することを特徴とする請求項３または請求項５に記載の磁気記録再生装置。
【請求項７】
前記第１の符号化手段が、記録すべきディジタルデータをそれぞれが固有のビット長をもつように第１、第２、第３のデータ系列に分配する手段と、上記第１のデータ系列から第１のビット長をもつ第１の符号化情報を生成し、該第１のデータ系列の後に挿入する第１の符号演算手段と、上記第２のデータ系列から第２のビット長をもつ第２の符号化情報を生成し、該第２のデータ系列の後に挿入する第２の符号演算手段と、上記第３のデータ系列から第３のビット長をもつ第３の符号化情報を生成し、該第３のデータ系列の後に挿入する第３の符号演算手段とを有し、上記第１、第２、第３の符号化情報の最終ビットが並列的に出力されるように上記各データ系列のビット長と符号化情報のビット長とが関係付けられていることを特徴とする請求項１または請求項２に記載の磁気記録再生装置。
【請求項８】
前記第１、第２、第３の符号演算手段の内の１つがリードマラー符号を生成することを特徴とする請求項７に記載の磁気記録再生装置。
【請求項９】
前記第１、第２、第３の符号演算手段の内の１つが畳み込み符号を生成することを特徴とする請求項７に記載の磁気ディスク理装置。
【請求項１０】
前記第１、第２、第３の符号演算手段の内の１つがハミング符号を生成することを特徴とする請求項７に記載の磁気ディスク理装置。
【請求項１１】
前記第１、第２、第３の符号演算手段の内の１つがパリティ符号を生成することを特徴とする請求項７に記載の磁気記録再生装置。
【請求項１２】

磁気ヘッドと磁気ディスクとを含む記録再生系と、該記録再生系からの記録再生信号を処理する信号処理回路系とを有する磁気記録再生装置において、

該信号処理回路系は、記録すべき信号をそれぞれ固有のビット長をもつｎ（ｎは２以上)個のデータ系列を形成するように分配し、ビット長の短い少なくとも１つのデータ系列に対して符号化ビットを付加することによって上記データ系列を同一ビット長とし、上記ｎ個のデータ系列からそれぞれ１ビットずつ出力してｎビットの並列データを順次に生成する第１の符号化手段と、

上記第１の符号化手段から与えられるｎビット単位の入力データを該入力データのビットパターンと既に変換済の複数ビット分の記録符号の状態とによって決まるｎビットの記録符号へ変換する第２の符号化手段とを有し、

上記第２の符号化手段は、上記ｎビット入力データがとり得るビットパターンに対して、所定ビット位置で所定のハミング距離にある２つのビットパターンの組毎に、３ビット以上の符号間干渉を考慮した各記録符号のパーシャルレスポンス等化出力が１６以上のユークリッド距離をもつように記録符号を割り当て、

前記信号処理回路系は、記録媒体からの再生信号をパーシャルレスポンス等化する等化回路と、上記等化回路の出力信号を最尤判定によってビット列に変換する最尤復号手段と、

上記復号されたビット列を前記第１の符号化結果に対応する複数のデータ系列に分離する手段と、

上記分離されたデータ系列のうち、記録時に前記第１の符号化によって符号化ビットが付加されたデータ系列について、符号化ビットを除去すると共に、誤り訂正可能なビット系列については上記符号化ビットを利用した誤り訂正処理を施す符号化ビット処理手段と、

上記処理手段から得られる符号化ビットを除去したデータ系列と、

記録時に符号化ビットが付加されていないデータ系列については上記分離手段で分離したデータ系列とを１つのディジタルデータ列に統合するデータビット統合手段とを有することを特徴とする磁気記録再生装置。

【請求項１３】

前記符号化ビット処理手段が、前記符号化ビットに基づいてデータ系列の誤り訂正処理を行い、訂正不能な誤りがあった場合は、エラー表示信号を発生することを特徴とする請求項１２に記載の磁気記録再生装置。

【請求項１４】

前記最尤復号手段が、復号結果に関する信頼度を示す情報を発生し、前記符号化ビット処理手段が、上記信頼度情報に応じて、データ系列の誤り訂正処理を行うことを特徴とする請求項１２または請求項１３項に記載の磁気記録再生装置。

【請求項１５】

前記信号処理回路系が、前記最尤復号手段から出力されるビット列を入力としてに同期信号を生成する同期信号生成手段を有し、前記分離手段が、上記同期信号に基づいて、前記復号結果から複数のデータ系列を分離することを特徴とする請求項１２から請求項１４項の何れか１項に記載の磁気記録再生装置。

【請求項１６】

磁気ヘッドと磁気ディスクとを含む記録再生系と、該記録再生系からの記録再生信号を処理する信号処理回路系とを有する磁気記録再生装置において、

該信号処理回路系は、外部から供給されたディジタルデータを所定の順序で分配し、それぞれ固有のビット長をもつｎ（ｎは２以上)個のデータ系列を形成し、各データ系列からそれぞれ１ビットずつ出力してｎビットの並列データを順次生成するための手段と、少なくとも１つのデータ系列の内容から符号化ビットを生成し、ビット長の短い少なくとも１つのデータ系列でデータ不足となっているビット位置に上記符号化ビットを挿入するための手段とからなる第１の符号化手段と、

上記第１の符号化手段からｎビット単位で供給される入力データを既に変換済の複数ビ

ット分の記録符号の状態によって異なるｎビットの記録符号に変換する第２の符号化手段と、

上記第２の符号化手段によって生成されるｎビットの記録符号をシリアルな記録符号列に変換して出力するための変換手段とを有し、

上記第２の符号化手段が、上記ｎビット入力データがとり得るビットパターンに対して、符号化ビットを伴わないデータ系列に該当するビットまたは符号化ビット長の最も短いデータ系列に該当するビットの位置で最小ハミング距離にある２つのビットパターンの組毎に、３ビット以上の符号間干渉を考慮した各記録符号のパーシャルレスポンス等化出力が１６以上のユークリッド距離をもつように記録符号を割り当てることを特徴とする信号処理装置を有する磁気記録再生装置。

【請求項１７】

磁気ヘッドと磁気ディスクとを含む記録再生系と、該記録再生系からの記録再生信号を処理する信号処理回路系とを有する磁気記録再生装置において、

該信号処理回路系は、記録すべきディジタルデータに対して、ハミング距離を増加させるための符号化を行い、ｎ（ｎは２以上)ビットの並列データを順次に生成する第１の符号化手段と、

上記第１の符号化手段から受け取ったｎビットの入力データ毎に、該入力データのビットパターンと既に変換済の複数ビット分の記録符号の状態とによって決まるｎビットの記録符号に変換する第２の符号化手段と、

上記第２の符号化手段から出力されるｎビットの記録符号をシリアルな記録符号列に変換するための変換手段とを有し、

上記第２の符号化手段が、上記ｎビット入力データがとり得るビットパターンに対して、符号化ビットを伴わないデータ系列に該当するビット位置、または符号化ビット長の最も短いデータ系に該当するビット位置で所定のハミング距離にある２つのビットパターンの組毎に、３ビット以上の符号間干渉を考慮した各記録符号のパーシャルレスポンス等化出力が１６以上のユークリッド距離をもつように、記録符号を対応付けることを特徴とする信号処理装置を有する磁気記録再生装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明はディジタル記録再生方法および装置に関し、更に詳しくは、ディジタルデータを高密度に記録する磁気ディスク装置に適したディジタル信号の記録／再生方法、信号処理方法およびこれを適用した装置に関する。

【０００２】

【従来の技術】

近年、特に3.5インチ以下の小型の磁気記録媒体への記録密度の高度化、高速化の要求が高まっている。その理由の１つは、大容量ストレージ装置の中心が、ＲＡＩＤ(Redundant Arrays of In- expensive Disk）システムに移行し、ハイエンド小型磁気ディスクの性能がシステム性能に直接的な影響を及ぼすためである。

また、小型磁気ディスクの主要な用途であるパーソナルコンピュータでは、ＧＵＩ(Graphical User Interface）等、ヒューマンインターフェースを考慮した大規模なソフトウェアが必然的となり、例えば１９９５年のディスク容量の目標は、２.５インチディスク装置の場合でも１ギガバイト程度と言われている。このような要求を満たすためには、現在の製品レベルの最高記録密度(８００Mbit/平方インチ)では、２.５インチディスクが２～３枚(４～６面記録)必要となる。これをディスク１枚（２面)で記録するためには、約１.５Gbit/平方インチの高密度記録が必要となる。

また、パーソナルコンピュータの演算速度も、１９９５年で３００ＭＩＰＳ（Million computer Instructions Per Second)に達する勢いであり、小型磁気ディスクの高速化が要求されている。現状のハイエンド磁気ディスクにおいて、ディスク内の記録再生速度は８０Mbit/sec～１２０Mbit/secである。

【０００３】
このような磁気ディスクの進展を支えるために、記録再生系の信号処理技術も高密度記録、高速記録への対応を図ってきた。例えば、記録符号では、高速化のためにコードレートに注目して、コードレートが２／３のランレングス制限符号からコードレート８／９の記録符号が主流となってきた。一方、高密度記録のため、正確には記録ビットの間隔が狭くなったため、ビット毎の信号間の干渉が大きくなり、従来のピーク検出方式では、元の記録信号を再生識別するために必要な信号対雑音比の仕様値が高くなるため、符号間干渉を考慮に入れたパーシャルレスポンス等化を用い、さらに、雑音の影響を前提として、再生信号から最も確からしい信号列を検出できる最尤復号を採用するＰＲ４ＭＬ(Partial Response class 4 with Maximum Likelihood decoding)方式が検討され、既にそのＬＳＩが開発され、製品に実装されつつある。
更に大きな符号間干渉を前提とした記録再生系では、パーシャルレスポンスの等化方法をＰＲ４からＥＰＲ４(Extended PR4)に変更する必要がある。また、これに対応して、ＭＬ(Maximum Likelihood decoding；最尤復号）回路を２状態から８状態へと複雑化する必要がある。この場合、状態の数は、最も確からしい信号にを見つけ出すための候補の数と考えてよい。ＥＰＲ４ＭＬ回路の磁気ディスクへの適用は、例えば、特公平７－２４９９８において言及されている。
【０００４】
一方、トラック密度を大きくした高密度記録では、記録再生系の信号対雑音比が低下するため、その救済が大きな課題となっているが、この課題に対する解決策の１つにトレリス符号の利用がある。ＭＬ回路ではディジタル処理を行っているため、ＬＳＩ化が比較的容易である。従って、複雑なＭＬ処理の使用を前提として、例えば、記録符号そのものにＭＬ処理に適した特性を持たせることによって、低い信号対雑音比に対処できる。
ＭＬ処理は、符号の遷移状態、すなわちトレリス線図に注目するので、ＭＬ処理を前提とした記録符号は、トレリス符号と呼ばれる。この検討は、８０年代中頃から通信理論の研究者によって開始され、実用的な記録符号化技術とするために、再生等化方式との整合性、同一符号の連続数を制限すること、エラー伝幡の対策、ＤＣ成分の除去などの検討が進められた。
【０００５】
例えば、１９９１年には電気電子技術者協会の情報理論に関する雑誌（IEEE transactions on information theory）の第３７巻、第３号、Ｐ８１８－８５５には、ＤＣフリーを特徴とするＭＳＮ（Matched Spectral Null）符号と呼ばれるトレリス符号の理論的検討が報告されており、そこにはコードレートが１／２でｂｉ－ｐｈａｓｅのＭＳＮ符号がＥＰＲ４等化の適用できることが示されている。ｂｉ－ｐｈａｓｅ符号とは、例えば図２１に示すように、データビット(Ｄ）の「１」に対して記録符号(Ｃ）として「１０」、又は「０１」を対応させ、データビット「０」に対して「１１」あるい「００」を対応させて記録信号（Ｃ'）を形成する方式である。
また、１９９５年に発行された電気電子技術者協会の磁気に関する雑誌（IEEE transactions on magnetics）の第３１巻、第２号、Ｐ１２０８－１２１３にはＰＲ４等化を前提としてコードレートが８／１０であるＭＳＮ符号のＬＳＩ試作に関する報告がなされている。
【０００６】
ＭＬ復号によって信号対雑音比の大きな救済を実現するためには、記録符号の等化出力符号系列におけるユークリッド距離を広げる必要がある。ユークリッド距離の２乗「dE^2」は、実数値をとる長さが、ｎの２つの符号系列「$u=u_1、u_2、……、un$」と「$v=v_1、v_2、……、vn$」の間で次式で定義されるものである。
【０００７】
【数１】

$$dE^2 = \left(\sum_{i=1}^{n} | u_i - v_i |^2 \right) \quad \cdots\cdots\cdots\cdots \text{（数１）}$$

【０００８】
受信値は、本来の正しい復号値に雑音が加わったものであり。雑音のない本来の等化出力系列においてｄＥが大きい記録符号群を選択すると、受信値への雑音の影響が少なくなり、最も確からしい符号が復号しやすい。

【０００９】
ｄＥを確保するための１つの方法が、「セットパーティション」と呼ばれる方式であり、等化出力系列においてｄＥが確保された複数組の記録符号が使用される。図２２にその１例を示す。

ここでは、入力データビットＤが２ビット毎に区切られるものとし、「００」から「１１」までの４種類のビットパターンに対して、それぞれ記録符号Ｃを割り当てる。各記録符号は、磁気ヘッドを介して磁気ディスクに磁気記録され、再生時には、ＰＲ（１、－１）等化を受ける。この等化による予想出力を図２２にＥで示す。この例では、データＤを第２番目ビットが異なる２つのビットパターンを組にして示してある。

例えば、「００」と「０１」の組に対し、記録符号「００」、「１０」が割当てられている。記録符号「００」、「１０」を再生した時、ＰＲ（１，－１）等化出力は「０、０」と「２、－２」で与えられ、そのユークリッド距離の二乗dE^2は「$2^2+(-2)^2=8$」となる。

【００１０】
図２３は、当該記録符号が「１０」、その直前の記録符号の状態が「＊０」（ここで、記号＊は、０または１のどちらでも良いことを意味している）で、状態Ｓ０として表される場合に、ＰＲ（１、－１）等化出力が「２、－２」となる様子を示している。

ＰＲ（１、－１）等化では、記録符号「１」に対して、符号間干渉を考慮した「１、－１」で表される応答が得られるように等化する。すなわち、当該ビット出力以外に１ビットの符号間干渉を仮定している。このように、磁気記録に合致した符号間干渉を考慮した応答方式を採用することによって、雑音強調の少ない磁気記録に適した等化方式が得られる。記録符号が「０」の場合は、「１」の反転出力で、「－１、１」応答となる。各記録符号のＰＲ（１、－１）等化出力を加算したものが、等化出力として得られる。当該記録符号の出力は、図２３に示すように「２、－２」となる。その他の記録符号についても、上記と同様に予想出力を計算でき、２つの記録符号の予想等化出力の違いから、ユークリッド距離が求められる。このように、ＰＲ（１、－１）等化によるセットパーティションの組合せを考慮すると、そのユークリッド距離の二乗dE^2は「８」である。

【００１１】
同様に、もし、前述したＥＰＲ４に適合する大きなユークリッド距離を持つセットパーティションを形成でき、その記録符号群を用いてトレリス符号を構成できれば、従来方式以上に雑音に強い記録符号が構成できる。しかしながら、ＥＰＲ４は、記録符号に３ビットの符号間干渉を考慮する方式であるため、記録符号の選択は、入力データビットＤだけでなく、その直前の記録符号Ｃにも依存している。これらの点を考慮したＥＰＲ４用のセットパーティションの構成についての提案は未だなされていない。

【００１２】
【発明が解決しようとする課題】
ＥＰＲ４等化に適合する従来のトレリス符号は、ｂｉ－ｐｈａｓｅ符号などを基本としているためにコードレートが低く、一方、コードレートが高いトレリス符号は、ＥＰＲ４等化に適合した方式になっていない。

本発明の第１の目的は、コードレートが高く、ＥＰＲ４に適合したユークリッド距離の

大きいトレリス符号を生成できるディジタル記録方法および装置を提供することにある。

本発明の第２の目的は、例えば３．５”以下の小型磁気ディスクにように、高密度記録に適したディジタル記録／再生方法、ディジタル記録用の信号処理方法および回路装置を提供することにある。

本発明の第３の目的は、ＬＳＩ設計が比較的容易なディジタルによる信号処理部の占める割合を大きく、例えば、ＣＭＯＳまたはＢｉ－ＣＭＯＳプロセスで容易にＬＳＩ化できるディジタル記録用の信号処理回路を提供することである。

【００１３】

本発明の第４の目的は、ＥＰＲ４による等化を採用とする高密度記録に適した磁気記録装置を提供することにある。

【００１４】

【課題を解決するための手段】

上記課題を解決するため、本発明のディジタル記録では、入力ディジタルデータに対して、ハミング距離を増加させるための第１の符号化と、ＥＰＲ４に適合したユークリッド距離の大きな記録符号の組合せをもつ第２の符号化を施すことを特徴とする。

更に詳述すると、本発明では、第１の符号化において、記録すべきディジタルデータをそれぞれ固有のビット長をもつｎ（ｎは２以上)個のデータ系列を形成するように順次に分配し、ビット長の短い少なくとも１つのデータ系に対しては符号化ビットを追加することによって上記各データ系列を同一ビット長とし、上記ｎ個のデータ系列からそれぞれ１ビットずつ出力してｎビットの並列データを順次に生成し、第２の符号化において、上記第１の符号化で得られるｎビット単位の入力データ毎に、該入力データのビットパターンと既に変換済の複数ビット分の記録符号の状態とによって決まるｎビットの記録符号に変換する。

【００１５】

上記第２の符号化における変換則は、上記ｎビット入力データがとり得るビットパターンに対して、所定のハミング距離にある２つのビットパターンの組毎に、３ビット以上の符号間干渉を考慮した各記録符号のパーシャルレスポンス等化出力が充分に大きなユークリッド距離をもつように、記録符号を対応付ける。

具体的に言うと、本発明では、符号化ビットを伴わないデータ系列に該当するビット位置、または符号化ビット長の最も短いデータ系に該当するビット位置で所定のハミング距離にある２つのビットパターンの組毎に、上記パーシャルレスポンス等化出力が、例えば、１６以上のユークリッド距離の二乗をもつように記録符号を対応付ける。

【００１６】

また、上記第１の符号化では、例えば、第１のデータ系列に第１のビット長の第１の符号化情報を付加したものと、第２のデータ系列に第２のビット長をもつ第２の符号化情報を付加したものとがそれぞれ第３のデータ系列と同一ビット長となるようにディジタルデータを３系列に分配し、上記第１、第２のデータ系列に対して符号化ビットを追加する。

この場合、第１の符号化情報として、例えば、第１のデータ系列に分配されたディジタルデータと対応するハミング符号を用い、第２の符号化情報として、第２のデータ系列に分配されたディジタルデータと対応するパリティビットを適用できる。変形例として、第１の符号化情報に、第１、第２のデータ系列に分配されたディジタルデータと対応するリードソロモン（ＲＳ）誤り訂正符号を適用してもよい。また、第１の符号化情報として、第１、第２のデータ系列に分配されたディジタルデータと対応するリードソロモン誤り訂正符号の一部を適用し、第２の符号化情報として、第２のデータ系列に分配されたディジタルデータと対応するパリティビットと上記リードソロモン誤り訂正符号の残部を適用するようにしてもよい。

本発明の他の特徴、再生回路系の特徴については、以下に述べる実施例から容易に理解できるであろう。

【００１７】

【発明の実施の形態】

以下、本発明の実施例を図面を参照して詳細に説明する。
図１は、本発明によるディジタル記録装置の記録回路系を示す。
上位装置である計算機１から出力されたデータは、インタフェース回路２に入力され、記録符号器３に適合した形式をもつデータＡとして記録符号器３に入力される。記録符号器３は、上記入力データＡを記録符号化列Ｃに変換し、記録増幅回路４に出力する。記録増幅回路４の出力信号は、磁気ヘッド、磁気ディスクを含む記録／再生系５に入力され、ディスク上に高密度記録される。
【００１８】
上記記録符号器３では、以下に述べる２段階の記録符号化処理を行なう。
第１段階の符号化処理では、少なくともハミング距離を増加させる符号化を行い、ｎビット単位の並列データを順次に生成する。
第２段階の符号化処理では、ＥＰＲ４に適合させたセットパーティションによるユークリッド距離の大きな記録符号の組み合わせを用いた独特の変換則に従って、上記第１段階で生成したｎビットデータを記録符号に変換する。
このように２段階に分けた符号化は、一般に「連接符号化」と呼ばれ、通常の１段階からなる符号化と区別されている。本発明の特徴の１つは、連接符号化にＥＰＲ４に適合したセットパーティションを適用したことにある。
【００１９】
なお、ここで言う「ハミング距離」とは、２つの符号における互いに対応した位置にある複数の信号（ビット）対のうちで、互いに異なった値をもつ対の個数によって表される。例えば、２つの符号「１１００」と「１００１」を例にとると、第２番目のビット値と第４番目のビット値で互いに相違しているため、この場合のハミング距離は「２」となる。符号間の最小ハミング距離が大きければ大きいほど、符号間の区別が容易になるため、上述した第１の符号化処理でハミング距離を増加させるておくことにより、誤り訂正や誤り検出に適した記録符号を得ることができる。
【００２０】
図１の記録符号器３において、第１段階の符号化処理は、データビット分配回路３－１と、ハミング符号演算回路３－２と、パリティビット演算回路３－４と、２つの挿入回路３－３、３－５からなる回路部分で行われる。
データビット分配器３－１は、インターフェイス２から供給される入力データＡを、所定サイズの記録ブロック毎に、それぞれ固有のビット長をもつ３つのデータ系列Ｄ１'、Ｄ２'、Ｄ３'に分割し、これらのデータ系列を並列的に出力する。
本実施例では、上記各データ系列に分配するビット数は、図２の（ａ）に示すように、データ系列Ｄ１'には４ビット、Ｄ２'には７ビット、Ｄ３'には８ビットとし、合計１９ビットの入力データを１つのブロック（記録ブロック）として、データ系列Ｄ１'、Ｄ２'、Ｄ３’を生成する。
なお、インターフェース回路２は、計算機１から与えられたデータを１９ビット単位の複数の記録ブロックに分割し、図３に示すように、所定個数の記録ブロック２－２を１つの群として各群の先頭に同期信号２－１を挿入した形で、データＡを記録符号器３に供給する。尚、データの信頼度をさらに上げるために、記録符号器３が行うデータＡについての記録符号化とは別に、インターフェース回路２が独自の誤り訂正符号化処理を行い、再生時に、上記誤り訂正符号を利用して、インターフェイス回路による誤り訂正や再読み取り（リトライ）の指令制御行うようにしてもよい。図３において、２－３は、上述したインターフェース回路独自の誤り訂正符号化によって各記録ブロック群の後尾に付加された誤り訂正符号を示す。
【００２１】
データビット分配回路３－１は、データＡを所定の順序で振り分け、ビット長の異なる３つのデータ系列を形成する。
これらのデータ系列のうち、４ビット長からなるＤ１’は、ハミング符号演算回路３－２と挿入回路３－３に入力される。ハミング符号演算回路３－２では、データ系列Ｄ１’

の４ビットデータの内容に応じて、誤り訂正符号の１つである４ビットのハミング符号を生成する。上記ハミング符号は、挿入回路３－３によって、図２の（ａ）に示すようにデータ系列Ｄ１’の後に付加され、これによって、データ系列Ｄ１は、ハミング距離「４」を持つ８ビットの符号系列Ｄ１に変換されたことになる。

データ系列Ｄ２’は７ビットデータからなり、パリティビット演算回路３－４と挿入回路３－５に入力され、生成された１ビットのパリティが、図２の（ａ）に示すように、データ系列Ｄ２’の後に付加される。これによって、データ系列
Ｄ２’は、ハミング距離「２」を持つ８ビットの符号系列Ｄ２となる。

データ系列Ｄ３’は８ビットデータからなり、そのまま第２段階の符号化処理に供される。

【００２２】

上記３つのデータ系列Ｄ１、Ｄ２、Ｄ３は、各系列から１ビットずつ、合計３ビット単位の並列データとなって、途中で、短いデータ系列Ｄ１、Ｄ２での不足ビットが符号化ビットで補充されながら、後段の符号割当て回路３－６に順次に供給される。

第１の符号化によって形成される各符号化データブロックは、この例では、全２４ビットのうち１９ビットが入力データビットで、残りの５ビットが符号化ビットとなっているため、コードレートは、１９／２４＝０．７９となっている。
この値は、従来のＥＰＲ４対応のトレリス符号におけるコードレート１／２に比較して高い値となっている。

【００２３】

第２段階の符号化処理は、記録符号割り当て（セットパーティション）回路３－６によって行われる。記録符号割り当て回路３－６は、３つのデータ系列Ｄ１、Ｄ２、Ｄ３をＥＰＲ４に適合した記録符号に変換する。この符号変換では、既に変換済の直前数ビットの記録符号の状態Ｓ'を考慮する。

図４は、記録符号割り当て回路３－６が符号化に使用する変換テーブル３－６－１の１例を示す。

図において、Ｄは、３つのデータ系列Ｄ１、Ｄ２、Ｄ３から１ビットずつ、全体で３ビットの並列データとして順次に供給される入力データのビットパターンを示す。ここでは、３ビットデータＤの左側ビットから順に、データ系列Ｄ１、Ｄ２、Ｄ３の各ビットが配列されている。符号化ビットを含まないデータ系列Ｄ１からのビットを入力ビットパターンＤの最下位ビットとして、入力ビットパターンを上記最下位ビット位置でのハミング距離が「１」となる４つの組（「000」と「001」、「010」と「011」、「100」と「101」、「110」と「111」）に分け、直前の記録符号の状態Ｓ０～Ｓ７に対応して用意した８個の個別変換テーブルによって、各組毎に変換後の記録符号のＥＰＲ４等化出力に大きなユークリッド距離が得られるように、記録符号Ｃが割り当ててある。

なお、図４において、状態Ｓ０は記録符号「０００」に、Ｓ１は「００１」に対応し、以下同様にして、状態Ｓ７が「１１１」に対応しており、例えば、「Ｓ０／Ｃ」は、直前の状態が「０００」の場合の変換後の符号Ｃ（＝Ｃ１～Ｃ３）を示している。また、記号Ｓ'は、記録符号の新たな状態を示し、これが次の符号化における直前の状態となる。図４において、記号Ｅの欄には、記録符号Ｃを記録媒体に記録した後に再生系でＥＰＲ４等化を受けた場合に予想される出力信号値が参考のために示してある。

【００２４】

入力データ系列Ｄ１、Ｄ２、Ｄ３の３ビットと直前の記録符号の状態Ｓ'が与えられると、変換用メモリ素子（図示せず）で構成される記録符号割り当て回路３－６から、記録符号Ｃ１、Ｃ２、Ｃ３が出力される。この時、次の符号変換動作のために、記録符号の状態Ｓ'も出力される。このように直前の状態に依存して順次に記録符号が生成され、トレリス符号を構成する。

記録符号割り当て回路３－６から出力されたこれらの記録符号Ｃ１、Ｃ２、Ｃ３は、パラレルシリアル変換回路３－７によって、図２の（ｂ）に矢印で示す順序で、順次にシリアル信号系列Ｃに変換され、記録増幅回路４に供給される。

【００２５】
図５は、上述した記録符号化に適した再生復号回路の１実施例を示す。
記録再生系５からの再生信号は、プリアンプ６によって増幅された後、可変増幅器７によって記録再生系の出力変動が補正され、所定の大きさの信号出力Ｐとなる。この出力信号Ｐは、低域フィルタ８によって、雑音成分となる不要な信号帯域が除去された後、Ａ／Ｄ変換器９によって離散的なディジタルデータに変換される。
Ａ／Ｄ変換器９の出力は、ディジタルフィルタ１０によって、所定の前処理（通常はＰＲ４等化処理）を行った後、後処理の等化処理が加えられて、ＥＰＲ４等化出力Ｅ'となって復号回路１２に供給される。なお、ディジタルフィルタ１０からは、再生信号のクロック成分が抽出され、出力信号ＣＬとして再生クロック発生回路１１に入力され、上記再生クロック発生回路１１で生成したサンプリングクロックに同期して上記Ａ／Ｄ変換器９が動作する。
【００２６】
復号回路１２は、以下に述べる復号処理によって、ＥＰＲ４等化出力Ｅ'を復号出力Ａ'に変換する。復号出力Ａ'は、インターフェース回路２を介して、計算機１に入力される。この時、インターフェース回路２は、記録時に挿入した誤り訂正符号化を利用して誤り訂正を行い、訂正不能な誤りが発生した場合は、再読み取り（リトライ）の指令を出す。
ディジタルフィルタ１０から出力された等化出力Ｅ'は、復号回路１２において、ＥＰＲ４用ＭＬ（最尤復号）回路１２－１とビット分配回路１２－４に供給される。ＥＰＲ４用ＭＬ回路１２－１は、記録再生系において雑音が重畳された状態にある等化出力Ｅ'について最尤復号処理を行い、上述した第２の符号化処理に対応した復号出力を得るためのものである。上記ＭＬ回路１２－１からの出力信号は、同期検出回路１２ー２と選択回路１２－３に入力され、同期検出回路１２ー２によって、記録ブロック群の先頭にある同期信号２－１が検出される。選択回路１２－３は、上記同期検出回路１２ー２で検出した同期信号を基準にして、記録符号のビット列Ｃ３に対応する復号出力Ｄ３”を選択し、これをデータビット統合回路１２－７に供給する。
【００２７】
ビット分配回路１２－４は、上記同期信号を基準にして、等化出力Ｅ'から記録符号Ｃ１に対応する等化出力Ｅ１'と、記録符号Ｃ２に対応する等化出力Ｅ２'とを分離して出力する。等化出力Ｅ１'系列には、ハミング距離「４」をもつハミング符号が挿入されているため、最尤復号回路１２－５によって、上記ハミング距離を考慮に入れて、実際の等化出力と予想される出力との差から最も尤度の高い復号出力Ｄ１”を演算する。この場合、Ｃ１系列では１つの記録ブロックが８ビットで構成されているため、2^8＝６４状態のトレリス遷移を演算する。
同様に、Ｅ２'系列ではパリティビットが挿入されているため、最尤復号回路１２－６によって、上記パリティビットを考慮に入れて、すなわち、ハミング距離「２」を考慮して最尤復号を行い、復号結果Ｄ２”を得る。
復号結果Ｄ１”、Ｄ２”は、Ｄ３”と同様、データビット統合回路１２－７に供給され、記録時にデータビット分配回路３－１で行ったビット列への分割操作とは逆の手順で、ビットデータをデータ形式Ａ'に統合し、インタフェース回路２に出力する。
【００２８】
図４を参照して分かるように、本実施例によれば、３ビットずつ並列的に供給されるデータＤ（データ系列Ｄ１、Ｄ２、Ｄ３）のうち、ハミング距離を増加させていない第３データ系列のビット値（Ｄ３）だけが異なるビットパターンの４つ組（対）において、再生時のＥＰＲ４等化出力Ｅにおけるユークリッド距離の二乗dE^2が、何れの場合も「１６」以上を満足するように、記録符号Ｃの割り当てがなされていることが分かる。
さらに、２番目のビット（Ｄ２）の値に違いがある組合せ、例えば「０００」と「０１０」を例にとると、例えば、直前の記録符号の状態がＳ０の個別変換テーブルでＥＰＲ４等化出力Ｅの値「０００」と「０２２」とを比較して明らかなように、ユークリッド距離の二乗dE^2は「$0^2+2^2+2^2=8$」となっている。他の組合せについても、同様に計算

すると、その最小ユークリッド距離の二乗ｄＥ^{2}は「８」となっていることが分かる。なお、Ｄ２符号系列にはパリティビットが挿入されているため、このパリティビットを考慮した復号、すなわち、ハミング距離「２」を考慮した最尤復号が可能であり、このような最尤復号を行えば、Ｄ２符号系列については、ユークリッド距離とハミング距離の乗算である１６の距離が得られていると言える。

【００２９】

同様に、第１番目のビット値が異なる場合は、最小ユークリッド距離の二乗ｄＥ^{2}は「４」となっている。例えば、Ｓ０状態において、Ｄ＝「０００」と「１００」の変換結果を比較すると、変換後の記録符号はそれぞれ「０００」と「００１」となり、等化出力Ｅがそれぞれ「０００」と「００２」となるため、最小ユークリッド距離の二乗ｄＥ^{2}は「$0^2+0^2+2^2=4$」となる。ただし、Ｄ１符号系列で、ハミング距離が「４」のハミング符号が挿入されているため、このハミング距離を考慮して最尤復号すると、Ｄ１符号系列のユークリッド距離とハミング距離の乗算である「１６」の距離が得られることになる。

このように、本発明によれば、等価的に距離「１６」の下で復号演算がなされるため、雑音の影響を受けにくい、信頼性の高い記録再生信号処理が可能であり、且つ、コードレートが約「０．８」と高い値となっているため、高速、高密度の記録が可能となる。

【００３０】

以下、本発明の他の実施例について説明する。

上述した記録符号器３の回路構成を簡単化するためには、分配回路３－１から並列的に出力するデータ系列Ｄを２系列としてもよい。

図６は、分配回路３－１から並列出力するデータ系列Ｄを２系列とした場合に第２段階の符号化を行う記録符号割当て回路３－６が使用する変換テーブルの１例を示す。

上述したように、ＥＰＲ４等化では、復号対象となるビット以外の他の３ビットに符号間干渉があることを前提としているため、データ系列Ｄを２系列にして、２ビット単位で第２段階の符号化を行う場合にも、図４と同様に、直前の状態Ｓｎ（ｎ＝０～７）を８状態に分ける。図６におけるＤ以外の他の記号は、図４と同様の意味をもつ。

【００３１】

図７は、２ビット単位で記録符号を指定した図６と対応するＥＰＲ４等化出力の１例を示す。

ここでは、直前の記録符号が「０１」、それ以前の記録符号の後半ビットが「０」で、直前の連続３ビットの状態が「００１」（Ｓ１状態）の状況下で、当該データビットが「０１」の場合を示している。図６の変換テーブルから、当該記録符号として「１０」が選択され、当該のＥＰＲ４等化出力は「４、０」となる。図６から分かるように、第２段階の符号化処理を２ビット単位で行う場合は、等化出力における記録符号間のユークリッド距離が、３ビット単位で行う場合に比較して小さくなる。

この場合、データ系列の構成を、図８に示すように、データ系列列Ｄ２'に対してパリティビットを、データ系列Ｄ１'に対してハミング符号を付加したデータブロック構成にすることによって、図２の場合と等価な距離「１６」を確保できる。尚、図８から分かるように、コードレートは「（４＋７）／１６＝０．６８７５」となるため、図２の場合に比べて低下する。

【００３２】

図９は、図２に示した３つのデータ系列からなる符号化データブロックにおいて、距離を更に大きくした場合のブロック構成を示す。

この例では、データ系列Ｄ３'にパリティビットを挿入し、データ系列Ｄ２'をハミング符号化し、データ系列Ｄ１'をリードマラー符号化することによって、等価的な距離を「３２」にしている。この場合のコードレートは「（１６＋２６＋３１）／（３２×３）＝０．７６」となる。

図１０は、上述した符号化データブロックの変形例として、データ系列Ｄ１'に付加する誤り訂正符号として畳み込み符号を利用した場合を示す。畳み込み符号は、符号化率が

１／２であるため、連接符号化のコードレートは「（８＋１５＋１６）／（１６×３）＝０．８１２５」と高くなる。

【００３３】

以上、ＥＰＲ４対応のセットパーティション記録符号と種々の誤り訂正符号との組合せによる連接符号化について説明した。これらの連接符号化を適用した場合、再生回路の主要な回路要素は、図５に示したように、等化出力のビット系列から誤り訂正符号のハミング距離を考慮した復号処理を行う最尤復号回路１２－５と１２－６である。１つの記録ブロックのデータ量が大きくなればなるほど、これらの最尤復号回路１２－５、１２－６に要求される状態数が多くなるため、図５に示した回路構成は、各記録ブロックのサイズが小さい場合に特に有効となる。

【００３４】

図１１は、図２に示した構成の符号化データブロックに対して有効で、図５の復号回路１２に比べて、復号性能が僅かに低下する反面、回路構成を簡単化できる復号回路１３の実施例を示す。

図５の復号回路と同一の要素については同一の番号を付し、機能的に変わらない回路部分の説明は省略する。ＥＰＲ４ＭＬ回路１２－１で得られる仮の復号結果のうち、図２の実施例ではデータ系列Ｄ３'だけを利用したが、この例では、データ系列Ｄ１'、Ｄ２'についても利用する。

ビット分配回路１２－４は、同期検出回路１２－２から出力される同期信号に基づいて、ＭＬ回路１２－１の出力から仮復号結果Ｄ１”、Ｄ２”を選択する。仮復号結果Ｄ１”は、ハミング符号による誤り検出回路１３－１と、訂正処理回路１３－３に入力され、仮復号結果Ｄ２”は、パリティビットによる誤り検出回路１３－２に入力される。

仮復号結果Ｄ１"、Ｄ２"は２値信号であり、その演算も２値論理式で実行できるため、上記誤り検出回路１３－１、１３－２の回路規模は小さくて済む。誤り訂正処理回路１３－３は、上記誤り検出回路１３－１、１３－２で検出された誤り情報Ｅｍ、Ｅｐの値に応じて、仮復号結果Ｄ１"に誤り訂正を含む演算処理を施し、ハミング符号を除く、訂正されたデータ列Ｄ１＊をデータビット統合回路１３－４に出力する。一方、誤り検出回路１３－２は、パリティビットを除去したデータ系列Ｄ２"'をデータビット統合回路１３－４に出力する。

【００３５】

図１２は、上記訂正処理回路１３－３の詳細を示す。

訂正処理回路１３－３における誤り処理の基本的な考え方は、誤りが少なければ訂正し、誤りが多い場合は、この記録ブロックにエラーがあることを示すエラーフラグＥｒを発生することにある。記録ブロックの復号データＤ１＊とエラーフラグＥｒは、データビット統合回路１３－４を介して、インターフェース回路２に与えられ、インターフェース回路２において、上記エラーフラグＥｒを用いて、複数の記録ブロックにわたる誤り訂正処理などの演算処理を行う。エラーフラグＥｒがあれば、エラーフラグがない場合のランダム誤り訂正処理に比べて、効率的な符号誤り訂正が可能となる。

訂正処理回路１３－３では、仮復号データＤ１"について、エラー訂正回路１３－３－２でハミング符号による誤り訂正処理を行う。誤り訂正処理の間、仮復号データＤ１"は遅延回路１３－３－３によって遅延され、エラー訂正結果と同じタイミングで選択回路１３－３－４に入力される。選択回路１３－３－４は、ハミング符号による誤り検出結果Ｅｍの個数に応じて、上記エラー訂正結果と遅延回路出力の何れか一方を選択し、復号データＤ１＊として出力する。なお、選択回路１３－３－４の出力信号Ｄ１＊は、訂正処理が加わっている可能性があるため、Ｄ１"と区別して標記している。

選択回路１３－３－５は、エラーが１個の場合はエラー訂正出力を選択し、それ以外の場合は遅延回路出力を選択する。エラーフラグ発生回路１３－３－１は、ハミング符号による誤り検出結果Ｅｍに応じて、当該記録ブロックに誤りがあることを示すエラーフラグを発生する。データ系列Ｄ２”では、パリティビットによって誤りの有無を検出できるため、パリティエラーがあった場合にもエラーフラグを通知する。このため、加算回路１３

－３－５によってエラーフラグ発生回路１３－３－１の出力とＥｐを加算し、加算結果をエラーフラグＥｒとして出力する。

【００３６】

図１３は、図１１と図５の復号能力の中間的な機能を備える復号回路１４の実施例を示す。

ここでの基本的な考え方は、ＥＰＲ４の最尤復号回路１４－１で仮復号出力を得ると共に、復号出力毎に、本来予想される等化出力と実際に得られた等化出力の差、すなわち、仮復号出力に対するデータ信頼度を示す情報も求めることにある上記データ信頼度情報を利用することによって、Ｄ１系列の誤り訂正を効率的に行うことができる。なお、図１３において、図５、図１１と同一の要素には同一の符号を付し、同一機能の部分についての説明は省略する。

ビット分配回路１４－２は、同期信号に基づいて、ＭＬ回路１４－１の出力から仮復号結果Ｄ１"とＤ２"を抽出すると共に、ＥＰＲ４ＭＬ回路１４－１からＤ１"に対する信頼度情報Ｒ１を得る。信頼度情報Ｒ１と仮復号結果Ｄ１”は処理回路１４－３に供給され、処理回路１４－３によって、仮復号結果Ｄ１”に対する信頼度情報Ｒ１を用いた誤り訂正処理が施される。

【００３７】

図１４は、上記処理回路１４－３の詳細な回路構成を示す。

信頼度情報Ｒ１は、比較器１４－３－２によって、基準値レジスタ１４－３－１に設定されている基準値と比較され、基準値よりも信頼度の低い復号結果の個数がカウンタ１４－３－３によって計数される。一方、仮復号結果Ｄ１"は、ランダム訂正回路１４－３－５回路に入力され、ハミング符号による誤り訂正の演算が行われる。これと平行して、上記仮復号結果Ｄ１"は、イレージャ訂正回路１４－３－６と遅延回路１４－３－４にも入力される。イレージャ訂正回路１４－３－６は、比較器１４－３－２の出力から信頼度の低い復号結果の位置を検知し、この位置情報に基づいて、仮復号結果Ｄ１"に対するハミング符号の誤り訂正演算処理を行う。

【００３８】

上記ランダム訂正回路１４－３－５と、イレージャ訂正回路１４－３－６と、これらの訂正回路での演算遅延時間に相当する遅延時間を持つ遅延回路１４－３－４の出力は、選択回路１４－３－７に入力され、カウンタ１４－３－３から出力される低信頼度復号結果の個数に応じて適応的に選択された復号結果が、出力Ｄ１＊となる。例えば、カウンタ１４－３－３から出力されるカウント値が「１」以下の場合は、ランダム訂正回路１４－３－５の出力を選択し、「２～３」の場合は、イレージャ訂正回路１４－３－６の出力を選択し、それ以上の場合は遅延回路１４－３－４の出力を選択する。

上記カウンタ１４－３－３の出力ＥＲは、図１３に示すエラーフラグの発生回路１４－４に入力され、当該記録ブロックにエラーがあればフラグを発生する。エラーフラグ発生回路１４－４の出力と、パリティビットによる誤り検出回路１３－２の出力は、加算回路１４－５で加算され、誤りがＤ１とＤ２の何れの系列で発生した場合ても、エラーフラグＥｒが出力されるようになっている。

【００３９】

以上の実施例は、何れも、図２に示した連接符号を基本として、Ｄ１、Ｄ２、Ｄ３の３つのビット系列に対して、誤り訂正符号化など、互いに独立した符号化演算を行っていた。これら誤り訂正符号として、もし、回路規模を犠牲にして、より効率的なものを採用したい場合には、以下に示すように、複数のデータ系列に対して誤り訂正符号化を演算することが可能である。

図１５の(a)、(b)に示す符号化データブロックにおいて、データ系列Ｄ３'、Ｄ２'は図２の場合と同様であり、データ系列Ｄ１'に付加される誤り訂正符号が、データ系列Ｄ１'とＤ２'の情報ビットから演算されたリードソロモン誤り訂正符号（以下、ＲＳ符号という)となっている点に特徴がある。

図１５の(a)に示した例では、１つの符号化データブロック（記録ブロック）が３×１

４ビットの場合であり、図１５の(b)に示した例では、１つの記録ブロックが３×３０の場合である。当然、図１５の(b)に示した構成の方がコードレートが高く、「０．９」となっている。

図１６は、図１５の（b）のブロック構成で、ＲＳ符号の挿入位置を変えた例を示す。

【００４０】

図１７は、図１５と図１６の符号化データブロックに対応する信号処理系回路の１例を示している。図１と同一要素には同一符号を付し説明を省略する。

インターフェイス２からの入力データＡは、データビット分配回路３－１によって所定のビット数のデータ系列Ｄ１'、Ｄ２'、Ｄ３'に分けられる。

リードソロモン符号（ＲＳ符号）は、複数ビットまとめて１シンボルを構成する。図１５の例では、３ビットで１シンボルとする。また、図１６の例では、４ビットで１シンボルとする。

ＲＳ符号用シンボル構成回路１５－１は、データ系列Ｄ１'、Ｄ２'から上記各シンボルを構成する。ＲＳ符号用シンボル構成回路１５－１の出力信号は、演算回路１５－２によってＲＳ符号化演算され、得られた検査符号が、挿入回路３－３によって、データ系列Ｄ１'に付加され、データ系列Ｄ１となる。図１７のその他の回路動作は、図１と同様であり、パラレルシリアル変換回路３－７から、記録符号Ｃが得られる。

【００４１】

図１８は、図１５の(a)、(b)、あるいは図１６の符号化データブロックに対応する復号回路の１実施例を示す。ここに示した復号回路の基本的な考え方は図１３の場合と同じであり、信頼度情報に基づいて効率的な誤り訂正を行えるようにしている。

ビット分配回路１５－１と処理回路１５－２が、図１５、１６の符号構成に対応して構成される。その他の要素は、図１３と同様であり、説明は省略する。

【００４２】

処理回路１５ー２の回路動作を図１９に示した詳細な回路構成図を参照して説明する。基本的な動作は、図１４と同様である。

信頼度情報Ｒ１は、比較器１４－３－２によって基準値と比較され、比較器出力が信頼度の低い復号データの位置を示す。上記比較器の出力をカウンタ１４－３－３によってカウントし、低信頼度の個所の個数が得られる。

【００４３】

仮復号データＤ１"とＤ２"から、記録時と同様に、シンボル構成回路１６－２－１によってＲＳ符号用シンボルを構成する。カウンタ１４－３－３から出力されるカウント値が「１」以下のとき、すなわち、ビット誤り（信頼度情報Ｒ１はビット単位で得られるので、ビット誤りがありそうな個数と言い換えることができる）が１個以下の場合は、挿入したＲＳ符号によって１シンボルの誤り訂正が可能となるため、ランダム誤り訂正を行って正しい復号系列を得る。

一方、上記カウント値が「２」の場合は、ビット誤りが２個所に散らばっていることも予想されるため、比較器１４－３－２の出力が示す誤り予想位置情報を利用してイレージャ訂正を行う。カウント値が「３」以上のときは、このＲＳ符号では訂正誤りを招く可能性があるため、ＲＳ符号による誤り訂正を断念して、遅延回路１６－２－４の出力を採用する。

【００４４】

選択回路１６－２－５は、これら３つの出力のうちの１つをカウンタ値に応じて選択する。選択回路１６－２－５の出力は、Ｄ１及びＤ２系列分離回路１６－２－６に供給され、データ系列Ｄ１とＤ２に対応する復号出力Ｄ１＊、Ｄ２＊が分離して出力される。ここで、仮復号出力Ｄ１＊、Ｄ２＊は、Ｄ１"、Ｄ２"に訂正処理が加わったものとなっているため、別表記としてある。

上記図１９の構成から分かるように、復号回路１６では、訂正処理の加わった復号出力Ｄ１＊、Ｄ２＊が得られる。これらの出力は、信頼性の高い復号結果となっているので、これを確定した復号結果として、再度、ＥＰＲ４の最尤復号回路を動作させると、データ

系列Ｄ３についても、信頼性の高い復号出力が得られる。この考え方を実現した回路構成が図２０の復号回路である。

【００４５】

図２０において、復号過程の前半は、図１８、図１９と同様である。ただし、ビット分配回路１７－１が、信頼度情報Ｒ１、仮復号結果Ｄ１”、Ｄ２”を出力する以外に、Ｄ３”も分離して出力する点で図１８と異なる。

遅延回路１７－２から得られた等化出力Ｅ'は、第２のＥＰＲ４ＭＬ回路１７－３に入力される。上記第２のＭＬ回路１７－３は、データ系列Ｄ１とＤ２の復号結果として、訂正処理を受けた復号結果Ｄ１＊、Ｄ２＊を採用できるように変更されている。すなわち、通常のＭＬ回路は、パスメトリックの極小値を持った復号出力を選ぶように設計されるが、上記ＭＬ回路１７－３では、確定復号が与えられているパスを強制的に選択し、その復号出力につながるパスのみを生き残りパスとし、それ以外のパスは強制的に捨てる。

この機能は、例えば、Ｄ１あるいはＤ２、又はその両方の系列に加わった雑音によって、データ系列Ｄ３のＭＬ復号が第１段階のＭＬ回路１４－１で誤って処理されていた場合に有効に働き、正しいデータ系列Ｄ３をＭＬ復号することが可能になる。ただし、データ系列Ｄ１、Ｄ２にもともと誤りが多い場合は、第２のＭＬ回路１７－３でも誤った処理が行われる可能性が高いため、遅延回路１７－４から出力される元のデータ系列Ｄ３”を採用する。

選択回路１７－５は、処理回路１６－２のエラー情報ＥＲに応じて、ＭＬ回路１７－３と遅延回路１７－４から出力される２つの復号結果のうちの一方を選択し、復号結果Ｄ３＊としてデータビット統合回路１３－４に供給する。データ系列Ｄ１＊、Ｄ２*については、遅延回路１７－６を通過させることによって、データ系列Ｄ３＊の出力との時間調整を行った後、データビット統合回路１３－４に入力する。エラーフラグＥｒに関しては図１３、頭１８と同様である。

【００４６】

以上、本発明の幾つかの実施例について説明し、本発明が種々の変形例を含むことを示した。ここでは、代表的な誤り訂正符号について示したに過ぎず、本発明の連接符号による符号化には、ここで示したもの以外の誤り訂正符号でも適用可能である。また、記録ブロックの大きさについても、記録装置に応じた実施例以外の値を選択できる。さらに、実施例では、ＥＰＲ４等化を基本としたが、本発明には、ＥＰＲ４以外のその他のパーシャルレスポンス方式を適用してもかまわない。例えば、記録パルス「１」に対して、「１、１、０、－１、－１」応答を対応させるパーシャルレスポンスがその代表例である。

上述した本発明の連接符号による記録再生方式は、高密度記録が要求される３.５インチ以下の小型磁気ディスク装置に特に有効となるが、本発明の有効性がディスクサイズによって限定されるわけではない。

また、本発明による記録符号の符号化と復号化は、ディジタル信号処理が基本となっているため、実施例で示した符号器３、１５、復号器１２～１４、１６、１７の設計が容易であり、例えば、消費電力、集積度の点で有利なＢｉ－ＣＭＯＳやＣＭＯＳプロセスを適用して容易にＬＳＩ化できる。

【００４７】

【発明の効果】

以上の説明から明らかなように、本発明によれば、３ビット以上の符号間干渉を伴うパーシャルレスポンスに適合した記録符号系列を生成したことによって、高密度ディジタル磁気記録が可能になる。また、ハミング距離を含めたユークリッド距離の大きな符号系列を生成したことにより、信頼性の高い復号が可能になる。

【図面の簡単な説明】

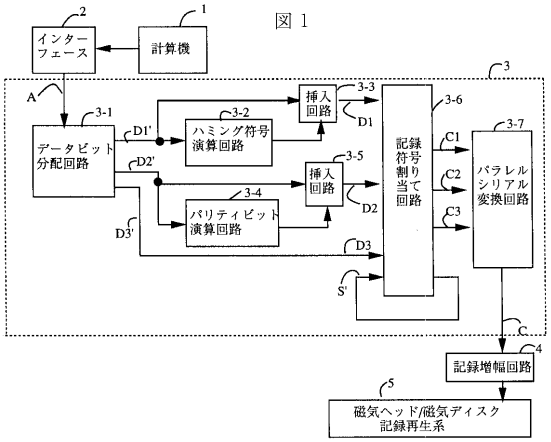
【図１】　本発明によるディジタル信号記録系の信号処理回路の１実施例を示す構成図。

【図２】　本発明において第１の符号化によって得られる連接符号のブロック構成の１例（ａ）、および第２の符号化によって得られたデータ系列の並直列変換順序（ｂ）を示す図。

【図３】　図１で、インターフェイス２から記録符号器３に入力されるデータブロックの形式の１例を示す図。
【図４】　第２の符号化を行う記録符号割当て回路３－６が備えるＥＰＲ４に適合した記録符号変換テーブルの１例を示す図。
【図５】　本発明によるディジタル信号記録系の再生復号回路の１実施例を示す構成図。
【図６】　第２の符号化を行う記録符号割当て回路３－６が備える記録符号変換テーブルの他の実施例示す図。
【図７】　図６の実施例における記録符号の等化出力の１例を説明するための図。
【図８】　第１の符号化によって得られる連接符号のブロック構成の他の実施例を示す図。
【図９】　第１の符号化によって得られる連接符号のブロック構成の更に他の実施例を示す図。
【図１０】　第１の符号化によって得られる連接符号のブロック構成の更に他の実施例を示す図。
【図１１】　再生復号回路の他の実施例を示す図。
【図１２】　図１１における訂正処理回路の詳細を示す図。
【図１３】　再生復号回路の更に他の実施例を示す図。
【図１４】　図１３における訂正処理回路の詳細を示す図。
【図１５】　第１の符号化によって得られる連接符号のブロック構成の更に他の実施例を示す図。
【図１６】　第１の符号化によって得られる連接符号のブロック構成の更に他の実施例を示す図。
【図１７】　図１５、図１６の連接符号に適した記録符号器の１実施例を示す図。
【図１８】　図１７に対応する再生復号回路の１実施例を示す図。
【図１９】　図１８における訂正処理回路１６－２の詳細を示す図。
【図２０】　図１７に対応する再生復号回路の他の実施例を示す図。
【図２１】　従来のディジタル記録におけるデータビットと記録符号の関係を説明するための図。
【図２２】　本発明における第２の符号化に関係する記録符号化変換テーブルの１部分を示す図。
【図２３】　記録符号と再生等化出力との関係を説明するための図。
【符号の説明】
１…計算機、２…インタフェース回路、３…記録符号器、４…記録増幅器、５、１５…記録再生系、、６…プリアンプ、７…可変増幅器、８…低域フィルタ、９…Ａ／Ｄ変換器、１０…ディジタルフィルタ、１１…再生クロック発生回路、１２、１３、１４、１６、１７…復号回路。

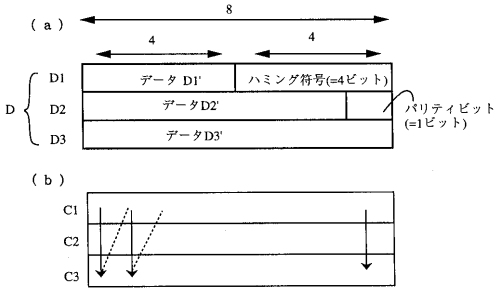
【図１】

図１



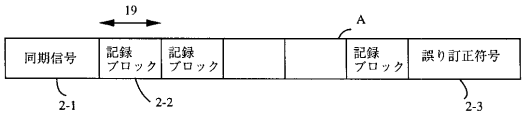
【図２】

図２



【図３】

図３



【図４】

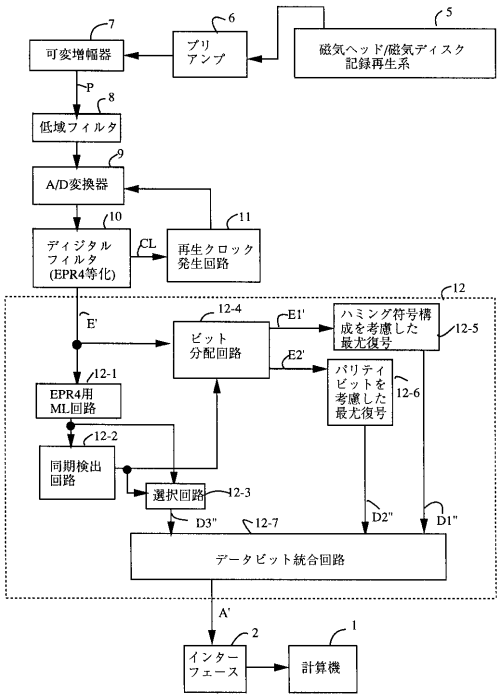
図４

D	S0/C E ;S'	S1/C E ;S'	S2/C E ;S'	S3/C E ;S'
000 001	000 000;S0 110 240;S6	010 200;S2 100 40-4;S4	101 000;S5 011 -204;S3	111 200;S7 001 0-40;S1
010 011	010 022;S2 100 22-2;S4	000 2-2-2;S0 110 42-2;S6	111 022;S7 001 -2-22;S1	101 2-2-2;S5 011 0-22;S3
100 101	001 002;S1 111 242;S7	011 202;S3 101 40-2;S5	010 -202;S2 100 00-2;S4	000 0-4-2;S0 110 20-2;S6
110 111	011 024;S3 101 220;S5	001 2-20;S1 111 420;S7	000 -2-20;S0 110 020;S6	010 0-20;S2 100 2-2-4;S4
D	S4/C E ;S'	S5/C E ;S'	S6/C E ;S'	S7/C E ;S'
000 001	000 -200;S0 110 040;S6	010 000;S2 100 20-4;S4	101 -200;S5 011 -40-4;S3	111 000;S7 001 -2-40;S1
010 011	010 -222;S2 100 02-2;S4	000 0-2-2;S0 110 22-2;S6	111 -222;S7 001 -4-22;S1	101 0-2-2;S5 011 -2-22;S3
100 101	001 -202;S1 111 042;S7	011 002;S3 101 20-2;S5	010 -402;S2 100 -20-2;S4	000 -2-4-2;S0 110 00-2;S6
110 111	011 -224;S3 101 020;S5	001 0-20;S1 111 220;S7	000 -4-20;S0 110 -220;S6	010 -2-20;S2 100 0-2-4;S4

D:データビット　S0-S7:直前の記録符号の状態を示す
C:割り当てる記録符号　E:EPR4等化後の予想出力　S':当該記録符号の状態

【図５】

図５



【図６】

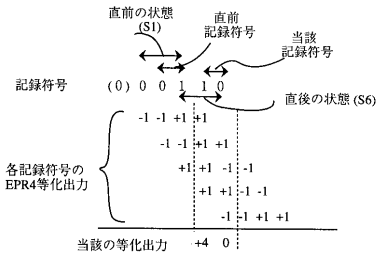
図６

D	S0/C E ;S'	S1/C E ;S'	S2/C E ;S'	S3/C E ;S'
00 01	00 0 0;S0 10 2 2;S2	00 2 -2;S4 10 4 0;S6	00 -2 -2;S0 10 2 -2;S2	00 0 -4;S4 10 2 -2;S6
10 11	01 0 2;S1 11 2 4;S3	01 2 0;S5 11 4 2;S7	01 -2 0;S1 11 0 2;S3	01 0 -2;S5 11 2 0;S7
D	S4/C E ;S'	S5/C E ;S'	S6/C E ;S'	S7/C E ;S'
00 01	01 -2 2;S1 11 0 4;S3	01 0 0;S5 11 2 2;S7	01 -4 0;S1 11 -2 2;S3	01 -2 -2;S5 11 0 0;S7
10 11	00 0 -2;S0 10 0 2;S2	00 0 -2;S4 10 2 0;S6	00 -4 -2;S0 10 -2 0;S2	00 -2 -4;S4 10 0 -2;S6

D:データビット　S0-S7:直前の記録符号の状態を示す
C:割り当てる記録符号　E:EPR4等化後の予想出力　S':当該記録符号の状態

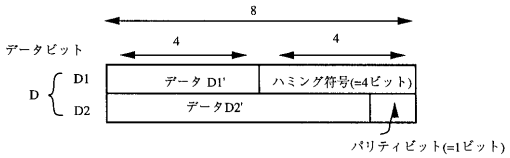
【図７】

図７



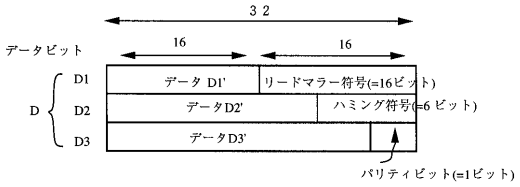
【図８】

図８



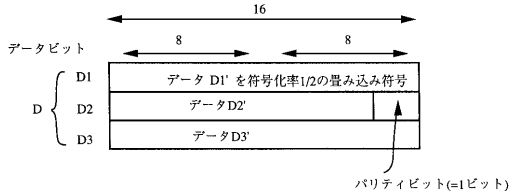
【図９】

図９



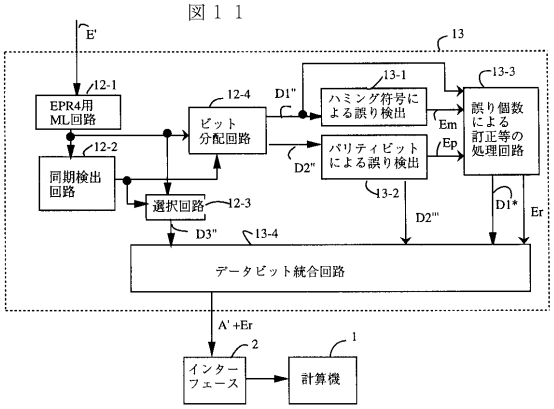
【図１０】

図１０



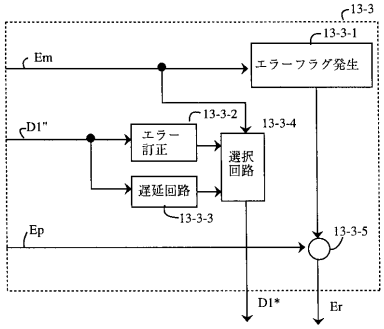
【図１１】

図１１



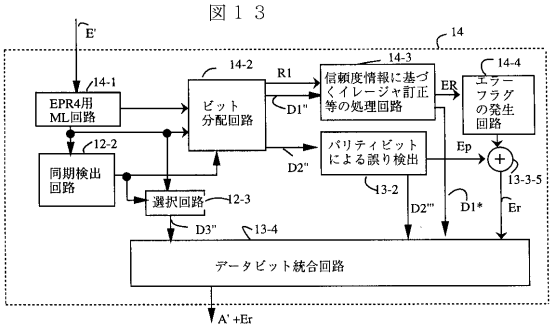
【図１２】

図１２



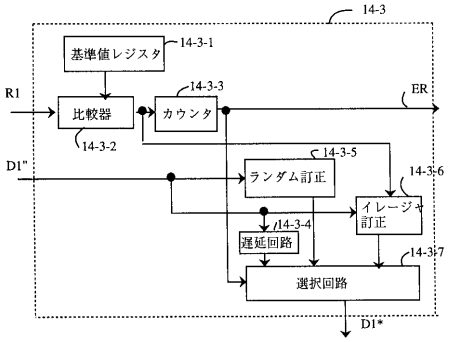
【図１３】

図１３



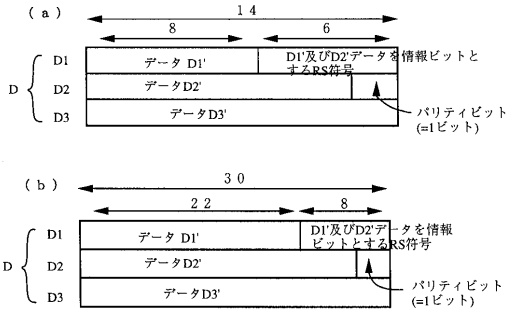
【図１４】

図１４



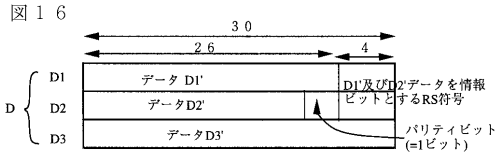
【図１５】

図１５



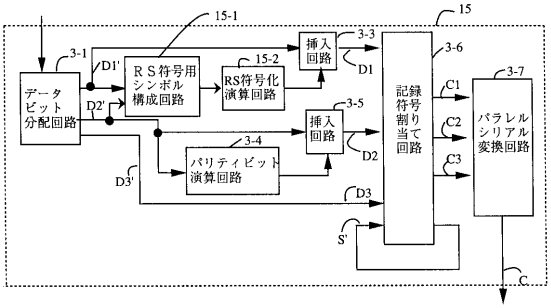
【図１６】

図１６



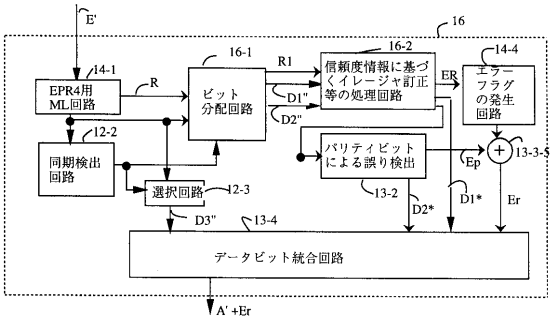
【図１７】

図１７



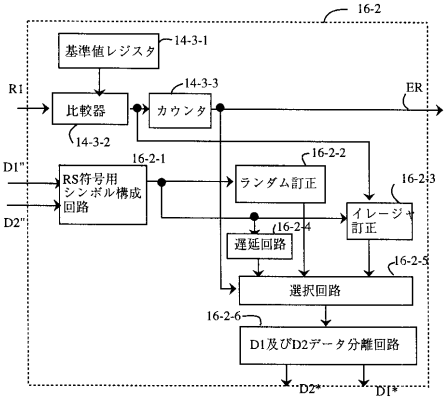
【図１８】

図１８



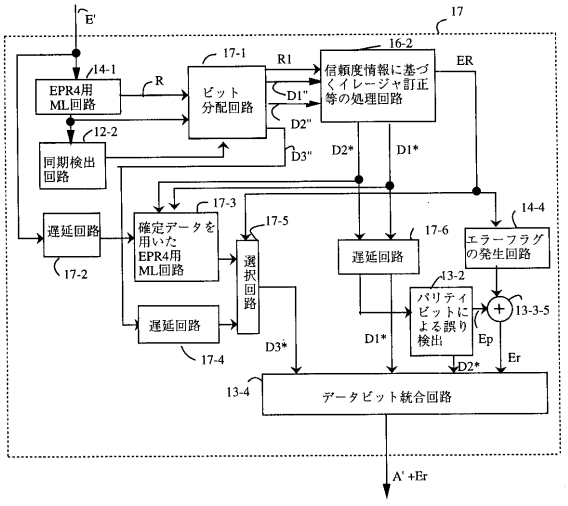
【図１９】

図１９



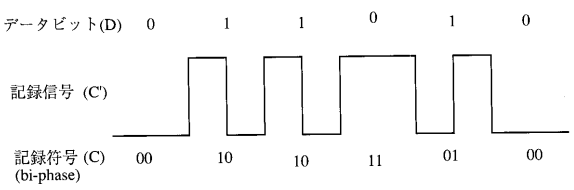
【図２０】

図２０



【図２１】

図２１



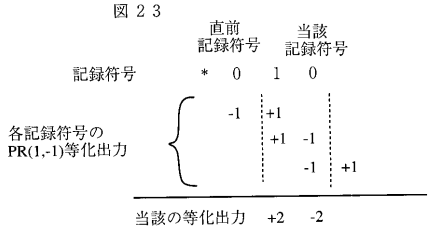
【図２２】

図２２

データビット (D)	記録符号 (C) 直前状態S0	等化出力 (E)
00	00	0 0
01	10	2-2
10	01	0 2
11	11	2 0

【図２３】

図２３



フロントページの続き

(72)発明者 小林 直哉
東京都国分寺市東恋ケ窪１丁目２８０番地 株式会社日立製作所中央研究所内
(72)発明者 澤口 秀樹
東京都国分寺市東恋ケ窪１丁目２８０番地 株式会社日立製作所中央研究所内

審査官 小林 大介

(56)参考文献 特開平７－２８８５５６（ＪＰ，Ａ）
特開平２－００５６４２（ＪＰ，Ａ）
G. Ungerboeck, Channel Coding with Multilevel/Phase Signals, IEEE Transactions on Information Theory, 米国, IEEE, １９８２年 １月, Vol.IT-28, No.1, p55-67

(58)調査した分野(Int.Cl.[7], ＤＢ名)
G11B 20/14
G11B 20/18
H03M 13/25