



(12)发明专利

(10)授权公告号 CN 103299547 B

(45)授权公告日 2017.06.09

(21)申请号 201180027406.3

(22)申请日 2011.12.28

(65)同一申请的已公布的文献号

申请公布号 CN 103299547 A

(43)申请公布日 2013.09.11

(85)PCT国际申请进入国家阶段日

2012.12.03

(86)PCT国际申请的申请数据

PCT/JP2011/007356 2011.12.28

(87)PCT国际申请的公布数据

W02013/098900 JA 2013.07.04

(73)专利权人 株式会社日本有机雷特显示器

地址 日本东京都

(72)发明人 松井雅史

(74)专利代理机构 北京市中咨律师事务所

11247

代理人 张谟煜 段承恩

(51)Int.Cl.

H03K 19/0185(2006.01)

G11C 19/00(2006.01)

(56)对比文件

US 2006/0291610 A1, 2006.12.28,

TW 200841311 A, 2008.10.16,

US 5949271 A, 1999.09.07,

CN 102111144 A, 2011.06.29,

JP 2008205767 A, 2008.09.04,

JP S57180235 A, 1982.11.06,

审查员 李妮

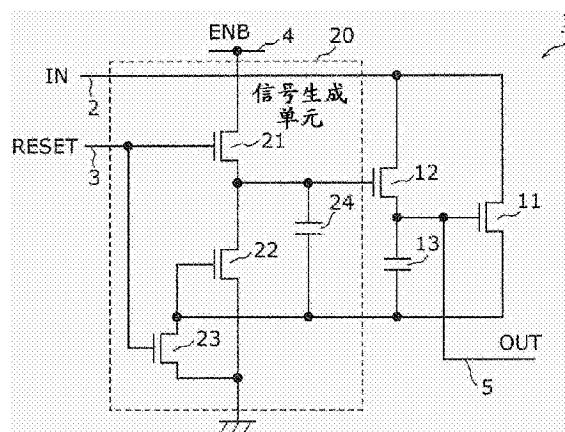
权利要求书3页 说明书9页 附图7页

(54)发明名称

电平移位器、反相器电路以及移位寄存器

(57)摘要

本发明提供不需要专用电源并且即使晶体管为减压特性也可以抑制升压特性的劣化的电平移位器。本发明的电平移位器(1)具备:输入端子,其被施加输入电压;电容器(13);第1晶体管(11),其配置于输入端子与电容器(13)的一个电极之间,栅电极连接于电容器(13)的另一个电极;第2晶体管(12),其配置于输入端子与电容器(13)的另一个电极之间;信号生成单元(20),其在输入电压输入于输入端子的期间,生成将第2晶体管(12)从导通状态向非导通状态切换的信号并将该信号供给第2晶体管(12)的栅电极;以及输出端子,其在上述期间中输出通过第2晶体管(12)成为非导通状态而变换得到的电容器(13)的另一个电极的电压作为输出电压。



1. 一种电平移器, 具备:

输入端子, 其被施加输入电压;

第1电容元件;

第1晶体管, 其源电极以及漏电极配置于所述输入端子与所述第1电容元件的一个电极之间, 栅电极连接于所述第1电容元件的另一个电极;

第2晶体管, 其源电极以及漏电极配置于所述输入端子与所述第1电容元件的另一个电极之间;

信号生成单元, 其生成对所述第2晶体管的导通以及非导通进行切换的信号并将该信号供给所述第2晶体管的栅电极; 以及

输出端子, 其在对所述输入端子输入所述输入电压期间, 输出电平移位后的所述第1电容元件的另一个电极的电压作为输出电压,

在所述信号生成单元使所述第2晶体管为导通状态的状态下对所述输入端子输入所述输入电压期间, 在所述第1电容元件进行与所述输入电压对应的电压的充电, 且经由该输入电压施加于栅电极由此成为了导通状态的所述第1晶体管向所述第1电容元件的一个电极施加所述输入电压;

与向所述第1电容元件的一个电极施加了所述输入电压对应地, 所述信号生成单元使所述第2晶体管为非导通, 由此在所述第1电容元件的另一个电极产生电压振幅比所述输入电压大的所述输出电压, 并使该输出电压通过所述输出端子输出。

2. 如权利要求1所述的电平移器,

所述信号生成单元具备:

控制端子, 其被施加用于使所述输出电压产生的控制信号;

初始化端子, 其被施加用于对电路状态进行初始化的初始化信号;

第2电容元件, 其连接于所述第2晶体管的栅电极与所述第1电容元件的一个电极之间;

第3晶体管, 其栅电极连接于所述初始化端子, 源电极以及漏电极的一方连接于所述控制端子, 源电极以及漏电极的另一方连接于所述第2晶体管的栅电极;

第4晶体管, 其栅电极连接于所述第1电容元件的一个电极, 源电极以及漏电极的一方连接于所述第2晶体管的栅电极, 源电极以及漏电极的另一方连接于基准端子; 以及

第5晶体管, 其栅电极连接于所述初始化端子, 源电极以及漏电极的一方连接于所述第1电容元件的一个电极, 源电极以及漏电极的另一方连接于所述基准端子。

3. 一种电平移器, 具备:

输入端子, 其被施加输入电压;

第1电容元件;

第1晶体管, 其源电极以及漏电极配置于所述输入端子与所述第1电容元件的一个电极之间, 栅电极连接于所述第1电容元件的另一个电极;

第2晶体管, 其源电极以及漏电极配置于所述输入端子与所述第1电容元件的另一个电极之间;

信号生成单元, 其生成对所述第2晶体管的导通以及非导通进行切换的信号并将该信号供给所述第2晶体管的栅电极; 以及

输出端子, 其在对所述输入端子输入所述输入电压期间, 输出电平移位后的所述第1电

容元件的另一个电极的电压作为输出电压，

所述信号生成单元具备：

控制端子，其被施加用于使所述输出电压产生的控制信号；

初始化端子，其被施加用于对电路状态进行初始化的初始化信号；

第2电容元件，其连接于所述第2晶体管的栅电极与所述第1电容元件的一个电极之间；

第3晶体管，其栅电极连接于所述初始化端子，源电极以及漏电极的一方连接于所述控制端子，源电极以及漏电极的另一方连接于所述第2晶体管的栅电极；

第4晶体管，其栅电极连接于所述第1电容元件的一个电极，源电极以及漏电极的一方连接于所述第2晶体管的栅电极，源电极以及漏电极的另一方连接于基准端子；以及

第5晶体管，其栅电极连接于所述初始化端子，源电极以及漏电极的一方连接于所述第1电容元件的一个电极，源电极以及漏电极的另一方连接于所述基准端子。

4. 如权利要求2或3所述的电平移位器，

所述第1～第5晶体管为n型的薄膜晶体管。

5. 如权利要求2或3所述的电平移位器，

所述第1～第5晶体管为p型的薄膜晶体管。

6. 一种反相器电路，具备：

逻辑反相单元，其将输入信号逻辑反相；以及

如权利要求1～5中的任意一项所述的电平移位器，其将所述逻辑反相单元的输出信号输入于所述输入端子，对该输入的电压进行电平移位并输出。

7. 一种反相器电路，具备：

如权利要求2～5中的任意一项所述的电平移位器；

反相器输入端子，其被输入表示逻辑状态的2种输入电压；

反相器输出端子，其输出表示所述2种输入电压所表示的逻辑状态反相后的逻辑状态的输出电压；

第1基准线，其被供给表示一种逻辑状态的第1基准电压；

第2基准线，其被供给表示另一种逻辑状态的第2基准电压；

第1输入晶体管，其栅电极和源电极以及漏电极的一方连接于所述第1基准线，源电极以及漏电极的另一方连接于所述电平移位器的所述输入端子；

第2输入晶体管，其栅电极连接于所述反相器输入端子，源电极以及漏电极的一方连接于所述输入端子，源电极以及漏电极的另一方连接于所述第2基准线；

第1输出晶体管，其栅电极连接于所述电平移位器的所述输出端子，源电极以及漏电极的一方连接于所述第1基准线，源电极以及漏电极的另一方连接于所述反相器输出端子；以及

第2输出晶体管，其栅电极连接于所述反相器输入端子，源电极以及漏电极的一方连接于所述反相器输出端子，源电极以及漏电极的另一方连接于所述第2基准线；

所述反相器输入端子还连接于所述电平移位器的所述初始化端子；

所述第1基准线还连接于所述电平移位器的所述控制端子。

8. 一种移位寄存器，其将单位电路多级连接，输入时钟信号和输入信号，输出使所述输入信号按预定的延迟时间移位得到的输出信号，

所述移位寄存器具备如权利要求1~5中的任意一项所述的电平移位器,该电平移位器将所述时钟信号的时钟振幅作为所述输入电压而进行电平移位,将进行了该电平移位后的时钟振幅即所述输出电压向所述单位电路输出。

电平移位器、反相器电路以及移位寄存器

技术领域

[0001] 本发明涉及电平移位器、反相器电路以及移位寄存器,特别涉及不需要专用电源的电平移位器。

背景技术

[0002] 在有源矩阵型的液晶显示器和/或有机EL显示器的像素电路中,使用以非晶硅为材料的像素选择用的薄膜晶体管(Thin Film Transistor:TFT)。为了驱动该选择用TFT,在上述显示器的周边区域配置有驱动电路。该驱动电路包括用于输出使选择用TFT导通截止的驱动脉冲的逻辑装置。

[0003] 一般,组装于硅系电路的上述逻辑装置的输出电压大多比上述TFT的驱动电压小。在该情况下,在驱动电路内配置对逻辑装置的输出电压进行升压而使其与TFT的驱动电压匹配的电平移位器。

[0004] 图8是非专利文献1所记载的以往的电平移位器的电路结构图。该图所记载的电平移位器500包括作为n型TFT的晶体管T1~T6和电容器C1以及C2。电平移位器500,将以固定电压VDD1与固定电压VSS1之间的电压振幅工作的输入信号电压Vin向以固定电压VDD2与固定电压VSS2之间的电压振幅工作的输出信号电压Vout转换。通过图8所记载的电路结构,电平移位器500能够降低输出阻抗,另外可以执行2倍以上的升压工作。

[0005] 另外,在专利文献1中,公开了下述电平移位器:包括单一导电型的TFT,使用输入的反相信号,保持内部波形和/或输出波形的振幅,或者输出比输入信号的振幅大的振幅(进行电平移位工作)。由此,可以实现低功耗,并且实现整齐的内部波形和/或输出波形。

[0006] 另外,在专利文献2中,公开了下述电平移位器:包括单一导电型的TFT,使用输入的反相信号以及TFT的二极管连接,避免输出波形的振幅回落,或者进行电平移位工作。由此,可以以低功耗形成驱动能力较大的输出信号。

[0007] 专利文献1:特开2011-139309号公报

[0008] 专利文献2:特开2008-205767号公报

[0009] 非专利文献1:Byung Seong Bae,et.al.,IEEE Tran.Electron Device,vol.53, No.3,2006年

发明内容

[0010] 但是,在上述的非专利文献1、专利文献1以及专利文献2所公开的电平移位器中,都需要用于提供电平移位后的电压的专用电源,所以增加用于配置固定电源线等的布局空间。另外,成为需要从外部电路供给电压的负担的结构。

[0011] 另外,在非专利文献1以及专利文献2中,使用晶体管的二极管连接,但在该晶体管为减压(depression)特性的情况下,会产生泄漏电流,得不到所希望的二极管特性。结果,具有使升压特性变差的课题。

[0012] 本发明是鉴于上述的课题而实现的,其目的在于提供不需要专用电源并且即使晶

体管为减压特性也可以抑制升压特性的劣化的电平移位器、反相器电路以及移位寄存器。

[0013] 为了解决上述的课题,本发明的电平移位器具备:输入端子,其被施加输入电压;第1电容元件;第1晶体管,其源电极以及漏电极配置于所述输入端子与所述第1电容元件的一个电极之间,栅电极连接于所述第1电容元件的另一个电极;第2晶体管,其源电极以及漏电极配置于所述输入端子与所述第1电容元件的另一个电极之间;信号生成单元,其生成对所述第2晶体管的导通以及非导通进行切换的信号并将该信号供给所述第2晶体管的栅电极;以及输出端子,其在对所述输入端子输入所述输入电压期间,输出电平移位后的所述第1电容元件的另一个电极的电压作为输出电压。

[0014] 根据本发明,由于不需要专用电源线,所以可以削减布线空间,减轻对外部电路的负担。另外,由于不使用连接为二极管的晶体管,所以即使构成电路的晶体管为减压特性,也可以抑制升压特性的劣化。

附图说明

[0015] 图1是表示本发明的实施方式1所涉及的电平移位器的一例的电路结构图。

[0016] 图2是本发明的实施方式1所涉及的电平移位器的驱动时间图。

[0017] 图3A是本发明的实施方式1所涉及的电平移位器的期间1中的电路状态转变图。

[0018] 图3B是本发明的实施方式1所涉及的电平移位器的期间2开始时的电路状态转变图。

[0019] 图3C是本发明的实施方式1所涉及的电平移位器的期间2中的电路状态转变图。

[0020] 图3D是本发明的实施方式1所涉及的电平移位器的期间3中的电路状态转变图。

[0021] 图4A是本发明的实施方式2所涉及的反相器电路的电路结构图。

[0022] 图4B是表示第1比较例的以往的反相器电路的电路结构图。

[0023] 图4C是表示第2比较例的以往的反相器电路的电路结构图。

[0024] 图5是对本发明以及以往的反相器电路中的晶体管的阈值电压与输出电压的关系进行比较的曲线图。

[0025] 图6是表示本发明的实施方式1所涉及的电平移位器的变形例的电路结构图。

[0026] 图7是表示本发明的实施方式1所涉及的电平移位器的变形例的驱动时间图。

[0027] 图8是表示非专利文献1所记载的以往的电平移位器的电路结构图。

[0028] 符号说明

[0029] 1、40、500:电平移位器,2、42:输入线,3、43:复位信号线,4、44:使能信号线,5、45:输出线,11、61:第1晶体管,12、62:第2晶体管,13、24、54、63:电容器,20、50:信号生成单元,21、22、23、31、32、33、34、51、52、53:晶体管,30、600、700:反相器电路。

具体实施方式

[0030] 本发明的一方式所涉及的电平移位器具备:输入端子,其被施加输入电压;第1电容元件;第1晶体管,其源电极以及漏电极配置于所述输入端子与所述第1电容元件的一个电极之间,栅电极连接于所述第1电容元件的另一个电极;第2晶体管,其源电极以及漏电极配置于所述输入端子与所述第1电容元件的另一个电极之间;信号生成单元,其生成对所述第2晶体管的导通以及非导通进行切换的信号并将该信号供给所述第2晶体管的栅电极;以

及输出端子,其在所述输入端子输入所述输入电压期间,输出电平移位后的所述第1电容元件的另一个电极的电压作为输出电压。

[0031] 根据上述结构,通过具备第1电容元件、决定第1电容元件的两电极的电位的第1晶体管以及第2晶体管和控制第2晶体管的导通状态的信号生成单元,能够对输入电压进行电平移位。此时,由于不需要用于电平移位工作的专用电源线,所以可以削减布线空间,减轻对外部电路的负担。

[0032] 另外,本发明的一方式所涉及的电平移位器,也可以:在所述信号生成单元使所述第2晶体管为导通状态的状态下所述输入电压输入于所述输入端子的期间,在所述第1电容元件进行与所述输入电压对应的电压的充电,且经由该输入电压施加于栅电极由此成为了导通状态的所述第1晶体管向所述第1电容元件的一个电极施加所述输入电压;与向所述第1电容元件的一个电极施加了所述输入电压对应地,所述信号生成单元使所述第2晶体管为非导通,由此在所述第1电容元件的另一个电极产生电压振幅比所述输入电压大的所述输出电压,并使该输出电压通过所述输出端子输出。

[0033] 另外,在本发明的一方式所涉及的电平移位器中,也可以:所述信号生成单元具备:控制端子,其被施加用于使所述输出电压产生的控制信号;初始化端子,其被施加用于对电路状态进行初始化的初始化信号;第2电容元件,其连接于所述第2晶体管的栅电极与所述第1电容元件的一个电极之间;第3晶体管,其栅电极连接于所述初始化端子,源电极以及漏电极的一方连接于所述控制端子,源电极以及漏电极的另一方连接于所述第2晶体管的栅电极;第4晶体管,其栅电极连接于所述第1电容元件的一个电极,源电极以及漏电极的一方连接于所述第2晶体管的栅电极,源电极以及漏电极的另一方连接于基准端子;以及第5晶体管,其栅电极连接于所述初始化端子,源电极以及漏电极的一方连接于所述第1电容元件的一个电极,源电极以及漏电极的另一方连接于所述基准端子。

[0034] 由此,由于是不使用二极管连接的TFT便可以将第2晶体管设为充分的反偏压状态的电路结构,所以即使第2晶体管为减压特性,在升压过程中也可以切实地将第2晶体管设为非导通,所以可以抑制升压特性的劣化。

[0035] 另外,在本发明的一方式所涉及的电平移位器中,优选:所述第1~第5晶体管为n型的薄膜晶体管。

[0036] 另外,在本发明的一方式所涉及的电平移位器中,也可以:所述第1~第5晶体管为p型的薄膜晶体管。

[0037] 由此,电平移位器的制造工序简略化,另外制造成品率提高。

[0038] 另外,本发明不仅可以作为具备这样的特征性单元的电平移位器而实现,也可以作为具备该电平移位器的反相器电路而实现。

[0039] 另外,本发明的一方式所涉及的反相器电路,也可以具备:上述的电平移位器;反相器输入端子,其被输入表示逻辑状态的2种输入电压;反相器输出端子,其输出表示所述2种输入电压所表示的逻辑状态反相后的逻辑状态的输出电压;第1基准线,其被供给表示一种逻辑状态的第1基准电压;第2基准线,其被供给表示另一种逻辑状态的第2基准电压;第1输入晶体管,其栅电极和源电极以及漏电极的一方连接于所述第1基准线,源电极以及漏电极的另一方连接于所述电平移位器的所述输入端子;第2输入晶体管,其栅电极连接于所述反相器输入端子,源电极以及漏电极的一方连接于所述输入端子,源电极以及漏电极的另

一方连接于所述第2基准线;第1输出晶体管,其栅电极连接于所述电平移位器的所述输出端子,源电极以及漏电极的一方连接于所述第1基准线,源电极以及漏电极的另一方连接于所述反相器输出端子;以及第2输出晶体管,其栅电极连接于所述反相器输入端子,源电极以及漏电极的一方连接于所述反相器输出端子,源电极以及漏电极的另一方连接于所述第2基准线;所述反相器输入端子还连接于所述电平移位器的所述初始化端子;所述第1基准线还连接于所述电平移位器的所述控制端子。

[0040] 由此,通过配置于包括第1输入晶体管以及第2输入晶体管的输入单元与包括第1输出晶体管以及第2输出晶体管的输出单元之间的电平移位器,可以抑制输出振幅的衰减,可以改善耐减压性。

[0041] 另外,本发明不仅可以作为具备这样的特征性单元的电平移位器而实现,也可以作为具备该电平移位器的移位寄存器而实现。

[0042] 移位寄存器,通过具备对时钟信号进行电平移位并将该电平移位后的时钟信号供给移位寄存器的本发明的一种方式所涉及的电平移位器,可以将构成移位寄存器的单位电路之间传送的输入信号以及输出信号的信号电压电平不衰减地维持为较高的电平。由此,可以使构成移位寄存器的TFT的接通电阻下降。由此可以改善输出信号的过渡特性,信号的传送效率提高。

[0043] 以下,参照附图对用于实施本发明的方式进行说明。

[0044] (实施方式1)

[0045] 图1是表示本发明的实施方式1所涉及的电平移位器的一例的电路结构图。该图中的电平移位器1具备第1晶体管11、第2晶体管12、电容器13和信号生成单元20。电平移位器1,在预定的定时从复位信号线3输入作为外部控制信号的初始化信号RESET并从使能信号线4输入作为外部控制信号的使能信号ENB,由此对输入信号IN进行电平移位而输出输出信号OUT。

[0046] 电容器13是一电极连接于第1晶体管11的源极端子、另一电极连接于第2晶体管12的源极端子、第1晶体管11的栅极端子并且经由输出线5连接于输出端子的第1电容元件。由此,电平移位器1的输出电平由电容器13的另一电极的电位决定。

[0047] 第1晶体管11是栅极端子连接于电容器13的另一个电极、漏极端子经由输入线2连接于输入端子、源极端子连接于电容器13的一个电极以及信号生成单元20的第1晶体管。

[0048] 第2晶体管12是栅极端子连接于信号生成单元20、漏极端子经由输入线2连接于输入端子、源极端子连接于电容器13的另一个电极以及经由输出线5连接于输出端子的第2晶体管。

[0049] 信号生成单元20具备例如晶体管21、22以及23和电容器24,根据使能信号ENB、复位信号RESET以及输入信号IN,向第2晶体管12的栅极端子输出预定的电压。由此,决定电平移位器1的输出电平的电容器13的另一个电极的电位根据来自信号生成单元20的输出、输入信号IN以及第1晶体管11以及第2晶体管12的导通状态而变化。以下,对信号生成单元20的构成要素的连接关系的一例进行说明。

[0050] 晶体管21是栅极端子经由复位信号线3连接于初始化端子、漏极端子经由使能信号线4连接于使能端子、源极端子连接于第2晶体管12的栅极端子的第3晶体管。

[0051] 晶体管22是栅极端子连接于第1晶体管11的源极端子以及电容器13的一个电极、

漏极端子连接于晶体管21的源极端子、源极端子连接于接地端子的第4晶体管。

[0052] 晶体管23是栅极端子经由复位信号线3连接于初始化端子、漏极端子连接于晶体管22的栅极端子、源极端子连接于作为基准端子的接地端子的第5晶体管。

[0053] 电容器24是一个电极连接于第2晶体管12的栅极端子、晶体管21的源极端子以及晶体管22的漏极端子且另一个电极连接于第1晶体管11的源极端子、电容器13的一个电极、晶体管22的栅极端子以及晶体管23的漏极端子的第2电容元件。

[0054] 在上述电路结构中,第1晶体管11、第2晶体管12、晶体管21、晶体管22以及晶体管23优选包括n型TFT。由此,电平移位器的制造工序简化,另外制造成品率提高。

[0055] 通过信号生成单元20的上述电路结构,信号生成单元20,在向输入端子输入输入电压之前的期间即期间1,生成将第2晶体管12设为导通状态的信号并将该信号向第2晶体管12的栅极供给,此后,在向输入端子输入输入电压的期间2,生成将第2晶体管12从导通状态向非导通状态切换的信号并将该信号向第2晶体管12的栅极供给。由此,在输出端子,在上述期间2,在第2晶体管12成为非导通状态之后,输出将进行了电平移位的电容器13的另一个电极的电压作为输出电压。下面,使用图2以及图3A~图3D对各期间的具体的工作进行说明。

[0056] 图2是本发明的实施方式1所涉及的电平移位器1的驱动时间图。在该图中,表示用于驱动电平移位器1的控制信号即使能信号ENB以及复位信号RESET、输入信号IN以及输出信号OUT的各电压电平。表示在时刻t01~时刻t10(上部时间图)执行升压工作、在时刻t11~时刻t20(下部时间图)不执行电压维持工作以及升压工作的情况。具体地,如时刻t01~时刻t10所示,在使能信号ENB为HIGH电平的条件下执行升压工作,如时刻t11~时刻t20所示,在使能信号ENB为LOW电平的条件下不执行电压维持工作以及升压工作。下面,特别以期间1~期间4为中心说明电路工作。

[0057] 首先,作为期间1~期间4的前提条件,使能信号ENB成为HIGH电平。

[0058] 接下来,在期间1,将复位信号RESET的电压设定为HIGH。

[0059] 图3A是本发明的实施方式1所涉及的电平移位器的期间1中的电路状态转变图。在期间1,复位信号RESET成为HIGH,由此晶体管21成为导通状态。由于该导通状态和在期间1以前使能信号ENB成为HIGH,电容器24的一个电极成为HIGH。另外,由于复位信号RESET成为HIGH,晶体管23成为导通状态。由于该导通状态和晶体管23的源极端子接地,电容器24的另一个电极成为LOW电平。由此,在电容器24中进行与电源电压(HIGH电平与LOW电平的电位差)相当的电压的充电。于是,向第2晶体管12的栅极端子施加HIGH电压,所以第2晶体管12成为导通状态。即,在期间1,通过使电容器24进行与电源电压相当的电压的充电,使第2晶体管12维持为导通状态直到升压工作的开始时。此时,向输出端子,经由第2晶体管12,施加输入信号IN的LOW电压,所以输出信号OUT成为LOW电平。另外,在期间1的最后,复位信号RESET成为LOW电平,但通过由电容器24进行的电压保持工作,第2晶体管12的导通状态得以维持。

[0060] 接下来,在期间2,从输入信号IN施加作为输入电压的HIGH电压。

[0061] 图3B是本发明的实施方式1所涉及的电平移位器的期间2开始时的电路状态转变图。由于从期间1以来维持第2晶体管12的导通状态,所以通过输入信号IN成为HIGH电压,输出信号OUT逐渐从LOW电平向HIGH电平变化。与此相对应,第1晶体管11的栅极电压也逐渐上

升,所以第1晶体管11的漏极-源极之间的电导系数也逐渐上升。由此,电流开始逐渐经由第1晶体管11从输入端子侧向电容器13的一个电极侧流动。

[0062] 图3C是本发明的实施方式1所涉及的电平移位器的期间2中的电路状态转变图。通过在期间2开始时经由第1晶体管11开始流动的、从输入端子侧向电容器13的一个电极侧的电流,在期间2的稳定时,输入信号IN的HIGH电压向电容器13的一个电极传递,该电极的电位成为HIGH电平。于是,向连接于电容器13的一个电极的晶体管22的栅极端子也施加HIGH电压,由此晶体管22成为导通状态。此时,放电电流从电容器24的一个电极经由晶体管22向接地端子流动,电容器24的一个电极以及第2晶体管12的栅极端子的电位从HIGH电平向LOW电平下降。由此,第2晶体管12成为非导通状态。

[0063] 在这里,由于第2晶体管12为导通状态且在期间2开始时输入信号IN成为HIGH,所以在直到第2晶体管12成为非导通状态为止的期间内,电容器13依赖于输入信号IN的HIGH电压而被充电。在这里,若将上述期间中的电容器13的充电电压设为 ΔV ,则在第2晶体管12成为非导通状态的时刻,电容器13的一个电极上升为HIGH电平(设为电压H),所以电容器13的另一个电极以及输出端子的电压成为 $(H + \Delta V)$ 。即,在期间2,通过第1晶体管11成为导通状态,执行由电容器13进行的升压工作。另外同时,晶体管22成为导通状态,在上述升压工作的过程中,第2晶体管12成为非导通状态。在该阶段,升压工作完成。通过上述充电工作以及升压工作,输入信号IN的电压H向输出信号OUT的电压 $(H + \Delta V)$ 升压。

[0064] 即,在信号生成单元20将第2晶体管12设为导通状态的状态下向输入端子输入作为输入信号IN的输入电压的HIGH电压的期间2中,在电容器13进行与该HIGH电压对应的电压的充电,且经由该HIGH电压施加于栅电极由此成为了导通状态的第1晶体管11向电容器13的一个电极施加上述HIGH电压。另一方面,信号生成单元20与向电容器13的一个电极施加上述HIGH电压的情况对应地将第2晶体管12设为非导通,由此在电容器13的另一个电极产生电压振幅比上述HIGH电压大的输出电压,并使该输出电压通过输出端子输出。

[0065] 接下来,在期间3,输入信号IN已经向LOW电压变化。

[0066] 图3D是本发明的实施方式1所涉及的电平移位器的期间3中的电路状态转变图。通过输入信号IN的电位变化,从期间2的结束时开始,第1晶体管11的源极端子以及漏极端子的电位反转,在期间3,电流经由第1晶体管11从电容器13的一个电极侧向输入端子侧流动。由于该电流流动的状态以及第1晶体管11的栅极端子处于通过第2晶体管12的非导通状态以及电容器13而电切断的状态,所以第1晶体管11的栅极电压向输入端子侧放电,结果输出信号OUT的电压成为LOW电平。

[0067] 如上所述,本实施方式所涉及的电平移位器1,具备具有充电功能的电容器13、决定电容器13的两电极的电位的第1晶体管11以及第2晶体管12和控制第2晶体管12的导通状态的信号生成单元20,在预定的定时被供给使能信号ENB以及复位信号RESET,由此可以对输入信号IN进行升压。通过电平移位器1采用上述结构,不需要用于电平移位工作的专用电源线,可以削减布线空间,减轻对外部电路的负担。另外,由于是不使用二极管连接的TFT便可以将第2晶体管12设为充分的反偏压状态的电路结构,所以即使第2晶体管12为减压特性,在升压过程中也可以切实地将第2晶体管12设为非导通,所以可以抑制升压特性的劣化。

[0068] (实施方式2)

[0069] 在本实施方式中,对具备将输入信号逻辑反相的逻辑反相单元和实施方式1所记载的电平移器1的反相器电路进行说明。

[0070] 图4A是本发明的实施方式2所涉及的反相器电路的电路结构图。该图所记载的反相器电路30具备:构成输入单元的晶体管31以及32、构成输出单元的晶体管33以及34和配置于输入单元与输出单元之间的电平移器1。

[0071] 晶体管31是栅电极和漏电极连接于供给表示一种逻辑状态的第1基准电压(VDD)的第1基准线、源电极连接于电平移器1的输入端子的第1输入晶体管。

[0072] 晶体管32是栅电极连接于输入表示逻辑状态的2种输入电压的反相器输入端子、漏电极连接于输入端子、源电极连接于供给表示另一种逻辑状态的第2基准电压(VSS)的第2基准线的第2输入晶体管。

[0073] 晶体管33是栅电极连接于电平移器1的输出端子、漏电极的一方连接于第1基准线、源电极连接于输出表示将2种输入电压所表示的逻辑状态反相后的逻辑状态的输出电压的反相器输出端子的第1输出晶体管。

[0074] 晶体管34是栅电极连接于反相器输入端子、漏电极连接于反相器输出端子、源电极连接于第2基准线的第2输出晶体管。

[0075] 另外,反相器输入端子连接于电平移器1的复位信号线3,第1基准线连接于电平移器1的使能信号线4。

[0076] 图4B是表示第1比较例的以往的反相器电路的电路结构图,图4C是表示第2比较例的以往的反相器电路的电路结构图。

[0077] 图4B所记载的以往的反相器电路600,将连接为二极管的n型晶体管31与在栅极端子被施加输入信号in的n型晶体管32串联连接,从晶体管31以及32的连接点输出输出信号out。通过上述结构,在输入信号in为HIGH电压(VDD)的情况下,晶体管32成为导通状态,输出信号out通过晶体管32成为LOW电压(VSS)。相反,在输入信号in为LOW电压(VSS)的情况下,晶体管32成为非导通状态,输出信号out通过晶体管31成为HIGH电压(VDD)。

[0078] 图4C所记载的以往的反相器电路700,与反相器电路600相比较,包括输入单元和输出单元这一点不同。该结构中的输入输出关系与反相器电路600中的输入输出关系相同。即,在输入信号in为HIGH电压(VDD)的情况下,晶体管32成为导通状态,通过晶体管32向晶体管33的栅极施加LOW电压从而晶体管33成为非导通状态。另一方面,晶体管34成为导通状态,输出信号out成为LOW电压(VSS)。相反,在输入信号in为LOW电压(VSS)的情况下,晶体管32成为非导通状态,通过晶体管31向晶体管33的栅极施加HIGH电压从而晶体管33成为导通状态。另一方面,晶体管34成为非导通状态,输出信号out成为HIGH电压(VDD)。

[0079] 图5是对本发明以及以往的反相器电路中的晶体管的阈值电压与输出电压的关系进行比较的曲线图。图5中的横轴表示构成反相器电路的晶体管的阈值电压。即,表示:阈值电压越小,晶体管的减压性越强,阈值电压越大,晶体管的增强性越强。另外,图5中的纵轴表示作为输入信号in将HIGH电压设为25V且将LOW电压设为-3V的情况下的各反相器电路的输出信号out的HIGH电压(V_{outH})以及LOW电压(V_{outL})。即,图5的曲线图表示将输入振幅设为28V的情况下的输出振幅的阈值电压依赖性。

[0080] 在上述的以往的反相器电路600以及700中,晶体管的减压性越强,输出信号out的HIGH电压越下降,LOW电压越上升。这是因为,晶体管的减压性越强,通过从反相器电路的电

源侧向接地侧流动泄漏电流,输出信号out的电压振幅越劣化。

[0081] 在图5的曲线图中,本发明的反相器电路30与以往的反相器电路600以及700相比较,在减压区域抑制了输出振幅的劣化。这是因为,通过配置于输入单元与输出单元之间的电平移位器1,从输入单元输出的信号成为电平移位器1的输入信号IN,通过电平移位器1升压后的输出信号OUT向输出单元输入。

[0082] 如上所述,根据本实施方式所涉及的反相器电路30,通过配置于输入单元与输出单元之间的电平移位器1,可以抑制输出振幅的衰减,可以改善耐减压性。

[0083] 以上,基于实施方式对本发明的电平移位器以及反相器电路进行了说明,但本发明所涉及的电平移位器以及反相器电路并不限于上述实施方式。使实施方式1以及2中的任意的构成要素组合而实现的其他的实施方式和/或对实施方式1以及2在不脱离本发明的主旨的范围内实施本领域技术人员想出的各种变形而得到的变形例和/或内置有本发明所涉及的电平移位器或者反相器电路的各种设备也包含于本发明。

[0084] 另外,在实施方式1以及2中,构成电平移位器1的晶体管全部假设为n型TFT,但构成本发明的电平移位器的晶体管全为p型TFT也可以起到同样的效果。以下,对该情况下的电路结构以及驱动定时进行说明。

[0085] 图6是表示本发明的实施方式1所涉及的电平移位器的变形例的电路结构图。

[0086] 该图中的电平移位器40具备第1晶体管61、第2晶体管62、电容器63和信号生成单元50。电平移位器40,在预定的定时从复位信号线43输入复位信号RESET并从使能信号线44输入使能信号ENB,由此对经由输入线42输入的输入信号IN进行电平移位而从输出线45输出输出信号OUT。

[0087] 信号生成单元50,具备例如晶体管51、52以及53和电容器54,根据使能信号ENB、复位信号RESET以及输入信号IN,向第2晶体管62的栅极端子输出预定的电压。由此,决定电平移位器40的输出电平的电容器63的另一个电极的电位根据来自信号生成单元50的输出、输入信号IN以及第1晶体管61以及第2晶体管62的导通状态而变化。

[0088] 图6中的电平移位器40的电路结构与图1中的电平移位器1的电路结构相比较,全部的晶体管的导电型变为p型,且电源电压VDD与作为基准电压的接地电压VSS的连接关系变为相反。

[0089] 图7是表示本发明的实施方式1所涉及的电平移位器的变形例的驱动时间图。图7中的驱动时间与图2中的驱动时间相比较,仅各信号的电压电平反相,由该各信号进行的电路工作与实施方式1所涉及的电平移位器1的电路工作相同。

[0090] 另外,具备本发明的实施方式1所涉及的电平移位器的移位寄存器,也是本发明的范围。具备本发明的电平移位器的移位寄存器具备与配置于显示面板的m个像素行的每行的m条扫描线对应的、进行级联的m个单元电路,且通常组装于栅驱动电路。栅驱动电路配置于例如作为显示面板的周边部的边框区域。

[0091] 第1行的单位电路,通过以预定的定时输入从时钟信号发生器输出的时钟信号CLK和输入信号IN1,输出相对于输入信号IN1延迟半个时钟周期、具有与输入信号IN1的接通电压输出期间(以后,记为输出期间)相同输出期间的输出信号OUT1。另外,第2行的单位电路,通过以预定的定时输入时钟信号CLK和与输出信号OUT1相同的信号即输入信号IN2,输出相对于输出信号OUT1延迟半个时钟周期、具有与输入信号IN1的输出期间相同输出期间的输

出信号OUT₂。即,第k行的单位电路,通过以预定的定时输入时钟信号CLK和与输出信号OUT(k-1)相同的信号即输入信号IN_k,输出相对于输出信号OUT(k-1)延迟半个时钟周期、具有与输入信号IN₁的输出期间相同输出期间的输出信号OUT_k。

[0092] 具有上述结构的移位寄存器,通过具备对时钟信号CLK进行电平移位并将该电平移位后的时钟信号CLK供给移位寄存器的本发明的电平移位器,能够以更高电压驱动构成移位寄存器的晶体管,使接通电阻下降,所以能够改善输出信号OUT的过渡特性,和/或通过单位电路内的输入信号IN以及输出信号OUT的信号电压的衰减抑制而提高信号传送效率。

[0093] 本发明的电平移位器在要求大画面以及高分辨率的薄型电视机、个人计算机的显示器等技术领域有用。

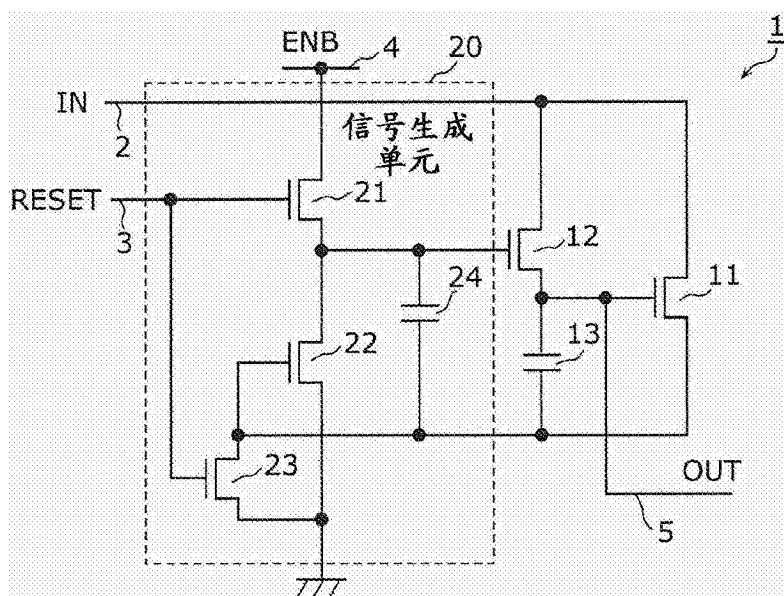


图1

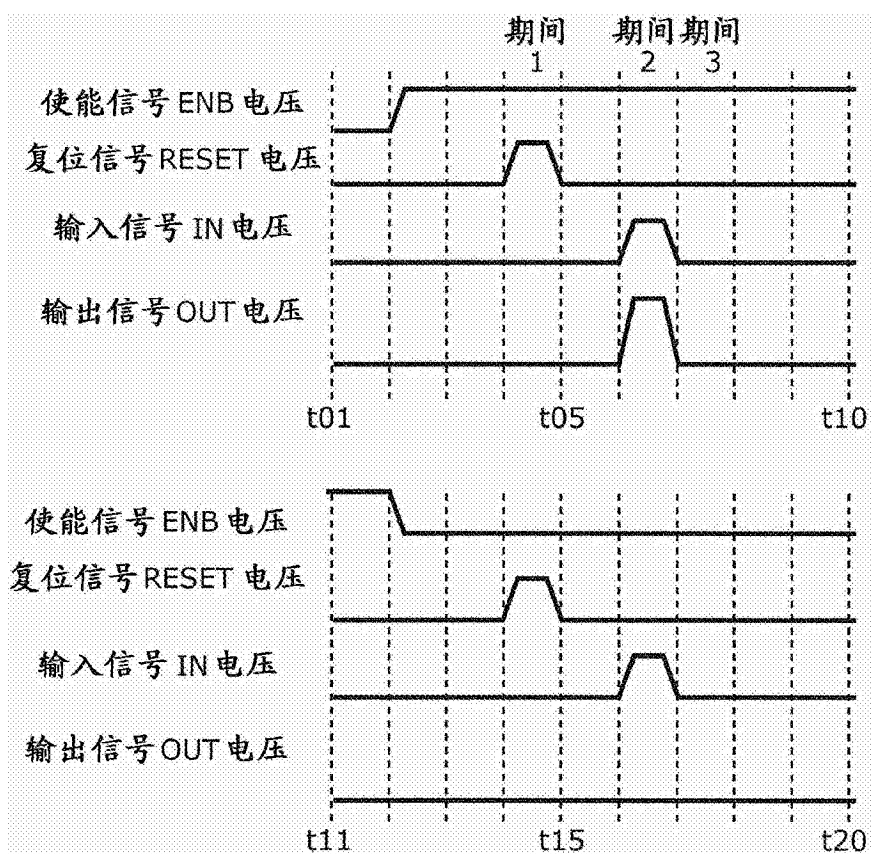


图2

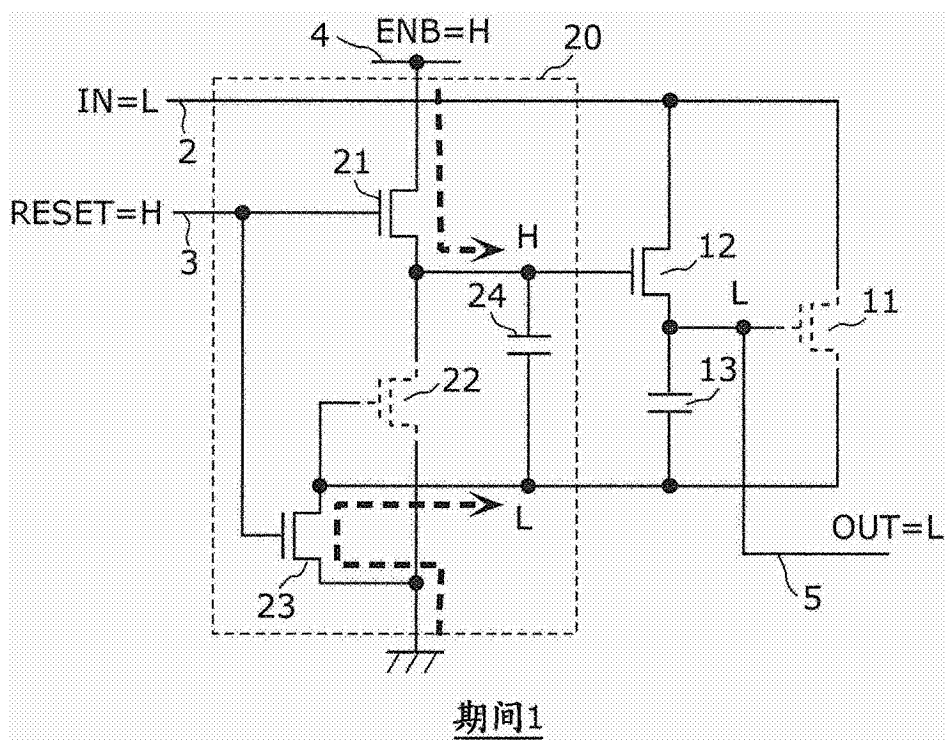


图3A

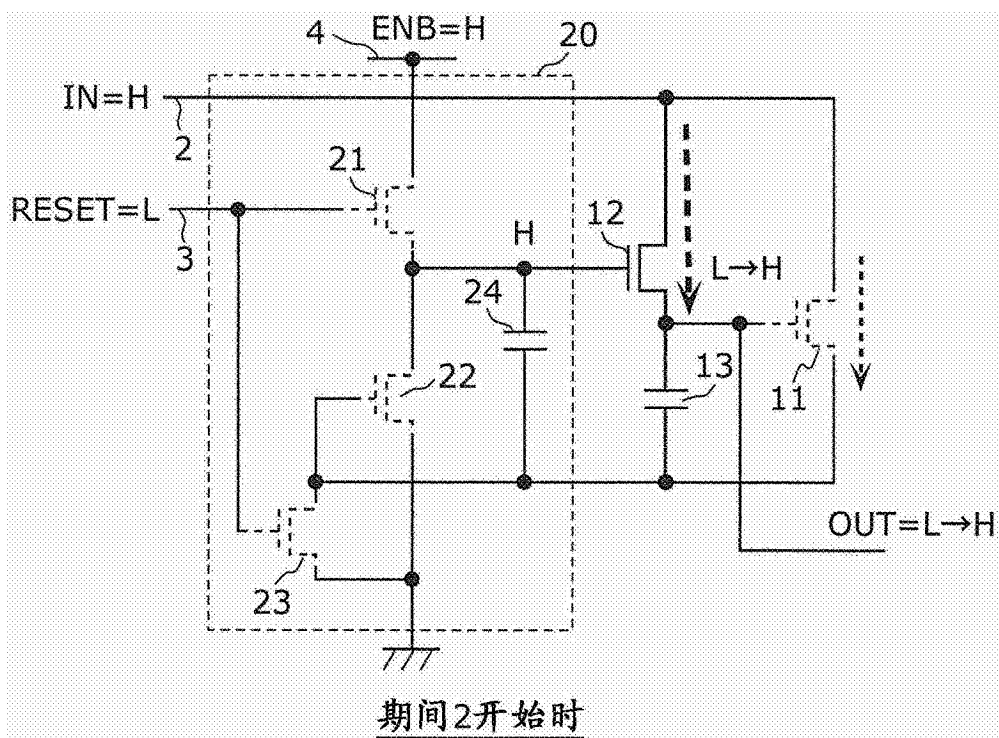


图3B

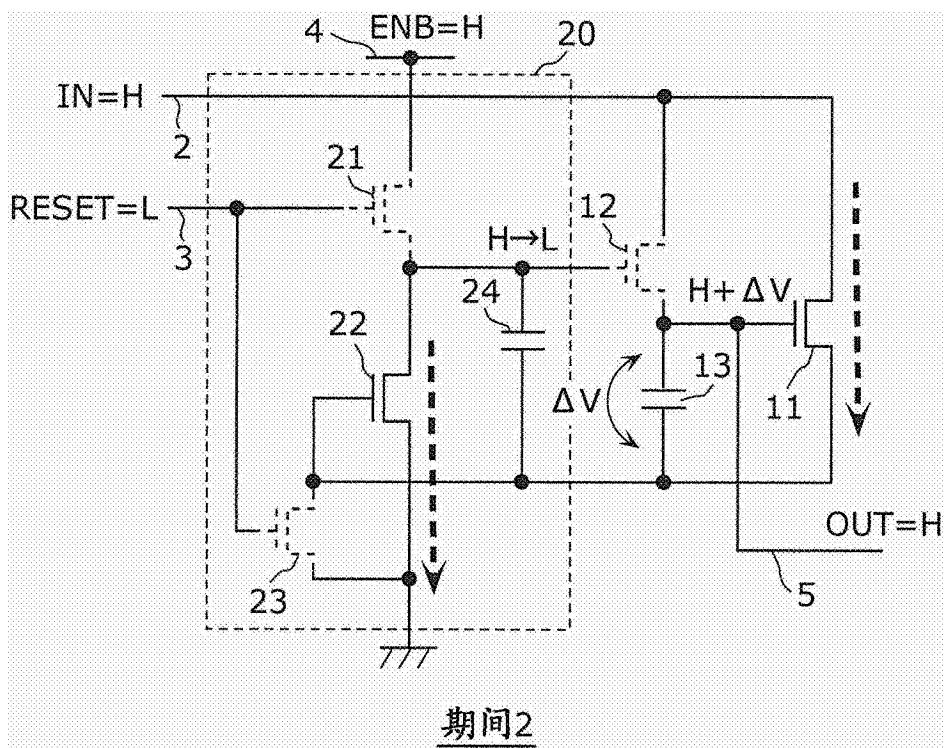


图3C

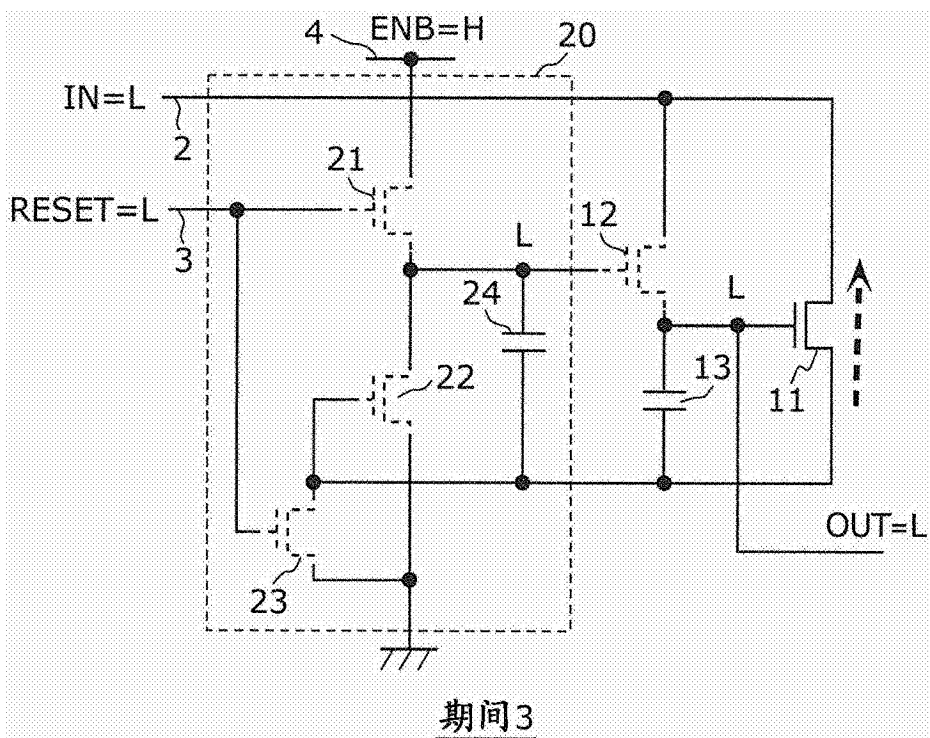


图3D

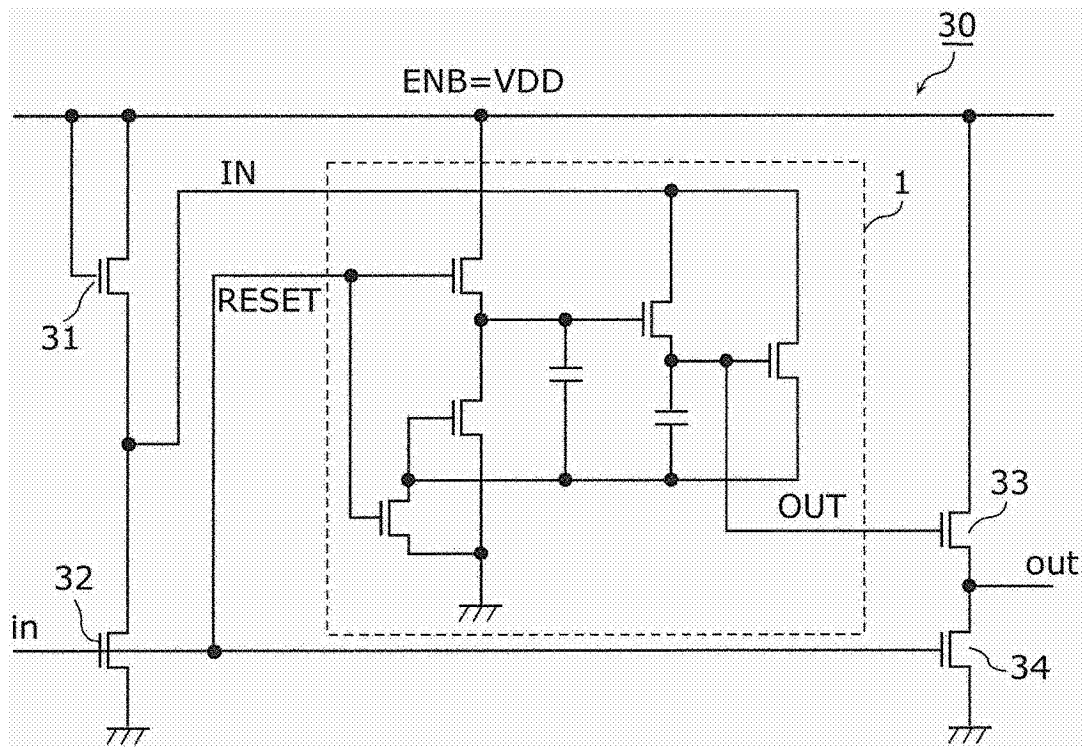


图4A

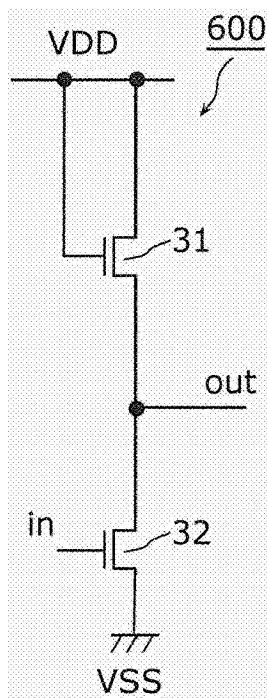


图4B

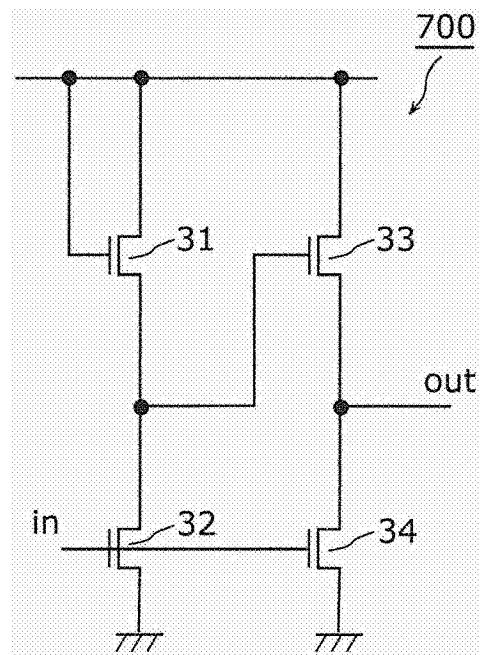


图4C

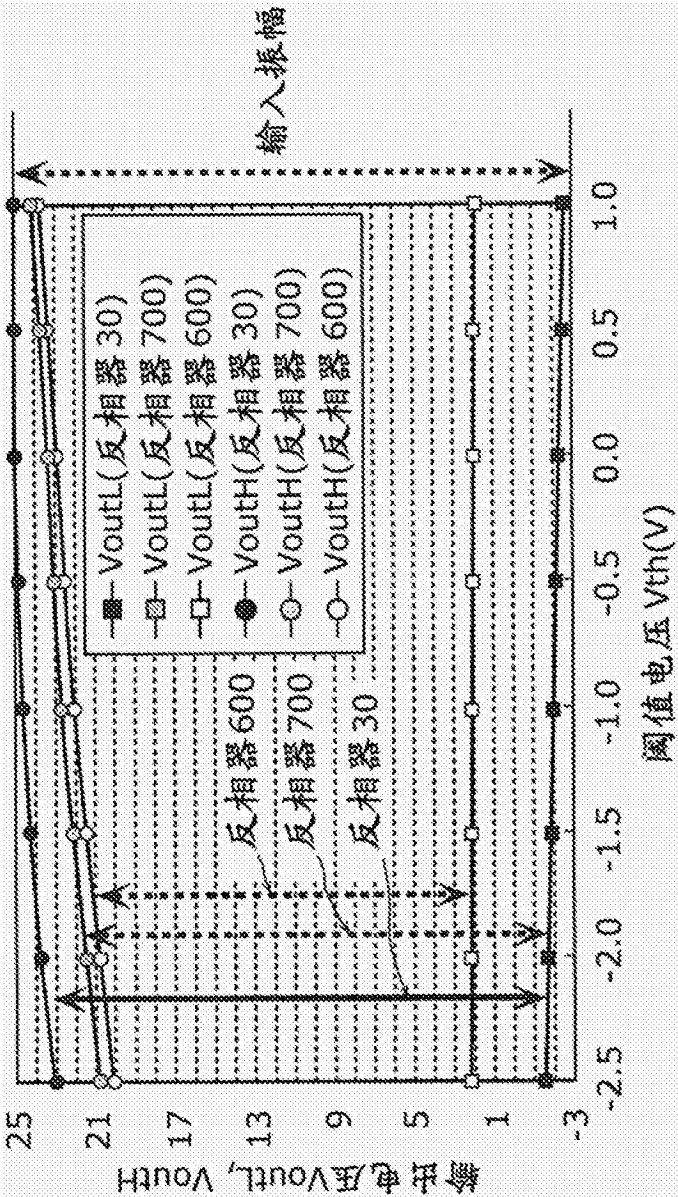


图5

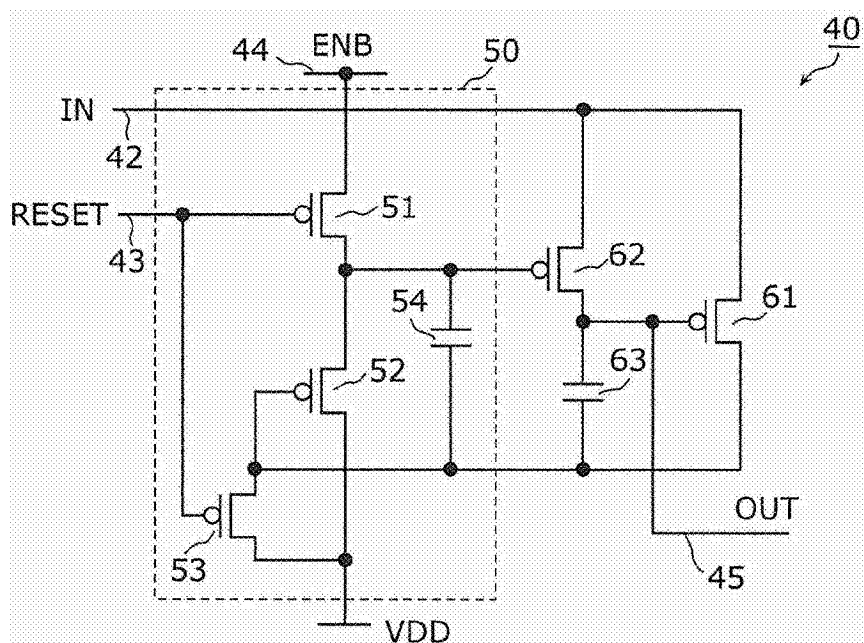


图6

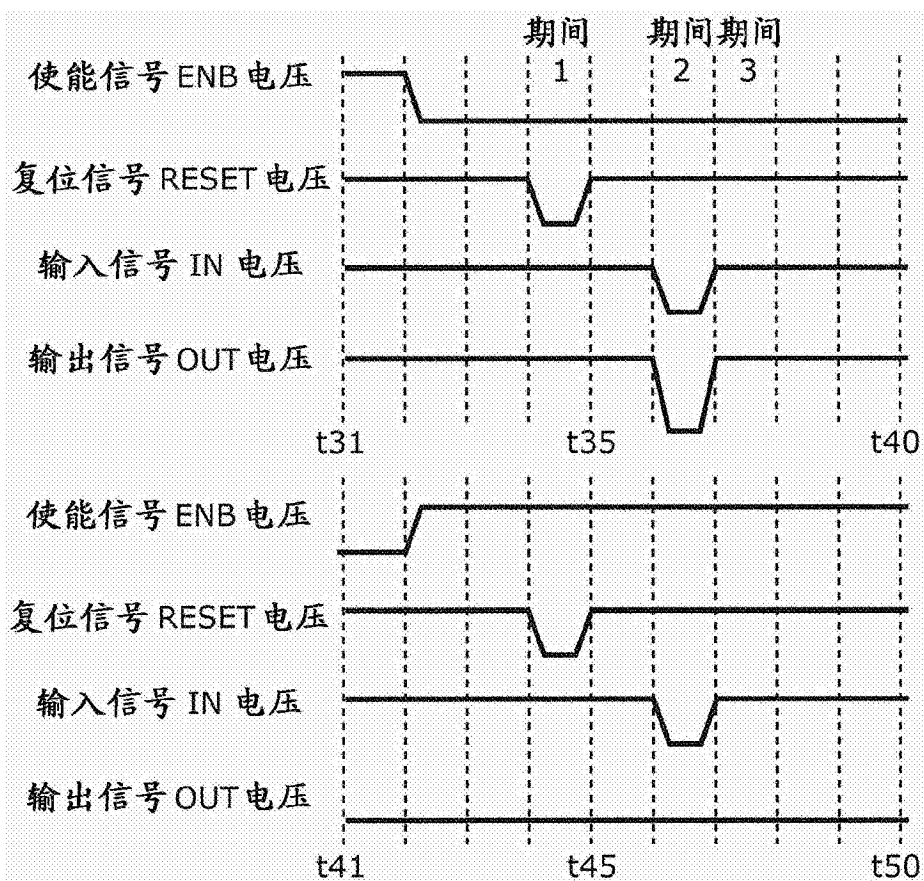


图7

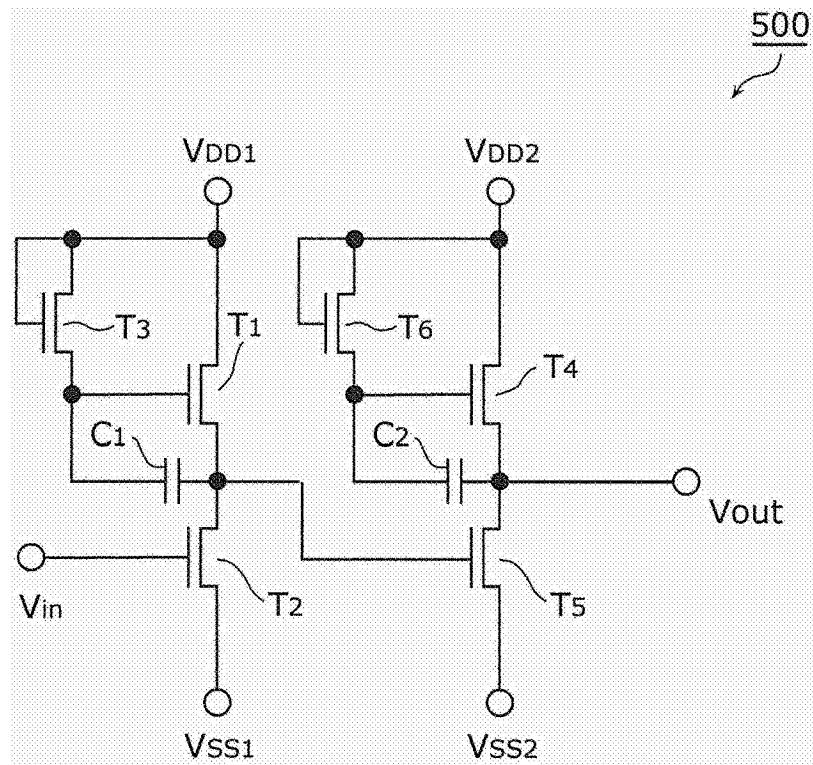


图8