(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第5456413号
(P5456413)
(45)発行日　平成26年3月26日(2014.3.26)　(24)登録日　平成26年1月17日(2014.1.17)

(51)Int.Cl.　F I
G11C 16/06 (2006.01)　G11C 17/00 634B
G11C 17/00 634A

請求項の数 4　(全 16 頁)

(21)出願番号　特願2009-193402(P2009-193402)
(22)出願日　平成21年8月24日(2009.8.24)
(65)公開番号　特開2011-44217(P2011-44217A)
(43)公開日　平成23年3月3日(2011.3.3)
審査請求日　平成24年8月8日(2012.8.8)

(73)特許権者　000116024
ローム株式会社
京都府京都市右京区西院溝崎町２１番地
(74)代理人　100085501
弁理士　佐野　静夫
(74)代理人　100134555
弁理士　林田　英樹
(72)発明者　今井　丈晴
京都市右京区西院溝崎町２１番地　ローム株式会社内
(72)発明者　▲高▼木　宏樹
京都市右京区西院溝崎町２１番地　ローム株式会社内

審査官　堀　拓也

最終頁に続く

(54)【発明の名称】半導体記憶装置

(57)【特許請求の範囲】
【請求項１】
シリアル入力される読み出し先アドレスに対応するメモリセルに記憶されたデータを出力する半導体記憶装置であって、
前記読み出し先アドレスの候補が８つに絞られた時点から前記読み出し先アドレスの候補が４つに絞られるまでの間に、第１及び第２のセンスアンプに対応する２つのデータラインのプリチャージを開始し、
前記読み出し先アドレスの候補が４つに絞られた時点で、４つの候補アドレスに対応するメモリセルに接続されたビットラインのうち、各メモリセルについて少なくとも１本のビットラインを選択し、その選択したビットラインのプリチャージを開始し、
前記読み出し先アドレスの候補が２つに絞られた時点で、２つの候補アドレスに対応する２つのメモリトランジスタへの電流供給を開始し、
その後、前記読み出し先アドレスの候補が２つに絞られた時点以降に、２つの候補アドレスの一方に対応するメモリセルに記憶されたデータの少なくとも一部を前記第１のセンスアンプで読み出し、２つの候補アドレスの他方に対応するメモリセルに記憶されたデータの少なくとも一部を前記第２のセンスアンプで読み出し、
前記読み出し先アドレスの確定後に、前記第１のセンスアンプで読み出したデータの少なくとも一部及び前記第２のセンスアンプで読み出したデータの少なくとも一部のいずれかを選択して出力する
ことを特徴とする半導体記憶装置。

【請求項２】
前記読み出し先アドレスの候補が２つに絞られた時点で、候補から外れた２つのアドレスに対応するメモリセルに接続されたビットラインのプリチャージを終了する
請求項１に記載の半導体記憶装置。
【請求項３】
各アドレスのメモリセルに複数ビットのデータを記憶する半導体記憶装置であって、
各メモリセルに接続された複数本のビットラインを第１のビットライン群のビットラインと第２のビットライン群に分け、
前記第１のビットライン群のビットラインと前記第２のビットライン群のビットラインとを交互に配列し、
前記第１のビットライン群のビットラインを用いてデータの読み出しを行う際には、前記第２のビットライン群のビットラインをグランド電位に固定し、
前記第２のビットライン群のビットラインを用いてデータの読み出しを行う際には、前記第１のビットライン群のビットラインをグランド電位に固定する
請求項１又は請求項２に記載の半導体記憶装置。
【請求項４】
前記読み出し先アドレスの確定後データを出力するまで、２つの候補アドレスのデータ読み出しを行い、２つの候補アドレスのデータのうち一つを選択して出力する
請求項１乃至請求項３の何れかに記載の半導体記憶装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、半導体記憶装置に関し、特に指定されたアドレスのデータ（記憶内容）を読み出すことが可能な半導体記憶装置（例えば、ＥＥＰＲＯＭ［Electrically Erasable and Programmable Read Only Memory］装置）に関するものである。
【背景技術】
【０００２】
従来の半導体記憶装置について、ここでは、ＳＰＩ［Serial Peripheral Interface］ＢＵＳ対応ＥＥＰＲＯＭ装置を例に挙げて説明する。従来のＥＥＰＲＯＭ装置の要部構成例を図８に示す。
【０００３】
図８に示す従来のＥＥＰＲＯＭ装置は、各アドレスのメモリセルに１ビットのデータを記憶するアドレス数が２５６（＝2^8）のメモリであって、ｎ（ｎは偶数）本のビット線ＢＬ１～ＢＬｎと、ｍ（＝２５６／ｎ）本のワード線ＷＬ１～ＷＬｍと、２５６個のメモリセルＭＣ０～ＭＣ２５５と、１個のセンスアンプＳＡ０と、制御部ＣＰ０とを備えている。
【０００４】
制御部ＣＰ０は、動作周波数のクロック信号ＳＣＫと、入力信号ＳＩとを外部から入力し、クロック信号ＳＣＫ及び入力信号ＳＩに基づいて各種信号を生成し、その各種信号をＥＥＰＲＯＭ装置の各部に供給する。そして、図８に示す従来のＥＥＰＲＯＭ装置が読み出し動作を行う際には、入力信号ＳＩとして、８ビットの読み出し先アドレスＡ７～Ａ０が外部から制御部ＣＰ０に順次入力される。
【０００５】
読み出し先アドレスの最下位ビットＡ０の入力中にクロック信号ＳＣＫが立ち上がった時点ｔ８（図１０参照）で読み出し先アドレスがＥＥＰＲＯＭ装置内で確定し、その時点ｔ８からクロック信号ＳＣＫの０．５クロック経過した時点ｔ８’（図１０参照）で読み出し先アドレスのデータがセンスアンプＳＡ０から出力される。このように、図８に示す従来のＥＥＰＲＯＭ装置の構成では、アクセスするアドレスが確定した後、そのデータが出力信号ＳＯとして出力されるまでの期間Ｐ１（図１０参照）が動作周波数の０．５クロック分しか無いため、動作周波数が高い場合、メモリセルのデータを読み出す時間（より

具体的にはビットラインをプリチャージする時間）が不足してしまうおそれがあった。

【０００６】

そこで、その対策品であって、動作周波数が高い場合でもメモリセルのデータを読み出す時間を確保することができる従来のＥＥＰＲＯＭ装置の要部構成例を図９に示す。なお、図９において図８と同一の部分には同一の符号を付す。

【０００７】

図９に示す従来のＥＥＰＲＯＭ装置は、各アドレスのメモリセルに１ビットのデータを記憶するアドレス数が２５６（＝2^8）のメモリであって、ｎ（ｎ偶数）本のビット線ＢＬ１～ＢＬｎ、ｍ（＝２５６／ｎ）本のワード線ＷＬ１～ＷＬｍと、２５６個のメモリセルＭＣ０～ＭＣ２５５と、２個のセンスアンプＳＡ１及びＳＡ２と、セレクタＳ１と、制御部ＣＰ１’とを備えている。

【０００８】

センスアンプＳＡ１は、ビット線ＢＬ１、ＢＬ３、…、ＢＬｎ－１に接続されているため、アドレスの最下位ビットＡ０が「０」であるメモリセル（アドレス“０（１０進数）”のメモリセルＭＣ０、アドレス“２（１０進数）”のＭＣ２、…、アドレス“２５４（１０進数）”のＭＣ２５４）のデータ読み出しが可能である。これに対して、センスアンプＳＡ２は、ビット線ＢＬ２、ＢＬ４、…、ＢＬｎに接続されているため、アドレスの最下位ビットＡ０が「１」であるメモリセル（アドレス“１（１０進数）”のメモリセルＭＣ１、アドレス“３（１０進数）”のＭＣ３、…、アドレス“２５５（１０進数）”のＭＣ２５５）のデータ読み出しが可能である。

【０００９】

制御部ＣＰ１’は、動作周波数のクロック信号ＳＣＫと、入力信号ＳＩとを外部から入力し、クロック信号ＳＣＫ及び入力信号ＳＩに基づいて各種信号を生成し、その各種信号をＥＥＰＲＯＭ装置の各部に供給する。そして、図９に示す従来のＥＥＰＲＯＭ装置が読み出し動作を行う際には、入力信号ＳＩとして、８ビットの読み出し先アドレスＡ７～Ａ０が外部から制御部ＣＰ１’に順次入力される。

【００１０】

読み出し先アドレスの７番目ビットＡ１の入力中にクロック信号ＳＣＫが立ち上がった時点ｔ７（図１０参照）で読み出し先アドレスの最上位ビットＡ７～７番目ビットＡ１がＥＥＰＲＯＭ装置内で確定しているので、読み出し先アドレスの候補は２つに絞られている。そこで、時点ｔ７以降、２つの候補アドレスのうち最下位ビットが「０」である方のアドレスのデータをセンスアンプＳＡ１で読み出し、２つの候補アドレスのうち最下位ビットが「１」である方のアドレスのデータをセンスアンプＳＡ２で読み出す。その後、読み出し先アドレスの最下位ビットＡ０の入力中にクロック信号ＳＣＫが立ち上がった時点ｔ８（図１０参照）で読み出し先アドレスがＥＥＰＲＯＭ装置内で確定し、その時点ｔ８からクロック信号ＳＣＫの０．５クロック経過した時点ｔ８’（図１０参照）で読み出し先アドレスのデータがセレクタＳ１によって選択され、セレクタＳ１から出力信号ＳＯとして出力される。

【００１１】

次に、図９に示す従来のＥＥＰＲＯＭ装置の詳細な部分構成を図１１に示す。また、図９及び図１１に示す従来のＥＥＰＲＯＭ装置の各種信号波形及び各部電位を図１２に示す。

【００１２】

センスアンプＳＡ１は、互いにサイズの異なるＰチャネルＭＯＳトランジスタ１１及び１２と、ＰチャネルＭＯＳトランジスタ１１及び１２のドレインとデータラインＤＬ１との間に設けられるサイリスタ１３と、ＰチャネルＭＯＳトランジスタ１１及び１２のドレインに入力端が接続されるインバータゲート１４とを備えている。同様に、センスアンプＳＡ２は、互いにサイズの異なるＰチャネルＭＯＳトランジスタ２１及び２２と、ＰチャネルＭＯＳトランジスタ２１及び２２のドレインとデータラインＤＬ２との間に設けられるサイリスタ２３と、ＰチャネルＭＯＳトランジスタ２１及び２２のドレインに入力端が

接続されるインバータゲート２４とを備えている。

【００１３】

各メモリセルは、選択用トランジスタＳＴと、コントロールゲートと伝導チャネルとの間にフローティングゲートを有するメモリトランジスタＭＴとを備えている。ａ行目ｂ列目のメモリセルでは、選択用トランジスタＳＴのドレインがｂ列目のビットラインＢＬｂに接続され、選択用トランジスタＳＴのゲートがａ行目のワードラインＷＬａに接続され、選択用トランジスタＳＴのソースがメモリトランジスタＭＴのドレインに接続され、メモリトランジスタＭＴのコントロールゲートがａ行目のコントロールラインＣＬａに接続され、メモリトランジスタＭＴのソースがａ行目のソースラインＳＬａに接続される。

【００１４】

ａ行目ｂ列目のメモリセルにデータ「１」を書き込む際には、例えば、ａ行目のワードラインＷＬａとａ行目のコントロールラインＣＬａを１７［Ｖ］にし、ｂ列目のビットラインＢＬｂをオープン状態にし、ａ行目のソースラインＳＬａを０［Ｖ］にするとよい。これにより、当該メモリセル内の選択用トランジスタＳＴがオンになり、当該メモリセル内のメモリトランジスタＭＴのフローティングゲートに電子が注入され、当該メモリセル内のメモリトランジスタＭＴの閾値電圧が大きくなる。この閾値電圧の状態がデータ「１」に対応している。

【００１５】

これに対して、ａ行目ｂ列目のメモリセルにデータ「０」を書き込む際には、ａ行目のワードラインＷＬａを１７［Ｖ］にし、ａ行目のコントロールラインＣＬａを０［Ｖ］にし、ｂ列目のビットラインＢＬｂを１４［Ｖ］にし、ａ行目のソースラインＳＬａをオープン状態にするとよい。これにより、当該メモリセル内の選択用トランジスタＳＴがオンになり、当該メモリセル内のメモリトランジスタＭＴのフローティングゲートから電子が放出され、当該メモリセル内のメモリトランジスタＭＴの閾値電圧が小さくなる。この閾値電圧の状態がデータ「０」に対応している。

【００１６】

以下、読み出し動作について説明する。図９及び図１１に示す従来のＥＥＰＲＯＭ装置が読み出し動作を行う際には、入力信号ＳＩとして、８ビットの読み出し先アドレスＡ７～Ａ０が外部から制御部ＣＰ１’に順次入力される。読み出し先アドレスの６番目ビットＡ２の入力中にクロック信号ＳＣＫが立ち上がった時点ｔ６（図１２参照）で読み出し先アドレスの最上位ビットＡ７～６番目ビットＡ２がＥＥＰＲＯＭ装置内で確定している。

【００１７】

読み出し先アドレスの最上位ビットＡ７～６番目ビットＡ２までの確定後最初にクロック信号ＳＣＫが立ち下がった時点ｔ６’（図１２参照）で、制御部ＣＰ１’は、センスアンプＳＡ１及びＳＡ２に供給しているイネーブル信号ＳＡＥＮＢのレベルをＨｉｇｈレベルからＬｏｗレベルに切り替える。これにより、センスアンプＳＡ１及びＳＡ２がディセーブル状態からイネーブル状態に切り替わる。したがって、時点ｔ６’からデータラインＤＬ１及びＤＬ２のプリチャージが始まる。

【００１８】

また、時点ｔ６’において、センスアンプＳＡ１及びＳＡ２の出力電流量を調整するための信号ＰｃｈａＢがＨｉｇｈレベルからＬｏｗレベルに切り替わる。信号ＰｃｈａＢがＬｏｗレベルである場合、ＰチャネルＭＯＳトランジスタ１１及び２１がオフになり、ＰチャネルＭＯＳトランジスタ１２及び２２がオンになって、センスアンプＳＡ１及びＳＡ２の出力電流量が大きくなる。

【００１９】

次に、読み出し先アドレスの７番目ビットＡ１の入力中にクロック信号ＳＣＫが立ち上がった時点ｔ７（図１２参照）で、読み出し先アドレスの最上位ビットＡ７～７番目ビットＡ１がＥＥＰＲＯＭ装置内で確定し、読み出し先アドレスの候補が２つに絞られる。時点ｔ７において、制御部ＣＰ１’は、制御部ＣＰ１’内部のビットライン選択用トランジスタを制御するためのデコードブロック（不図示）に供給しているイネーブル信号ＹＤＥ

ＣＥＮをＬｏｗレベルからＨｉｇｈレベルに切り替える。これにより、制御部ＣＰ１’内部のビットライン選択用トランジスタを制御するためのデコードブロックがディセーブル状態からイネーブル状態に切り替わる。

【００２０】

制御部ＣＰ１’内部のビットライン選択用トランジスタを制御するためのデコードブロックは、２つの候補アドレスに対応するビットライン選択用トランジスタをオフからオンに切り替え、それ以外のビットライン選択用トランジスタをオフのままにする。例えば、最上位ビットＡ７～７番目ビットＡ１が全て「０」である場合、候補アドレスは“０（１０進数）”と“１（１０進数）”であるので、候補アドレスに対応するビットライン選択用トランジスタＢＴ１及びＢＴ２をオフからオンに切り替え、それ以外のビットライン選択用トランジスタＢＴ３～ＢＴｎをオフのままにする。

【００２１】

したがって、時点ｔ７から２つの候補アドレスに対応する２本のビットラインのプリチャージが始まる。なお、このビットラインのプリチャージ開始に伴い、データラインＤＬ１及びＤＬ２の電位が一時的に若干低下する。

【００２２】

次に、読み出し先アドレスの最上位ビットＡ７～７番目ビットＡ１の確定後最初にクロック信号ＳＣＫが立ち下がった時点ｔ７’（図１２参照）で、制御部ＣＰ１’は、制御部ＣＰ１’内部のワードライン制御用デコードブロック（不図示）に供給しているイネーブル信号ＷＬＤＩＳＢをＬｏｗレベルからＨｉｇｈレベルに切り替える。これにより、制御部ＣＰ１’内部のワードライン制御用デコードブロックがディセーブル状態からイネーブル状態に切り替わる。

【００２３】

制御部ＣＰ１’内部のワードライン制御用デコードブロックは、２つの候補アドレスに対応するワードラインの電位を０［Ｖ］からＶｃｃに切り替え、それ以外のワードラインを０［Ｖ］のままにする。例えば、最上位ビットＡ７～７番目ビットＡ１が全て「０」である場合、候補アドレスは“０（１０進数）”と“１（１０進数）”であるので、候補アドレスに対応するワードラインＷＬ１の電位を０［Ｖ］からＶｃｃに切り替え、それ以外のワードラインＷＬ２～ＷＬｍを０［Ｖ］のままにする。

【００２４】

また、時点ｔ７’において、制御部ＣＰ１’は、２つの候補アドレスに対応するコントロールラインの電位を０［Ｖ］から１［Ｖ］に切り替え、２つの候補アドレスに対応するソースラインの電位を０［Ｖ］にする。

【００２５】

これにより、時点ｔ７’において、２つの候補アドレスに対応する２つのメモリトランジスタＭＴへの電流供給が開始され、２つの候補アドレスのデータ読み出しが開始される。なお、時点ｔ７’において、センスアンプＳＡ１及びＳＡ２の出力電流量を調整するための信号ＰｃｈａＢがＬｏｗレベルからＨｉｇｈレベルに切り替わるので、ＰチャネルＭＯＳトランジスタ１１及び２１がオンになり、ＰチャネルＭＯＳトランジスタ１２及び２２がオフになって、センスアンプＳＡ１及びＳＡ２の出力電流量が小さくなる。

【００２６】

その後、読み出し先アドレスの最下位ビットＡ０の入力中にクロック信号ＳＣＫが立ち上がった時点ｔ８（図１２参照）で、読み出し先アドレスの最上位ビットＡ７～最下位ビットＡ０がＥＥＰＲＯＭ装置内で確定し、読み出し先アドレスの最上位ビットＡ７～最下位ビットＡ０の確定後最初にクロック信号ＳＣＫが立ち下がった時点ｔ８’（図１２参照）まで、２つの候補アドレスのデータ読み出しが行われる。そして、時点ｔ８’において、読み出し先アドレスのデータがセレクタＳ１よって選択され、セレクタＳ１から出力信号ＳＯとして出力される。その後、センスアンプＳＡ１及びＳＡ２、制御部ＣＰ１’内部のビットライン選択用トランジスタを制御するためのデコードブロック（不図示）、並びに制御部ＣＰ１’内部のワードライン制御用デコードブロック（不図示）がディセーブル

状態になる。
【先行技術文献】
【特許文献】
【００２７】
【特許文献１】特開２００４－１９９７３８号公報
【発明の概要】
【発明が解決しようとする課題】
【００２８】
しかしながら、さらに高い動作周波数で動作させる必要がある場合、上述した図９及び図１１に示す従来のＥＥＰＲＯＭ装置では、メモリセルのデータを読み出す時間を確保することができない。
【００２９】
その対策品としては、読み出し先アドレスの候補が４つに絞られた時点から、各候補アドレスのデータを同時に読み出し、読み出し先アドレスが確定した後、読み出し先アドレスのデータをセレクタによって選択する構成が考えられる。かかる構成の場合、各アドレスのメモリセルに１ビットのデータを記憶するメモリであれば、図１３に示すようにセンスアンプが４つ必要となり、レイアウト面積が大きくなるという欠点があった。
【００３０】
図１３に示すＥＥＰＲＯＭ装置と図９及び図１１に示すＥＥＰＲＯＭ装置はともに、各アドレスのメモリセルに１ビットのデータを記憶するメモリであるためセンスアンプの個数差は２（＝４［アドレス分］－２［アドレス分］）であるが、例えば、各アドレスのメモリセルに８ビットのデータを格納し、上位４ビットを同時に読み出し、下位４ビットを同時に読み出すメモリについて考えると、図１３に示す構成の方式と図９及び図１１に示す構成の方式とでは、センスアンプの個数差は８（＝４［アドレス分］×４［ビット］－２［アドレス分］×４［ビット］）になり、図１３に示す構成の方式の欠点が顕著になる。
【００３１】
なお、特許文献１は、ワードゲートのプリチャージに特徴がある不揮発性記憶装置を開示するものであって、動作周波数が高い場合にビットラインのプリチャージ時間を確保することができるものではない。
【００３２】
本発明は、上記の状況に鑑み、動作周波数が高い場合でもメモリセルのデータを読み出す時間を確保することができ、レイアウト面積の増大を抑えることができる半導体記憶装置を提供することを目的とする。
【課題を解決するための手段】
【００３３】
上記目的を達成するために本発明に係る半導体記憶装置は、シリアル入力される読み出し先アドレスに対応するメモリセルに記憶されたデータを出力する半導体記憶装置であって、前記読み出し先アドレスの候補が４つに絞られた時点で、４つの候補アドレスに対応するメモリセルに接続されたビットラインのうち、各メモリセルについて少なくとも１本のビットラインを選択し、その選択したビットラインのプリチャージを開始し、その後、前記読み出し先アドレスの候補が２つに絞られた時点以降に、２つの候補アドレスの一方に対応するメモリセルに記憶されたデータの少なくとも一部を第１のセンスアンプで読み出し、２つの候補アドレスの他方に対応するメモリセルに記憶されたデータの少なくとも一部を第２のセンスアンプで読み出し、前記読み出し先アドレスの確定後に、前記第１のセンスアンプで読み出したデータの少なくとも一部及び前記第２のセンスアンプで読み出したデータの少なくとも一部のいずれかを選択して出力するようにしている。なお、各アドレスのメモリセルに複数ビットのデータを記憶する半導体記憶装置である場合には、前記第１のセンスアンプ、前記第２のセンスアンプはそれぞれ複数のセンスアンプで構成される。

【００３４】
　また、上記構成において、前記読み出し先アドレスの候補が２つに絞られた時点で、候補から外れた２つのアドレスに対応するメモリセルに接続されたビットラインのプリチャージを終了するようにしてもよい。
【００３５】
　また、上記いずれかの構成において、各アドレスのメモリセルに複数ビットのデータを記憶する半導体記憶装置とし、各メモリセルに接続された複数本のビットラインを第１のビットライン群のビットラインと第２のビットライン群に分け、前記第１のビットライン群のビットラインと前記第２のビットライン群のビットラインとを交互に配列し、前記第１のビットライン群のビットラインを用いてデータの読み出しを行う際には、前記第２のビットライン群のビットラインをグランド電位に固定し、前記第２のビットライン群のビットラインを用いてデータの読み出しを行う際には、前記第１のビットライン群のビットラインをグランド電位に固定するようにしてもよい。
【発明の効果】
【００３６】
　本発明に係る半導体記憶装置によると、動作周波数が高い場合でもメモリセルのデータを読み出す時間を確保することができ、レイアウト面積の増大を抑えることができる。
【図面の簡単な説明】
【００３７】
【図１】本発明の実施形態に係るＥＥＰＲＯＭ装置の要部構成例を示す図である。
【図２】図１に示す本発明の実施形態に係るＥＥＰＲＯＭ装置の詳細な部分構成を示す図である。
【図３】図１及び図２に示す本発明の実施形態に係るＥＥＰＲＯＭ装置の各種信号波形及び各部電位を示す図である。
【図４】各アドレスのメモリセルに８ビットのデータを記憶し、４ビットずつ同時に読み出すＥＥＰＲＯＭ装置の部分構成例を示す図である。
【図５】各アドレスのメモリセルに８ビットのデータを記憶し、４ビットずつ同時に読み出すＥＥＰＲＯＭ装置の他の部分構成例を示す図である。
【図６】各アドレスのメモリセルに８ビットのデータを記憶し、４ビットずつ同時に読み出すＥＥＰＲＯＭ装置の更に他の部分構成例を示す図である。
【図７】図６に示すＥＥＰＲＯＭ装置の各種信号波形及び各部電位を示す図である。
【図８】従来のＥＥＰＲＯＭ装置の要部構成例を示す図である。
【図９】動作周波数が高い場合でもメモリセルのデータを読み出す時間を確保することができるＥＥＰＲＯＭ装置の要部構成例を示す図である。
【図１０】図８及び図９に示す従来のＥＥＰＲＯＭ装置の各種信号波形を示す図である。
【図１１】図９に示す従来のＥＥＰＲＯＭ装置の詳細な部分構成を示す図である。
【図１２】図９及び図１１に示す従来のＥＥＰＲＯＭ装置の各種信号波形及び各部電位を示す図である。
【図１３】センスアンプが４つ必要なＥＥＰＲＯＭ装置の要部構成例を示す図である。
【発明を実施するための形態】
【００３８】
　本発明の実施形態について図面を参照して以下に説明する。なお、図面中のコンデンサは全て寄生容量を示している。本発明に係る半導体記憶装置について、ここでは、ＳＰＩ［Serial Peripheral Interface］ＢＵＳ対応ＥＥＰＲＯＭ装置を例に挙げて説明する。
【００３９】
　本発明の実施形態に係るＥＥＰＲＯＭ装置の要部構成例を図１に示し、その要部構成例の詳細な部分構成を図２に示す。なお、図１において図９と同一の部分には同一の符号を付し詳細な説明を省略する。同様に、図２において図１１と同一の部分には同一の符号を付し詳細な説明を省略する。また、図１及び図２に示す本発明の実施形態に係るＥＥＰＲＯＭ装置におけるａ行目ｂ列目のメモリセルへのデータ書き込み動作については、従来の

データ書き込み動作と同様であるため、ここでは説明を省略する。

【００４０】

図１及び図２に示す本発明の実施形態に係るＥＥＰＲＯＭ装置は、図９及び図１１に示す従来のＥＥＰＲＯＭ装置から制御部ＣＰ１’を取り除き、その代わりに、制御部ＣＰ１’とは異なる制御動作を行う制御部ＣＰ１を設けた構成である。ただし、後述するように、図１及び図２に示す本発明の実施形態に係るＥＥＰＲＯＭ装置では、センスアンプＳＡ１及びＳＡ２それぞれが一時的に２本のビットラインをプリチャージするため、図９及び図１１に示す従来のＥＥＰＲＯＭ装置と比較してセンスアンプＳＡ１及びＳＡ２の電流供給能力を高くしておく必要がある。

【００４１】

ここで、図１及び図２に示す本発明の実施形態に係るＥＥＰＲＯＭ装置の各種信号波形及び各部電位を図３に示す。以下、図１及び図２に示す本発明の実施形態に係るＥＥＰＲＯＭ装置の読み出し動作について説明する。図１及び図２に示す本発明の実施形態に係るＥＥＰＲＯＭ装置が読み出し動作を行う際には、入力信号ＳＩとして、８ビットの読み出し先アドレスＡ７～Ａ０が外部から制御部ＣＰ１に順次入力される。読み出し先アドレスの５番目ビットＡ３の入力中にクロック信号ＳＣＫが立ち上がった時点ｔ５（図３参照）で読み出し先アドレスの最上位ビットＡ７～５番目ビットＡ３がＥＥＰＲＯＭ装置内で確定している。

【００４２】

読み出し先アドレスの最上位ビットＡ７～５番目ビットＡ３までの確定後最初にクロック信号ＳＣＫが立ち下がった時点ｔ５’（図３参照）で、制御部ＣＰ１は、センスアンプＳＡ１及びＳＡ２に供給しているイネーブル信号ＳＡＥＮＢのレベルをＨｉｇｈレベルからＬｏｗレベルに切り替える。これにより、センスアンプＳＡ１及びＳＡ２がディセーブル状態からイネーブル状態に切り替わる。したがって、時点ｔ５’からデータラインＤＬ１及びＤＬ２のプリチャージが始まる。

【００４３】

また、時点ｔ５’において、センスアンプＳＡ１及びＳＡ２の出力電流量を調整するための信号ＰｃｈａＢがＨｉｇｈレベルからＬｏｗレベルに切り替わる。信号ＰｃｈａＢがＬｏｗレベルである場合、ＰチャネルＭＯＳトランジスタ１１及び２１がオフになり、ＰチャネルＭＯＳトランジスタ１２及び２２がオンになって、センスアンプＳＡ１及びＳＡ２の出力電流量が大きくなる。

【００４４】

次に、読み出し先アドレスの６番目ビットＡ２の入力中にクロック信号ＳＣＫが立ち上がった時点ｔ６（図３参照）で、読み出し先アドレスの最上位ビットＡ７～６番目ビットＡ２がＥＥＰＲＯＭ装置内で確定し、読み出し先アドレスの候補が４つに絞られる。時点ｔ６において、制御部ＣＰ１は、制御部ＣＰ１内部のビットライン選択用トランジスタを制御するためのデコードブロック（不図示）に供給しているイネーブル信号ＹＤＥＣＥＮをＬｏｗレベルからＨｉｇｈレベルに切り替える。これにより、制御部ＣＰ１内部のビットライン選択用トランジスタを制御するためのデコードブロックがディセーブル状態からイネーブル状態に切り替わる。

【００４５】

制御部ＣＰ１内部のビットライン選択用トランジスタを制御するためのデコードブロックは、４つの候補アドレスに対応する４つのビットライン選択用トランジスタをオフからオンに切り替え、それ以外のビットライン選択用トランジスタをオフのままにする。例えば、最上位ビットＡ７～６番目ビットＡ２が全て「０」である場合、候補アドレスは“０（１０進数）”と“１（１０進数）”と“２（１０進数）”と“３（１０進数）”であるので、候補アドレスに対応するビットライン選択用トランジスタＢＴ１～ＢＴ４をオフからオンに切り替え、それ以外のビットライン選択用トランジスタＢＴ５～ＢＴｎをオフのままにする。

【００４６】

したがって、時点ｔ６から４つの候補アドレスに対応する４本のビットラインのプリチャージが始まる。なお、このビットラインのプリチャージ開始に伴い、データラインＤＬ１及びＤＬ２の電位が一時的に若干低下する。

【００４７】

次に、読み出し先アドレスの７番目ビットＡ１の入力中にクロック信号ＳＣＫが立ち上がった時点ｔ７（図３参照）で、読み出し先アドレスの最上位ビットＡ７～７番目ビットＡ１がＥＥＰＲＯＭ装置内で確定し、読み出し先アドレスの候補が２つに絞られる。そこで、制御部ＣＰ１内部のビットライン選択用トランジスタを制御するためのデコードブロックは、２つの候補アドレスに対応する２つのビットライン選択用トランジスタをオンのままにし、時点ｔ７において候補アドレスから外れた２つのアドレスに対応する２つのビットライン選択用トランジスタをオンからオフに切り替える。これにより、時点ｔ７においてビットラインのプリチャージが不十分である場合に、時点ｔ７以降のビットラインのプリチャージを促進することができる。なお、図３では時点ｔ７においてビットラインのプリチャージが十分である場合を図示している。

【００４８】

また、時点ｔ７で、制御部ＣＰ１は、制御部ＣＰ１内部のワードライン制御用デコードブロック（不図示）に供給しているイネーブル信号ＷＬＤＩＳＢをＬｏｗレベルからＨｉｇｈレベルに切り替える。これにより、制御部ＣＰ１内部のワードライン制御用デコードブロックがディセーブル状態からイネーブル状態に切り替わる。

【００４９】

制御部ＣＰ１内部のワードライン制御用デコードブロックは、２つの候補アドレスに対応するワードラインの電位を０［Ｖ］からＶｃｃに切り替え、それ以外のワードラインを０［Ｖ］のままにする。例えば、最上位ビットＡ７～７番目ビットＡ１が全て「０」である場合、候補アドレスは“０（１０進数）”と“１（１０進数）”であるので、候補アドレスに対応するワードラインＷＬ１の電位を０［Ｖ］からＶｃｃに切り替え、それ以外のワードラインＷＬ２～ＷＬｍを０［Ｖ］のままにする。

【００５０】

さらに、時点ｔ７において、制御部ＣＰ１は、２つの候補アドレスに対応するコントロールラインの電位を０［Ｖ］から１［Ｖ］に切り替え、２つの候補アドレスに対応するソースラインの電位を０［Ｖ］にする。

【００５１】

これにより、時点ｔ７において、２つの候補アドレスに対応する２つのメモリトランジスタＭＴへの電流供給が開始され、メモリトランジスタＭＴがデータ「０」を記憶している場合にはビットラインの電位を下げ始めることができ、後述する時点ｔ７’（図３参照）以降でのデータ読み出し時間の短縮を図ることができる。

【００５２】

次に、読み出し先アドレスの最上位ビットＡ７～７番目ビットＡ１までの確定後最初にクロック信号ＳＣＫが立ち下がった時点ｔ７’で、センスアンプＳＡ１及びＳＡ２の出力電流量を調整するための信号ＰｃｈａＢがＬｏｗレベルからＨｉｇｈレベルに切り替わるので、ＰチャネルＭＯＳトランジスタ１１及び２１がオンになり、ＰチャネルＭＯＳトランジスタ１２及び２２がオフになって、センスアンプＳＡ１及びＳＡ２の出力電流量が小さくなる。このため、時点ｔ７’以降、２つの候補アドレスのデータが読み出される。

【００５３】

その後、読み出し先アドレスの最下位ビットＡ０の入力中にクロック信号ＳＣＫが立ち上がった時点ｔ８（図３参照）で、読み出し先アドレスの最上位ビットＡ７～最下位ビットＡ０がＥＥＰＲＯＭ装置内で確定し、読み出し先アドレスの最上位ビットＡ７～最下位ビットＡ０の確定後最初にクロック信号ＳＣＫが立ち下がった時点ｔ８’（図３参照）まで、２つの候補アドレスのデータ読み出しが行われる。そして、時点ｔ８’において、読み出し先アドレスのデータがセレクタＳ１よって選択され、セレクタＳ１から出力信号ＳＯとして出力される。その後、センスアンプＳＡ１及びＳＡ２、制御部ＣＰ１内部のビッ

トライン選択用トランジスタを制御するためのデコードブロック（不図示）、並びに制御部ＣＰ１内部のワードライン制御用デコードブロック（不図示）がディセーブル状態になる。

【００５４】

図９及び図１１に示す従来のＥＥＰＲＯＭ装置ではビットラインのプリチャージ期間が動作周波数の０．５クロック分（図１２の時点ｔ７から時点７’の期間）しかなかったのに対して、図１及び図２に示す本発明の実施形態に係るＥＥＰＲＯＭ装置ではビットラインのプリチャージ期間が動作周波数の１．５クロック分（図３の時点ｔ６から時点７’の期間）ある。これにより、図１及び図２に示す本発明の実施形態に係るＥＥＰＲＯＭ装置は、図９及び図１１に示す従来のＥＥＰＲＯＭ装置と比較して、最大動作周波数を３倍程度向上させることができ、例えば従来一般的に用いられてきた５ＭＨｚの動作周波数を２０ＭＨｚの動作周波数に変更することが可能となる。

【００５５】

上述した図１及び図２に示す本発明の実施形態に係るＥＥＰＲＯＭ装置は、各アドレスのメモリセルに１ビットのデータを記憶するメモリであったが、本発明は各アドレスのメモリセルに複数ビットのデータを記憶する半導体記憶装置にも適用することがきる。

【００５６】

図１及び図２に示す本発明の実施形態に係るＥＥＰＲＯＭ装置を、各アドレスのメモリセルに８ビットのデータＤ７～Ｄ０を記憶し、上位４ビットのデータＤ７～Ｄ４を同時に読み出し、下位４ビットのデータＤ３～Ｄ０を同時に読み出すように変形した場合、例えば、図４に示すような構成となる。ただし、図４では、センスアンプＳＡ１、１列目ビットラインＢＬ１、１列目ビットライン選択用トランジスタＢＴ１、アドレス“０（１０進数）”のメモリセルＭＣ０、１行目ワードラインＷＬ１、１行目コントロールラインＣＬ１、及び１行目のソースラインＳＬ１に対応する部分のみが図示されている。センスアンプＳＡ１＿１～ＳＡ１＿４は図２のセンスアンプＳＡ１に対応しており、ビットラインＢＬ１＿Ｄ７～ＢＬ１＿Ｄ０は図２の１列目ビットラインＢＬ１に対応しており、ビットライン選択用トランジスタＢＴ１＿Ｄ７～ＢＴ１＿Ｄ０は図２の１列目ビットライン選択用トランジスタＢＴ１に対応している。

【００５７】

しかしながら、図４に示す構成において、上位４ビットのデータＤ７～Ｄ４を同時に読み出す際、又は、下位４ビットのデータＤ３～Ｄ０を同時に読み出す際、或るビットラインの電位変動が、隣接する他のビットラインの電位に影響を及ぼし、当該隣接する他のビットラインを経由して読み出されるデータが誤って読み出されるおそれがある。

【００５８】

かかる不具合に対する対策として、ビットライン間の距離を広げてビットライン間の寄生容量を小さくする方法や、図５に示すようにビットライン間にシールドラインを設ける方法が考えられるが、いずれの方法もレイアウト面積が大きくなってしまうという問題を有している。そこで、図６に示す構成のようにすることが望ましい。なお、図５及び図６において図４と同一の部分には同一の符号を付している。

【００５９】

図６に示す構成では、上位４ビットデータ用ビットライン群ＢＬ１＿Ｄ７～ＢＬ１＿Ｄ４のラインと下位４ビットデータ用ビットライン群ＢＬ１＿Ｄ３～ＢＬ１＿Ｄ０のラインとが交互に配列されている。具体的には、最上位ビットのデータＤ７用ビットラインＢＬ１＿Ｄ７、５番目ビットのデータＤ３用ビットラインＢＬ１＿Ｄ３、２番目ビットのデータＤ６用ビットラインＢＬ１＿Ｄ６、６番目ビットのデータＤ２用ビットラインＢＬ１＿Ｄ２、３番目ビットのデータＤ５用ビットラインＢＬ１＿Ｄ５、７番目ビットのデータＤ１用ビットラインＢＬ１＿Ｄ１、４番目ビットのデータＤ４用ビットラインＢＬ１＿Ｄ４、最下位ビットのデータＤ０用ビットラインＢＬ１＿Ｄ０の順に配列されている。

【００６０】

また、図６に示す構成では、上位４ビットデータ用ビットラインＢＬ１＿Ｄ７～ＢＬ１

＿Ｄ４をそれぞれディスチャージするためのディスチャージ用トランジスタＴ１＿Ｄ７～Ｔ１＿Ｄ４と、下位４ビットデータ用ビットラインＢＬ１＿Ｄ３～ＢＬ１＿Ｄ０をそれぞれディスチャージするためのディスチャージ用トランジスタＴ２＿Ｄ３～Ｔ２＿Ｄ０とが設けられている。

【００６１】

図６に示す構成にした場合、図７に示すような各種信号波形及び各部電位にするとよい。時点ｔ５’～ｔ８’（図７参照）の期間において上位４ビットのデータＤ７～Ｄ４の同時読み出し動作が行われ、時点ｔ１５～ｔ１８’（図７参照）の期間において下位４ビットのデータＤ３～Ｄ０の同時読み出し動作が行われる。図７に示す各種信号波形及び各部電位は、基本的には図３に示す各種信号波形及び各部電位と同様であるが、時点ｔ６では上位４ビットデータ用ビットライン群に設けられているビットライン選択用トランジスタのみをオン状態にするビットライン選択用トランジスタの候補とし、時点ｔ１６では下位４ビットデータ用ビットライン群に設けられているビットライン選択用トランジスタであって、読み出しアドレスに対応するトランジスタのみをオン状態にする点などが異なる。

【００６２】

さらに、下位４ビットデータ用ビットライン群をディスチャージするためのディスチャージ用トランジスタ（図６のＴ２＿Ｄ３～Ｔ２＿Ｄ０が該当）のゲートに供給する信号Ｔ２ＥＮＢにより、上位４ビットのデータＤ７～Ｄ４の同時読み出し動作が行われる期間（時点ｔ５’～ｔ８’の期間）とその後の動作周波数の０．５クロック期間において、下位４ビットデータ用ビットライン群がグランド電位になって、シールドラインとして機能する。同様に、上位４ビットデータ用ビットライン群をディスチャージするためのディスチャージ用トランジスタ（図６のＴ１＿Ｄ７～Ｔ１＿Ｄ４が該当）のゲートに供給する信号Ｔ１ＥＮＢにより、下位４ビットのデータＤ３～Ｄ０の同時読み出し動作が行われる期間（時点ｔ１５’～ｔ１８’の期間）とその後の動作周波数の０．５クロック期間において、上位４ビットデータ用ビットライン群がグランド電位になって、シールドラインとして機能する。

【００６３】

これにより、上位４ビットのデータＤ７～Ｄ４を同時に読み出す際、又は、下位４ビットのデータＤ３～Ｄ０を同時に読み出す際、或るビットラインの電位変動が、隣接する他のビットラインの電位に影響を及ぼし、当該隣接する他のビットラインを経由して読み出されるデータが誤って読み出されるおそれがなくなる。また、ビットライン間の距離を広げてビットライン間の寄生容量を小さくする方法や、図５に示すようにビットライン間にシールドラインを設ける方法と異なり、レイアウト面積が大きくなることもない。

【００６４】

以上、本発明に係る実施形態について説明したが、本発明の範囲はこれに限定されるものではなく、発明の主旨を逸脱しない範囲で種々の変更を加えて実行することができる。例えば、本発明は、ＥＥＰＲＯＭ装置に限定されるものではなく、指定されたアドレスのデータ（記憶内容）を読み出すことが可能な半導体記憶装置全般に適用可能である。

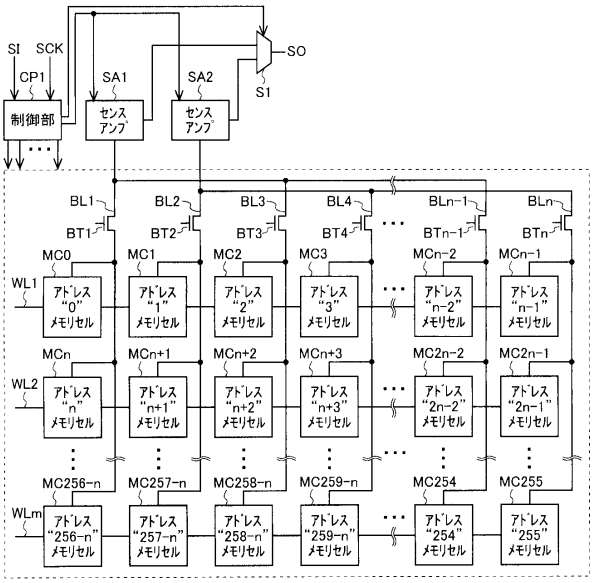
【符号の説明】

【００６５】

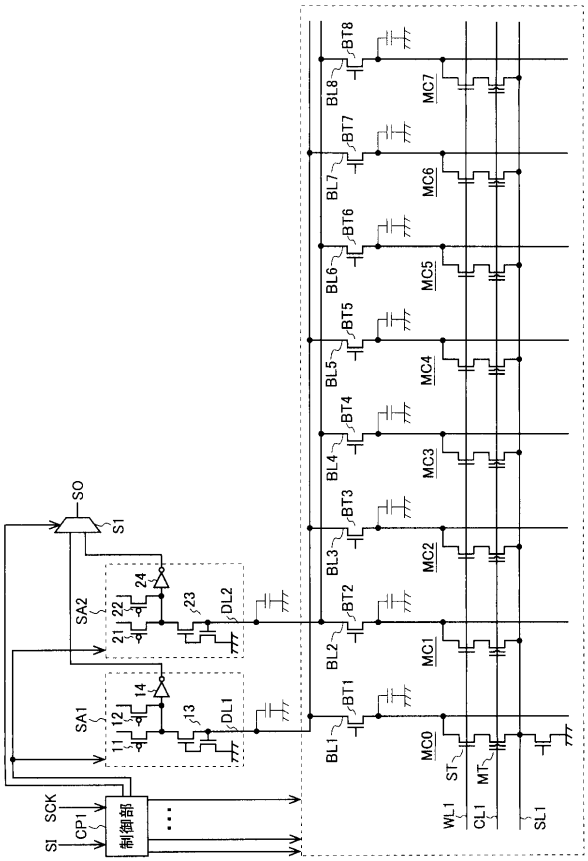
ＢＬ１～ＢＬｎ　ビットライン
ＢＬ１＿Ｄ７～ＢＬ１＿Ｄ０　ビットライン
ＢＴ１～ＢＴｎ　ビットライン選択用トランジスタ
ＢＴ１＿Ｄ７～ＢＴ１＿Ｄ０　ビットライン選択用トランジスタ
ＣＬ１　コントロールライン
ＣＰ０、ＣＰ１　制御部
ＤＬ１、ＤＬ２　データライン
ＭＣ０～ＭＣ２５５　メモリセル
ＭＴ　メモリトランジスタ

ＳＡ０、ＳＡ１、ＳＡ２　センスアンプ
Ｓ１　セレクタ
ＳＬ１　ソースライン
ＳＴ　選択用トランジスタ
Ｔ１＿Ｄ７～Ｔ１＿Ｄ４　ディスチャージ用トランジスタ
Ｔ２＿Ｄ３～Ｔ２＿Ｄ０　ディスチャージ用トランジスタ
ＷＬ１～ＷＬｍ　ワードライン
１１、１２、２１、２２　ＰチャネルＭＯＳトランジスタ
１３、２３　サイリスタ
１４、２４　インバータゲート

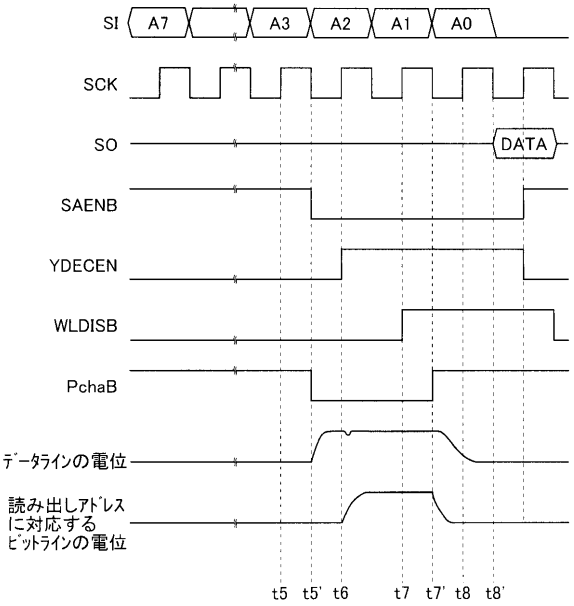
【図１】



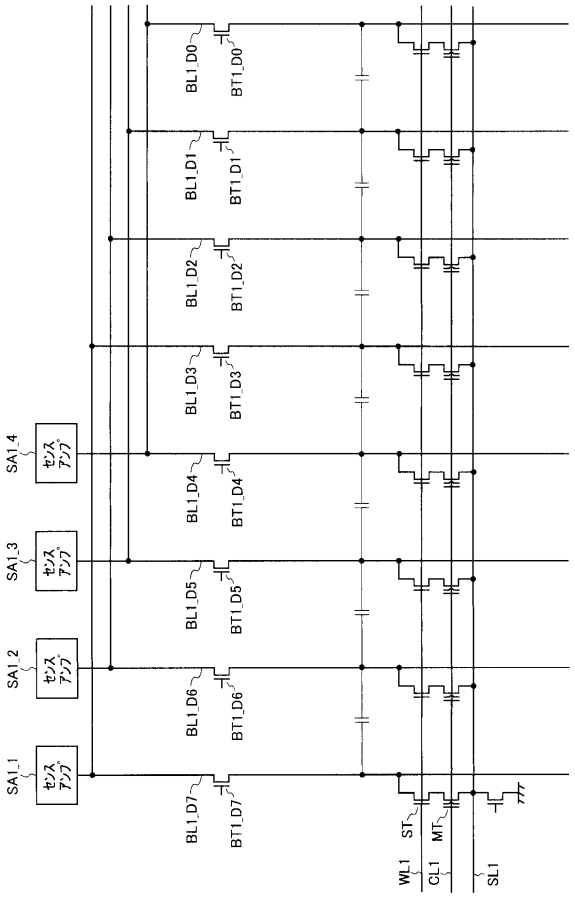
【図２】



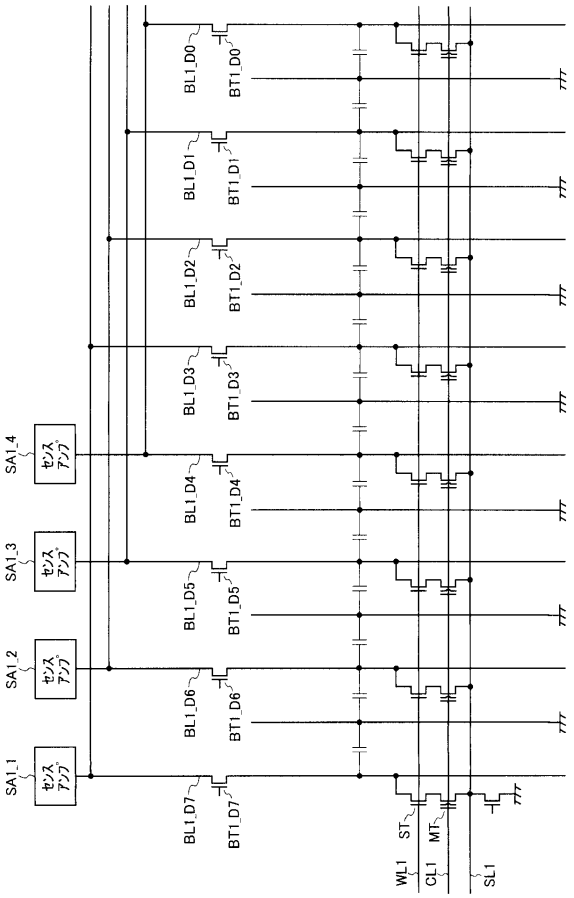
【図３】


SI
A7
A3
A2
A1
A0
SCK
SO
DATA
SAENB
YDECEN
WLDISB
PchaB
ﾃﾞｰﾀﾗｲﾝの電位
読み出しｱﾄﾞﾚｽ
に対応する
ﾋﾞｯﾄﾗｲﾝの電位
t5
t5'
t6
t7
t7'
t8
t8'

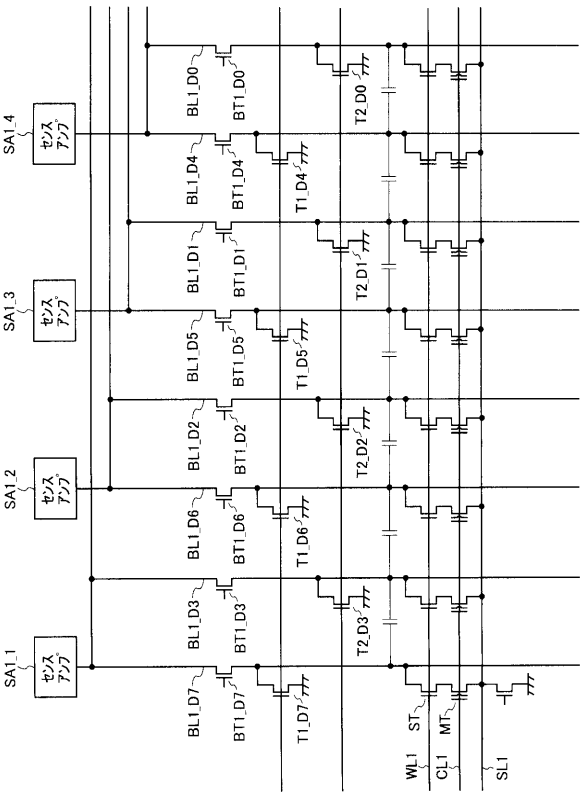
【図４】


SA1_4
SA1_3
SA1_2
SA1_1
センスアンプ
BL1_D0
BT1_D0
BL1_D1
BT1_D1
BL1_D2
BT1_D2
BL1_D3
BT1_D3
BL1_D4
BT1_D4
BL1_D5
BT1_D5
BL1_D6
BT1_D6
BL1_D7
BT1_D7
ST
MT
WL1
CL1
SL1

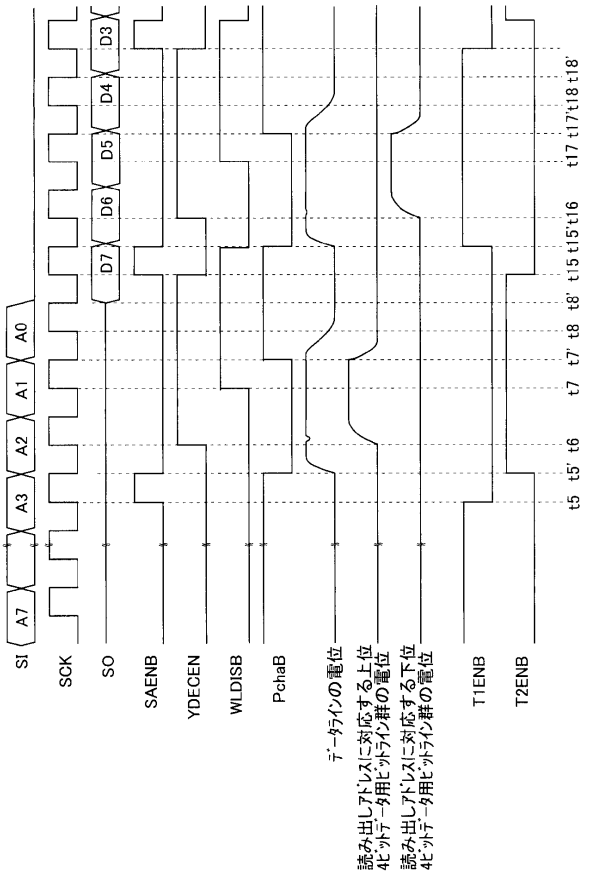
【図５】


SA1_4
SA1_3
SA1_2
SA1_1
センスアンプ
BL1_D0
BT1_D0
BL1_D1
BT1_D1
BL1_D2
BT1_D2
BL1_D3
BT1_D3
BL1_D4
BT1_D4
BL1_D5
BT1_D5
BL1_D6
BT1_D6
BL1_D7
BT1_D7
ST
MT
WL1
CL1
SL1

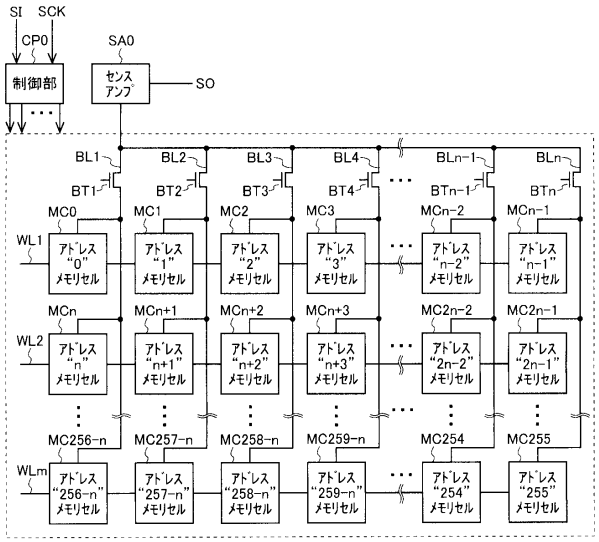
【図６】


SA1_4
SA1_3
SA1_2
SA1_1
センスアンプ
BL1_D0
BT1_D0
T2_D0
BL1_D4
BT1_D4
T1_D4
T2_D1
BL1_D1
BT1_D1
BL1_D5
BT1_D5
T1_D5
BL1_D2
BT1_D2
T2_D2
BL1_D6
BT1_D6
T1_D6
T2_D3
BL1_D3
BT1_D3
BL1_D7
BT1_D7
T1_D7
ST
MT
WL1
CL1
SL1

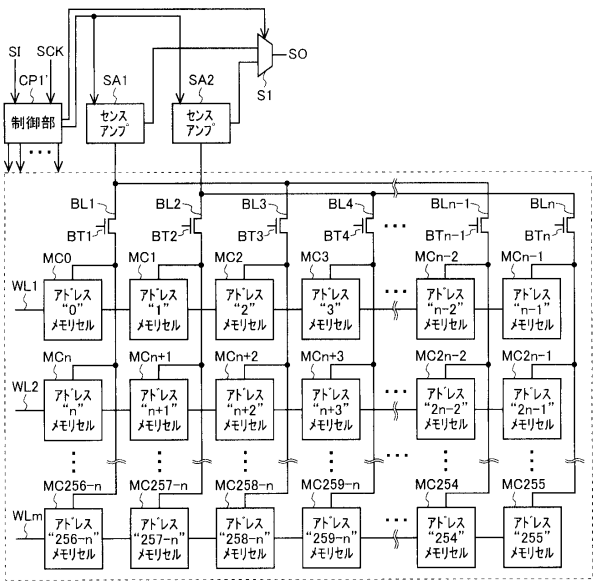
【図７】



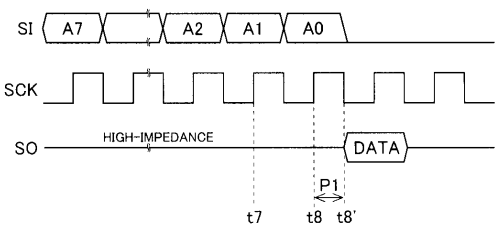
【図８】



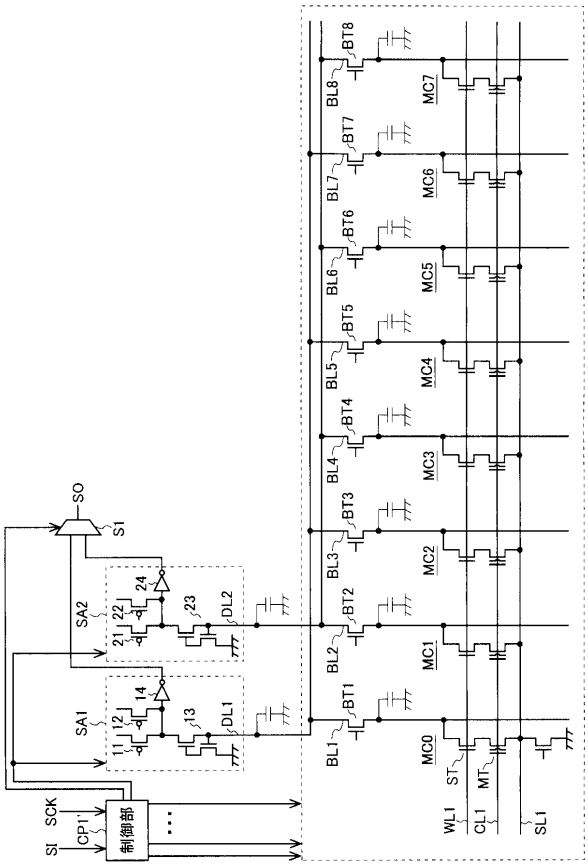
【図９】



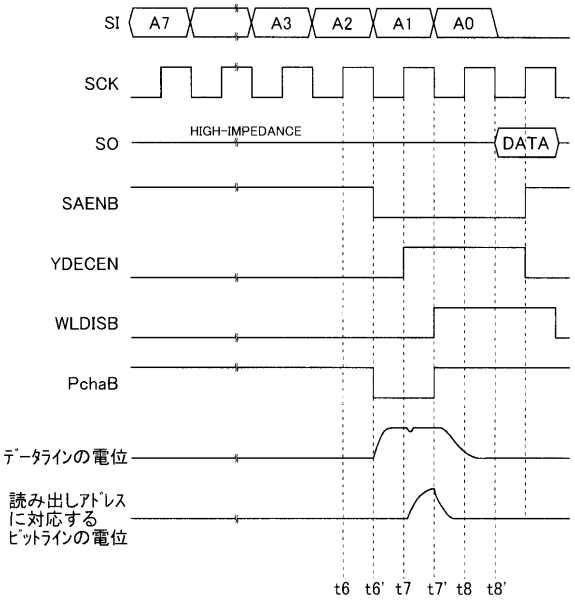
【図１０】



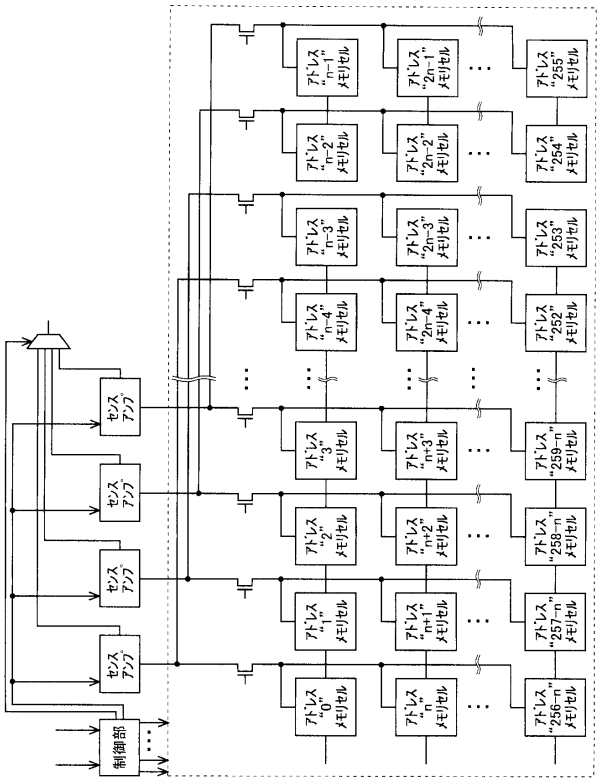
【図１１】



【図１２】


SI
A7
A3
A2
A1
A0
SCK
SO
HIGH-IMPEDANCE
DATA
SAENB
YDECEN
WLDISB
PchaB
ﾃﾞｰﾀﾗｲﾝの電位
読み出しｱﾄﾞﾚｽ
に対応する
ﾋﾞｯﾄﾗｲﾝの電位
t6
t6'
t7
t7'
t8
t8'

【図１３】


制御部
センスアンプ
アドレス "0" メモリセル
アドレス "1" メモリセル
アドレス "2" メモリセル
アドレス "3" メモリセル
アドレス "n" メモリセル
アドレス "n+1" メモリセル
アドレス "n+2" メモリセル
アドレス "n+3" メモリセル
アドレス "n-1" メモリセル
アドレス "n-2" メモリセル
アドレス "n-3" メモリセル
アドレス "n-4" メモリセル
アドレス "2n-1" メモリセル
アドレス "2n-2" メモリセル
アドレス "2n-3" メモリセル
アドレス "2n-4" メモリセル
アドレス "255" メモリセル
アドレス "254" メモリセル
アドレス "253" メモリセル
アドレス "252" メモリセル
アドレス "259-n" メモリセル
アドレス "258-n" メモリセル
アドレス "257-n" メモリセル
アドレス "256-n" メモリセル

フロントページの続き

(56)参考文献 特表２００９－５０８２８３（ＪＰ，Ａ）
特開平１１－２８８５９４（ＪＰ，Ａ）
特開２００１－３２５７９７（ＪＰ，Ａ）
特表２００２－５１５６２８（ＪＰ，Ａ）
特開２０１０－０１５６４３（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｇ１１Ｃ　１６／０６