

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
20. September 2001 (20.09.2001)

PCT

(10) Internationale Veröffentlichungsnummer
WO 01/69784 A1

(51) Internationale Patentklassifikation⁷: **H03K 17/12**
(21) Internationales Aktenzeichen: **PCT/IB00/00277**
(22) Internationales Anmeldedatum:
15. März 2000 (15.03.2000)

(72) Erfinder; und
(75) Erfinder/Anmelder (nur für US): **THALHEIM, Jan**
[DE/CH]; Löwenweg 3, CH-8912 Obfelden (CH).
RÜEDI, Heinz [CH/CH]; 3, route Principale, CH-2533
Evilard (CH).

(25) Einreichungssprache: **Deutsch**

(74) Anwalt: **E. BLUM & CO.**; Vorderberg 11, CH-8044
Zürich (CH).

(26) Veröffentlichungssprache: **Deutsch**

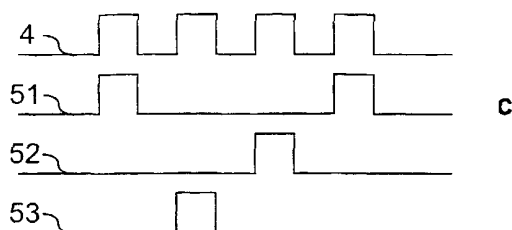
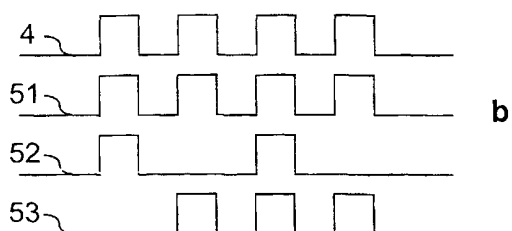
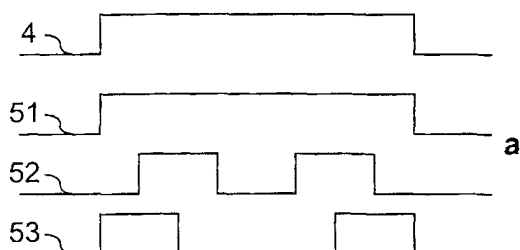
(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): **CT-CONCEPT TECHNOLOGIE AG** [CH/CH];
Lindenegg 6, CH-2504 Biel (CH).

(81) Bestimmungsstaaten (national): AE, AL, AM, AT, AU,
AZ, BA, BB, BG, BR, BY, CA, CH, CN, CR, CU, CZ, DE,
DK, DM, DZ, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU,
ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS,
LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, NO, NZ,

[Fortsetzung auf der nächsten Seite]

(54) Title: METHOD FOR OPERATING A PARALLEL ARRANGEMENT OF POWER SEMICONDUCTOR SWITCHES

(54) Bezeichnung: VERFAHREN ZUM BETRIEB EINER PARALLELANORDNUNG VON LEISTUNGSHALBLEITER-
SCHALTERN



(57) Abstract: The invention relates to a method for statically balancing the loading of power semiconductor switches (S_1 , S_2 , S_3) in a parallel circuit (1). To achieve this in prior art, switching instants of individual switches (S_1 , S_2 , S_3) are adapted in the case of GTOs and current amplitudes of individual switches are adapted in the case of IGBTs. According to the invention, a primary pattern (4) of frame-switching pulses is predetermined for a total current (i) through the parallel circuit (1) and a secondary pattern (51, 52, 53) comprising more or fewer pulses than the primary pattern (4) is generated for at least one switch (S_1 , S_2 , S_3). In contrast to conventional methods, the asynchronicity of the pulses enables a rapid redistribution of the loading between the parallel switches (S_1 , S_2 , S_3), thus reducing or obviating the need for inductive suppressor circuits for limiting the current. The method is compatible with methods for the dynamic synchronisation of transient switching and is suitable for "latching" and amplitude-controlled power semiconductor switches (S_1 , S_2 , S_3). The examples relate to the addition or omission of subordinate switching pulses during long or short frame-switching pulses and to an active control (6) of the number of subordinate switching pulses, depending on the loading of the switches (S_1 , S_2 , S_3).

(57) Zusammenfassung: Es wird ein Verfahren zur statischen Symmetrisierung der Belastung von Leistungshalbleiterschaltern (S_1 , S_2 , S_3) in einer Parallelschaltung (1) offenbart. Im Stand der Technik werden für diesen Zweck bei GTOs Schaltzeitpunkte und bei IGBTs Stromamplituden einzelner Schalter (S_1 , S_2 , S_3) angepasst. Erfindungsgemäss wird ein Primärmuster (4) von Rahmenschaltpulsen für einen Gesamtstrom (i) durch die Parallelschaltung (1) vorgegeben und für mindestens einen Schalter (S_1 , S_2 , S_3) ein Sekundärmuster (51, 52, 53) mit mehr oder weniger Pulsen als im Primärmuster (4) erzeugt. Durch die Puls-Asynchronizität ist im Gegensatz zu herkömmlichen Verfahren eine sehr schnelle Lastumverteilung zwischen den parallelen Schaltern (S_1 , S_2 , S_3) möglich.

[Fortsetzung auf der nächsten Seite]

WO 01/69784 A1



PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT,
TZ, UA, UG, US, UZ, VN, YU, ZA, ZW.

Veröffentlicht:

- mit internationalem Recherchenbericht
- mit geänderten Ansprüchen

(84) Bestimmungsstaaten (regional): ARIPO-Patent (GH, GM, KE, LS, MW, SD, SL, SZ, TZ, UG, ZW), eurasisches Patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OAPI-Patent (BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG).

Zur Erklärung der Zweibuchstaben-Codes, und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Dadurch können induktive Schutzbeschaltungen zur Strombegrenzung reduziert oder vermieden werden. Das Verfahren ist kompatibel mit Verfahren zur dynamischen Synchronisierung des transienten Schaltens. Es ist für durchschaltende ("latchende") und amplitudenregelbare Leistungshalbleiterschalter (S_1 , S_2 , S_3) geeignet. Ausführungsbeispiele betreffen die Hinzufügung bzw. Auslassung von Unterschaltpulsen bei langen bzw. kurzen Rahmenschaltpulsen sowie eine aktive Regelung (6) der Anzahl Unterschaltpulse in Abhängigkeit einer Belastung der Schalter (S_1 , S_2 , S_3).

Verfahren zum Betrieb einer Parallelanordnung von Leistungshalbleiterschaltern

Die Erfindung bezieht sich auf das Gebiet der Leistungselektronik. Sie betrifft ein Verfahren zum Betrieb einer Parallelschaltung von Leistungshalbleiterschaltern gemäss Oberbegriff des unabhängigen Anspruchs.

Ein derartiges Verfahren ist in der EP 0 409 384 A2 offenbart. Dort werden stationäre Teilströme durch parallele Schalter wie z. B. Thyristoren oder GTOs ("gate turn-off thyristors") symmetrisiert, indem deren Einschaltzeiten individuell vor- oder rückverschoben werden. Die erforderlichen Zeitverschiebungen werden in Abhängigkeit der momentanen Teillastströme berechnet und auf einen darauffolgenden Gesamtstrompuls durch die Parallelschaltung angewendet. Zur Begrenzung des Stromanstiegs in den verzögert angeschalteten GTOs sind grosse Induktivitäten in Serie zu den GTOs angeordnet. Dadurch werden jedoch die Einschaltzeiten verlängert und die dynamischen Verluste erhöht.

In der EP 0 664 613 A2 werden transiente und stationäre Ströme durch parallel angeordnete IGBTs ("Insulated Gate Bipolar Transistor") symmetrisiert, indem einerseits die Ein- und Ausschaltzeitpunkte synchronisiert und andererseits die Höhe der Gate-Steuerpulse und damit die stationären Stromamplituden für jeden IGBT einzeln geregelt werden. Die Regelung erfolgt in Abhängigkeit einer gemessenen thermischen Belastung jeden IGBTs. In dieser Anordnung können zwar grosse serielle Induktivitäten vermieden werden. Gleichwohl ist durch Stromamplitudenregelung eine Angleichung der stationären thermischen Belastungen der IGBTs nur mit grossen Zeitkonstanten über viele Schaltzyklen und damit relativ ungenau möglich. Zudem ist das Verfahren nicht auf nicht amplitudenregelbare Leistungshalbleiterschalter anwendbar.

Es ist Aufgabe der Erfindung, ein verbessertes Verfahren zum Betrieb einer Parallelschaltung von Leistungshalbleiterschaltern anzugeben, bei dem eine thermische Überlastung einzelner Leistungshalbleiterschalter im stationären Zustand auf einfache Weise vermieden wird und das sowohl für durchschaltende ("latching") als auch für amplitudenregelbare Leistungshalbleiterschalter geeignet ist.

Die erfindungsgemäße Lösung besteht darin, dass der Parallelschaltung ein übergeordnetes Steuersignal mit einem Primärmuster von Rahmenschaltpulsen für einen Gesamtstrom durch die Parallelschaltung vorgegeben wird, dass ein Sekundärmuster von Unterschaltpulsen für das individuelle Steuersignal mindestens eines Leistungshalbleiterschalters erzeugt wird, und dass zur Entlastung des Leistungshalbleiterschalters in einem leitenden Zustand der Parallelschaltung zumindest zeitweilig während einer Anzahl Rahmenpulse im Primärmuster eine davon abweichende Anzahl Unterschaltpulse im Sekundärmuster gewählt wird. Die Anzahl Unterschaltpulse pro Rahmenpuls kann also permanent oder vorübergehend ungleich eins gewählt werden und kann insbesondere je nach Bedarf dynamisch verändert werden. Es wird also ein asynchroner Betrieb der parallelen Schalter zur Symmetrisierung ihrer thermischen Belastungen oder Teillastströme vorgeschlagen. Dabei erhalten einzelne Schalter mehr oder weniger Schaltpulse, als durch das Gesamtschaltmuster nach Massgabe des von der Parallelschaltung zu liefernden Laststroms vorgegeben sind. Die Pulszahlvariation ist mit durchschaltenden und amplitudensteuerbaren Leistungshalbleitern implementierbar. Durch die Puls-Asynchronizität ist im Gegensatz zu herkömmlichen Verfahren eine sehr schnelle Lastumverteilung zwischen den parallelen Schaltern möglich. Schädliche Überlastzustände einzelner Leistungshalbleiterschalter können also sofort, insbesondere innerhalb eines Rahmenpulses, erkannt und korrigiert werden. Durch die Veränderung der Schaltpulszahl werden dann die gesamte Anschaltzeit und damit die statischen Verluste des

betreffenden Elements gesenkt. Die resultierenden kurzzeitigen Zusatzlastströme für die übrigen Leistungshalbleiterschalter sind jedoch in der Regel völlig unschädlich. Insbesondere sind Leistungshalbleiter-Parallelschaltungen sowieso für transiente Überströme beim Ein- und Ausschalten überdimensioniert. Daher sind kurzzeitige Überströme durch einige, gegebenenfalls kühlere Elemente auch im leitenden Zustand der Parallelschaltung problemlos tolerierbar.

10 In einem Ausführungsbeispiel werden zumindest zeitweilig während einzelner Rahmenschaltpulse im Sekundärmuster mehrere Unterschaltpulse erzeugt und/oder Unterschaltpulse ausgelassen. Das Sekundärmuster weist also nur während Rahmenschaltpulsen Unterschaltpulse auf. Durch Hinzufügen
15 von Unterschaltpulsen kann nicht nur eine Überlastregelung durchgeführt, sondern auch die Stromanstiegszeit bei breiten Rahmenschaltpulsen ohne Verwendung zusätzlicher Induktivitäten begrenzt werden. Durch Weglassen von Unterschaltpulsen sind längerandauernde Überlastzustände
20 korrigierbar; andererseits können auf diese Weise hochfrequente Lastströme mit verringerten Schaltverlusten erzeugt werden.

In einem anderen Ausführungsbeispiel wird während kurzer Rahmenpulse auf das Einfügen zusätzlicher Unterschaltpulse verzichtet und bei Bedarf lediglich eine Breite der
25 Unterschaltpulse gegenüber einer Breite der Rahmenpulse verkürzt. Zur Begrenzung der dynamischen Verluste ist es nämlich sinnvoll, Unterschaltpulse nur dann hinzuzufügen, wenn die Breite des zugehörigen Rahmenpulses mindestens
30 eine, bevorzugt zwei Größenordnungen grösser ist als die Ein- oder Ausschalttransientenzeit eines einzelnen Leistungshalbleiterschalters. Durch die Kombination einer Pulsdichten- und Pulsbreitenmodulation des Sekundärmusters relativ zum Primärmuster ist eine besonders flexible,
35 von der Rahmenpulslänge unabhängige Ansteuerung der Parallelschaltung realisierbar.

In einem weiteren Ausführungsbeispiel werden mehrere Leistungshalbleiterschalter so angesteuert, dass ihre Sekundärmuster einander zum Primärmuster und/oder ihre Unterschaltpulse einander jeweils zu einem Rahmenschaltimpuls ergänzen. Durch diese Komplementarität der betreffenden oder gegebenenfalls aller Sekundärmuster werden die An-
5 schaltzeiten vorteilhaft auf die jeweils leitenden Schalter verteilt und dadurch ihre Zusatzlastströme begrenzt, ohne den Entlastungseffekt für die vorübergehend gesperrten oder weniger leitenden Schalter einzuschränken.
10

In zusätzlichen Ausführungsbeispielen wird die Anzahl Unterschaltpulse in Abhängigkeit einer thermischen Belastung und/oder einer Pulsbreitenmodulation des Primärmusters für einzelne oder simultan für alle Leistungshal-
15 leiterschalter geregelt.

In einem letzten Ausführungsbeispiel wird zur Erzielung hoher Taktfrequenzen des Gesamtstroms ein Primärmuster mit N Rahmenpulsen auf N Sekundärmuster mit jeweils genau einem Unterschaltimpuls aufgeteilt und werden die Sekundär-
20 muster systematisch oder zufällig N Leistungshalbleiterschaltern der Parallelschaltung zugeordnet.

Weitere Ausführungen, Vorteile und Anwendungen der Erfindung ergeben sich aus den abhängigen Ansprüchen sowie aus der nun folgenden Beschreibung anhand der Figuren.

25

KURZE BESCHREIBUNG DER ZEICHNUNGEN

- Fig. 1 zeigt schematisch eine Parallelschaltung mit beispielhaft 3 Leistungshalbleiterschaltern;
- Fig. 2 zeigt erfindungsgemäße Schaltmuster mit (a) hinzugefügten, (b) weggelassenen und (c) komplementär weggelassenen Unterschaltimpulsen; und
30
- Fig. 3 zeigt für parallele IGBTs das dynamische Verhalten der Ausgleichsregelung bei Hinzufügung eines

Unterschaltimpulses im Vergleich zur Stromamplitudenmodulation gemäss Stand der Technik (gestrichelt).

In den Figuren sind gleiche Teile mit gleichen Bezugs-
5 zeichen versehen.

WEGE ZUR AUSFÜHRUNG DER ERFINDUNG

Fig. 1 zeigt eine Parallelschaltung 1 von N Leistungshalbleiterschaltern S_1 , S_2 , S_3 , wobei beispielhaft $N=3$ gewählt ist. Die Parallelschaltung 1 weist einen Leistungs-
10 anschluss 2 zur Stromzuführung und einen Leistungsanschluss 3 zur Stromabführung an eine Last auf. Der Parallelschaltung 1 wird ein übergeordnetes Steuersignal mit einem Primärmuster 4 von Rahmenschaltpulsen für einen Gesamtstrom i durch die Parallelschaltung 1 vorgegeben. Die
15 Leistungshalbleiterschalter S_1 , S_2 , S_3 sind durch individuelle Steuersignale ansteuerbar.

Fig. 2 zeigt Beispiele für erfindungsgemässe Sekundärmuster von Unterschaltimpulsen, die den einzelnen, unmittelbar parallel geschalteten Leistungshalbleiterelementen S_1 ,
20 S_2 , S_3 eingeprägt werden. Es ist dabei erfindungswesentlich, dass die Anzahl Unterschaltimpulse in mindestens einem Sekundärmuster 51, 52, 53 abweichend von der Anzahl Rahmenschaltpulse im Primärmuster 4 gewählt wird. Die Variation der Anzahl individueller Unterschaltimpulse
25 bezieht sich jeweils auf den leitfähigen Zustand der Parallelschaltung 1, der durch die Anwesenheit eines den Gesamtlaststrom steuernden Rahmenschaltpulses charakterisiert ist.

Die Sekundärmuster 51, 52, 53 können in folgenden, nicht
30 mehr dargestellten Zeitabschnitten des Primärmusters 4 wieder verändert werden, z. B. um Spitzenlasten an wechselnden Leistungshalbleiterschaltern S_1 , S_2 , S_3 aufzufangen. Natürlich können die Sekundärmuster 51, 52, 53 zwi-

schenzeitlich wieder an das Primärmuster 4 angegliche Pulszahlen aufweisen.

Fig. 2 a) stellt eine Momentaufnahme dar, bei welcher während eines Rahmenpulses jeweils zwei kürzere, zeitlich versetzte Unterschaltpulse an den Schaltern S_2 und S_3 angelegt werden. Die Anzahl, Breite und der zeitliche Versatz der Unterschaltpulse können in einem weiten Bereich variiert werden. Dabei ist zu beachten, dass die Gesamtstromtragfähigkeit der Parallelschaltung 1 im leitenden Zustand nicht über Gebühr eingeschränkt wird, d. h. Überlastströme an einzelnen Schaltern S_1 , S_2 , S_3 zeitlich und amplitudenmässig innerhalb des sicheren Arbeitsbereichs (SOA) gehalten werden und zugleich für einzelne oder mehrere Leistungshalbleiterschalter S_1 , S_2 , S_3 der gewünschte Entlastungseffekt erzielt wird. Insbesondere können für mindestens zwei Schalter S_2 , S_3 die Unterschaltpulse so gewählt werden, dass sie einander nicht wesentlich überlappen und jeweils zu einem Rahmenschaltpuls ergänzen.

Mit Vorteil werden während der Einschalttransienten des Rahmenschaltpulses eine Mehrzahl der Schalter S_1 , S_2 , S_3 mit Unterschaltpulsen angesteuert, d. h. in einen leitfähigen Zustand geschaltet, um diejenigen transienten Überströme zu begrenzen, die typischerweise durch das Ausräumverhalten von in Serie angeordneten Freilaufdioden entstehen.

Durch das erfindungsgemässe Verfahren wird die gesamte Anschaltzeit der Sekundärmuster 51, 52, 53 gegenüber dem Primärmuster 4 verkürzt. Die Verkürzung ist in Abhängigkeit von der Anzahl paralleler Schalter S_1 , S_2 , S_3 , dem geforderten Laststrom i und der gewünschten thermischen Entlastung an den Schaltern S_1 , S_2 , S_3 zu wählen. Bei Parallelschaltungen 1 in Wechselrichtern kann die Reduktion der mittleren Verlustleistung beispielsweise mindestens 5%, bevorzugt mindestens 20%, besonders bevorzugt mindestens 50% betragen.

Fig. 2 b) zeigt ein Beispiel für die Auslassung von Unterschaltpulsen an den Schaltern S_2 und S_3 relativ zum Primärmuster 4. Diese Methode ist besonders bei kurzen Rahmenschaltpulsen von Nutzen, die z. B. bei der Pulsbreitenmodulation von Sinuswellen in der Nähe von Nullstellen auftreten. Unterschreitet die Breite der Rahmenschaltpulse eine kritische Zeitdauer, z. B. das 100-fache bis 10-fache einer Ein- oder Ausschalttransientenzeit der Leistungshalbleiterschalter S_1 , S_2 , S_3 , wird nämlich der Nutzen durch Einfügen von Unterschaltpulsen durch die Erhöhung der dynamischen Verluste zunichte gemacht. Einzelne Schalter S_1 , S_2 , S_3 der Parallelschaltung 1 werden daher besser durch Weglassen von Unterschaltpulsen entlastet. Gegebenenfalls kann zusätzlich die Breite der Unterschaltpulse gegenüber einer Breite der Rahmenschaltpulse verkürzt werden.

Fig. 2 c) zeigt ein Beispiel, bei dem die Schalter S_1 , S_2 , S_3 durch Weglassen von Unterschaltpulsen mit Sekundärmustern 51, 52, 53 angesteuert werden, die einander zum Primärmuster 4 ergänzen. Dieses Verfahren ist besonders für die Erzeugung hochfrequenter Ströme i z. B. zum Betrieb leistungsstarker Sendeanlagen oder für induktives Erwärmen oder Schweißen geeignet. Die einzelnen Schalter S_1 , S_2 , S_3 können entsprechend langsamer getaktet werden. Zudem werden die Gesamt-Schaltverluste reduziert. Beispielsweise bei IGBTs nehmen die Ausschaltverluste durch kurzzeitige Überstrombelastung gegenüber einer Normalstrombelastung nur noch unwesentlich zu. Es ist also günstiger, jeweils einen IGBT S_1 ; S_2 ; S_3 bei kurzer Überlast als alle S_1 , S_2 , S_3 bei Normallast zu betreiben.

Die Zuordnung der Sekundärmuster 51, 52, 53 zu den $N=3$ Leistungshalbleiterschaltern S_1 , S_2 , S_3 kann fest vorgegeben sein. Sie kann aber auch nach einem oder mehreren Zyklen von $N=3$ Rahmenschaltpulsen gemäss einem regelmässigen Schema variiert werden oder aber zufällig, insbesondere statistisch gleichverteilt, erfolgen. Durch

eine zufallsbedingte Zuordnung können zufällig auftretende thermische Belastungsschwankungen zwischen den Schaltern S_1 , S_2 , S_3 am besten ausgeglichen werden.

Fig. 3 zeigt das dynamische Verhalten der Teillastströme i_1 , i_2 , i_3 im Falle von drei parallelen IGBT-Schaltern S_1 , S_2 , S_3 mit jeweils seriellen Induktivitäten L_1 , L_2 , L_3 . Im Beispiel bewirkt eine Einschaltverzögerung 7 des IGBT S_1 , z. B. verursacht durch unterschiedliche Induktivitäten L_1 , L_2 , L_3 oder ungleiche interne Parameter der IGBTs S_1 , S_2 , S_3 , einen asymmetrischen Stromanstieg i_1 gegenüber dem regulären Verlauf der Ströme i_2 , i_3 . Zudem verursacht das Zeitintegral der an der Induktivität L_1 anliegenden Spannung eine zu L_1 umgekehrt proportionale Überhöhung 8 des stationären Stromwerts i_1 .

Gemäss Stand der Technik wird einerseits die Stromüberhöhung 8 dadurch begrenzt, dass die Induktivitäten L_1 , L_2 , L_3 sehr gross gewählt werden, z. B. 10 μH im Vergleich zu IGBT-internen 50 nH. Grosse Induktivitäten L_1 , L_2 , L_3 begrenzen aber die Schaltgeschwindigkeit, weil zu hohe Induktionsspannungen, die proportional zum Stromgradienten sind, nicht toleriert werden können. Andererseits wird im Stand der Technik (EP 0 664 613 A2) die Höhe der Gatespannung v_{g1} modifiziert, um die Stromamplitude i_1 anzupassen. Gemäss gestrichelter Darstellung in Fig. 3 b) bewirkt eine 10%-ige Verringerung der Gatespannung v_{g1} nur eine unmerkliche Absenkung der Stromamplitude i_1 . Eine Angleichung der Ströme i_1 , i_2 , i_3 ist daher nur mit langsamen Zeitkonstanten über viele Rahmenschaltpulse möglich.

Im Gegensatz hierzu wird durch erfindungsgemässes Einfügen eines Unterschaltimpulses an der Gatespannung v_{g1} des IGBT S_1 der Strom i_1 fast instantan und insbesondere noch im gleichen Rahmenschaltpuls 4 abgesenkt, so dass die Mittelwerte der Ströme i_1 , i_2 und i_3 über den Rahmenschaltpuls 4 ausgeglichen werden. Im Beispiel nach Fig. 3 b) ist ein Amplitudenverhältnis des Gatespannungs-Unterschaltimpulses von 20 gewählt. Zusätzlich zum Amplitu-

denverhältnis kann die Breite des Unterschaltpulses so angepasst werden, dass durch die Unterschaltpulse eine stationäre Teillaststromamplitude i_1 durch den Leistungshalbleiterschalter S_1 um mindestens einen Faktor zwei variiert wird. Im Extremfall, insbesondere bei nicht amplitudenmodulierbaren Leistungshalbleiterschaltern S_1 , S_2 , S_3 , wird durch die Unterschaltpulse zwischen einem leitenden und einem im wesentlichen nicht leitfähigen Zustand hin- und hergeschaltet.

Überlastzustände an einzelnen Schaltern S_1 , S_2 , S_3 können also viel schneller und auch präziser korrigiert werden als bisher. Das Verfahren ist damit auch bei höheren Rahmenschaltpulsfrequenzen als bisher anwendbar. Der Hauptvorteil des Verfahrens besteht darin, dass die Induktivitäten L_1 , L_2 , L_3 nicht mehr für die Begrenzung der stationären Überströme benötigt werden und somit kleiner gewählt werden können. Darüberhinaus ist die erfindungsgemässe Regelung der Anzahl Unterschaltpulse mit anderen Verfahren zur dynamischen Symmetrisierung des transienten Ein- und Ausschaltverhaltens, z. B. gemäss der EP 0 664 613 A2, kompatibel. In diesem Fall können serielle Induktivitäten L_1 , L_2 , L_3 weiter reduziert oder ganz weggelassen werden. Dadurch ist, besonders für IGBTs, ein sehr schnelles Schalten mit sehr geringen dynamischen Verlusten bei zugleich hoher Symmetrie der stationären Belastungen realisierbar.

Eine speziell vorteilhafte Ausführungsform der Erfindung betrifft eine aktive Regelung 6 der Anzahl von Unterschaltpulsen mindestens eines Sekundärmusters 51, 52, 53 in Abhängigkeit einer Belastung des zugehörigen Leistungshalbleiterschalters S_1 , S_2 , S_3 der Parallelschaltung 1. Gegebenenfalls hängt die Regelung 6 auch von einer Pulsbreitenmodulation der Rahmenschaltpulse im Primärmuster 4 ab. Insbesondere wird eine gesamte Anschaltzeit des Sekundärmusters 51, 52, 53 proportional zur Belastung des zugehörigen Leistungshalbleiterschalters S_1 , S_2 , S_3

verringert. Die Verkürzung der Anschaltzeit wird durch einen oder mehrere zusätzliche oder weggelassene Unterschaltpulse bewirkt. Die Regelung 6 kann im gleichen oder in folgenden Rahmenschaltpulsen eingreifen, solange sie
5 vergleichbar schnell ist wie die thermische Zeitkonstante des betreffenden Schalters S_1 , S_2 , S_3 .

Im Detail wird ein Belastungswert des Leistungshalbleiterschalters S_1 , S_2 , S_3 gemessen und bei Überschreitung eines Belastungssollwerts eine Anzahl Unterschaltpulse
10 pro Rahmenschaltpulse erhöht oder erniedrigt. Der Belastungswert und Sollwert kann eine Temperatur des Leistungshalbleiterschalters S_1 , S_2 , S_3 , ein Kollektor- oder Kathodenstrom durch den Leistungshalbleiterschalter S_1 , S_2 , S_3 oder ein Kurzzeitmittelwert dieser Grössen sein.
15 Die Temperatur kann am Gehäuse, Kühler oder Leistungshalbleiter selber gemessen werden. Die Regelung 6 kann in an sich bekannter Weise mit einer Hysterese oder mit Verzögerungszeiten zur Begrenzung der Unterschaltfrequenzen versehen werden. Mit Vorteil werden alle Schalter S_1 , S_2 ,
20 S_3 der Parallelschaltung 1 simultan durch eine gemeinsame Ausgleichsregelung 6 thermisch symmetrisiert.

Die erfindungsgemäss gesteuerte Parallelschaltung 1 kann Bestandteil eines Schaltermoduls, insbesondere eines Halbbrückenzeigs eines Wechselrichters, für Traktion, Hochspannungsgleichstromübertragung, Radiosender, induktives
25 Erwärmen oder induktives Schweißen sein. Als Leistungshalbleiterschalter S_1 , S_2 , S_3 sind BJTs ("bipolar junction transistors"), IGBTs, MOSFETs, Thyristoren, GTOs, insbesondere solche mit integriertem Treiber, MCTs ("MOSFET-controlled thyristors") oder verwandte Bauelemente oder
30 Kombinationen derartiger Bauelemente geeignet. Das Verfahren ist insbesondere auch für Parallelschaltungen von Leistungshalbleiterschaltern geeignet, die nicht oder schlecht amplitudenregelbare Leistungsausgänge besitzen.

PATENTANSPRÜCHE

1. Verfahren zum Betrieb einer Parallelschaltung (1) von Leistungshalbleiterschaltern (S_1 , S_2 , S_3), wobei die Parallelschaltung (1) einen Leistungsanschluss (2) zur Stromzuführung und einen Leistungsanschluss (3) zur Stromabführung an eine Last aufweist, wobei der Parallelschaltung (1) ein übergeordnetes Steuersignal mit einem Primärmuster (4) von Rahmenschaltpulsen für einen Gesamtstrom (i) durch die Parallelschaltung (1) vorgegeben wird, wobei ferner die Leistungshalbleiterschalter (S_1 , S_2 , S_3) durch individuelle Steuersignale ansteuerbar sind, dadurch gekennzeichnet, dass
 - a) mindestens ein Sekundärmuster (51, 52, 53) von Unterschaltpulsen für das individuelle Steuersignal mindestens eines Leistungshalbleiterschalters (S_1 , S_2 , S_3) erzeugt wird,
 - b) zur Entlastung des Leistungshalbleiterschalters (S_1 , S_2 , S_3) in einem leitenden Zustand der Parallelschaltung (1) zumindest zeitweilig während einer Anzahl Rahmenschaltpulse im Primärmuster (4) eine davon abweichende Anzahl Unterschaltpulse im Sekundärmuster (51, 52, 53) gewählt wird.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass
 - a) zumindest zeitweilig während einzelner Rahmenschaltpulse mehrere Unterschaltpulse im Sekundärmuster (51, 52, 53) erzeugt werden und/oder
 - b) zumindest zeitweilig während einzelner Rahmenschaltpulse Unterschaltpulse im Sekundärmuster (51, 52, 53) ausgelassen werden.

3. Verfahren nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass
- a) während kurzer Rahmenschaltpulse, deren Pulsbreite maximal das 100-fache einer transienten Schaltzeit des Leistungshalbleiterschalters (S_1 , S_2 , S_3) beträgt, die Anzahl Unterschaltpulse gegenüber der Anzahl Rahmenschaltpulse nicht erhöht wird und/oder
 - b) eine Breite der Unterschaltpulse gegenüber einer Breite der Rahmenschaltpulse verkürzt wird.
4. Verfahren nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass
- a) mindestens zwei Leistungshalbleiterschalter (S_1 , S_2 , S_3) mit Sekundärmustern (51, 52, 53) angesteuert werden, die einander zum Primärmuster (4) ergänzen, und/oder
 - b) mindestens zwei Leistungshalbleiterschalter (S_1 , S_2 , S_3) mit Unterschaltpulsen angesteuert werden, die einander jeweils zu einem Rahmenschaltpuls ergänzen.
5. Verfahren nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass
- a) eine stationäre Teillaststromamplitude (i_1 , i_2 , i_3) durch den Leistungshalbleiterschalter (S_1 , S_2 , S_3) durch die Unterschaltpulse um mindestens einen Faktor zwei variiert wird und/oder
 - b) der Leistungshalbleiterschalter (S_1 , S_2 , S_3) durch die Unterschaltpulse zwischen einem leitenden und einem im wesentlichen nicht leitfähigen Zustand hin- und hergeschaltet wird.
6. Verfahren nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass
- a) eine Anzahl von Unterschaltpulsen des Sekundärmusters (51, 52, 53) in Abhängigkeit einer Belastung des zugehörigen Leistungshalbleiterschalters (S_1 ,

- S_2, S_3) der Parallelschaltung (1) geregelt wird und/oder
- b) eine Anzahl von Unterschaltpulsen des Sekundärmusters (51, 52, 53) in Abhängigkeit einer Pulsbreite von Rahmenschaltpulsen geregelt wird und
- c) insbesondere dass eine gesamte Anschaltzeit des Sekundärmusters (51, 52, 53) proportional zur Belastung des zugehörigen Leistungshalbleiterschalters (S_1, S_2, S_3) verringert wird.
7. Verfahren nach Anspruch 6, dadurch gekennzeichnet, dass
- a) ein Belastungswert des Leistungshalbleiterschalters (S_1, S_2, S_3) gemessen und bei Überschreitung eines Belastungswertes eine Anzahl Unterschaltpulse pro Rahmenschaltpulse erhöht oder erniedrigt wird und
- b) insbesondere dass der Belastungswert und Sollwert eine Temperatur des Leistungshalbleiterschalters (S_1, S_2, S_3), ein Kollektor- oder Kathodenstrom durch den Leistungshalbleiterschalter (S_1, S_2, S_3) oder ein Kurzzeitmittelwert dieser Größen ist.
8. Verfahren nach einem der Ansprüche 6-7, dadurch gekennzeichnet, dass zur thermischen Symmetrisierung der Parallelschaltung (1) eine Anzahl der Unterschaltpulse aller Sekundärmuster (51, 52, 53) durch eine Ausgleichsregelung (6) simultan geregelt wird.
9. Verfahren nach einem der Ansprüche 1-5, dadurch gekennzeichnet, dass
- a) zur Erzielung hoher Taktfrequenzen des Gesamtstroms (i) ein Primärmuster mit N Rahmenschaltpulsen auf N Sekundärmuster (51, 52, 53) mit jeweils genau einem Unterschaltpulse aufgeteilt wird und
- b) für aufeinanderfolgende Primärmuster (4) eine feste, regelmässige oder zufällige, insbesondere eine statistisch gleichverteilte, Zuordnung der N

Sekundärmuster (51, 52, 53) zu N Leistungshalbleiterschaltern (S_1 , S_2 , S_3) der Parallelschaltung (1) vorgenommen wird.

10. Verfahren nach einem der vorangehenden Ansprüche, da-
5 durch gekennzeichnet, dass
- a) die Parallelschaltung (1) Bestandteil eines Schaltermoduls, insbesondere eines Halbbrückenzeigs eines Wechselrichters, für Traktion, Hochspannungsgleichstromübertragung, Radiosender, induktives Erwärmen oder induktives Schweissen ist
10 und/oder
 - b) die Leistungshalbleiterschalter (S_1 , S_2 , S_3) BJTs, IGBTs, MOSFETs, Thyristoren, GTOs, MCTs oder Kombinationen solcher Bauelemente sind und insbesondere nicht oder schlecht amplitudenregelbare Lei-
15 stungsausgänge aufweisen.

GEÄNDERTE ANSPRÜCHE

[beim Internationalen Büro am 16 Juli 2001 (16.07.01) eingegangen;
ursprüngliche Ansprüche 1 bis 10 durch neue Ansprüche 1 bis 12 ersetzt;
(5 Seiten)]

1. Verfahren zum Betrieb einer Parallelschaltung (1) von Leistungshalbleiterschaltern (S_1 , S_2 , S_3), wobei die Parallelschaltung (1) einen Leistungsanschluss (2) zur Stromzuführung und einen Leistungsanschluss (3) zur Stromabführung an eine Last aufweist, wobei der Parallelschaltung (1) ein übergeordnetes Steuersignal mit einem Primärmuster (4) von Rahmenschaltpulsen für einen Gesamtstrom (i) durch die Parallelschaltung (1) vorgegeben wird, wobei ferner die Leistungshalbleiterschalter (S_1 , S_2 , S_3) durch individuelle Steuersignale ansteuerbar sind, wobei
 - a) mindestens ein Sekundärmuster (51, 52, 53) von Unterschaltpulsen für das individuelle Steuersignal mindestens eines Leistungshalbleiterschalters (S_1 , S_2 , S_3) erzeugt wird und
 - b) zur Entlastung des Leistungshalbleiterschalters (S_1 , S_2 , S_3) in einem leitenden Zustand der Parallelschaltung (1) zumindest zeitweilig während einer Anzahl Rahmenschaltpulse im Primärmuster (4) eine davon abweichende Anzahl Unterschaltpulse im Sekundärmuster (51, 52, 53) gewählt wird, dadurch gekennzeichnet, dass
 - c) zumindest zeitweilig während einzelner Rahmenschaltpulse mehrere Unterschaltpulse im Sekundärmuster (51, 52, 53) erzeugt werden.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass zumindest zeitweilig während einzelner Rahmenschaltpulse Unterschaltpulse im Sekundärmuster (51, 52, 53) ausgelassen werden.

3. Verfahren nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass
- a) während kurzer Rahmenschaltpulse, deren Pulsbreite maximal das 100-fache einer transienten Schaltzeit des Leistungshalbleiterschalters (S_1 , S_2 , S_3) beträgt, die Anzahl Unterschaltpulse gegenüber der Anzahl Rahmenschaltpulse nicht erhöht wird und
 - b) insbesondere dass eine Breite der Unterschaltpulse gegenüber einer Breite der Rahmenschaltpulse verkürzt wird.
4. Verfahren zum Betrieb einer Parallelschaltung (1) von Leistungshalbleiterschaltern (S_1 , S_2 , S_3), insbesondere nach einem der vorangehenden Ansprüche, wobei die Parallelschaltung (1) einen Leistungsanschluss (2) zur Stromzuführung und einen Leistungsanschluss (3) zur Stromabführung an eine Last aufweist, wobei der Parallelschaltung (1) ein übergeordnetes Steuersignal mit einem Primärmuster (4) von Rahmenschaltpulsen für einen Gesamtstrom (i) durch die Parallelschaltung (1) vorgegeben wird, wobei ferner die Leistungshalbleiterschalter (S_1 , S_2 , S_3) durch individuelle Steuersignale ansteuerbar sind, wobei
- a) mindestens ein Sekundärmuster (51, 52, 53) von Unterschaltpulsen für das individuelle Steuersignal mindestens eines Leistungshalbleiterschalters (S_1 , S_2 , S_3) erzeugt wird und
 - b) zur Entlastung des Leistungshalbleiterschalters (S_1 , S_2 , S_3) in einem leitenden Zustand der Parallelschaltung (1) zumindest zeitweilig während einer Anzahl Rahmenschaltpulse im Primärmuster (4) eine davon abweichende Anzahl Unterschaltpulse im Sekundärmuster (51, 52, 53) gewählt wird, dadurch gekennzeichnet, dass
 - c) mindestens zwei Leistungshalbleiterschalter (S_1 , S_2 , S_3) mit Unterschaltpulsen angesteuert werden, die einander jeweils zu einem Rahmenschaltpuls ergänzen.

5. Verfahren nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass mindestens zwei Leistungshalbleiterschalter (S_1 , S_2 , S_3) mit Sekundärmustern (51, 52, 53) angesteuert werden, die einander zum Primärmuster (4) ergänzen.
6. Verfahren nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass
- a) eine stationäre Teillaststromamplitude (i_1 , i_2 , i_3) durch den Leistungshalbleiterschalter (S_1 , S_2 , S_3) durch die Unterschaltpulse um mindestens einen Faktor zwei variiert wird und/oder
- b) der Leistungshalbleiterschalter (S_1 , S_2 , S_3) durch die Unterschaltpulse zwischen einem leitenden und einem im wesentlichen nicht leitfähigen Zustand hin- und hergeschaltet wird.
7. Verfahren nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass
- a) eine Anzahl von Unterschaltpulsen des Sekundärmusters (51, 52, 53) in Abhängigkeit einer Belastung des zugehörigen Leistungshalbleiterschalters (S_1 , S_2 , S_3) der Parallelschaltung (1) geregelt wird und/oder
- b) eine Anzahl von Unterschaltpulsen des Sekundärmusters (51, 52, 53) in Abhängigkeit einer Pulsbreite von Rahmenschaltpulsen geregelt wird und
- c) insbesondere dass eine gesamte Anschaltzeit des Sekundärmusters (51, 52, 53) proportional zur Belastung des zugehörigen Leistungshalbleiterschalters (S_1 , S_2 , S_3) verringert wird.
8. Verfahren nach Anspruch 7, dadurch gekennzeichnet, dass
- a) ein Belastungswert des Leistungshalbleiterschalters (S_1 , S_2 , S_3) gemessen und bei Überschreitung eines Belastungssollwerts eine Anzahl Unter-

schaltpulse pro Rahmenschaltpuls erhöht oder erniedrigt wird und

- b) insbesondere dass der Belastungsist- und sollwert eine Temperatur des Leistungshalbleiterschalters (S_1 , S_2 , S_3), ein Kollektor- oder Kathodenstrom durch den Leistungshalbleiterschalter (S_1 , S_2 , S_3) oder ein Kurzzeitmittelwert dieser Grössen ist.

9. Verfahren nach einem der Ansprüche 7-8, dadurch gekennzeichnet, dass zur thermischen Symmetrisierung der Parallelschaltung (1) eine Anzahl der Unterschaltpulse aller Sekundärmuster (51, 52, 53) durch eine Ausgleichsregelung (6) simultan geregelt wird.

10. Verfahren zum Betrieb einer Parallelschaltung (1) von Leistungshalbleiterschaltern (S_1 , S_2 , S_3), wobei die Parallelschaltung (1) einen Leistungsanschluss (2) zur Stromzuführung und einen Leistungsanschluss (3) zur Stromabführung an eine Last aufweist, wobei der Parallelschaltung (1) ein übergeordnetes Steuersignal mit einem Primärmuster (4) von Rahmenschaltpulsen für einen Gesamtstrom (i) durch die Parallelschaltung (1) vorgegeben wird, wobei ferner die Leistungshalbleiterschalter (S_1 , S_2 , S_3) durch individuelle Steuersignale ansteuerbar sind, wobei

a) mindestens ein Sekundärmuster (51, 52, 53) von Unterschaltpulsen für das individuelle Steuersignal mindestens eines Leistungshalbleiterschalters (S_1 , S_2 , S_3) erzeugt wird,

b) zur Entlastung des Leistungshalbleiterschalters (S_1 , S_2 , S_3) in einem leitenden Zustand der Parallelschaltung (1) zumindest zeitweilig während einer Anzahl Rahmenschaltpulse im Primärmuster (4) eine davon abweichende Anzahl Unterschaltpulse im Sekundärmuster (51, 52, 53) gewählt wird, und

c) zur Erzielung hoher Taktfrequenzen des Gesamtstroms (i) ein Primärmuster mit N Rahmenschaltpul-

- sen auf N Sekundärmuster (51, 52, 53) mit jeweils genau einem Unterschaltimpuls aufgeteilt wird, dadurch gekennzeichnet, dass
- 5 d) für aufeinanderfolgende Primärmuster (4) eine zufällige Zuordnung der N Sekundärmuster (51, 52, 53) zu N Leistungshalbleiterschaltern (S_1 , S_2 , S_3) der Parallelschaltung (1) vorgenommen wird.
11. Verfahren nach Anspruch 10, dadurch gekennzeichnet, dass für aufeinanderfolgende Primärmuster (4) eine
- 10 statistisch gleichverteilte Zuordnung der N Sekundärmuster (51, 52, 53) zu N Leistungshalbleiterschaltern (S_1 , S_2 , S_3) der Parallelschaltung (1) vorgenommen wird.
12. Verfahren nach einem der vorangehenden Ansprüche, da-
- 15 durch gekennzeichnet, dass
- a) die Parallelschaltung (1) Bestandteil eines Schaltermoduls, insbesondere eines Halbbrückenzeigs eines Wechselrichters, für Traktion, Hochspannungsgleichstromübertragung, Radiosender, induktives Erwärmen oder induktives Schweißen ist
- 20 und/oder
- b) die Leistungshalbleiterschalter (S_1 , S_2 , S_3) BJTs, IGBTs, MOSFETs, Thyristoren, GTOs, MCTs oder Kombinationen solcher Bauelemente sind und insbesondere nicht oder schlecht amplitudenregelbare Leistungsausgänge aufweisen.
- 25

1/2

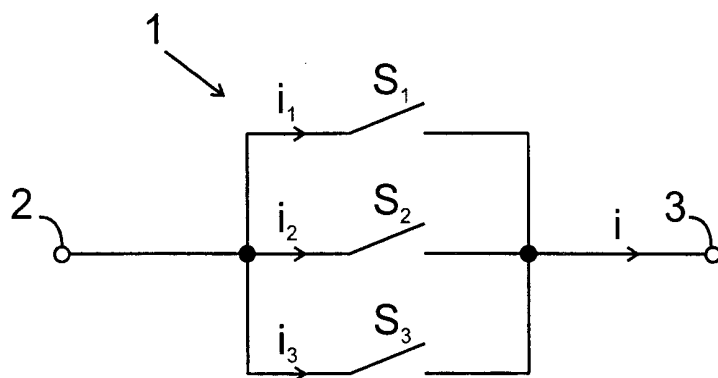


Fig. 1

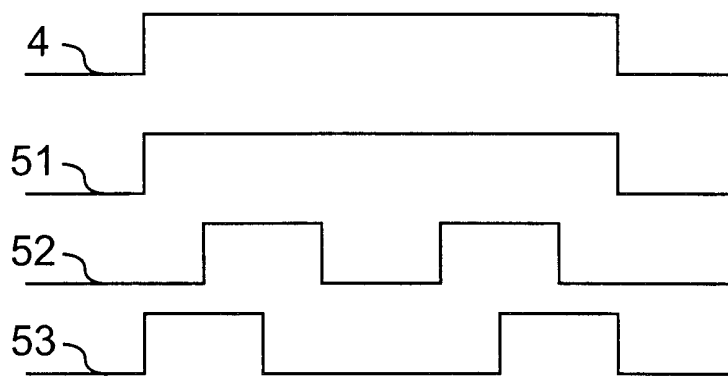


Fig. 2a)

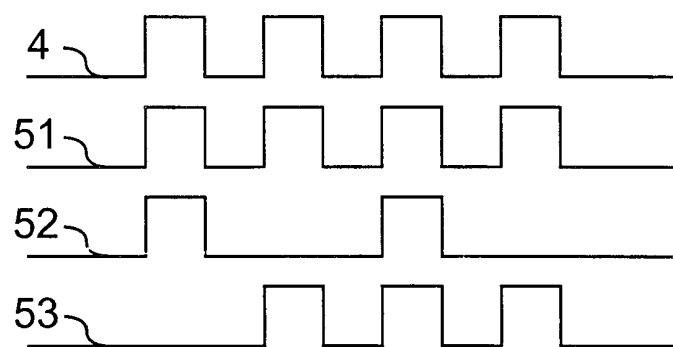


Fig. 2b)

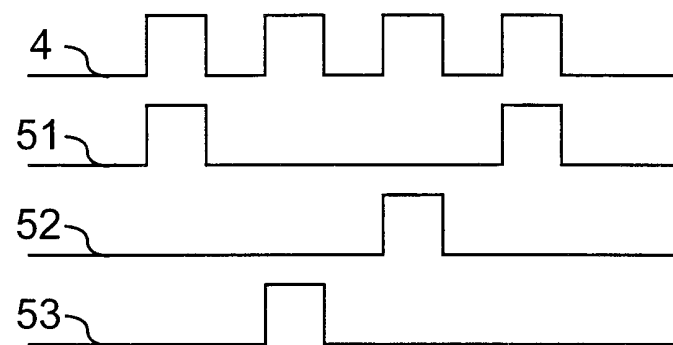


Fig. 2c)

2/2

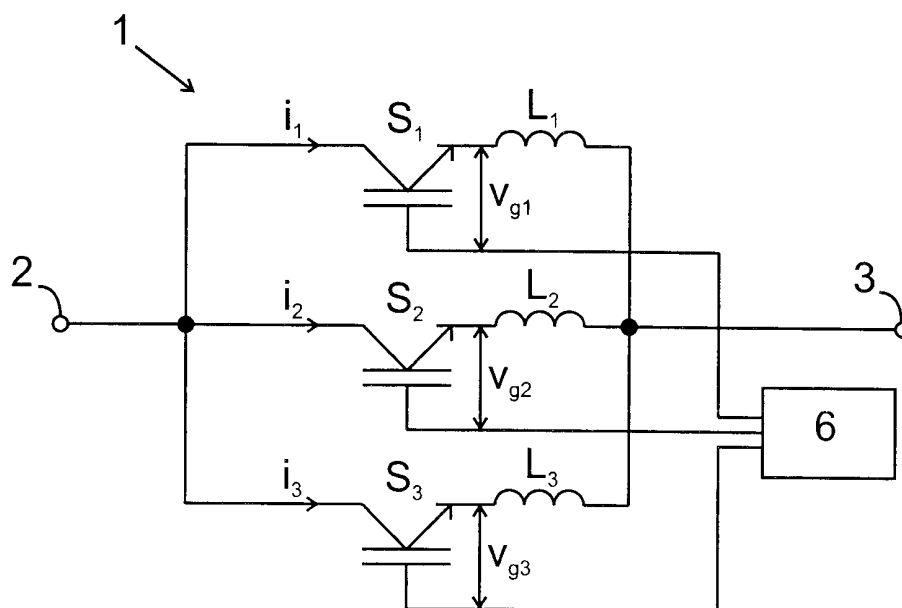


Fig. 3a)

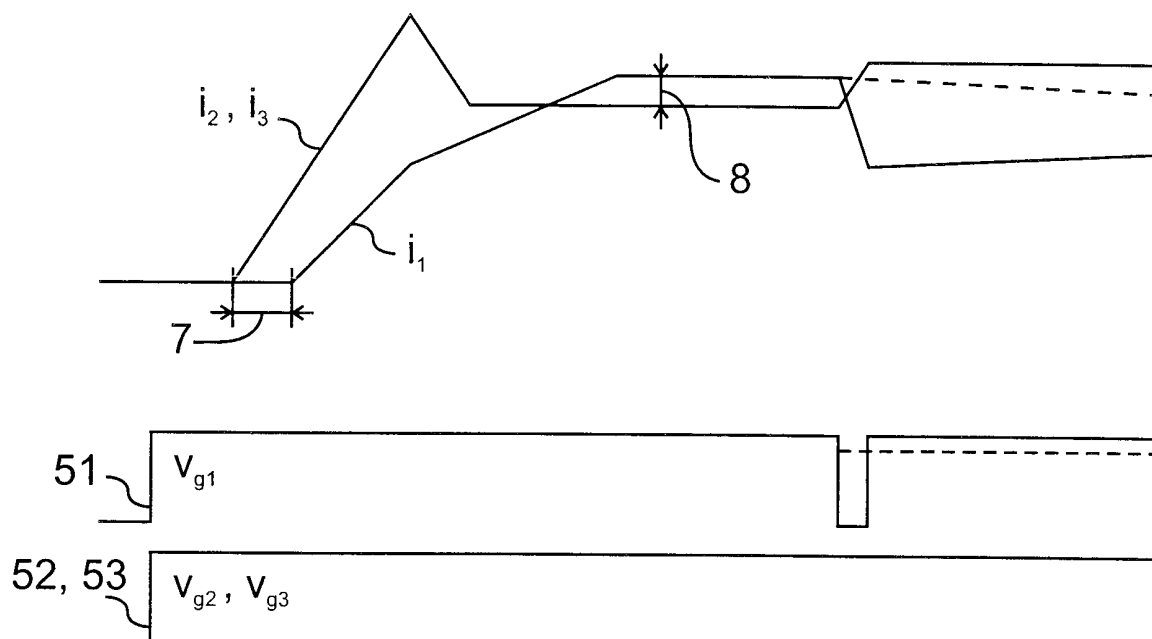


Fig. 3b)

INTERNATIONAL SEARCH REPORT

Intern. al Application No

PCT/IB 00/00277

A. CLASSIFICATION OF SUBJECT MATTER

IPC 7 H03K17/12

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H03K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data, PAJ

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 4 616 142 A (UPADHYAY ANAND K ET AL) 7 October 1986 (1986-10-07) column 3, line 6 -column 6, line 12; figures 1,3,5-8 ---	1-5,9,10
X	FR 2 270 635 A (THOMSON CSF) 5 December 1975 (1975-12-05) page 3, line 18 -page 4, line 19 page 7, line 9 -page 11, line 11; figures 1,6-9 ---	1-6
X	EP 0 685 940 A (HELLA KG HUECK & CO) 6 December 1995 (1995-12-06) column 3, line 8 -column 5, line 26; figure 1 -----	1-5,9



Further documents are listed in the continuation of box C.



Patent family members are listed in annex.

° Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

15 November 2000

Date of mailing of the international search report

21/11/2000

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Cantarelli, R

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/IB 00/00277

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 4616142 A	07-10-1986	CA 1229379 A EP 0207145 A JP 62501393 T WO 8604164 A	17-11-1987 07-01-1987 04-06-1987 17-07-1986
FR 2270635 A	05-12-1975	NONE	
EP 0685940 A	06-12-1995	DE 4419006 A	07-12-1995

INTERNATIONALER RECHERCHENBERICHT

Internales Aktenzeichen

PCT/IB 00/00277

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 7 H03K17/12

Nach der internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
IPK 7 H03K

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, WPI Data, PAJ

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 4 616 142 A (UPADHYAY ANAND K ET AL) 7. Oktober 1986 (1986-10-07) Spalte 3, Zeile 6 -Spalte 6, Zeile 12; Abbildungen 1,3,5-8 ---	1-5,9,10
X	FR 2 270 635 A (THOMSON CSF) 5. Dezember 1975 (1975-12-05) Seite 3, Zeile 18 -Seite 4, Zeile 19 Seite 7, Zeile 9 -Seite 11, Zeile 11; Abbildungen 1,6-9 ---	1-6
X	EP 0 685 940 A (HELLA KG HUECK & CO) 6. Dezember 1995 (1995-12-06) Spalte 3, Zeile 8 -Spalte 5, Zeile 26; Abbildung 1 -----	1-5,9

☐ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderscher Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderscher Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

15. November 2000

Absenddatum des internationalen Recherchenberichts

21/11/2000

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Cantarelli, R

INTERNATIONALER RECHERCHENBERICHT

Intern: 3les Aktenzeichen

PCT/IB 00/00277

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 4616142 A	07-10-1986	CA 1229379 A EP 0207145 A JP 62501393 T WO 8604164 A	17-11-1987 07-01-1987 04-06-1987 17-07-1986

FR 2270635 A	05-12-1975	KEINE	

EP 0685940 A	06-12-1995	DE 4419006 A	07-12-1995
