

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4978786号
(P4978786)

(45) 発行日 平成24年7月18日 (2012. 7. 18)

(24) 登録日 平成24年4月27日 (2012. 4. 27)

(51) Int. Cl.

F I

G O 2 F 1/1343 (2006. 01)

G O 2 F 1/1343

G O 2 F 1/1335 (2006. 01)

G O 2 F 1/1335 5 1 0

G O 2 F 1/133 (2006. 01)

G O 2 F 1/133 5 2 5

請求項の数 9 (全 16 頁)

(21) 出願番号 特願2007-197952 (P2007-197952)
 (22) 出願日 平成19年7月30日 (2007. 7. 30)
 (65) 公開番号 特開2009-31674 (P2009-31674A)
 (43) 公開日 平成21年2月12日 (2009. 2. 12)
 審査請求日 平成22年3月17日 (2010. 3. 17)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100098785
 弁理士 藤島 洋一郎
 (74) 代理人 100109656
 弁理士 三反崎 泰司
 (74) 代理人 100130915
 弁理士 長谷部 政男
 (72) 発明者 鎌田 豪
 東京都港区港南1丁目7番1号 ソニー株
 式会社内
 審査官 藤田 都志行

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

複数の画素がマトリクス状に配置された液晶表示装置であって、
 複数の画素の各々に対応して画素電極が形成された駆動基板と、
 前記駆動基板に対向配置された対向基板と、
前記駆動基板および前記対向基板の間の、垂直配向モードの液晶層と、
前記駆動基板および前記対向基板の各々に設けられた偏光板とを備え、
 前記画素電極の外形が、左右辺は前記偏光板の光学軸に対して平行であり、上下辺は前
 記偏光板の光学軸に対して45度、135度、225度または315度のいずれかに傾斜
 した台形であり、
前記画素電極は第1のサブ画素電極および第2のサブ画素電極を有し、
前記第1のサブ画素電極および前記第2のサブ画素電極は同一フレーム内において逆極
性に電圧印加され、
前記第1のサブ画素電極は、前記台形の左辺または右辺のうち長い方の中央部を底辺と
する二等辺三角形の内側部分と、前記台形の上下辺を含む外側部分とを有し、
前記第2のサブ画素電極は、前記内側部分と前記外側部分との間に挟まれていると共に
前記二等辺三角形の二つの等辺に沿っている
 液晶表示装置。

【請求項 2】

前記第1のサブ画素電極および前記第2のサブ画素電極の各々は非線形素子に接続され

ている

請求項 1 記載の液晶表示装置。

【請求項 3】

前記画素電極は、上下に隣接する画素電極とは、点对称に配置されると共に前記第 1 のサブ画素電極および前記第 2 のサブ画素電極どうしの極性の関係が逆であり、

前記画素電極の上下辺と当該画素電極の上下に隣接する画素電極の上下辺とが互いに平行である

請求項 1 または請求項 2 記載の液晶表示装置。

【請求項 4】

前記画素電極は、左右に隣接する画素電極とは、垂直軸に対して線対称であると共に前記第 1 のサブ画素電極および前記第 2 のサブ画素電極どうしの極性の関係が逆である

請求項 1 ないし請求項 3 のいずれか 1 項に記載の液晶表示装置。

【請求項 5】

複数の画素がマトリクス状に配置された液晶表示装置であって、

複数の画素の各々に対応して画素電極が形成された駆動基板と、

前記駆動基板に対向配置された対向基板と、

前記駆動基板および前記対向基板の間の、垂直配向モードの液晶層と、

前記駆動基板および前記対向基板の各々に設けられた偏光板とを備え、

前記画素電極は偶数個の単位画素電極を有し、

前記単位画素電極の外形が、左右辺は前記偏光板の光学軸に対して平行であり、上下辺は前記偏光板の光学軸に対して 45 度、135 度、225 度または 315 度のいずれかに傾斜した台形であり、

前記単位画素電極は第 1 のサブ単位画素電極および第 2 のサブ単位画素電極を有し、

前記第 1 のサブ単位画素電極および前記第 2 のサブ単位画素電極は同一フレーム内において逆極性に電圧印加され、

前記第 1 のサブ単位画素電極は、前記台形の左辺または右辺のうち長い方の中央部を底辺とする二等辺三角形の内側部分と、前記台形の上下辺を含む外側部分とを有し、

前記第 2 のサブ単位画素電極は、前記内側部分と前記外側部分との間に挟まれていると共に前記二等辺三角形の二つの等辺に沿っている

液晶表示装置。

【請求項 6】

前記第 1 のサブ単位画素電極および前記第 2 のサブ単位画素電極の各々は非線形素子に接続されている

請求項 5 記載の液晶表示装置。

【請求項 7】

前記画素電極は、上下または左右に隣接する画素電極とは、前記第 1 のサブ画素電極および前記第 2 のサブ画素電極どうしの極性の関係が逆であり、

前記単位画素電極の上下辺と当該単位画素電極の上下に隣接する単位画素電極の上下辺とが互いに平行である

請求項 6 記載の液晶表示装置。

【請求項 8】

前記偶数個の単位画素電極は、上下に隣接すると共に点对称に配置されている

請求項 5 ないし請求項 7 のいずれか 1 項に記載の液晶表示装置。

【請求項 9】

前記画素電極は、左右に隣接する画素電極とは、垂直軸に対して線対称である

請求項 5 ないし請求項 8 のいずれか 1 項に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、特に V A (Vertical Alignment ; 垂直配向) モードに好適な液晶表示装置に

10

20

30

40

50

関する。

【背景技術】

【0002】

近年、液晶テレビ等に用いられるVAモード用液晶表示装置には、中間調における視野角特性を改善するため、マルチ画素といわれる新技術が導入されている。各画素は、図8に示したように、複数のサブ画素A、Bに分けられ、入力階調に対してサブ画素Aが先に輝度を上げ、サブ画素Bは後から輝度を上げる。より優れた視野角特性を得るには、サブ画素A、Bの面積比が1:1よりも1:2程度となるようにサブ画素Aを小さくすることが望ましい。

【0003】

10

図9(A)、図9(B)は、各サブ画素A、Bの画素電極および共通電極の構成をそれぞれ表したものであり、図9(C)はその等価回路を表したものである。サブ画素A、Bに電位差をつける方法はいくつか存在するが、図9(A)~図9(C)では、例えば、各サブ画素A、Bに専用の薄膜トランジスタ(Thin Film Transistor)TFT1、TFT2をそれぞれ配置し、同じゲートバスラインGLに二本のソースバスラインSL1、SL2を配置してTFT1、TFT2を駆動するようにした場合を表している。

【0004】

このマルチ画素は、TFT1、TFT2と、サブ画素Aを構成する液晶素子Clc1と、サブ画素Bを構成する液晶素子Clc2と、容量素子Cst1、Cst2とを有している。TFT1、TFT2のゲートはゲートバスラインGLに接続されている。TFT1のソースはソースバスラインSL1に接続され、ドレインは液晶素子Clc1の一端および容量素子Cst1の一端に接続されている。TFT2のソースはソースバスラインSL2に接続され、ドレインは液晶素子Clc2の一端および容量素子Cst2の一端に接続されている。容量素子Cst1の他端および容量素子Cst2の他端は、容量素子バスラインCLに接続されている。

20

【0005】

サブ画素A用の画素電極Px1はTFT1に接続され、サブ画素B用の画素電極Px2はTFT2に接続されている。図9(C)の等価回路図に示したように、サブ画素A用の画素電極Px1と、サブ画素B用の画素電極Px2とは電氣的に独立しており、画素電極Px1、Px2にそれぞれどのような電圧を書き込むかは制御回路によって決定される。

30

【0006】

画素電極Px1、Px2には、VAモード特有の構成として、液晶分子を45度方向に傾斜させるためのスリット112が設けられている。これらのスリット112の一部は、画素電極Px1、Px2を分離するスリットと共用になっている。一方、対向基板に配置される共通電極121にも、液晶配向規制のためのスリット122が必要である。なお、対向基板側の液晶配向規制手段としては、共通電極121上に絶縁突起(図示せず)を形成する場合もある。図9(A)では、共通電極121のスリット122を破線で表している。

【0007】

図10および図11は、スリット112の幅を説明するためのものである。液晶表示装置のセル厚d、すなわちTFT基板110と対向基板120との間の間隔は、通常は約4μmである。セル厚dに対してスリット112の幅が十分に広い場合、図10(A)に示したように、スリット112の等電位面はTFT基板110のガラスの中に深く入り、スリット112では縦方向の電界が弱まる。そのため、図10(B)に示したように、スリット112の液晶分子131の垂直配向が保たれる一方、スリット112近傍の画素電極Px1、Px2上では十分に斜め方向の電界が発生し、液晶配向方向が安定する。

40

【0008】

スリット112では液晶分子131が倒れず透過率には寄与しないので、スリット112の幅を広げると実質的な開口率が低下して透過率が落ちる。一方、スリット112の幅を狭くすると開口率は大きくなるが、図11(A)に示したように、スリット112近傍

50

の電界が徐々に斜めではなくなり、図 1 1 (B) に示したように、液晶分子 1 3 1 の配向安定性が悪くなる。液晶分子 1 3 1 の方位角が 4 5 度からずれると、偏光に対する液晶分子 1 3 1 の効果が変化するので単位面積当たりの透過率が減少し、開口率は増加しても総合的な透過率は低下する。

【 0 0 0 9 】

すなわち、図 1 2 に示したように、透過率に対するスリット 1 1 2 の幅には、最適値が存在し、通常は 4 μ m のセル厚 d に対してスリット 1 1 2 の幅は 1 0 μ m 程度で設計されている。

【 0 0 1 0 】

図 1 3 は、二つの画素電極 P x 1 , P x 2 に逆極性の電圧が印加された場合の、スリット 1 1 2 における液晶分子 1 3 1 の配向を表したものである。この場合、等電位面は図 1 0 (A) および図 1 1 (A) とは大きく異なり、画素電極 P x 1 , P x 2 間にスリット 1 1 2 に垂直に等電位面が入ることになる。また、スリット 1 1 2 には、共通電極 1 2 1 と同電位の場所が必ず形成される。この同電位の場所では液晶分子 1 3 1 が倒れず垂直に極めて安定する。一方、斜め電界も強く、この結果、液晶分子 1 3 1 の配向は極めて安定する。しかも、この効果は、スリット 1 1 2 の幅が狭いほど高まることになる。

【 0 0 1 1 】

図 1 4 は、この効果を考慮して図 9 のマルチ画素において二つの画素電極 P x 1 , P x 2 に逆極性の電圧を印加することを前提に、画素電極 P x 1 , P x 2 の間のスリット 1 1 2 A を狭くしたものである。また、図 1 5 は、図 1 4 に示した画素を 2 x 2 のマトリクスで配置した例を表したものである。実際の表示装置はこれが繰り返されているものと考えてよい。

【 0 0 1 2 】

図 1 6 は、図 1 4 および図 1 5 のようにスリット 1 1 2 A の間隔を狭くした場合の透過率を表したものである。二つの画素電極 P x 1 , P x 2 に同極性の電圧を印加した場合（同極駆動）には、スリット 1 1 2 の間隔が 1 0 μ m 以下になると液晶配向悪化のため透過率が低下していたが、二つの画素電極 P x 1 , P x 2 に逆極性の電圧を印加した場合（逆極駆動）には、スリット 1 1 2 A を狭くすることで透過率を改善できることがわかる（例えば、特許文献 1 参照。）。

【特許文献 1】特開 2 0 0 5 - 3 1 6 2 1 1 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 3 】

しかしながら、このような狭スリット化は、二つのサブ画素 A , B の間のスリット 1 1 2 A にしか適用することができなかった。図 1 4 の場合、T F T 基板 1 1 0 側の 6 本のスリット 1 1 2 のうち、4 本が該当する。それ以外の 2 本のスリット 1 1 2 B、および対向基板 1 2 0 の共通電極 1 2 1 のスリット 1 2 2 については従来どおりの設計とせざるを得なかった。

【 0 0 1 4 】

更に、図 1 4 に示したような狭スリット化を適用した画素にも、いまだに液晶分子の配向が悪く光の利用効率が低い箇所が残ってしまっていた。図 1 7 (A) は、図 1 4 に示した画素と同じものを表し、図 1 7 (B) は、図 1 7 (A) に示した画素の透過率をシミュレーションした結果を表したものであり、図 1 7 (A) に示した画素の左下コーナーの点線で囲まれた部分を拡大して表している。左上コーナーについては特に図示しないが、方位角が異なるだけで、結果はほぼ同様と考えてよい。

【 0 0 1 5 】

図 1 7 (B) から分かるように、特に画素のコーナーでは透過率が非常に悪くなっている。その原因として、画素の基本形状と液晶分子の配向方向との不一致が挙げられる。液晶分子は偏光板の光学軸との関係から 4 5 度方向に傾斜することで透過率が最大となる。そのためにスリット 1 1 2 は 4 5 度に配置されている。しかし、画素の基本形状は長方形

10

20

30

40

50

であるので、画素のコーナーでは、縦横に切られた画素電極 $P \times 1$, $P \times 2$ のパターンの影響により液晶分子の方位角がずれてしまう。このことを以下（方位角）ブレと呼ぶ。特に画素のコーナーでは、左右端と上下端のブレが集中するので、透過率の悪化が著しくなる。

【0016】

本発明はかかる問題点に鑑みてなされたもので、その目的は、画素のコーナーの ブレを低減し透過率を改善すると共に、画素のコーナーでも逆極駆動によりスリットを狭くして透過率を改善することが可能な液晶表示装置を提供することにある。

【課題を解決するための手段】

【0017】

本発明による第1の液晶表示装置は、複数の画素がマトリクス状に配置されたものであって、複数の画素の各々に対応して画素電極が形成された駆動基板と、駆動基板に対向配置された対向基板と、駆動基板および対向基板の間の、垂直配向モードの液晶層と、駆動基板および対向基板の各々に設けられた偏光板とを備え、画素電極の外形が、左右辺は偏光板の光学軸に対して平行であり、上下辺は偏光板の光学軸に対して45度、135度、225度または315度のいずれかに傾斜した台形であるものである。画素電極は第1のサブ画素電極および第2のサブ画素電極を有し、第1のサブ画素電極および第2のサブ画素電極は同一フレーム内において逆極性に電圧印加される。第1のサブ画素電極は、台形の左辺または右辺のうち長い方の中央部を底辺とする二等辺三角形の内側部分と、台形の上下辺を含む外側部分とを有し、第2のサブ画素電極は、内側部分と外側部分との間に挟まれていると共に二等辺三角形の二つの等辺に沿っている。

【0018】

本発明による第2の液晶表示装置は、複数の画素がマトリクス状に配置されたものであって、複数の画素の各々に対応して画素電極が形成された駆動基板と、駆動基板に対向配置された対向基板と、駆動基板および対向基板の間の、垂直配向モードの液晶層と、駆動基板および対向基板の各々に設けられた偏光板とを備え、画素電極は偶数個の単位画素電極を有し、単位画素電極の外形が、左右辺は偏光板の光学軸に対して平行であり、上下辺は偏光板の光学軸に対して45度、135度、225度または315度のいずれかに傾斜した台形であるものである。単位画素電極は第1のサブ単位画素電極および第2のサブ単位画素電極を有し、第1のサブ単位画素電極および第2のサブ単位画素電極は同一フレーム内において逆極性に電圧印加される。第1のサブ単位画素電極は、台形の左辺または右辺のうち長い方の中央部を底辺とする二等辺三角形の内側部分と、台形の上下辺を含む外側部分とを有し、第2のサブ単位画素電極は、内側部分と外側部分との間に挟まれていると共に二等辺三角形の二つの等辺に沿っている。

【0020】

本発明による第1の液晶表示装置では、画素電極の外形が、左右辺は偏光板の光学軸に対して平行であり、上下辺は偏光板の光学軸に対して45度、135度、225度または315度のいずれかに傾斜した台形であるので、画素のコーナーのブレが低減され、透過率が向上する。また、画素電極は、同一フレーム内において逆極性に電圧印加される第1のサブ画素電極および第2のサブ画素電極を有している。第1のサブ画素電極は、台形の左辺または右辺のうち長い方の中央部を底辺とする二等辺三角形の内側部分と、台形の上下辺を含む外側部分とを有し、第2のサブ画素電極は、内側部分と外側部分との間に挟まれていると共に二等辺三角形の二つの等辺に沿っている。よって、従来のように長方形の画素のコーナーにおいて同極駆動の画素電極間のスリットを設ける必要がなくなり、画素のコーナーでも逆極駆動によりスリットを狭くして透過率を改善することが可能となる。

【0021】

本発明による第2の液晶表示装置では、画素電極が偶数個の単位画素電極を有しており、この単位画素電極の外形が、左右辺は偏光板の光学軸に対して平行であり、上下辺は偏光板の光学軸に対して45度、135度、225度または315度のいずれかに傾斜した

10

20

30

40

50

台形であるので、画素のコーナーのブレが低減され、透過率が向上する。また、単位画素電極は、同一フレーム内において逆極性に電圧印加される第1のサブ単位画素電極および第2のサブ単位画素電極を有している。第1のサブ単位画素電極は、台形の左辺または右辺のうち長い方の中央部を底辺とする二等辺三角形の内側部分と、台形の上下辺を含む外側部分とを有し、第2のサブ単位画素電極は、内側部分と外側部分との間に挟まれていると共に二等辺三角形の二つの等辺に沿っている。よって、従来のように長方形の画素のコーナーにおいて同極駆動の画素電極間のスリットを設ける必要がなくなり、画素のコーナーでも逆極駆動によりスリットを狭くして透過率を改善することが可能となる。

【発明の効果】

【0023】

本発明の第1の液晶表示装置によれば、画素電極の外形を、左右辺は偏光板の光学軸に対して平行であり、上下辺は偏光板の光学軸に対して45度、135度、225度または315度のいずれかに傾斜した台形としたので、また、本発明の第2の液晶表示装置によれば、画素電極を偶数個の単位画素電極を有するものとし、この単位画素電極の外形を、左右辺は偏光板の光学軸に対して平行であり、上下辺は偏光板の光学軸に対して45度、135度、225度または315度のいずれかに傾斜した台形としたので、画素のコーナーのブレを低減し、透過率を改善することができる。また、本発明の第1の液晶表示装置によれば、画素電極として同一フレーム内において逆極性に電圧印加される第1のサブ画素電極および第2のサブ画素電極を設け、第1のサブ画素電極は、台形の左辺または右辺のうち長い方の中央部を底辺とする二等辺三角形の内側部分と、台形の上下辺を含む外側部分とを有し、第2のサブ画素電極は、内側部分と外側部分との間に挟まれていると共に二等辺三角形の二つの等辺に沿うようにしたので、また、本発明の第2の液晶表示装置によれば、単位画素電極として同一フレーム内において逆極性に電圧印加される第1のサブ単位画素電極および第2のサブ単位画素電極を設け、第1のサブ単位画素電極は、台形の左辺または右辺のうち長い方の中央部を底辺とする二等辺三角形の内側部分と、台形の上下辺を含む外側部分とを有し、第2のサブ単位画素電極は、内側部分と外側部分との間に挟まれていると共に二等辺三角形の二つの等辺に沿うようにしたので、画素のコーナーでも逆極駆動によりスリットを狭くして透過率を改善することが可能となる。

【発明を実施するための最良の形態】

【0024】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0025】

(第1の実施の形態)

図1は、本発明の第1の実施の形態に係る液晶表示装置の構成を表したものである。この液晶表示装置は、液晶テレビ等に用いられるVAモード用液晶表示装置であり、例えば、液晶表示パネル1と、バックライト部2と、画像処理部3と、フレームメモリ4と、ゲートドライバ5と、データドライバ6と、タイミング制御部7と、バックライト駆動部8とを備えている。

【0026】

液晶表示パネル1は、ゲートドライバ5から供給される駆動信号によって、データドライバ6から伝達される映像信号Diに基づいて映像表示を行うものであり、マトリクス状に配置された複数の画素P1を有し、これらの画素P1ごとに駆動が行われるアクティブマトリクス方式の液晶表示パネルである。この画素P1の具体的な構成については後述する。

【0027】

バックライト部2は、液晶表示パネル1に光を照射する光源であり、例えば、CCFL(Cold Cathode Fluorescent Lamp: 冷陰極傾向ランプ)や、LED(Light Emitting Diode: 発光ダイオード)などを含んで構成されている。

【0028】

画像処理部3は、外部からの映像信号S1に対して所定の画像処理を施すことにより、

10

20

30

40

50

R G B 信号である映像信号 S 2 を生成するものである。

【 0 0 2 9 】

フレームメモリ 4 は、画像処理部 3 から供給される映像信号 S 2 をフレーム単位で画素 P ごとに記憶するものである。

【 0 0 3 0 】

タイミング制御部 7 は、ゲートドライバ 5、データドライバ 6 およびバックライト駆動部 8 の駆動タイミングを制御するものである。また、バックライト駆動部 8 は、タイミング制御部 7 のタイミング制御に従って、バックライト部 2 の点灯動作を制御するものである。

【 0 0 3 1 】

以下、図 2 ないし図 4 を参照して、液晶表示パネル 1 の各画素 P 1 の具体的な構成について説明する。各画素 P 1 は、二つのサブ画素からなるマルチ画素構造を有するものであり、例えば、赤 (R ; Red)、緑 (G ; Green)、青 (B ; Blue) の基本色のいずれかを表示するようになっている。

【 0 0 3 2 】

図 2 は、画素 P 1 の等価回路を表したものである。画素 P 1 は、T F T 1 , T F T 2 と、一つのサブ画素 (以下、サブ画素 A という。) を構成する液晶素子 C 1 c 1 と、もう一つのサブ画素 (以下、サブ画素 B という。) を構成する液晶素子 C 1 c 2 と、容量素子 C s t 1 , C s t 2 とを有している。

【 0 0 3 3 】

T F T 1 , T F T 2 は、サブ画素 A , B に対して、映像信号 S 3 を供給するためのスイッチング素子としての機能を有するものであり、例えば M O S - F E T (Metal Oxide Semiconductor-Field Effect Transistor) により構成され、3つの電極、ゲート、ソースおよびドレインを有している。T F T 1 , T F T 2 のゲートは、左右方向に延在するゲートバスライン G L に接続されている。このゲートバスライン G L には、上下方向に延在する二本のソースバスライン S L 1 , S L 2 が直交している。T F T 1 のソースはソースバスライン S L 1 に接続され、ドレインは液晶素子 C 1 c 1 の一端および容量素子 C s t 1 の一端に接続されている。T F T 2 のソースはソースバスライン S L 2 に接続され、ドレインは液晶素子 C 1 c 2 の一端および容量素子 C s t 2 の一端に接続されている。

【 0 0 3 4 】

液晶素子 C 1 c 1 , C 1 c 2 は、T F T 1 , 2 を介して供給される信号電圧に応じて表示のための動作を行う表示素子としての機能を有するものである。液晶素子 C 1 c 1 の他端および液晶素子 C 1 c 2 の他端は接地されている。

【 0 0 3 5 】

容量素子 C s t 1 , C s t 2 は、両端間に電位差を発生させるものであり、具体的には電荷を蓄積させる誘電体を含んで構成されている。容量素子 C s t 1 の他端および容量素子 C s t 2 の他端は、ゲートバスライン G L に平行すなわち左右方向に延在する容量素子バスライン C L に接続されている。

【 0 0 3 6 】

図 3 は液晶表示パネル 1 の断面構造を表したものである。液晶表示パネル 1 は、T F T 基板 (駆動基板) 1 0 と対向基板 2 0 との間に液晶層 3 0 を有している。T F T 基板 1 0 および対向基板 2 0 の各々には、偏光板 4 1 , 4 2 が、それらの光学軸 (図示せず) を直交させるように設けられている。

【 0 0 3 7 】

T F T 基板 1 0 は、ガラス基板 1 0 A に、複数の画素 P 1 の各々に対応して画素電極 1 1 が設けられたものである。ガラス基板 1 0 A には、図示しないが、図 2 に示した T F T 1 , T F T 2、容量素子 C 1 c 1 , C 1 c 2 等が設けられている。画素電極 1 1 には、液晶配向制御のためのスリット 1 2 が設けられている。

【 0 0 3 8 】

対向基板 2 0 は、ガラス基板 2 0 A に共通電極 (コモン電極) 2 1 が形成されたもので

10

20

30

40

50

ある。ガラス基板 20A には、図示しないが、カラーフィルタおよびブラックマトリクス等が形成されている。共通電極 21 には、液晶配向制御のためのスリット 21 が、画素電極 11 のスリット 12 とは重ならない位置に設けられている。

【0039】

液晶層 30 は、VA モードの液晶層であり、液晶分子 31 により構成されている。

【0040】

図 4 は、四つの画素 P1 の画素電極 11 を並べて表したものであり、図 5 は図 4 に示した四つの画素電極 11 をばらばらに表したものである。画素電極 11 の外形は、90 度縦になった台形である。画素電極 11 の左右辺は、台形の平行な辺であり、偏光板 41, 42 の光学軸に対して平行である。画素電極 11 の上下辺は、台形の傾斜する辺であり、偏光板 41, 42 の光学軸に対して 45 度, 135 度, 225 度または 315 度のいずれかに傾斜している。これにより、この液晶表示装置では、画素 P1 のコーナーの透過率を改善することができるようになっている。

【0041】

画素電極 11 は、左右に隣接する画素電極 11 とは、垂直軸に対して線対称に配置されている。また、画素電極 11 は、上下に隣接する画素電極 11 とは点対称に配置されていると共に、画素電極 11 の上下辺と当該画素電極 11 の上下に隣接する画素電極の上下辺とが互いに平行である。これにより、無駄なスペースをなくすることができる。

【0042】

画素電極 11 は、サブ画素電極 P x 1, P x 2 を有している。サブ画素電極 P x 1 はサブ画素 A を構成するものであり、TF T 1 (図 4 には図示せず、図 2 参照。) に接続されている。画素電極 P x 2 はサブ画素 B を構成するものであり、TF T 2 (図 4 には図示せず、図 2 参照。) に接続されている。なお、図 2 の等価回路図に示したように、サブ画素電極 P x 1 と、サブ画素電極 P x 2 とは電氣的に独立しており、サブ画素電極 P x 1, P x 2 は同一フレーム内において逆極性に電圧印加されている。これにより、画素 P1 内のスリット 12 の幅を狭くし、透過率を改善することができる。

【0043】

画素電極 11 は、上下または左右に隣接する画素電極 11 とは、複数のサブ画素電極 P x 1, P x 2 どちらの極性の関係が逆であることが好ましい。隣接する画素電極 11 間のスリット 12 を狭くすることが可能となり、透過率をより改善することができるからである。

【0044】

すなわち、従来のような長方形の画素電極では、デザインの的に逆極駆動されるサブ画素電極 P x 1, P x 2 どちらを効率よく隣接させることが困難であった。図 12 でも、コーナーの 2 本のスリット 112B は、同極駆動の画素電極 P x 2 間なので、10 μm の幅広仕様でなければならなかった。そのため、画素のコーナーでは、狭スリット化による透過率改善という利点を享受することができなくなってしまっていた。

【0045】

この液晶表示装置は、画素電極 11 を図 4 に示したような外形で形成することを除いては、通常の製造方法により製造することができる。

【0046】

この液晶表示パネル 1 では、図 1 に示したように、外部から供給された映像信号 S1 が画像処理部 3 により画像処理され、各画素 P1 用の映像信号 S2 が生成される。この映像信号 S2 は、フレームメモリ 4 において記憶され、映像信号 S3 として、データドライバ 6 へ供給される。このようにして供給された映像信号 S3 に基づいて、ゲートドライバ 5 およびデータドライバ 6 から出力される各画素 P1 内への駆動電圧によって、各画素 P1 ごとに線順次表示駆動動作がなされる。具体的には、ゲートドライバ 5 からゲートバスライン GL を介して供給される選択信号に応じて、TF T 1, TF T 2 のオンオフが切り替えられ、ソースバスライン SL と画素 P1 を選択的に導通するようになっている。これにより、バックライト部 2 からの照明光が液晶表示パネル 1 により変調され、表示光として

出力される。

【0047】

ここでは、画素電極11の外形が、左右辺は偏光板41, 42の光学軸に対して平行であり、上下辺は偏光板41, 42の光学軸に対して45度, 135度, 225度または315度のいずれかに傾斜した台形であるので、液晶分子31の配向方向と画素電極11の外形形状との矛盾が改善されている。よって、画素P1のコーナーのブレが低減され、透過率が向上する。

【0048】

このように本実施の形態では、画素電極の外形を、左右辺は偏光板の光学軸に対して平行であり、上下辺は偏光板の光学軸に対して45度, 135度, 225度または315度のいずれかに傾斜した台形としたので、画素のコーナーのブレを低減することができ、透過率を向上させることができる。

【0049】

(第2の実施の形態)

図6は、本発明の第2の実施の形態に係る液晶表示パネル1の四つの画素P1の画素電極11を並べて表したものであり、図7は図6に示した四つの画素電極11をばらばらに表したものである。なお、本実施の形態では、液晶表示パネル1の画素P1以外は、上記実施の形態と同様の構成を有しているため、上記と同様の構成要素については同一の符号を付して説明する。

【0050】

画素電極11は偶数個(例えば、二個)の単位画素電極13を有している。単位画素電極13の外形は、90度縦になった台形である。単位画素電極13の左右辺は、台形の平行な辺であり、偏光板41, 42の光学軸に対して平行である。単位画素電極13の上下辺は、台形の傾斜する辺であり、偏光板41, 42の光学軸に対して45度, 135度, 225度または315度のいずれかに傾斜している。これにより、この液晶表示装置では、画素P1のコーナーの透過率を改善することができるようになっている。

【0051】

二個の単位画素電極13は、画素P1内において、上下に隣接すると共に点対称に配置されている。すなわち、単位画素電極13の上下辺と当該単位画素電極13の上下に隣接する単位画素電極13の上下辺とが互いに平行である。これにより、無駄なスペースをなくすることができる。

【0052】

なお、画素電極11は、左右に隣接する画素電極11とは、垂直軸に対して線対称に配置されていてもよいし、線対称に配置されていなくてもよい。

【0053】

二個の単位画素電極13は、それぞれ、サブ単位画素電極P×1, P×2を有している。サブ単位画素電極P×1はサブ画素Aを構成するものであり、TF T1(図6には図示せず、図2参照。)に接続されている。サブ単位画素電極P×2はサブ画素Bを構成するものであり、TF T2(図6には図示せず、図2参照。)に接続されている。TF T1は、二個の単位画素電極13のサブ単位画素電極P×1に共通であり、TF T2は、二個の単位画素電極13のサブ単位画素電極P×2に共通である。なお、図2の等価回路図に示したように、サブ単位画素電極P×1と、サブ単位画素電極P×2とは電氣的に独立しており、サブ単位画素電極P×1, P×2は同一フレーム内において逆極性に電圧印加されている。これにより、画素P1内のスリット12の幅を狭くし、透過率を改善することができる。

【0054】

画素電極11は、上下または左右に隣接する画素電極11とは、複数のサブ単位画素電極P×1, P×2どうしの極性の関係が逆であることが好ましい。隣接する画素電極11間のスリット12を狭くすることが可能となり、透過率をより改善することができるからである。

【 0 0 5 5 】

この液晶表示装置は、単位画素電極 1 3 を図 6 に示したような外形で形成することを除いては、通常の製造方法により製造することができる。

【 0 0 5 6 】

この液晶表示パネル 1 では、図 1 に示したように、第 1 の実施の形態と同様にして各画素 P 1 ごとに線順次表示駆動動作がなされ、バックライト部 2 からの照明光が液晶表示パネル 1 により変調され、表示光として出力される。

【 0 0 5 7 】

ここでは、画素電極 1 1 が二個の単位画素電極 1 3 を有しており、この単位画素電極 1 3 の外形が、左右辺は偏光板 4 1 , 4 2 の光学軸に対して平行であり、上下辺は偏光板 4 1 , 4 2 の光学軸に対して 4 5 度 , 1 3 5 度 , 2 2 5 度または 3 1 5 度のいずれかに傾斜した台形であるので、液晶分子 3 1 の配向方向と画素電極 1 1 の外形形状との矛盾が改善されている。よって、画素 P 1 のコーナーの ブレが低減され、透過率が向上する。

【 0 0 5 8 】

また、第 2 の実施の形態では、画素 P 1 が左に屈曲した形状と右に屈曲した形状の 2 種類となっている。視角特性は画素 P 1 の形状に影響を受けるので、厳密には両者の視角特性は若干異なることになる。2 種類の画素 P 1 を千鳥配列で細かく配置しているので、通常の画像では違和感を感じることはないが、もともとの画像が千鳥パターンである場合には若干の違和感を感じさせてしまうおそれもある。これに対して、本実施の形態では、画素電極 1 1 が二個の単位画素電極 1 3 を含むようにしたので、一つの画素 P 1 の中で二つの視角特性が平均化され、どのようなパターンを表示しても視角特性の差に起因する違和感が生じるおそれはなくなる。

【 0 0 5 9 】

このように本実施の形態では、画素電極 1 1 が二個の単位画素電極 1 3 を有しており、この単位画素電極 1 3 の外形が、左右辺は偏光板 4 1 , 4 2 の光学軸に対して平行であり、上下辺は偏光板 4 1 , 4 2 の光学軸に対して 4 5 度 , 1 3 5 度 , 2 2 5 度または 3 1 5 度のいずれかに傾斜した台形であるので、画素 P 1 のコーナーの ブレを低減することができ、透過率を向上させることができる。

【 0 0 6 0 】

以上、実施の形態を挙げて本発明を説明したが、本発明は上記実施の形態に限定されず、種々の変形が可能である。例えば、上記実施の形態では、画素電極 1 1 または単位画素電極 1 3 の外形が台形である場合について説明したが、本発明は、画素電極 1 1 または単位画素電極 1 3 の外形が台形である場合に限られず、平行四辺形など、上下辺が偏光板の光学軸に対して 4 5 度 , 1 3 5 度 , 2 2 5 度または 3 1 5 度のいずれかに傾斜した形状である場合に適用可能である。

【 0 0 6 1 】

また、例えば、上記実施の形態では、各画素が 2 つのサブ画素に分割される例について説明したが、本発明は、各画素が 3 つ以上のサブ画素に分割されるようにした場合にも適用可能である。

【 0 0 6 2 】

更に、サブ画素の形状は上記実施の形態に限定されず、他の形状、例えば正方形や長方形などでもよく、実質的に画素の平面積が分割されるような構成であればよい。

【 図面の簡単な説明 】

【 0 0 6 3 】

【 図 1 】 本発明の第 1 の実施の形態に係る液晶表示パネルを備えた液晶表示装置の全体構成を示す図である。

【 図 2 】 図 1 に示した液晶表示パネルの画素の等価回路図である。

【 図 3 】 図 1 に示した液晶表示パネルの一部の構造を表す断面図である。

【 図 4 】 図 3 に示した画素電極の平面図である。

【 図 5 】 図 4 に示した画素電極をばらばらに表した平面図である。

【図 6】本発明の第 2 の実施の形態に係る画素電極の平面図である。

【図 7】図 6 に示した画素電極をばらばらに表した平面図である。

【図 8】従来のマルチ画素による階調表示の一例を表した図である。

【図 9】図 8 に示した各サブ画素の画素電極および共通電極の構成、並びにその等価回路図である。

【図 10】図 9 に示したスリットの幅を説明するための図である。

【図 11】図 9 に示したスリットの幅を説明するための図である。

【図 12】スリットの幅と透過率との関係を表した図である。

【図 13】図 9 に示した二つの画素電極に逆極性の電圧を印加した場合の、スリットにおける液晶分子の配向を説明するための図である。

【図 14】逆極駆動の画素の構成を表す平面図である。

【図 15】図 14 に示した画素を 2×2 のマトリクスで配置した例を表す平面図である。

【図 16】スリットの幅を狭くした場合の透過率を表す図である。

【図 17】従来の画素の透過率のシミュレーション結果を表す図である。

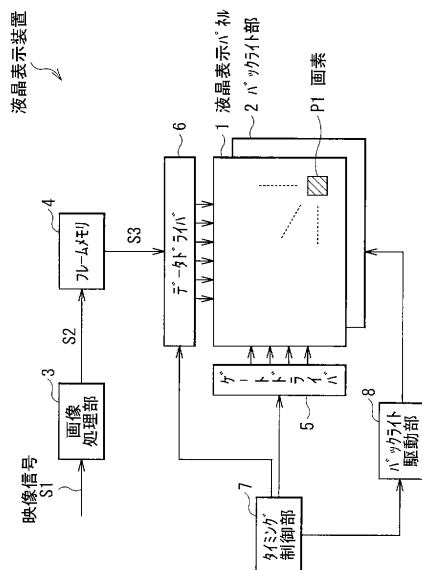
【符号の説明】

【0064】

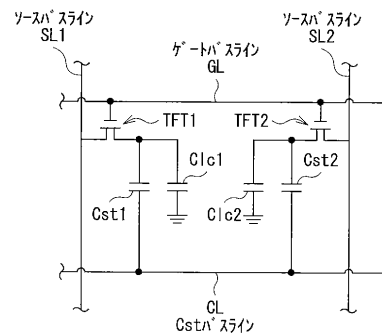
1 ... 液晶表示パネル、10 ... TFT 基板（駆動基板）、11 ... 画素電極、12, 22 ... スリット、13 ... 単位画素電極、20 ... 対向基板、21 ... 共通電極、41, 42 ... 偏光板、P1 ... 画素。

10

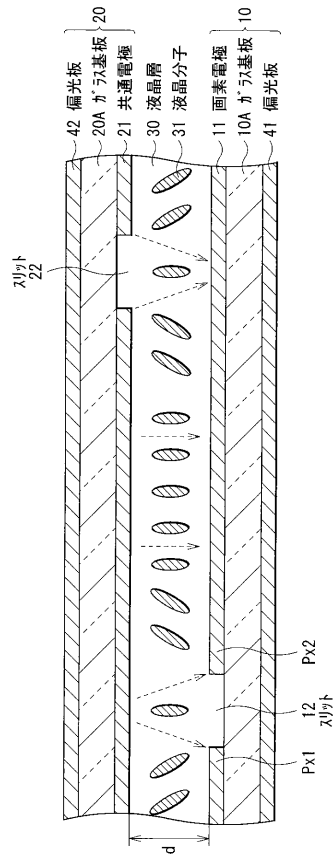
【図 1】



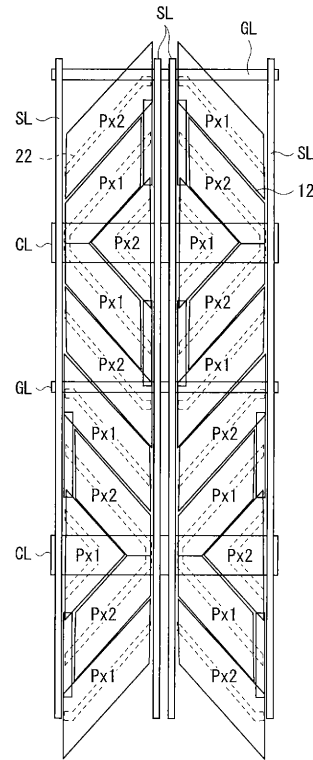
【図 2】



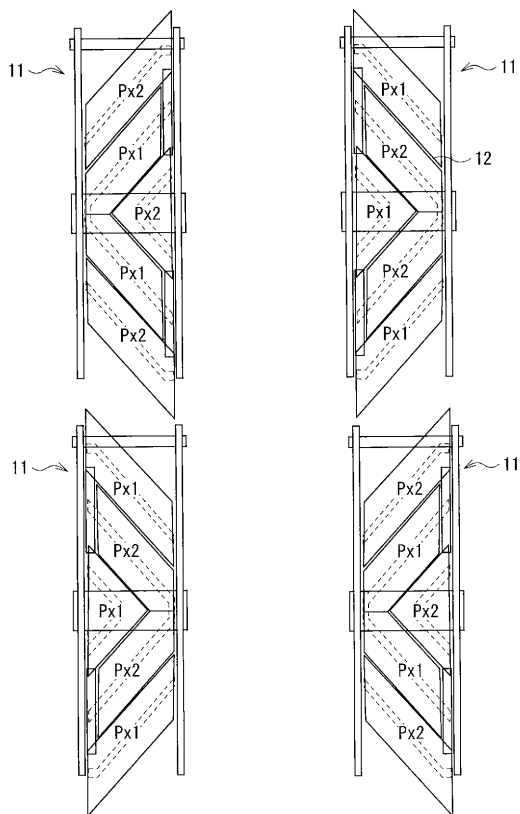
【図 3】



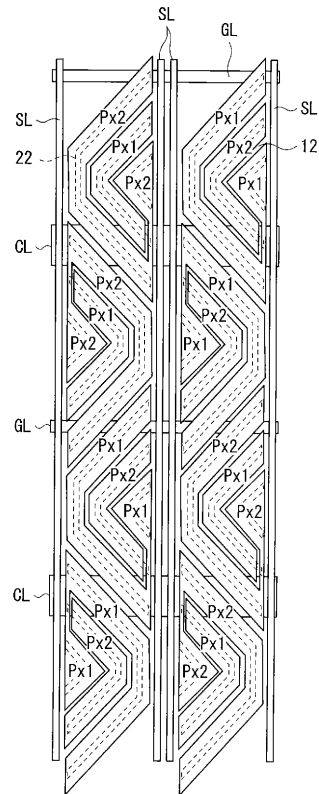
【図 4】



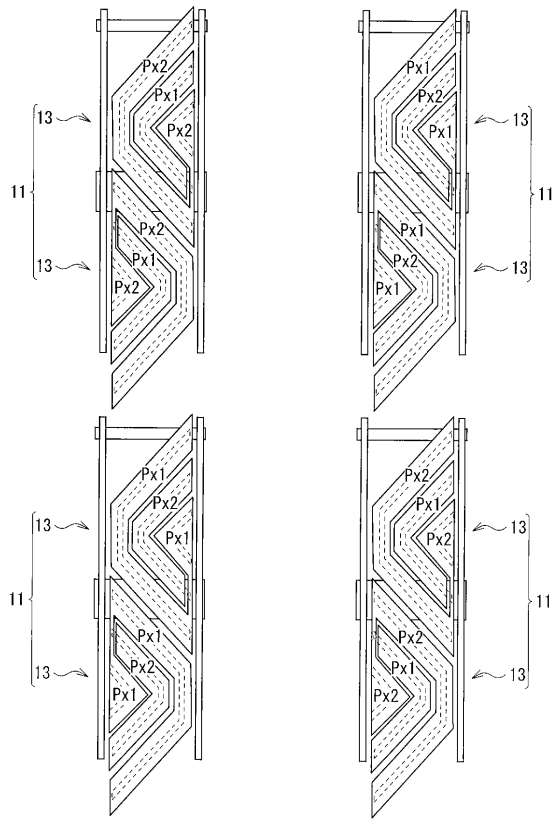
【図 5】



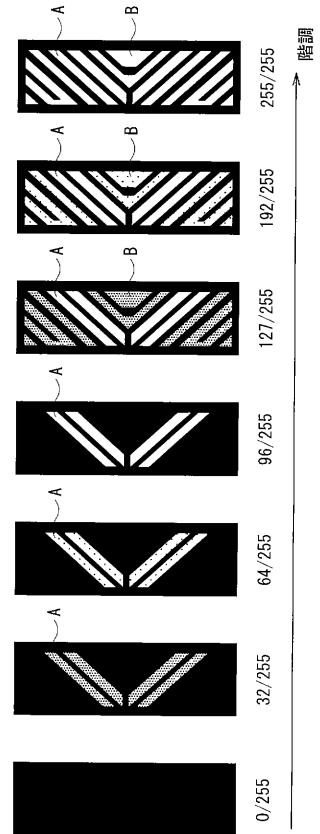
【図 6】



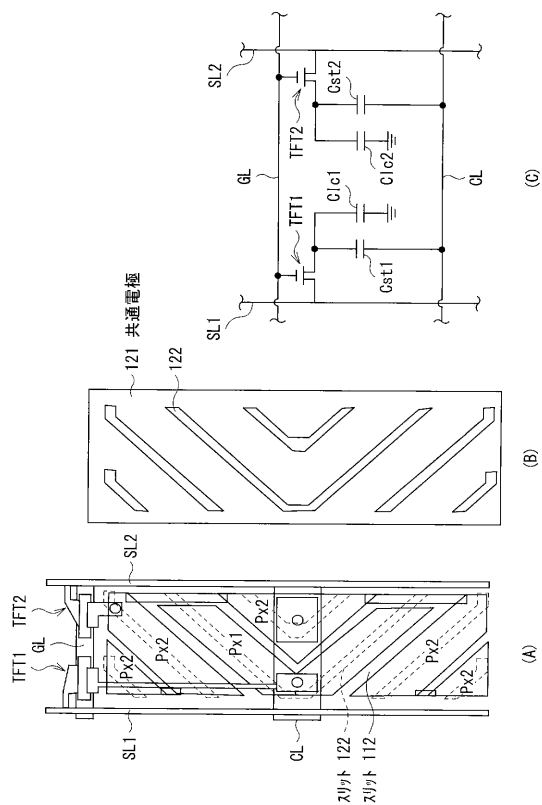
【図 7】



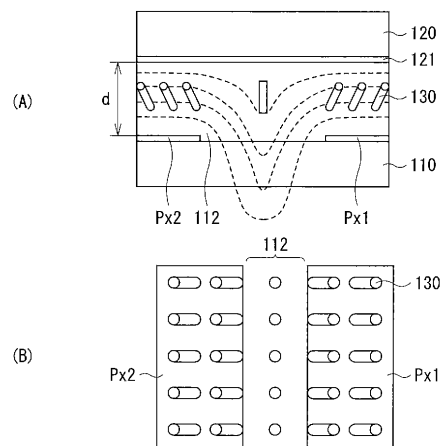
【図 8】



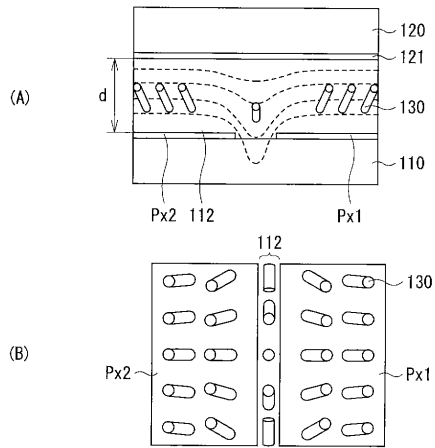
【図 9】



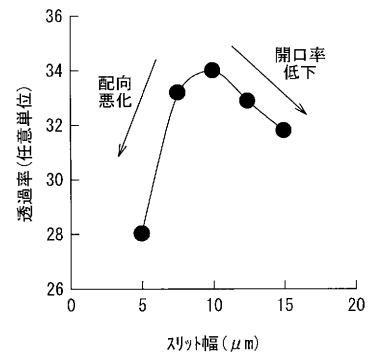
【図 10】



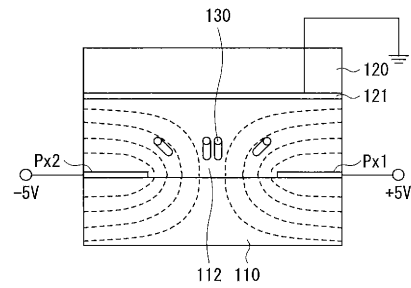
【図 1 1】



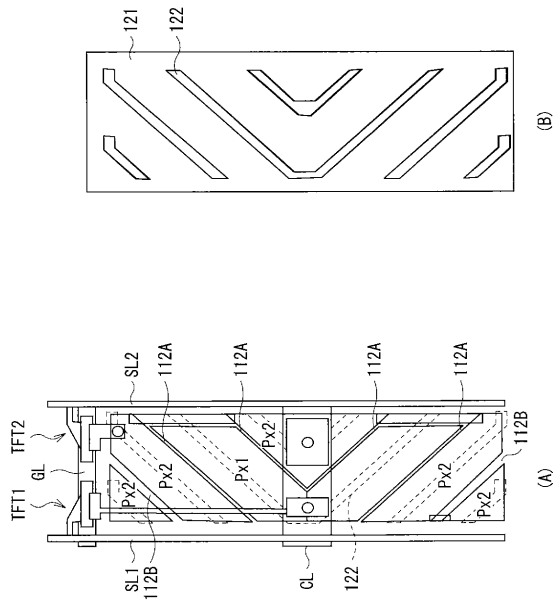
【図 1 2】



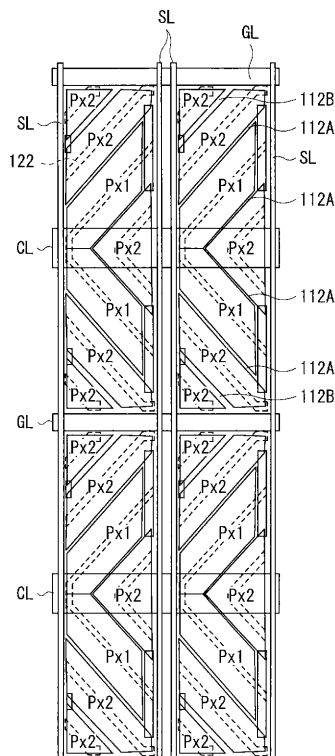
【図 1 3】



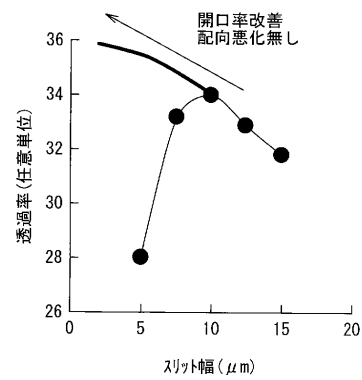
【図 1 4】



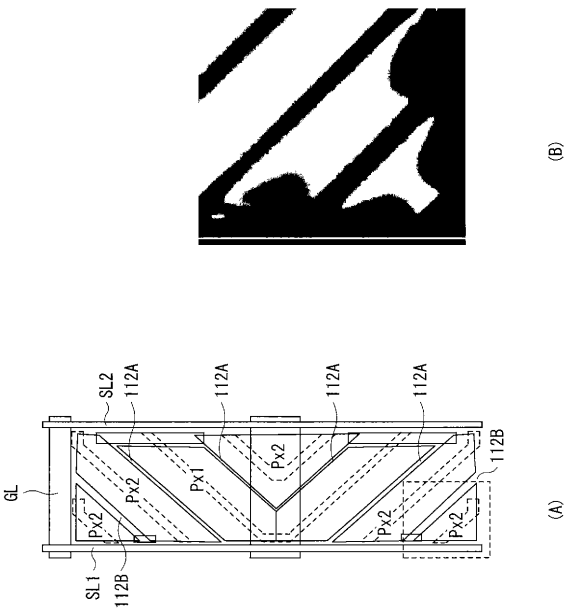
【図 1 5】



【図 16】



【図 17】



フロントページの続き

(56)参考文献 特開2004-185011(JP,A)
特開2007-156495(JP,A)
特開2005-316211(JP,A)
特開2006-209135(JP,A)
特開2006-139288(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 2 F	1 / 1 3 4 3
G 0 2 F	1 / 1 3 3 5
G 0 2 F	1 / 1 3 3