I861028

(19)中華民國智慧財產局

(12)發明說明書公告本 **(11)證書號數：TW I861028 B**

(45)公告日： 中華民國 113 (2024) 年 11 月 11 日

(21)申請案號：108142645 (22)申請日： 中華民國 108 (2019) 年 11 月 22 日

(51)Int. Cl.： ***H10B99/00 (2023.01)*** ***H10B12/00 (2023.01)***

(30)優先權：2018/12/28 日本 2018-248460

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY LABORATORY CO., LTD. (JP)
日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP) ；加藤清 KATO, KIYOSHI (JP) ；大貫達也 ONUKI, TATSUYA (JP)

(74)代理人：林怡芳；童啓哲

(56)參考文獻：

WO 2017/158465A1 WO 2018/167601A1

審查人員：廖崑男

申請專利範圍項數：8 項 圖式數：46 共 177 頁

(54)名稱

記憶體件及包括該記憶體件的半導體裝置

(57)摘要

提供一種新穎的記憶體件。該記憶體件包括電晶體以及電容器件。電晶體包括第一氧化物半導體、設置在第一氧化物半導體的頂面上的第一導電體及第二導電體、形成在第一氧化物半導體上並設置在第一導電體和第二導電體之間的第二氧化物半導體、與第二氧化物半導體接觸地設置的第一絕緣體以及與第一絕緣體接觸地設置的第三導電體。電容器件包括第二導電體、第二導電體上的第二絕緣體以及第二絕緣體上的第四導電體。第一氧化物半導體包括比第一導電體及第二導電體的厚度深的槽部。

指定代表圖：

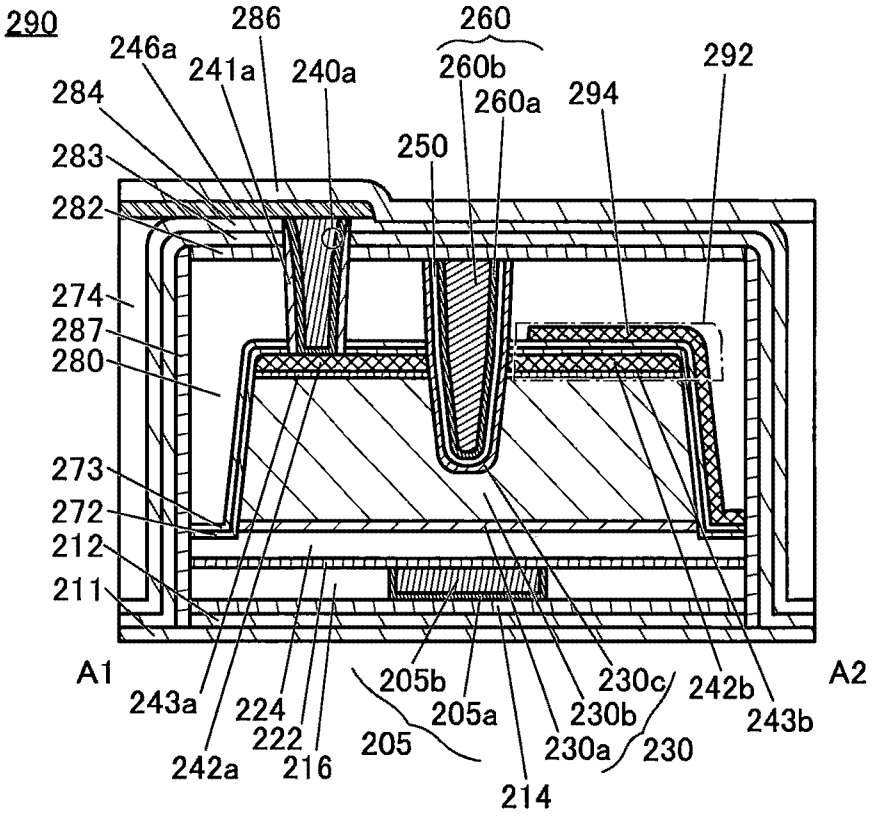


圖1B

符號簡單說明：

205・・・導電體

205a・・・導電體

205b・・・導電體

211・・・絕緣體

212・・・絕緣體

214・・・絕緣體

216・・・絕緣體

222・・・絕緣體

224・・・絕緣體

230・・・氧化物

230a・・・氧化物

230b・・・氧化物

230c・・・氧化物

240a・・・導電體

241a・・・絕緣體

242a・・・導電體

242b・・・導電體

243a・・・氧化物

243b・・・氧化物

246a・・・導電體

250・・・絕緣體

260・・・導電體

260a・・・導電體

260b・・・導電體

272・・・絕緣體

273・・・絕緣體

274・・・絕緣體

280・・・絕緣體

282・・・絕緣體

283・・・絕緣體

284・・・絕緣體

286・・・絕緣體

287・・・絕緣體

290・・・記憶體件

292・・・電容器件

294・・・導電體

I861028

發明摘要

【發明名稱】(中文/英文)

記憶體件及包括該記憶體件的半導體裝置

【中文】

提供一種新穎的記憶體件。該記憶體件包括電晶體以及電容器件。電晶體包括第一氧化物半導體、設置在第一氧化物半導體的頂面上的第一導電體及第二導電體、形成在第一氧化物半導體上並設置在第一導電體和第二導電體之間的第二氧化物半導體、與第二氧化物半導體接觸地設置的第一絕緣體以及與第一絕緣體接觸地設置的第三導電體。電容器件包括第二導電體、第二導電體上的第二絕緣體以及第二絕緣體上的第四導電體。第一氧化物半導體包括比第一導電體及第二導電體的厚度深的槽部。

【英文】

【代表圖】

【本案指定代表圖】：第（1B）圖。

【本代表圖之符號簡單說明】：

205　導電體
205a　導電體
205b　導電體
211　絕緣體
212　絕緣體
214　絕緣體
216　絕緣體
222　絕緣體
224　絕緣體
230　氧化物
230a　氧化物
230b　氧化物
230c　氧化物
240a　導電體
241a　絕緣體
242a　導電體
242b　導電體
243a　氧化物
243b　氧化物
246a　導電體
250　絕緣體
260　導電體
260a　導電體
260b　導電體
272　絕緣體
273　絕緣體
274　絕緣體
280　絕緣體

282 絕緣體
283 絕緣體
284 絕緣體
286 絕緣體
287 絕緣體
290 記憶體件
292 電容器件
294 導電體

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

（本說明書格式、順序，請勿任意更動）

【發明名稱】（中文/英文）

記憶體件及包括該記憶體件的半導體裝置

【技術領域】

[0001]

本發明係關於一種記憶體件的結構。本發明特別關於一種動態型 RAM（Dynamic Random Access Memory：DRAM）的結構。

[0002]

注意，本發明的一個實施方式不侷限於上述技術領域。本說明書等所公開的發明的技術領域係關於一種物體、方法或製造方法。另外，本發明的一個實施方式係關於一種製程（process）、機器（machine）、產品（manufacture）或者組合物（composition of matter）。由此，更明確而言，作為本說明書所公開的本發明的一個實施方式的技術領域一個例子可以舉出半導體裝置、顯示裝置、發光裝置、蓄電裝置、攝像裝置、記憶體裝置、這些裝置的驅動方法或者這些裝置的製造方法。

[0003]

注意，在本說明書等中，半導體裝置是指能夠藉由利用半導體特性而工作的元件、電路或裝置等。作為一個例子，電晶體、二極體等半導體元件為半導體裝置。作為另一個例子，包括半導體元件的電路為半導體裝置。作為另一個例子，具備包括半導體元件的電路的裝置為半導體裝置。

【先前技術】

[0004]

作為記憶體件的 DRAM 正在進行低成本化，並且為了進一步實現低成本化，積極地進行大電容化的研究開發。例如，雖然藉由改變記憶單元的佈局及進行元件的微型化可以實現大電容化，但是記憶單元尺寸的縮小、元件的小型化是有限度的。

[0005]

作為記憶單元的佈局，已公開了如下結構：藉由三維地層疊其半導體層使用矽（Si）的電晶體來縮小記憶單元尺寸的結構；以及藉由層疊其半導體層使用氧化物半導體（Oxide Semiconductor：OS）的電晶體（以下，OS

電晶體）來縮小記憶單元尺寸的結構等（參照專利文獻 1 及專利文獻 2）。

[0006]

[專利文獻 1]日本專利申請公開第平 11-40772 號公報

[專利文獻 2]日本專利申請公開第 2013-145875 號公報

【發明內容】

[0007]

如專利文獻 1 及專利文獻 2 所示，對縮小記憶單元尺寸的結構等積極地進行深入研究，但是還有改善的餘地。

[0008]

因此，本發明的一個實施方式的目的之一是提供一種新穎的記憶體件。此外，本發明的一個實施方式的目的之一是提供一種具有新穎的結構的記憶體件，其中存儲電容得到提高且資料的可靠性優異。此外，本發明的一個實施方式的目的之一是提供一種具有新穎的結構的記憶體件，其中能夠縮小記憶單元的電路面積來實現小型化。此外，本發明的一個實施方式的目的之一是提供一種包括上述新穎的記憶體件的半導體裝置。

[0009]

注意，本發明的一個實施方式的目的不侷限於上述列舉的目的。上述列舉的目的並不妨礙其他目的的存在。另外，其他目的是本部分沒有提到而將在下面的記載中進行說明的目的。所屬技術領域的通常知識者可以從說明書或圖式等的記載中導出並適當抽出本部分沒有提到的目的。此外，本發明的一個實施方式實現上述目的及/或其他目的中的至少一個目的。

[0010]

本發明的一個實施方式包括電晶體以及電容器件，其中，電晶體包括第一氧化物半導體、設置在第一氧化物半導體的頂面的第一導電體及第二導電體、形成在第一氧化物半導體上且設置在第一導電體和第二導電體之間的第二氧化物半導體、與第二氧化物半導體接觸地設置的第一絕緣體以及與第一絕緣體接觸地設置的第三導電體，電容器件包括第二導電體、第二導電體上的第二絕緣體以及第二絕緣體上的第四導電體，並且，第一氧化物半導體包括比第一導電體及第二導電體的厚度還深的槽部。

[0011]

此外，在上述實施方式中，第二氧化物半導體、第一絕緣體及第三導電體較佳為嵌入槽部中，且第二氧化物半導體較佳為具有曲率。

[0012]

此外，在上述各方式中，第一氧化物半導體及第二氧化物半導體較佳為各自包含銦、元素 M（M 是鎵、鈰或錫）及鋅。

[0013]

此外，在上述各方式中，第一氧化物半導體較佳為包括其銦的原子個數比高於第二氧化物半導體的區域。

[0014]

此外，在上述各方式中，第一氧化物半導體及第二氧化物半導體較佳為各自具有結晶性。

[0015]

此外，本發明的另一個實施方式是一種包括上述各方式的記憶體件的半導體裝置。在將上述記憶體件作為第一記憶體件的情況下，半導體裝置包括第一記憶體件、第一記憶體件上的第 n（n 是 2 以上的自然數）記憶體件以及電連接到第一記憶體件及第 n 記憶體件的包含矽的器件，且包含矽的器件、第一記憶體件、第 n 記憶體件依次層疊地形成。

[0016]

此外，在上述各方式中，第 n 記憶體件較佳為包含氧化物半導體。

[0017]

根據本發明的一個實施方式，可以提供一種新穎的記憶體件。此外，根據本發明的一個實施方式，可以提供一種具有新穎的結構的記憶體件，其中存儲電容得到提高且資料的可靠性優異。此外，根據本發明的一個實施方式，可以提供一種具有新穎的結構的記憶體件，其中能夠縮小記憶單元的電路面積來實現小型化。此外，根據本發明的一個實施方式，可以提供一種包括上述新穎的記憶體件的半導體裝置。

[0018]

注意，這些效果的記載不妨礙其他效果的存在。本發明的一個實施方式不一定需要實現所有上述效果。另外，上述效果以外的效果從說明書、圖式、申請專利範圍等的記載中看來是顯而易見的，並且可以從說明書、圖式、申請專利範圍等的記載中抽取上述效果以外的效果。

【圖式簡單說明】

在圖式中：

[0019]

圖 1A 是根據本發明的一個實施方式的半導體裝置的俯視圖，圖 1B 是根據本發明的一個實施方式的半導體裝置的剖面圖。

圖 2A 和圖 2B 是根據本發明的一個實施方式的半導體裝置的剖面圖；

圖 3A 是根據本發明的一個實施方式的半導體裝置的俯視圖，圖 3B 是根據本發明的一個實施方式的半導體裝置的剖面圖；

圖 4A 和圖 4B 是根據本發明的一個實施方式的半導體裝置的剖面圖；

圖 5 是根據本發明的一個實施方式的半導體裝置的剖面圖；

圖 6 是根據本發明的一個實施方式的半導體裝置的剖面圖；

圖 7A 是根據本發明的一個實施方式的半導體裝置的俯視圖，圖 7B 至圖 7D 是根據本發明的一個實施方式的半導體裝置的剖面圖；

圖 8A 是根據本發明的一個實施方式的半導體裝置的俯視圖，圖 8B 至圖 8D 是根據本發明的一個實施方式的半導體裝置的剖面圖；

圖 9A 是根據本發明的一個實施方式的半導體裝置的俯視圖，圖 9B 至圖 9D 是根據本發明的一個實施方式的半導體裝置的剖面圖；

圖 10A 是示出根據本發明的一個實施方式的半導體裝置的製造方法的俯視圖，圖 10B 至圖 10D 是示出根據本發明的一個實施方式的半導體裝置的製造方法的剖面圖；

圖 11A 是示出根據本發明的一個實施方式的半導體裝置的製造方法的俯視圖，圖 11B 至圖 11D 是示出根據本發明的一個實施方式的半導體裝置的製造方法的剖面圖；

圖 12A 是示出根據本發明的一個實施方式的半導體裝置的製造方法的俯視圖，圖 12B 至圖 12D 是示出根據本發明的一個實施方式的半導體裝置的製造方法的剖面圖；

圖 13A 是示出根據本發明的一個實施方式的半導體裝置的製造方法的俯視圖，圖 13B 至圖 13D 是示出根據本發明的一個實施方式的半導體裝置的製造方法的剖面圖；

圖 14A 是示出根據本發明的一個實施方式的半導體裝置的製造方法的俯視圖，圖 14B 至圖 14D 是示出根據本發明的一個實施方式的半導體裝置的製造方法的剖面圖；

圖 15A 是示出根據本發明的一個實施方式的半導體裝置的製造方法的俯視圖，圖 15B 至圖 15D 是示出根據本發明的一個實施方式的半導體裝置的製造方法的剖面圖；

圖 16A 是示出根據本發明的一個實施方式的半導體裝置的製造方法的

俯視圖，圖 16B 至圖 16D 是示出根據本發明的一個實施方式的半導體裝置的製造方法的剖面圖；

圖 17A 是示出根據本發明的一個實施方式的半導體裝置的製造方法的俯視圖，圖 17B 至圖 17D 是示出根據本發明的一個實施方式的半導體裝置的製造方法的剖面圖；

圖 18A 是示出根據本發明的一個實施方式的半導體裝置的製造方法的俯視圖，圖 18B 至圖 18D 是示出根據本發明的一個實施方式的半導體裝置的製造方法的剖面圖；

圖 19A 是示出根據本發明的一個實施方式的半導體裝置的製造方法的俯視圖，圖 19B 至圖 19D 是示出根據本發明的一個實施方式的半導體裝置的製造方法的剖面圖；

圖 20A 是示出根據本發明的一個實施方式的半導體裝置的製造方法的俯視圖，圖 20B 至圖 20D 是示出根據本發明的一個實施方式的半導體裝置的製造方法的剖面圖；

圖 21A 是示出根據本發明的一個實施方式的半導體裝置的製造方法的俯視圖，圖 21B 至圖 21D 是示出根據本發明的一個實施方式的半導體裝置的製造方法的剖面圖；

圖 22A 是示出根據本發明的一個實施方式的半導體裝置的製造方法的俯視圖，圖 22B 至圖 22D 是示出根據本發明的一個實施方式的半導體裝置的製造方法的剖面圖；

圖 23A 是示出根據本發明的一個實施方式的半導體裝置的製造方法的俯視圖，圖 23B 至圖 23D 是示出根據本發明的一個實施方式的半導體裝置的製造方法的剖面圖；

圖 24A 是示出根據本發明的一個實施方式的半導體裝置的製造方法的俯視圖，圖 24B 至圖 24D 是示出根據本發明的一個實施方式的半導體裝置的製造方法的剖面圖；

圖 25A 是示出根據本發明的一個實施方式的半導體裝置的製造方法的俯視圖，圖 25B 至圖 25D 是示出根據本發明的一個實施方式的半導體裝置的製造方法的剖面圖；

圖 26A 是示出根據本發明的一個實施方式的半導體裝置的製造方法的俯視圖，圖 26B 至圖 26D 是示出根據本發明的一個實施方式的半導體裝置的製造方法的剖面圖；

圖 27A 和圖 27B 是根據本發明的一個實施方式的半導體裝置的剖面圖；

圖 28 是根據本發明的一個實施方式的半導體裝置的剖面圖；

圖 29A 和圖 29B 是根據本發明的一個實施方式的半導體裝置的剖面圖；

圖 30 是示出根據本發明的一個實施方式的記憶體裝置的結構的剖面圖；

圖 31 是示出根據本發明的一個實施方式的記憶體裝置的結構的剖面圖；

圖 32A 和圖 32B 是示出根據本發明的一個實施方式的記憶體裝置的結構的剖面圖；

圖 33 是示出根據本發明的一個實施方式的記憶體裝置的結構的剖面圖；

圖 34A 是示出根據本發明的一個實施方式的記憶體裝置的結構例子的方塊圖，圖 34B 是示出根據本發明的一個實施方式的記憶體裝置的結構例子的示意圖；

圖 35A 至圖 35H 是示出根據本發明的一個實施方式的記憶體裝置的結構例子的電路圖；

圖 36A 和圖 36B 是示出根據本發明的一個實施方式的記憶體裝置的結構例子的電路圖；

圖 37A 和圖 37B 是根據本發明的一個實施方式的半導體裝置的示意圖；

圖 38A 至圖 38E 是根據本發明的一個實施方式的記憶體裝置的示意圖；

圖 39A 至圖 39C 是示出根據本發明的一個實施方式的半導體裝置的結構例子的方塊圖；

圖 40A 是示出根據本發明的一個實施方式的半導體裝置的結構例子的方塊圖，圖 40B 是示出根據本發明的一個實施方式的半導體裝置的結構例子的電路圖，圖 40C 是示出根據本發明的一個實施方式的半導體裝置的工作例子的時序圖；

圖 41 是示出根據本發明的一個實施方式的半導體裝置的結構例子的方塊圖；

圖 42A 是示出根據本發明的一個實施方式的半導體裝置的結構例子的電路圖，圖 42B 是示出根據本發明的一個實施方式的半導體裝置的工作例子的時序圖；

圖 43 是示出根據本發明的一個實施方式的半導體裝置的方塊圖；

圖 44 是示出根據本發明的一個實施方式的半導體裝置的電路圖；

圖 45A 是示出根據本發明的一個實施方式的電子構件的例子的示意

圖，圖 45B 是示出根據本發明的一個實施方式的電子構件的例子的示意圖；

圖 46A 至圖 46F 是示出根據本發明的一個實施方式的電子裝置的圖。

【實施方式】

[0020]

下面，參照圖式對實施方式進行說明。但是，所屬技術領域的通常知識者可以很容易地理解一個事實，就是實施方式可以以多個不同形式來實施，其方式和詳細內容可以在不脫離本發明的精神及其範圍的條件下被變換為各種各樣的形式。因此，本發明不應該被解釋為僅限定於下面的實施方式所記載的內容中。

[0021]

實施方式 1

在本實施方式中說明本發明的一個實施方式的記憶體件及包括該記憶體件的半導體裝置。

[0022]

本發明的一個實施方式的記憶體件包括電晶體以及電容器件，其中，電晶體包括第一氧化物半導體、設置在第一氧化物半導體的頂面的第一導電體及第二導電體、形成在第一氧化物半導體上且設置在第一導電體和第二導電體之間的第二氧化物半導體、與第二氧化物半導體接觸地設置的第一絕緣體以及與第一絕緣體接觸地設置的第三導電體，電容器件包括第二導電體、第二導電體上的第二絕緣體以及第二絕緣體上的第四導電體，並且，第一氧化物半導體包括比第一導電體及第二導電體的厚度還深的槽部。

[0023]

藉由在第一氧化物半導體中形成比第一導電體及第二導電體的厚度還深的槽部，可以實現第二氧化物半導體、第一絕緣體及第三導電體嵌入槽部中且第二氧化物半導體具有曲率的結構。另外，因為在第一氧化物半導體和第二氧化物半導體的介面或其介面附近設置電晶體的通道形成區域，所以以使其具有曲率的方式形成第二氧化物半導體，從而可以使實效的 L 長度長於從平面看時的 L 長度。

[0024]

當製造包含氧化物半導體的電晶體時，在對第一導電體及第二導電體進行加工，明確而言，在進行蝕刻時，有時第一氧化物半導體的頂部會被

稍微去除。然而，在本發明的一個實施方式中，為了延長實效的 L 長度，以設置在第一導電體及第二導電體的頂部的絕緣體為遮罩對第一氧化物半導體進行加工來形成上述槽部。將槽部的深度（長度）設定為比第一導電體及第二導電體的厚度（膜厚度）大即可，典型的是，槽部的深度為 10nm 以上且 50nm 以下，較佳為 15nm 以上且 30nm 以下。注意，槽部的深度取決於第一導電體及第二導電體的厚度，因此不侷限於上述數值。

[0025]

此外，第一氧化物半導體及第二氧化物半導體較佳為都包含銦、元素 M（M 是鎵、鈰或錫）及鋅。另外，第一氧化物半導體較佳為包括其銦的原子個數比高於第二氧化物半導體的區域。藉由使第一氧化物半導體的銦的原子個數比高於第二氧化物半導體，可以在第一氧化物半導體一側形成通道形成區域。

[0026]

此外，當第一氧化物半導體及第二氧化物半導體各自具有結晶性時，可以實現可靠性高的記憶體件。因為具有結晶性的氧化物半導體可以減少雜質（典型的是氫、水等）的濃度，所以可以提高可靠性。

[0027]

參照圖 1A 至圖 6 說明上述結構的詳細內容。

[0028]

〈記憶體件的結構例子〉

圖 1A 和圖 1B 及圖 2A 和圖 2B 是說明記憶體件 290 的圖。圖 1A 是記憶體件 290 的俯視圖，而圖 1B 是沿著圖 1A 所示的點劃線 A1-A2 的剖面圖。注意，圖 1B 所示的剖面圖相當於電晶體的通道長度方向上的剖面圖。

[0029]

此外，圖 2A 是沿著圖 1A 所示的點劃線 A3-A4 的剖面圖，而圖 2B 是沿著圖 1A 所示的點劃線 A5-A6 的剖面圖。注意，圖 2A 所示的剖面圖相當於電晶體的通道寬度方向上的剖面圖。

[0030]

圖 1A 和圖 1B 以及圖 2A 和圖 2B 所示的記憶體件 290 包括電晶體、電容器件 292 以及連接到該電晶體的佈線。更詳細地說，記憶體件 290 包括絕緣體 211、絕緣體 211 上的絕緣體 212、絕緣體 212 上的絕緣體 214、導電體 205（導電體 205a 及導電體 205b）、絕緣體 214 上的絕緣體 216、絕緣體 222、絕緣體 224、氧化物 230（氧化物 230a、氧化物 230b 及氧化物 230c）、導電

體 242（導電體 242a 及導電體 242b）、氧化物 243（氧化物 243a 及氧化物 243b）、絕緣體 272、絕緣體 273、絕緣體 250 以及導電體 260（導電體 260a 及導電體 260b）。

[0031]

此外，在氧化物 230 的上方設置有絕緣體 280 及絕緣體 280 上的絕緣體 282。另外，以與絕緣體 212、絕緣體 214、絕緣體 216、絕緣體 222、絕緣體 224、絕緣體 272、絕緣體 273、絕緣體 280 及絕緣體 282 的側面接觸的方式設置有絕緣體 287。此外，以覆蓋絕緣體 282 的方式設置有絕緣體 283 及絕緣體 283 上的絕緣體 284。

[0032]

記憶體件 290 包括與導電體 242a 電連接並被用作插頭的導電體 240a。另外，以與導電體 240a 的側面接觸的方式設置有絕緣體 241a。此外，在絕緣體 284 及導電體 240a 上設置有與導電體 240a 電連接並被用作佈線的導電體 246a。另外，在導電體 246a 及絕緣體 274 上設置有絕緣體 286。

[0033]

此外，記憶體件 290 包括電容器件 292。電容器件 292 包括導電體 242b、設置在導電體 242b 上的絕緣體 272 及絕緣體 273 以及設置在絕緣體 273 上的導電體 294。也就是說，電容器件 292 構成 MIM（Metal-Insulator-Metal：金屬-絕緣體-金屬）電容。注意，電容器件 292 所包括的一對電極中的一個，亦即導電體 242b 還可以兼用作電晶體的源極電極或汲極電極。此外，電容器件 292 所包括的介電質層還可以兼用作設置在電晶體中的保護層，亦即絕緣體 272 及絕緣體 273。也就是說，在電容器件 292 的製程中可以兼用電晶體的製程的一部分，從而可以實現生產性高的半導體裝置。另外，由於電容器件 292 所包括的一對電極中的一個，亦即導電體 242b 還被用作電晶體的源極電極或汲極電極，因此可以減少配置有電晶體和電容器件的面積。

[0034]

如圖 2B 所示，在電晶體的通道寬度方向上的剖面中，電容器件 292 包括導電體 242b 的側面與導電體 294 重疊的區域。因為在該區域中還可以形成靜電電容，所以在小面積中也可以得到高靜電電容值。

[0035]

作為導電體 294，例如可以使用在後面說明的可用於導電體 242 的材料。

[0036]

在記憶體件 290 中，導電體 260 被用作電晶體的第一閘極，而導電體

205 被用作電晶體的第二閘極。此外，導電體 242a 及導電體 242b 被用作電晶體的源極電極或汲極電極。

[0037]

氧化物 230 被用作包括電晶體的通道形成區域的半導體。絕緣體 250 被用作第一閘極絕緣體，而絕緣體 222 及絕緣體 224 被用作第二閘極絕緣體。

[0038]

絕緣體 214、絕緣體 272 及絕緣體 273 被用作層間膜。絕緣體 214、絕緣體 272 及絕緣體 273 較佳為使用對氧具有阻擋性的材料或能夠吸留氫的材料形成。藉由將能夠吸留氫的材料用於絕緣體 214、絕緣體 272 及絕緣體 273，可以使記憶體件 290 中的氫量為固定值。作為可以用於絕緣體 214、絕緣體 272 及絕緣體 273 的材料，可以使用 Al 化合物或包含 Al 和元素 Ma（元素 Ma 表示電負性低的元素（反應性高的元素），例如 Mg、Zr、Si、B 等）的化合物。

[0039]

如圖 1B、圖 2A 及圖 2B 所示，記憶體件 290 所包括的電晶體具有絕緣體 282 與氧化物 230c 接觸的結構。藉由採用該結構，可以抑制包含在絕緣體 280 中的氧向導電體 260 一側的擴散。此外，因為包含在絕緣體 280 中的氧可以藉由氧化物 230c 高效地被供應到氧化物 230a 及氧化物 230b，所以可以減少氧化物 230a 及氧化物 230b 中的氧空位來提高電晶體的電特性及可靠性。

[0040]

在圖 1A 和圖 1B 所示的記憶體件 290 所包括的電晶體中，導電體 260 隔著絕緣體 250 自對準地形成在設置於絕緣體 280 等層間膜的開口中。也就是說，導電體 260 隔著絕緣體 250 以嵌入設置於包括絕緣體 280 的層間膜的開口的方式形成。因此，當在導電體 242a 和導電體 242b 之間的區域中配置導電體 260 時，不需要進行導電體 260 的對準。

[0041]

較佳為在設置於包括絕緣體 280 的層間膜的開口內設置氧化物 230c。因此，絕緣體 250 及導電體 260 包括隔著氧化物 230c 與氧化物 230b 和氧化物 230a 的疊層結構重疊的區域。藉由採用該結構，可以連續形成氧化物 230c 及絕緣體 250，從而可以保持氧化物 230 和絕緣體 250 的介面的清潔。因此，介面散射對給載子傳導帶來的影響減少，從而記憶體件 290 所包括的電晶體可以得到高通態電流及高頻率特性。

[0042]

在圖 1A 和圖 1B 所示的記憶體件 290 所包括的電晶體中，主要在氧化物 230c 和氧化物 230b 的介面或介面附近設置有通道形成區域。另外，氧化物 230c 沿著形成在絕緣體 280、絕緣體 272、絕緣體 273、導電體 242（導電體 242a、導電體 242b）、氧化物 243（氧化物 243a、氧化物 243b）及氧化物 230b 的開口形成為 U 字狀（U-Shape）。

[0043]

例如，在使電晶體的通道長度微型化（典型的是 5nm 以上且小於 60nm，較佳為 10nm 以上且 30nm 以下）時，藉由採用圖 1A 和圖 1B 所示的記憶體件 290 所包括的電晶體結構，可以延長實效的 L 長度。作為一個例子，當導電體 242a 和導電體 242b 之間的距離為 20nm 時，實效的 L 長度可以為 40nm 以上 60nm 以下，亦即導電體 242a 和導電體 242b 之間的距離（亦即最小特徵尺寸）的 2 倍以上且 3 倍以下左右。因此，圖 1A 和圖 1B 所示的記憶體件 290 成為實現優異的微型化的電晶體及電容器件的結構之一。

[0044]

在圖 1A 和圖 1B 所示的記憶體件 290 中，絕緣體 211 與絕緣體 283 接觸，且在絕緣體 283 的內側設置有絕緣體 212、絕緣體 214、絕緣體 287 及絕緣體 282。此外，在絕緣體 283 的外側設置有絕緣體 284。例如，較佳為使用具有俘獲並固定氫的功能的材料形成絕緣體 214、絕緣體 287 及絕緣體 282，並使用具有抑制氫及氧的擴散的功能的材料形成絕緣體 211、絕緣體 212、絕緣體 283 及絕緣體 284。作為絕緣體 214、絕緣體 287 及絕緣體 282，典型地可以使用氧化鋁。此外，作為絕緣體 211、絕緣體 212、絕緣體 283 及絕緣體 284，典型地可以使用氮化矽。

[0045]

可以將上述結構稱為利用氧化鋁膜而成的第一密封結構和利用配置在第一密封結構的外側的氮化矽膜的第二密封結構的雙層密封結構。此外，藉由對第二密封結構還增加另一個氮化矽膜，也可以實現三層密封結構。藉由採用上述結構，可以控制記憶體件 290 中的氫濃度和氧濃度中一者或兩者，從而可以提供可靠性高的記憶體件。注意，本發明的一個實施方式的記憶體件 290 不侷限於上述結構。例如，也可以不在記憶體件 290 中設置密封結構。圖 3A 和圖 3B 及圖 4A 和圖 4B 示出不設置密封結構的一個結構例子。在此，圖 3A、圖 3B、圖 4A 及圖 4B 分別對應於圖 1A、圖 1B、圖 2A 及圖 2B。除了不設置密封結構這點之外，圖 3A 和圖 3B 及圖 4A 和圖 4B

所示的記憶體件 290 與圖 1A 和圖 1B 及圖 2A 和圖 2B 所示的記憶體件 290 相同。

[0046]

〈記憶體件的應用例子〉

接著，參照圖 5 及圖 6 說明圖 1A 和圖 1B 及圖 2A 和圖 2B 所示的記憶體件 290 的應用例子。

[0047]

圖 5 及圖 6 是具有在縱方向上層疊有多個記憶體件 290 的結構的記憶體件的剖面圖的一個例子。

[0048]

圖 5 例示出層疊有記憶體件 290_1、記憶體件 290_2 及記憶體件 290_n（n 表示 3 以上的自然數）的結構。此外，如圖 5 所示，記憶體件 290_2 具有其中的被用作插頭的導電體 240a 的位置與記憶體件 290_1 的位置不同的結構。在採用該結構時有如下效果：可以減小與相鄰的記憶體件之間的寄生電容；或者可以提高電路設計的彈性。注意，在圖 5 所示的結構中示出在上下的記憶體件中使被用作插頭的導電體 240a 的位置交替的結構，但是不侷限於此，例如，也可以以在俯視時以導電體 260 為中心旋轉每 90°的方式配置被用作插頭的導電體 240a 及電容器件 292。

[0049]

或者，也可以採用在從通道寬度方向的剖面看時被用作插頭的導電體 240a 配置於相同位置的結構。圖 6 示出該結構的一個例子。藉由採用圖 6 的結構，例如，相鄰的記憶體件可以共用寫入用位元線。也就是說，可以在多個記憶體件 290 中共用位元線等，所以該結構易於微型化。另外，圖 6 示出相鄰的記憶體件共用與位元線電連接的被用作導電體 240a 的結構，但是不侷限於此。例如，可以採用相鄰的記憶體件共用電晶體的背閘極電極等的結構。

[0050]

在圖 5 及圖 6 中，記憶體件 290_1、記憶體件 290_2 及記憶體件 290_n 具有被絕緣體 287、絕緣體 283 及絕緣體 284 覆蓋的結構。絕緣體 283 和絕緣體 211 在記憶體件 290_1 的外周相接觸。此外，絕緣體 284 的上方和絕緣體 286 相接觸。

[0051]

在記憶體件 290_1 和記憶體件 290_2 之間設置有絕緣體 282、絕緣體

296、絕緣體 298 及絕緣體 214。

[0052]

絕緣體 296 及絕緣體 298 例如可以使用與絕緣體 211 同樣的材料。例如，可以使用氧化鋁形成絕緣體 282 及絕緣體 214，而可以使用氮化矽形成絕緣體 296 及絕緣體 298。

[0053]

在圖 1A 及圖 1B 所示的電晶體 200 中，在導電體 205 的下方有絕緣體 211、絕緣體 212 及絕緣體 214 的三層的疊層結構，但是由於在圖 5、圖 6 所示的記憶體件 290_2 至記憶體件 290_n 所包括的電晶體中，可以共用形成在下層的記憶體件所包括的電晶體的頂部的層的一部分，因此可以縮減三層的疊層結構中的一層或兩層。也就是說，在上下的記憶體件共用部分絕緣體時，可以實現生產性高的半導體裝置。

[0054]

實施方式 2

下面，說明包括根據本發明的一個實施方式的電晶體 200 的半導體裝置的一個例子及其製造方法。

[0055]

在上述實施方式中說明了記憶體件 290，在本實施方式中說明可以用於記憶體件 290 的電晶體或與該電晶體有關的組件等。

[0056]

〈半導體裝置的結構例子 1〉

圖 7A、圖 7B、圖 7C 及圖 7D 是根據本發明的一個實施方式的電晶體 200 及電晶體 200 附近的俯視圖及剖面圖。

[0057]

圖 7A 是包括電晶體 200 的半導體裝置的俯視圖。此外，圖 7B、圖 7C 及圖 7D 是該半導體裝置的剖面圖。在此，圖 7B 是在圖 7A 中由點劃線 A1-A2 表示的部分的剖面圖，也是電晶體 200 的通道長度方向上的剖面圖。圖 7C 是在圖 7A 中由點劃線 A3-A4 表示的部分的剖面圖，也是電晶體 200 的通道寬度方向上的剖面圖。圖 7D 是在圖 7A 中由點劃線 A5-A6 表示的部分的剖面圖。注意，在圖 7A 的俯視圖中，為了使圖更明瞭化省略了部分組件。

[0058]

在此，在電晶體 200 中，較佳為將被用作氧化物半導體的金屬氧化物

（下面也稱為氧化物半導體）用於包括形成通道的區域（下面也稱為通道形成區域）的半導體。

[0059]

作為氧化物半導體較佳為使用 In-M-Zn 氧化物（元素 M 為選自鋁、鎵、釔、銅、釩、鈹、硼、鈦、鐵、鎳、鍺、鋯、鉬、鑭、鈰、釹、鉿、鉭、鎢和鎂等中的一種或多種）等金屬氧化物。此外，作為氧化物半導體也可以使用 In-Ga 氧化物、In-Zn 氧化物。

[0060]

由於將氧化物半導體用於通道形成區域的電晶體 200 的非導通狀態下的洩漏電流極小，所以可以提供低功耗的半導體裝置。此外，由於氧化物半導體可以利用濺射法等形成，所以可以用於構成高集成型半導體裝置的電晶體 200。

[0061]

另一方面，在使用氧化物半導體的電晶體中，其電特性因氧化物半導體中的雜質及氧空位而變動，因此該電晶體容易具有常開啟特性（該特性是指在不對閘極電極施加電壓的情況下通道也存在且電流流過電晶體）。

[0062]

於是，較佳為使用雜質濃度及缺陷態密度得到減少的氧化物半導體。注意，在本說明書等中，將雜質濃度低且缺陷態密度低的情況稱為高純度本質或實質上高純度本質。

[0063]

因此，較佳為儘可能減少氧化物半導體中的雜質濃度。另外，作為氧化物半導體中的雜質，例如有氫、氮、鹼金屬、鹼土金屬、鐵、鎳、矽等。

[0064]

特別是，作為包含在氧化物半導體中的雜質的氫有時在氧化物半導體中形成氧空位（也稱為 V_O：oxygen vacancy）。此外，氫進入氧空位中的缺陷（下面有時稱為 V_OH）可能會生成成為載子的電子。再者，氫的一部分可能會與鍵合於金屬原子的氧起反應而生成成為載子的電子。

[0065]

因此，使用包含多量的氫的氧化物半導體的電晶體容易具有常開啟特性。此外，因為氧化物半導體中的氫因受熱、電場等作用而容易移動，所以當氧化物半導體包含多量的氫時可能會導致電晶體的可靠性降低。

[0066]

由此，作為用於電晶體的氧化物半導體，較佳為使用氫等雜質及氧空位得到減少的高純度本質的氧化物半導體。

[0067]

於是，為了抑制從外部混入的雜質，較佳為使用抑制雜質的擴散的材料（下面也稱為對雜質具有阻擋性的材料）來密封電晶體 200。

[0068]

注意，在本說明書中，阻擋性是指抑制所對應的物質的擴散的功能（也可以說透過性低）。或者，是指俘獲並固定所對應的物質（也稱為吸雜）的功能。

[0069]

例如，作為具有抑制氫及氧的擴散的功能的材料，有氧化鋁、氧化鉿、氧化鎵、銦鎵鋅氧化物、氮化矽或氮氧化矽等。特別是，氮化矽或氮氧化矽對氫具有高阻擋性，所以較佳為被用作密封材料。

[0070]

例如，作為具有俘獲並固定氫的功能的材料，有氧化鋁、氧化鉿、氧化鎵、銦鎵鋅氧化物等金屬氧化物。

[0071]

在此，密封電晶體 200 的結構體可以以單層或兩層以上的疊層結構設置。特別是，較佳為將密封電晶體 200 的結構體設置為疊層結構，更佳為將其設置為嵌套結構。

[0072]

明確而言，對密封電晶體 200 的結構體具有兩層結構的情況進行說明。密封電晶體 200 的結構體包括與電晶體 200 鄰接的第一結構體及設置於第一結構體外部的第二結構體。也就是說，電晶體 200 和第二結構體隔著第一結構體設置。

[0073]

在上述結構中，第一結構體較佳為使用具有俘獲並固定氫的功能的材料，而第二結構體較佳為使用具有抑制氫及氧的擴散的功能的材料。

[0074]

當將具有俘獲並固定氫的功能的材料用於與電晶體 200 鄰接一側時，電晶體 200 中的氫或設置於第一結構體和電晶體 200 之間的層間膜中的氫被第一結構體俘獲並固定，從而可以降低電晶體 200 中的氫濃度。

[0075]

另一方面，第二結構體隔著第一結構體密封電晶體 200。因此，第二結構體可以抑制氫從電晶體 200 外部向第二結構體內部（電晶體 200 一側）擴散。也就是說，第一結構體可以高效地俘獲並固定存在於第二結構體的內部結構中的氫。

[0076]

作為上述結構，明確而言，第一結構體可以使用氧化鋁等金屬氧化物，而第二結構體可以使用氮化矽等氮化物。更明確而言，較佳為在電晶體 200 和氮化矽膜之間配置氧化鋁膜。

[0077]

再者，作為用於結構體的材料，藉由適當地設定成膜條件可以降低膜中的氫濃度。

[0078]

一般來說，採用 CVD 法形成的膜的覆蓋性比採用濺射法形成的膜的覆蓋性高。另一方面，用於 CVD 法的化合物氣體在很多情況下包含氫，因此採用 CVD 法形成的膜的含氫量比採用濺射法形成的膜的含氫量多。

[0079]

因此，例如，與電晶體 200 鄰接的膜較佳為使用其氫濃度得到降低的膜（明確而言，採用濺射法形成的膜）。另一方面，在作為抑制雜質的擴散的膜使用其覆蓋性高且其膜中的氫濃度較高的膜（明確而言，採用 CVD 法形成的膜）時，較佳為在電晶體 200 和其氫濃度較高且其覆蓋性高的膜之間配置具有俘獲並固定氫的功能且氫濃度被降低了的膜。

[0080]

也就是說，作為與電晶體 200 鄰接地配置的膜，較佳為使用膜中的氫濃度較低的膜。另一方面，較佳為將氫濃度較高的膜與電晶體 200 分開配置。

[0081]

作為上述結構，明確而言，在使用採用 CVD 法形成的氮化矽膜密封電晶體 200 時，較佳為在電晶體 200 和採用 CVD 法形成的氮化矽膜之間配置採用濺射法形成的氧化鋁膜。更佳的是，較佳為在採用 CVD 法形成的氮化矽膜和採用濺射法形成的氧化鋁膜之間配置採用濺射法形成的氮化矽膜。

[0082]

另外，在採用 CVD 法進行成膜的情況下，也可以藉由使用不包含氫原子或氫原子含量少的化合物氣體進行成膜來降低包含在所形成的膜中的氫

的濃度。

[0083]

下面，參照圖 7A 至圖 7D 說明密封電晶體 200 的具體結構。

[0084]

本發明的一個實施方式的半導體裝置包括基板（未圖示）上的絕緣體 211、絕緣體 211 上的絕緣體 212、絕緣體 212 上的絕緣體 214、絕緣體 214 上的電晶體 200、電晶體 200 上的絕緣體 280、絕緣體 280 上的絕緣體 282、覆蓋絕緣體 280 的側面的絕緣體 287、覆蓋絕緣體 282 及絕緣體 287 的絕緣體 283、絕緣體 283 上的絕緣體 284 以及與絕緣體 284 接觸地設置的絕緣體 274。

[0085]

另外，絕緣體 211、絕緣體 212、絕緣體 216、絕緣體 214、絕緣體 280、絕緣體 282、絕緣體 287、絕緣體 283、絕緣體 284 及絕緣體 274 被用作層間膜。

[0086]

在此，當在氧化物半導體附近設置包括過量氧區域的結構體時，可以藉由使該包括過量氧區域的結構體中的過量氧擴散到形成在氧化物半導體中的氧空位來填補該氧空位。

[0087]

因此，與氧化物 230c 接觸的絕緣體 280 較佳為藉由加熱使氧脫離。在本說明書中，有時將藉由加熱脫離的氧稱為過量氧。此外，有時將超過化學計量組成的氧稱為過量氧。另外，將包含超過化學計量組成的氧的區域稱為過量氧區域。

[0088]

明確而言，作為包括過量氧區域的絕緣體，較佳為使用藉由加熱使部分氧脫離的氧化物材料。藉由加熱使氧脫離的氧化物（下面也稱為包括過量氧區域的絕緣體材料）是指在 TDS（Thermal Desorption Spectroscopy：熱脫附譜）分析中氧分子的脫離量為 1.0×10^{18}molecules/cm^3 以上，較佳為 1.0×10^{19}molecules/cm^3 以上，進一步較佳為 2.0×10^{19}molecules/cm^3 以上，或者 3.0×10^{20}molecules/cm^3 以上的氧化物膜。另外，進行上述 TDS 分析時的膜的表面溫度較佳為在 100℃以上且 700℃以下，或者 100℃以上且 400℃以下的範圍內。

[0089]

明確而言，作為絕緣體 280，可以使用具有過量氧的氧化矽、氧氮化矽、氮氧化矽、氮化矽、添加有氟的氧化矽、添加有碳的氧化矽、添加有碳及氮的氧化矽、具有空孔的氧化矽。尤其是，氧化矽及氧氮化矽具有熱穩定性，所以是較佳的。

[0090]

尤其是，因為氧化矽及氧氮化矽具有熱穩定性，所以較佳為將其用作絕緣體 280。此外，因為氧化矽、氧氮化矽、具有空孔的氧化矽等的材料容易形成包含藉由加熱脫離的氧的區域，所以是較佳的。另外，絕緣體 280 也可以具有層疊了上述材料的結構，例如，可以採用藉由濺射法形成的氧化矽和層疊在其上的藉由 CVD 法形成的氧氮化矽的疊層結構。此外，還可以在其上層疊氮化矽。

[0091]

當在絕緣體 280 中設置過量氧區域時，對絕緣體 280 引入氧（至少包含氧自由基、氧原子、氧離子中的任一個）來形成包含過量氧的區域。

[0092]

明確而言，作為氧引入處理的一個例子，有使用濺射裝置在絕緣體 280 上層疊金屬氧化物的方法。例如，藉由利用濺射裝置在氧氣體氛圍下形成絕緣體 282，可以在形成絕緣體 282 的同時對絕緣體 280 引入氧。

[0093]

特別是，作為絕緣體 280 較佳為使用氧氮化矽，而作為絕緣體 282 較佳為使用氧化鋁。藉由在氧氮化矽膜上藉由濺射法形成氧化鋁膜，可以在被形成的氧化矽中形成過量氧區域。

[0094]

另外，較佳為降低絕緣體 280 中的水或氫等雜質濃度。

[0095]

此外，藉由將對雜質具有阻擋性的材料用於絕緣體 211、絕緣體 212、絕緣體 214、絕緣體 282、絕緣體 287、絕緣體 283 及絕緣體 284，可以將電晶體 200 所包括的氧化物半導體保持為高純度本質。

[0096]

明確而言，絕緣體 214、絕緣體 287 及絕緣體 282 具有密封電晶體 200 及絕緣體 280 的結構（下面也稱為密封結構）。例如，如圖 7A 至圖 7D 所示，在電晶體 200 的下方設置絕緣體 214，在電晶體 200 的上方設置絕緣體 282。此外，在電晶體 200 的側面絕緣體 287 以側壁狀設置。再者，側壁狀的絕緣

體 287 的下端部與絕緣體 214 的端部接觸，且絕緣體 287 的上端部與絕緣體 282 的端部接觸。

[0097]

在此，絕緣體 287 和絕緣體 214 較佳為牢固地接觸。由此，為了設置絕緣體 214 和絕緣體 287 牢固地接觸的區域，較佳為以與設置於絕緣體 214 的下方的絕緣體 212 的側面接觸的方式設置絕緣體 287。

[0098]

因此，具有由絕緣體 214、絕緣體 287 及絕緣體 282 包圍電晶體 200 的結構。

[0099]

在此，絕緣體 214、絕緣體 287 及絕緣體 282 使用相同的材料。此外，絕緣體 214、絕緣體 287 及絕緣體 282 較佳為採用相同的條件形成。藉由使膜性質相同的絕緣體 214、絕緣體 287 及絕緣體 282 彼此接觸，可以實現密封性高的密封結構。

[0100]

此外，絕緣體 214、絕緣體 287 及絕緣體 282 較佳為使用具有俘獲並固定氫的功能的材料。明確而言，可以使用氧化鋁、氧化鉿、氧化鎵、銦鎵鋅氧化物等金屬氧化物。

[0101]

形成密封結構的絕緣體 214、絕緣體 287 及絕緣體 282 與電晶體 200 或絕緣體 280 接觸地設置。因此，藉由俘獲並固定混入電晶體 200 或絕緣體 280 中的氫，可以降低電晶體 200 所包括的氧化物半導體的氫濃度。

[0102]

此外，作為密封電晶體 200 的結構的絕緣體 214、絕緣體 287 及絕緣體 282 被由絕緣體 211、絕緣體 212、絕緣體 283 而成的密封結構包圍。

[0103]

例如，如圖 7A 至圖 7D 所示，在絕緣體 214 的下方配置絕緣體 211 及絕緣體 212，並覆蓋絕緣體 287 及絕緣體 282 地設置絕緣體 283。此外，藉由在由絕緣體 214、絕緣體 287 及絕緣體 282 而成的密封電晶體 200 的結構的外部使絕緣體 211 與絕緣體 283 接觸，形成第二層密封結構。

[0104]

在此，絕緣體 211、絕緣體 212 及絕緣體 283 較佳為使用具有抑制氫及氧的擴散的功能的材料。特別是，由於氮化矽或氮氧化矽對氫具有高阻擋

性，因此較佳為將其用作形成密封結構的絕緣體。

[0105]

此外，較佳為在覆蓋電晶體 200 的上方的絕緣體 283 的上方設置覆蓋性高的絕緣體 284。另外，絕緣體 284 較佳為使用與絕緣體 211、絕緣體 212 及絕緣體 283 相同的材料。

[0106]

例如，在採用濺射法形成絕緣體 212、絕緣體 283 時，可以實現由氫濃度較低的膜構成的密封結構。

[0107]

另一方面，採用濺射法形成的膜的覆蓋性較低。於是，藉由採用覆蓋性高的 CVD 法等形成絕緣體 211 及絕緣體 284，可以進一步提高密封性。

[0108]

由此，絕緣體 212 及絕緣體 283 的氫濃度較佳為比絕緣體 211 及絕緣體 284 低。

[0109]

另外，絕緣體 211、絕緣體 212、絕緣體 214、絕緣體 282、絕緣體 287、絕緣體 283 及絕緣體 284 也可以使用對氧具有阻擋性的材料。由於上述密封結構對氧具有阻擋性，所以可以抑制絕緣體 280 所具有的過量氧向外擴散，並將氧高效率地供應到電晶體 200。

[0110]

此外，本發明的一個實施方式的半導體裝置包括與電晶體 200 電連接並被用作插頭的導電體 240（導電體 240a 及導電體 240b）。與被用作插頭的導電體 240 的側面接觸地設置有絕緣體 241（絕緣體 241a 及絕緣體 241b）。在絕緣體 284 及導電體 240 上設置有與導電體 240 電連接並被用作佈線的導電體 246（導電體 246a 及導電體 246b）。在導電體 246 及絕緣體 274 上設置有絕緣體 286。

[0111]

在此，與設置於絕緣體 272、絕緣體 273、絕緣體 280、絕緣體 282、絕緣體 283 及絕緣體 284 的開口的內壁接觸地設置有絕緣體 241（絕緣體 241a 或絕緣體 241b），與其側面接觸地設置有導電體 240（導電體 240a 或導電體 240b）的第一導電體，並在其內側設置有導電體 240 的第二導電體。

[0112]

此外，導電體 240 的頂面的高度與絕緣體 284 的頂面的高度可以大致相

同。另外，圖 7A 至圖 7D 示出層疊有導電體 240 的第一導電體與導電體 240 的第二導電體的結構，但是本發明不侷限於此。例如，導電體 240 也可以具有單層結構或者三層以上的疊層結構。

[0113]

此外，導電體 240a 及導電體 240b 較佳為使用以鎢、銅或鋁為主要成分的導電材料。此外，導電體 240a 及導電體 240b 也可以具有疊層結構。另外，圖 7A 中的導電體 240a 及導電體 240b 在俯視時為圓形，但是不侷限於此。例如，在俯視時，導電體 240a 及導電體 240b 也可以具有橢圓等大致圓形形狀、四角形等多角形形狀、使四角形等多角形的角部帶弧形的形狀。

[0114]

當導電體 240 採用疊層結構時，較佳為使用具有抑制水或氫等雜質及氧的透過的功能的導電材料。例如，較佳為使用鉭、氮化鉭、鈦、氮化鈦、釕或氧化釕等。此外，可以以單層或疊層使用具有抑制水或氫等雜質及氧的透過的功能的導電材料。藉由使用該導電材料，可以進一步減少從絕緣體 280 等擴散的水或氫等雜質經過導電體 240a 及導電體 240b 混入氧化物 230 中。此外，可以防止添加到絕緣體 280 的氧被吸收到導電體 240a 及導電體 240b。

[0115]

作為絕緣體 241a 及絕緣體 241b，例如可以使用氮化矽、氧化鋁或氮氧化矽等絕緣體。因為絕緣體 241a 及絕緣體 241b 與絕緣體 284、絕緣體 283、絕緣體 282、絕緣體 273 及絕緣體 272 接觸地設置，所以可以抑制來自絕緣體 274 等的水或氫等雜質經過導電體 240a 及導電體 240b 混入氧化物 230 中。特別是，氮化矽因對氫具有高阻擋性而是較佳的。此外，可以防止絕緣體 280 所包含的氧被導電體 240a 及導電體 240b 吸收。

[0116]

此外，也可以以與導電體 240a 的頂面及導電體 240b 的頂面接觸的方式配置被用作佈線的導電體 246（導電體 246a 及導電體 246b）。導電體 246 較佳為使用以鎢、銅或鋁為主要成分的導電材料。另外，該導電體可以具有疊層結構，例如，可以具有鈦或氮化鈦與上述導電材料的疊層結構。另外，該導電體可以以嵌入設置於絕緣體的開口中的方式形成。

[0117]

[電晶體 200]

如圖 7A 至圖 7D 所示，電晶體 200 包括絕緣體 216、導電體 205（導電

體 205a 及導電體 205b）、絕緣體 222、絕緣體 224、氧化物 230（氧化物 230a、氧化物 230b 及氧化物 230c）、導電體 242（導電體 242a 及導電體 242b）、氧化物 243（氧化物 243a 及氧化物 243b）、絕緣體 272、絕緣體 273、絕緣體 250 以及導電體 260（導電體 260a 及導電體 260b）。

[0118]

在電晶體 200 中，導電體 260 被用作電晶體的第一閘極，而導電體 205 被用作電晶體的第二閘極。此外，導電體 242a 及導電體 242b 被用作源極電極或汲極電極。

[0119]

氧化物 230 被用作包括通道形成區域的半導體。

[0120]

絕緣體 250 被用作第一閘極絕緣體。絕緣體 222 及絕緣體 224 被用作第二閘極絕緣體。

[0121]

在此，在圖 7A 至圖 7D 所示的電晶體 200 中，在設置於絕緣體 280 等的層間膜的開口中隔著絕緣體 250 自對準地形成導電體 260。

[0122]

也就是說，導電體 260 隔著絕緣體 250 以嵌入設置於包括絕緣體 280 的層間膜的開口的方式形成。因此，在導電體 242a 和導電體 242b 之間的區域配置導電體 260 時不需要進行導電體 260 的對準。

[0123]

較佳為在設置於包括絕緣體 280 的層間膜的開口內設置氧化物 230c。因此，絕緣體 250 及導電體 260 包括隔著氧化物 230c 與氧化物 230b 和氧化物 230a 的疊層結構重疊的區域。藉由採用該結構，可以連續形成氧化物 230c 及絕緣體 250，從而可以保持氧化物 230 和絕緣體 250 的介面的清潔。因此，介面散射給載子傳導帶來的影響減少，從而電晶體 200 可以得到高通態電流及高頻率特性。

[0124]

在圖 7A 至圖 7D 所示的電晶體 200 中，導電體 260 的底面及側面與絕緣體 250 接觸。此外，絕緣體 250 的底面及側面與氧化物 230c 接觸。

[0125]

另外，如圖 7B 及圖 7C 所示，電晶體 200 具有絕緣體 282 和氧化物 230c 直接接觸的結構。藉由採用該結構，可以抑制絕緣體 280 所包含的氧向導

電體 260 擴散。

[0126]

因此，可以將絕緣體 280 所包含的氧藉由氧化物 230c 高效地供應到氧化物 230a 及氧化物 230b，從而可以減少氧化物 230a 及氧化物 230b 中的氧空位來提高電晶體 200 的電特性及可靠性。

[0127]

下面，說明根據本發明的一個實施方式的包括電晶體 200 的半導體裝置的詳細結構。

[0128]

另外，較佳為在電晶體 200 中將被用作氧化物半導體的金屬氧化物（下面，有時稱為氧化物半導體）用於包括通道形成區域的氧化物 230（氧化物 230a、氧化物 230b 及氧化物 230c）。

[0129]

例如，被用作氧化物半導體的金屬氧化物的能隙為 2eV 以上，較佳為 2.5eV 以上。藉由使用能隙較寬的金屬氧化物，可以使電晶體 200 的非導通狀態下的洩漏電流（關態電流）為極小。藉由採用這種電晶體，可以提供低功耗的半導體裝置。

[0130]

明確而言，作為氧化物 230 較佳為使用 In-M-Zn 氧化物（元素 M 為選自鋁、鎵、釔、錫、銅、釩、鈹、硼、鈦、鐵、鎳、鍺、鋯、鉬、鑭、鈰、釹、鉿、鉭、鎢和鎂等中的一種或多種）等金屬氧化物。特別是，作為元素 M 可以使用鋁、鎵、釔或錫。此外，作為氧化物 230 也可以使用 In-M 氧化物、In-Zn 氧化物或 M-Zn 氧化物。

[0131]

如圖 7A 至圖 7D 所示，氧化物 230 較佳為包括絕緣體 224 上的氧化物 230a、氧化物 230a 上的氧化物 230b 以及配置在氧化物 230b 上且其至少一部分與氧化物 230b 的頂面接觸的氧化物 230c。在此，較佳為以其側面與氧化物 243a、氧化物 243b、導電體 242a、導電體 242b、絕緣體 272、絕緣體 273 及絕緣體 280 接觸的方式設置氧化物 230c。

[0132]

也就是說，氧化物 230 包括氧化物 230a、氧化物 230a 上的氧化物 230b 及氧化物 230b 上的氧化物 230c。當在氧化物 230b 下設置有氧化物 230a 時，可以抑制雜質從形成在氧化物 230a 下的結構物擴散到氧化物 230b。當在氧

化物 230b 上設置有氧化物 230c 時，可以抑制雜質從形成在氧化物 230c 的上方的結構物擴散到氧化物 230b。

[0133]

注意，在電晶體 200 中，在通道形成區域及其附近層疊有氧化物 230a、氧化物 230b 及氧化物 230c 的三層，但是本發明不侷限於此。例如，可以設置氧化物 230b 的單層、氧化物 230b 與氧化物 230a 的兩層結構、氧化物 230b 與氧化物 230c 的兩層結構或者四層以上的疊層結構。例如，也可以使氧化物 230c 具有雙層結構來形成四層的疊層結構。

[0134]

另外，氧化物 230 較佳為具有由各金屬原子的原子個數比互不相同的多個氧化物層而成的疊層結構。明確而言，用於氧化物 230a 的金屬氧化物的構成元素中的元素 M 的原子個數比較佳為大於用於氧化物 230b 的金屬氧化物的構成元素中的元素 M 的原子個數比。另外，用於氧化物 230a 的金屬氧化物中的相對於 In 的元素 M 的原子個數比較佳為大於用於氧化物 230b 的金屬氧化物中的相對於 In 的元素 M 的原子個數比。另外，用於氧化物 230b 的金屬氧化物中的相對於元素 M 的 In 的原子個數比較佳為大於用於氧化物 230a 的金屬氧化物中的相對於元素 M 的 In 的原子個數比。另外，氧化物 230c 可以使用可用於氧化物 230a 或氧化物 230b 的金屬氧化物。

[0135]

明確而言，作為氧化物 230a 可以使用 In：Ga：Zn=1：3：4[原子個數比]或 1：1：0.5[原子個數比]的金屬氧化物。此外，作為氧化物 230b 可以使用 In：Ga：Zn=4：2：3[原子個數比]或 1：1：1[原子個數比]的金屬氧化物。此外，作為氧化物 230c 可以使用 In：Ga：Zn=1：3：4[原子個數比]、Ga：Zn=2：1[原子個數比]或 Ga：Zn=2：5[原子個數比]的金屬氧化物。作為氧化物 230c 具有疊層結構的情況下的具體例子，可以舉出 In：Ga：Zn=4：2：3[原子個數比]和 In：Ga：Zn=1：3：4[原子個數比]的疊層結構、Ga：Zn=2：1[原子個數比]和 In：Ga：Zn=4：2：3[原子個數比]的疊層結構、Ga：Zn=2：5[原子個數比]和 In：Ga：Zn=4：2：3[原子個數比]的疊層結構、氧化鎵和 In：Ga：Zn=4：2：3[原子個數比]的疊層結構等。

[0136]

另外，氧化物 230b 也可以具有結晶性。例如，較佳為使用下述 CAAC-OS（c-axis aligned crystalline oxide semiconductor）。CAAC-OS 等的具有結晶性的氧化物具有雜質及缺陷（氧空位等）少的結晶性高且緻密的結構。因此，

可以抑制源極電極或汲極電極從氧化物 230b 抽出氧。此外，即使進行加熱處理也可以減少從氧化物 230b 被抽出的氧，所以電晶體 200 對製程中的高溫度（所謂熱積存：thermal budget）也很穩定。

[0137]

導電體 205 以與氧化物 230 及導電體 260 重疊的方式配置。另外，導電體 205 較佳為以嵌入絕緣體 216 中的方式設置。

[0138]

在此，導電體 260 有時被用作第一閘極（也稱為頂閘極）。此外，導電體 205 有時被用作第二閘極（也稱為底閘極）。

[0139]

在導電體 205 被用作閘極的情況下，藉由獨立地改變供應到導電體 205 的電位而不使其與施加到導電體 260 的電位聯動，可以控制電晶體 200 的臨界電壓（Vth）。尤其是，藉由對導電體 205 施加負電位，可以使電晶體 200 的 Vth 更大且可以減小關態電流。因此，與不對導電體 205 施加負電位時相比，在對導電體 205 施加負電位的情況下，可以減小對導電體 260 施加的電位為 0V 時的汲極電流。

[0140]

另外，如圖 7A 所示，導電體 205 較佳為比氧化物 230 中的不與導電體 242a 及導電體 242b 重疊的區域大。尤其是，如圖 7C 所示，導電體 205 較佳為延伸到氧化物 230 的與通道寬度方向交叉的端部的外側的區域。就是說，較佳為在氧化物 230 的通道寬度方向的側面的外側，導電體 205 和導電體 260 隔著絕緣體重疊。或者，藉由將導電體 205 設置得大，可以在形成導電體 205 後的製程的使用電漿的處理中，有時可以緩和局部帶電（也稱為電荷積聚（charge up））。但是，本發明的一個實施方式不侷限於此。只要導電體 205 至少與位於導電體 242a 和導電體 242b 之間的氧化物 230 重疊即可。

[0141]

此外，以絕緣體 224 的底面為標準，氧化物 230a 及氧化物 230b 和導電體 260 不重疊的區域中的導電體 260 的底面較佳為位於比氧化物 230b 的底面低的位置。

[0142]

如圖 7C 所示，藉由使被用作閘極的導電體 260 具有隔著氧化物 230c 及絕緣體 250 覆蓋通道形成區域的氧化物 230b 的側面及頂面的結構，容易使從導電體 260 產生的電場作用於形成在氧化物 230b 中的通道形成區域整

體。因此，可以增大電晶體 200 的通態電流來提高頻率特性。在本說明書中，將由第一閘極及第二閘極的電場電圍繞通道形成區域的電晶體的結構稱為 surrounded channel（S-channel）結構。

[0143]

導電體 205a 較佳為抑制水或氫等雜質及氧的透過的導電體。例如，可以使用鈦、氮化鈦、鉭或氮化鉭。此外，導電體 205b 較佳為使用以鎢、銅或鋁為主要成分的導電材料。另外，雖然示出具有雙層結構的導電體 205，但是導電體 205 也可以採用三層以上的多層結構。

[0144]

在此，藉由作為氧化物半導體、位於氧化物半導體的下層的絕緣體或導電體、及位於氧化物半導體的上層的絕緣體或導電體，以不暴露於大氣的方式連續地形成不同種類的膜，可以形成雜質（尤其是氫、水）濃度得到降低的實質上高純度本質的氧化物半導體膜，所以是較佳的。

[0145]

絕緣體 272 及絕緣體 273 中的至少一個較佳為被用作抑制水或氫等雜質從基板一側或上方混入電晶體 200 中的阻擋絕緣膜。因此，作為絕緣體 222、絕緣體 272 及絕緣體 273 中的至少一個較佳為使用具有抑制氫原子、氫分子、水分子、氮原子、氮分子、氧化氮分子（N_2O、NO、NO_2 等）、銅原子等雜質的擴散的功能（不容易使上述雜質透過）的絕緣材料。另外，較佳為使用具有抑制氧（例如，氧原子、氧分子等中的至少一個）的擴散的功能（不容易使上述氧透過）的絕緣材料。

[0146]

例如，作為絕緣體 273 較佳為使用氮化矽或氮氧化矽等，而作為絕緣體 272 較佳為使用氧化鋁或氧化鉿等。

[0147]

由此，可以抑制水或氫等雜質隔著絕緣體 222 從基板一側向電晶體 200 一側擴散。或者，可以抑制絕緣體 224 等所包含的氧隔著絕緣體 222 向基板一側擴散。

[0148]

此外，還可以抑制水或氫等雜質從隔著絕緣體 272 及絕緣體 273 配置的絕緣體 280 等向電晶體 200 一側擴散。如此，較佳為採用由具有抑制水或氫等雜質及氧的擴散的功能的絕緣體 272 及絕緣體 273 圍繞電晶體 200 的結構。

[0149]

絕緣體 222 及絕緣體 224 具有作為閘極絕緣體的功能。

[0150]

在此，與氧化物 230 接觸的絕緣體 224 較佳為藉由加熱使氧脫離。在本說明書中，有時將藉由加熱脫離的氧稱為過量氧。例如，作為絕緣體 224 可以適當地使用氧化矽或氧氮化矽等。藉由以與氧化物 230 接觸的方式設置包含過量氧的絕緣體，可以減少氧化物 230 中的氧空位，從而可以提高電晶體 200 的可靠性。

[0151]

明確而言，作為絕緣體 224，較佳為使用藉由加熱使部分氧脫離的氧化物材料。藉由加熱使氧脫離的氧化物是指在熱脫附譜（TDS）分析中氧分子的脫離量為 1.0×10^{18}molecules/cm^3 以上，較佳為 1.0×10^{19}molecules/cm^3 以上，進一步較佳為 2.0×10^{19}molecules/cm^3 以上，或者 3.0×10^{20}molecules/cm^3 以上的氧化物膜。另外，進行上述 TDS 分析時的膜的表面溫度較佳為在 100℃以上且 700℃以下，或者 100℃以上且 400℃以下的範圍內。

[0152]

絕緣體 222 較佳為被用作抑制水或氫等雜質從基板一側混入電晶體 200 中的阻擋絕緣膜。例如，絕緣體 222 的氫透過性較佳為比絕緣體 224 低。藉由由絕緣體 222 及絕緣體 283 圍繞絕緣體 224 及氧化物 230 等，可以抑制水或氫等雜質從外部進入電晶體 200 中。

[0153]

再者，絕緣體 222 較佳為具有抑制氧（例如，氧原子、氧分子等中的至少一個）的擴散的功能（不容易使上述氧透過）。例如，絕緣體 222 的氧透過性較佳為比絕緣體 224 低。藉由使絕緣體 222 具有抑制氧或雜質的擴散的功能，可以減少氧化物 230 所具有的氧擴散到絕緣體 222 的下側，所以是較佳的。此外，可以抑制導電體 205 與絕緣體 224 及氧化物 230 所具有的氧起反應。

[0154]

絕緣體 222 較佳為使用包含作為絕緣材料的鋁和鉿中的一者或兩者的氧化物的絕緣體。作為包含鋁和鉿中的一者或兩者的氧化物的絕緣體，較佳為使用氧化鋁、氧化鉿、包含鋁及鉿的氧化物（鋁酸鉿）等。當使用這種材料形成絕緣體 222 時，絕緣體 222 被用作抑制氧從氧化物 230 釋放或氫等雜質從電晶體 200 的周圍部進入氧化物 230 的層。

[0155]

或者，例如也可以對上述絕緣體添加氧化鋁、氧化鉍、氧化鍺、氧化鈮、氧化矽、氧化鈦、氧化鎢、氧化釔、氧化鋯。或者，也可以對上述絕緣體進行氮化處理。或者，還可以在上述絕緣體上層疊氧化矽、氧氮化矽或氮化矽。

[0156]

此外，作為絕緣體 222，例如也可以以單層或疊層使用包含氧化鋁、氧化鉿、氧化鉭、氧化鋯、鋯鈦酸鉛（PZT）、鈦酸鍶（$SrTiO_3$）或（Ba，Sr）TiO_3（BST）等所謂的 high-k 材料的絕緣體。當進行電晶體的微型化及高積體化時，由於閘極絕緣體的薄膜化，有時發生洩漏電流等問題。藉由作為被用作閘極絕緣體的絕緣體使用 high-k 材料，可以在保持物理厚度的同時降低電晶體工作時的閘極電位。

[0157]

另外，絕緣體 222 及絕緣體 224 也可以具有兩層以上的疊層結構。此時，不侷限於使用相同材料構成的疊層結構，也可以是使用不同材料構成的疊層結構。

[0158]

此外，也可以在氧化物 230b 和被用作源極電極或汲極電極的導電體 242（導電體 242a 及導電體 242b）之間配置氧化物 243（氧化物 243a 及氧化物 243b）。由於導電體 242 不與氧化物 230 接觸，可以抑制導電體 242 吸收氧化物 230 的氧。也就是說，藉由防止導電體 242 的氧化，可以抑制導電體 242 的導電率下降。因此，氧化物 243 較佳為具有抑制導電體 242 的氧化的功能。

[0159]

由此，氧化物 243 較佳為具有抑制氧透過的功能。當在被用作源極電極或汲極電極的導電體 242 和氧化物 230b 之間配置具有抑制氧透過的功能的氧化物 243 時，導電體 242 和氧化物 230b 之間的電阻下降，所以是較佳的。藉由採用這種結構，可以提高電晶體 200 的電特性及電晶體 200 的可靠性。

[0160]

作為氧化物 243，也可以使用具有元素 M 的金屬氧化物。特別是，作為元素 M 較佳為使用鋁、鎵、釔或錫。氧化物 243 中的元素 M 的濃度較佳為比氧化物 230b 高。另外，作為氧化物 243，還可以使用氧化鎵。此外，

作為氧化物 243，還可以使用 In-M-Zn 氧化物等金屬氧化物。明確而言，用於氧化物 243 的金屬氧化物中的相對於 In 的元素 M 的原子個數比較佳為大於用於氧化物 230b 的金屬氧化物中的相對於 In 的元素 M 的原子個數比。此外，氧化物 243 的厚度較佳為 0.5nm 以上且 5nm 以下，較佳為 1nm 以上且 3nm 以下。另外，氧化物 243 較佳為具有結晶性。當氧化物 243 具有結晶性時，能夠更好地抑制氧化物 230 釋放氧。例如，當氧化物 243 具有六方晶等結晶結構時，有時可以抑制氧化物 230 釋放氧。

[0161]

另外，不必須設置氧化物 243。在此情況下，因導電體 242（導電體 242a 及導電體 242b）和氧化物 230 接觸而氧化物 230 中的氧擴散到導電體 242 中，由此導電體 242 有時被氧化。導電體 242 的導電率因氧化而下降的可能性變高。注意，也可以將氧化物 230 中的氧向導電體 242 擴散的情況稱為導電體 242 吸收氧化物 230 中的氧。

[0162]

此外，當氧化物 230 中的氧擴散到導電體 242（導電體 242a 及導電體 242b）時，導電體 242a 和氧化物 230b 之間及導電體 242b 和氧化物 230b 之間可能會形成另一個層。因為該另一個層包含比導電體 242 多的氧，所以推測該另一個層具有絕緣性。此時，可以認為導電體 242、該另一個層和氧化物 230b 的三層結構是由金屬-絕緣體-半導體構成的三層結構，有時也將其稱為 MIS（Metal-Insulator-Semiconductor）結構或以 MIS 結構為主的三極體結構。

[0163]

注意，上述另一個層不侷限於形成在導電體 242 和氧化物 230b 之間，例如，另一個層會形成在導電體 242 和氧化物 230c 之間或者導電體 242 和氧化物 230b 之間及導電體 242 和氧化物 230c 之間。

[0164]

在氧化物 243 上設置被用作源極電極及汲極電極的導電體 242（導電體 242a 及導電體 242b）。導電體 242 的厚度例如可以為 1nm 以上且 50nm 以下，較佳為 2nm 以上且 25nm 以下。

[0165]

作為導電體 242，較佳為使用選自鋁、鉻、銅、銀、金、鉑、鉭、鎳、鈦、鉬、鎢、鉿、釩、鈮、錳、鎂、鋯、鈹、銦、釕、銥、鍶和鑭中的金屬元素、以上述金屬元素為成分的合金或者組合上述金屬元素的合金等。

例如，較佳為使用氮化鉭、氮化鈦、鎢、包含鈦和鋁的氮化物、包含鉭和鋁的氮化物、氧化釕、氮化釕、包含鍶和釕的氧化物、包含鑭和鎳的氧化物等。另外，氮化鉭、氮化鈦、包含鈦和鋁的氮化物、包含鉭和鋁的氮化物、氧化釕、氮化釕、包含鍶和釕的氧化物、包含鑭和鎳的氧化物是不容易氧化的導電材料或者吸收氧也維持導電性的材料，所以是較佳的。

[0166]

與導電體 242 頂面接觸地設置有絕緣體 272，並且絕緣體 272 較佳為被用作障壁層。藉由採用該結構，可以抑制導電體 242 吸收絕緣體 280 所包含的過量氧。此外，藉由抑制導電體 242 的氧化，可以抑制電晶體 200 和佈線之間的接觸電阻的增加。由此，可以對電晶體 200 賦予良好的電特性及可靠性。

[0167]

因此，絕緣體 272 較佳為具有抑制氧的擴散的功能。例如，絕緣體 272 較佳為比絕緣體 280 較容易抑制氧的擴散。作為絕緣體 272，例如較佳為形成包含鋁和鉿中的一者或兩者的氧化物的絕緣體。此外，作為絕緣體 272，例如，可以使用包含氮化鋁的絕緣體。

[0168]

如圖 7D 所示，絕緣體 272 與導電體 242b 的頂面的一部分及導電體 242b 的側面接觸。雖然未圖示，但是絕緣體 272 與導電體 242a 的頂面的一部分及導電體 242a 的側面接觸。另外，在絕緣體 272 上配置有絕緣體 273。藉由採用該結構，例如可以抑制添加到絕緣體 280 的氧被導電體 242 吸收。

[0169]

絕緣體 250 被用作閘極絕緣體。絕緣體 250 較佳為與氧化物 230c 的頂面接觸地配置。絕緣體 250 可以使用氧化矽、氧氮化矽、氮氧化矽、氮化矽、添加有氟的氧化矽、添加有碳的氧化矽、添加有碳及氮的氧化矽、具有空孔的氧化矽。尤其是，氧化矽及氧氮化矽具有熱穩定性，所以是較佳的。

[0170]

與絕緣體 224 同樣地，絕緣體 250 較佳為使用藉由加熱釋放氧的絕緣體形成。藉由作為絕緣體 250 以與氧化物 230c 的頂面接觸的方式設置藉由加熱釋放氧的絕緣體，可以高效地對氧化物 230b 的通道形成區域供應氧。與絕緣體 224 同樣，較佳為降低絕緣體 250 中的水或氫等雜質的濃度。絕緣體 250 的厚度較佳為 1nm 以上且 20nm 以下。

[0171]

另外，也可以在絕緣體 250 與導電體 260 之間設置金屬氧化物。該金屬氧化物較佳為抑制氧從絕緣體 250 擴散到導電體 260。藉由設置抑制氧的擴散的金屬氧化物，可以抑制氧從絕緣體 250 擴散到導電體 260。換言之，可以抑制供應到氧化物 230 的氧量的減少。另外，可以抑制因絕緣體 250 中的氧導致導電體 260 被氧化。

[0172]

另外，該金屬氧化物有時被用作閘極絕緣體的一部分。因此，在將氧化矽或氧氮化矽等用於絕緣體 250 的情況下，作為該金屬氧化物較佳為使用作為相對介電常數高的 high-k 材料的金屬氧化物。藉由使閘極絕緣體具有絕緣體 250 與該金屬氧化物的疊層結構，可以形成具有熱穩定性且相對介電常數高的疊層結構。因此，可以在保持閘極絕緣體的物理厚度的同時降低在電晶體工作時施加的閘極電位。另外，可以減少被用作閘極絕緣體的絕緣體的等效氧化物厚度（EOT）。

[0173]

明確而言，可以使用包含選自鉿、鋁、鎵、釔、鋯、鎢、鈦、鉭、鎳、鍺和鎂等中的一種或兩種以上的金屬氧化物。特別是，較佳為使用作為包含鋁及鉿中的一者或兩者的氧化物的絕緣體的氧化鋁、氧化鉿、包含鋁及鉿的氧化物（鋁酸鉿）等。

[0174]

或者，該金屬氧化物有時被用作閘極的一部分。在此情況下，較佳為將包含氧的導電材料設置在通道形成區域一側。藉由將包含氧的導電材料設置在通道形成區域一側，從該導電材料脫離的氧容易被供應到通道形成區域。

[0175]

尤其是，作為被用作閘極的導電體，較佳為使用含有包含在形成通道的金屬氧化物中的金屬元素及氧的導電材料。此外，也可以使用含有上述金屬元素及氮的導電材料。此外，可以使用銦錫氧化物、包含氧化鎢的銦氧化物、包含氧化鎢的銦鋅氧化物、包含氧化鈦的銦氧化物、包含氧化鈦的銦錫氧化物、銦鋅氧化物、添加有矽的銦錫氧化物。此外，也可以使用包含氮的銦鎵鋅氧化物。藉由使用上述材料，有時可以俘獲形成通道的金屬氧化物所包含的氫。或者，有時可以俘獲從外部的絕緣體等混入的氫。

[0176]

雖然在圖 7A 至圖 7D 中，導電體 260 具有雙層結構，但是也可以具有單層結構或三層以上的疊層結構。

[0177]

作為導電體 260a 較佳為使用具有抑制氫原子、氫分子、水分子、氮原子、氮分子、氧化氮分子（N_2O、NO、NO_2等）、銅原子等雜質的擴散的功能的導電材料。另外，較佳為使用具有抑制氧（例如，氧原子、氧分子等中的至少一個）的擴散的功能的導電材料。

[0178]

此外，當導電體 260a 具有抑制氧的擴散的功能時，可以抑制絕緣體 250 所包含的氧使導電體 260b 氧化而導致導電率的下降。作為具有抑制氧的擴散的功能的導電材料，例如，較佳為使用鉭、氮化鉭、釕或氧化釕等。

[0179]

此外，作為導電體 260b 較佳為使用以鎢、銅或鋁為主要成分的導電材料。另外，由於導電體 260 還被用作佈線，所以較佳為使用導電性高的導電體。例如，可以使用以鎢、銅或鋁為主要成分的導電材料。另外，導電體 260b 可以具有疊層結構，例如可以具有鈦或氮化鈦與上述導電材料的疊層結構。

[0180]

〈〈半導體裝置的變形例子 1〉〉

下面，參照圖 8A 至圖 8D 說明根據本發明的一個實施方式的包括電晶體 200 的半導體裝置的一個例子。

[0181]

在此，圖 8A 示出俯視圖。圖 8B 是對應於由圖 8A 中的點劃線 A1-A2 表示的部分的剖面圖。圖 8C 是對應於由圖 8A 中的點劃線 A3-A4 表示的部分的剖面圖。圖 8D 是對應於由圖 8A 中的點劃線 A5-A6 表示的部分的剖面圖。在圖 8A 的俯視圖中，為了使圖更明瞭化省略了部分組件。

[0182]

圖 8A 至圖 8D 所示的半導體裝置與圖 7A 至圖 7D 所示的半導體裝置的不同之處是絕緣體 212 的頂面和絕緣體 283 接觸。明確而言，較佳為以延伸到絕緣體 283 下方的方式設置絕緣體 212。此外，在絕緣體 212 中，與電晶體 200 重疊的區域的厚度有時厚於與絕緣體 283 接觸的區域的厚度。

[0183]

〈〈半導體裝置的變形例子 2〉〉

下面，參照圖 9A 至圖 9D 說明根據本發明的一個實施方式的包括電晶體 200 的半導體裝置的一個例子。

[0184]

在此，圖 9A 示出俯視圖。圖 9B 是對應於由圖 9A 中的點劃線 A1-A2 表示的部分的剖面圖。圖 9C 是對應於由圖 9A 中的點劃線 A3-A4 表示的部分的剖面圖。圖 9D 是對應於由圖 9A 中的點劃線 A5-A6 表示的部分的剖面圖。在圖 9A 的俯視圖中，為了使圖更明瞭化省略了部分組件。

[0185]

例如，當使用不包含氫原子或氫原子的含量少的化合物氣體並採用 CVD 法形成絕緣體 211 及絕緣體 284 時，如圖 9A 至圖 9D 所示，不需要必須設置絕緣體 212 及絕緣體 283。

[0186]

此外，例如，可以使用不包含氫原子或氫原子的含量少的化合物氣體並採用 CVD 法形成絕緣體 211、絕緣體 212、絕緣體 283 及絕緣體 284。也就是說，降低絕緣體 211、絕緣體 212、絕緣體 283 及絕緣體 284 所包含的氫濃度來減少混入氧化物半導體的通道形成區域中的氫。

[0187]

例如，在形成氮化矽膜等包含矽原子的膜時，作為沉積氣體主要使用具有包含矽原子的分子的氣體。為了減少要形成的膜包含的氫，該包含矽原子的分子所具有的氫原子較佳為少，更佳的是，該包含矽原子的分子不具有氫原子。當然，具有包含矽原子的分子的氣體以外的沉積氣體所包含的氫原子也較佳為少，更佳的是，該沉積氣體不包含氫原子。

[0188]

在由 Si_x-R_y 表示上述包含矽原子的分子時，例如，作為官能基 R 可以使用異氰酸酯基（-N=C=O）、氰酸酯基（-O-C≡N）、氰基（-C≡N）、重氮基（=N_2）、疊氮基（-N_3）、亞硝基（-NO）及硝基（-NO_2）中的至少一個。例如，可以設定為 1≤x≤3、1≤y≤8。作為這種包含矽原子的分子，例如可以使用四異氰酸酯基矽烷、四氰酸酯基矽烷、四氰基矽烷、六異氰酸酯基矽烷、八異氰酸酯基矽烷等。在此例示出了矽原子與相同種類的官能基鍵合的分子，但是本實施方式不侷限於此。矽原子也可以與不同種類的官能基鍵合。

[0189]

此外，例如，作為官能基 R，還可以使用鹵素（Cl、Br、I 或 F）。例如，可以設定為 1≤x≤2、1≤y≤6 。作為這種包含矽原子的分子，例如可以使用四

氯矽烷（$SiCl_4$）、六氯二矽烷（Si_2Cl_6）等。示出了以氯為官能基的例子，但是也可以將氯以外的溴、碘、氟等鹵素用作官能基。此外，矽原子也可以與不同種類的鹵素鍵合。

[0190]

可以使用上述具有包含矽原子的分子的氣體的化學氣相成長（CVD：Chemical Vapor Deposition）法形成絕緣體 211、絕緣體 212、絕緣體 283 及絕緣體 284。因為 CVD 法的沉積速度較快，所以適合於厚度厚的絕緣體的形成。

[0191]

作為 CVD 法，較佳為採用利用電漿的電漿 CVD（PECVD：Plasma Enhanced CVD）法或利用熱的熱 CVD（TCVD：Thermal CVD）法。在採用熱 CVD 法時，既可以採用在大氣壓下進行成膜的常壓 CVD（APCVD：Atmospheric Pressure CVD）法，又可以採用在低於大氣壓的減壓狀態下進行成膜的減壓 CVD（LPCVD：Low Pressure CVD）法。

[0192]

在採用 CVD 法形成絕緣體 211、絕緣體 212、絕緣體 283 及絕緣體 284 時，較佳為使用氧化劑。作為氧化劑，較佳為使用 O_2、O_3、NO、NO_2、N_2O、N_2O_3、N_2O_4、N_2O_5、CO、CO_2等不包含氫原子的氣體。

[0193]

此外，也可以採用 ALD（Atomic Layer Deposition）法形成絕緣體 211、絕緣體 212、絕緣體 283 及絕緣體 284。在 ALD 法中，將用於反應的第一原料氣體（下面稱為前驅物，也可以稱為前驅物、金屬前驅物）和第二原料氣體（下面稱為反應物，也稱為反應劑、非金屬前驅物）交替引入腔室中，並反復引入這種原料氣體來進行成膜。

[0194]

在 ALD 法中，藉由在切換原料氣體的同時進行成膜，利用原子性質的自調節性沉積每一層的原子。由此，藉由 ALD 法，能夠形成極薄且較厚的膜，能夠對縱橫比高的結構形成膜，能夠以針孔等的缺陷少的方式形成膜，能夠形成覆蓋性優良的膜等。因此，除了絕緣體 211、絕緣體 212、絕緣體 283 及絕緣體 284 的形成之外，ALD 法還適合於電晶體 200 所包括的絕緣體 250 及絕緣體 224 的形成。

[0195]

作為 ALD 法，既可以採用只利用熱能量進行前驅物及反應物的反應的

熱 ALD（Thermal ALD）法，又可以採用利用進行電漿增強的反應物的 PEALD（Plasma Enhanced ALD）法。

[0196]

在採用 ALD 法的情況下，作為前驅物可以使用上述具有包含矽原子的分子的氣體，作為反應物可以使用上述氧化劑。由此，可以大幅度地減少被引入絕緣體 216、絕緣體 274、絕緣體 280、絕緣體 224 及絕緣體 250 中的氫量。

[0197]

注意，上面示出了包含矽原子的分子不包含氫原子的例子，但是本實施方式不侷限於此，也可以採用在上述包含矽原子的分子中與矽原子鍵合的官能基的一部分被氫原子取代的結構。但是，上述包含矽原子的分子所具有的氫原子較佳為少於矽烷（SiH_4）。也就是說，在上述包含矽原子的分子中，一個矽原子較佳為具有三個以下的氫原子。此外，在具有上述包含矽原子的分子的氣體中，更佳的是一個矽原子具有三個以下的氫原子。

[0198]

如上所述，藉由使用氫原子得到減少或被去除的氣體的成膜方法形成絕緣體 211、絕緣體 212、絕緣體 283 及絕緣體 284 中的至少一個，可以減少這些絕緣體所包含的氫量。

[0199]

由此，藉由由使用俘獲或固定氫等雜質的材料的第一密封結構及使用抑制氫等雜質的擴散的材料的第二密封結構對電晶體 200 及絕緣體 280 進行雙層密封，可以降低該密封區域中的氫濃度，且還可以減少從外部混入的氫。

[0200]

〈〈金屬氧化物〉〉

作為氧化物 230，較佳為使用被用作氧化物半導體的金屬氧化物。以下，將說明可用於根據本發明的氧化物 230 的金屬氧化物。

[0201]

金屬氧化物較佳為至少包含銦或鋅。尤其較佳為包含銦及鋅。另外，除此之外，較佳為還包含鎵、釔、錫等。或者，也可以包含硼、鈦、鐵、鎳、鍺、鋯、鉬、鑭、鈰、釹、鉿、鉭、鎢或鎂等中的一種或多種。

[0202]

在此，考慮金屬氧化物是包含銦、元素 M 及鋅的 In-M-Zn 氧化物的情

況。注意，元素 M 為鋁、鎵、釔或錫等。作為可用作元素 M 的其他元素，有硼、鈦、鐵、鎳、鍺、鋯、鉬、鑭、鈰、釹、鉿、鉭、鎢、鎂等。注意，作為元素 M 有時也可以組合多個上述元素。

[0203]

注意，在本說明書等中，有時將包含氮的金屬氧化物也稱為金屬氧化物（metal oxide）。此外，也可以將包含氮的金屬氧化物稱為金屬氧氮化物（metal oxynitride）。

[0204]

[金屬氧化物的結構]

氧化物半導體（金屬氧化物）被分為單晶氧化物半導體和非單晶氧化物半導體。作為非單晶氧化物半導體例如有 CAAC-OS、多晶氧化物半導體、nc-OS（nanocrystalline oxide semiconductor）、a-like OS（amorphous-like oxide semiconductor）及非晶氧化物半導體等。

[0205]

CAAC-OS 具有 c 軸配向性，其多個奈米晶在 a-b 面方向上連結而結晶結構具有畸變。注意，畸變是指在多個奈米晶連結的區域中晶格排列一致的區域與其他晶格排列一致的區域之間的晶格排列的方向變化的部分。

[0206]

雖然奈米晶基本上是六角形，但是並不侷限於正六角形，有不是正六角形的情況。此外，在畸變中有時具有五角形或七角形等晶格排列。另外，在 CAAC-OS 中，即使在畸變附近也觀察不到明確的晶界（也稱為 grain boundary）。亦即，可知由於晶格排列畸變，可抑制晶界的形成。這是由於 CAAC-OS 因為 a-b 面方向上的氧原子排列的低密度或因金屬元素被取代而使原子間的鍵合距離產生變化等而能夠包容畸變。

[0207]

此外，CAAC-OS 趨向於具有層疊有包含銦及氧的層（下面稱為 In 層）和包含元素 M、鋅及氧的層（下面稱為（M，Zn）層）的層狀結晶結構（也稱為層狀結構）。另外，銦和元素 M 彼此可以取代，在用銦取代（M，Zn）層中的元素 M 的情況下，也可以將該層表示為（In，M，Zn）層。另外，在用元素 M 取代 In 層中的銦的情況下，也可以將該層表示為（In，M）層。

[0208]

CAAC-OS 是結晶性高的金屬氧化物。另一方面，在 CAAC-OS 中不容易觀察明確的晶界，因此可以說不容易發生起因於晶界的電子移動率的下

降。此外，金屬氧化物的結晶性有時因雜質的進入或缺陷的生成等而降低，因此可以說 CAAC-OS 是雜質或缺陷（氧空位等）少的金屬氧化物。因此，包含 CAAC-OS 的金屬氧化物的物理性質穩定。因此，包含 CAAC-OS 的金屬氧化物具有高耐熱性及高可靠性。

[0209]

在 nc-OS 中，微小的區域（例如 1nm 以上且 10nm 以下的區域，特別是 1nm 以上且 3nm 以下的區域）中的原子排列具有週期性。另外，nc-OS 在不同的奈米晶之間觀察不到結晶定向的規律性。因此，在膜整體中觀察不到配向性。所以，有時 nc-OS 在某些分析方法中與 a-like OS 或非晶氧化物半導體沒有差別。

[0210]

另外，在包含銦、鎵和鋅的金屬氧化物的一種的 In-Ga-Zn 氧化物（以下，IGZO）是上述奈米晶時可能具有穩定的結構。尤其是，IGZO 有在大氣中不容易進行晶體生長的傾向，所以與在 IGZO 是大結晶（在此，幾 mm 的結晶或者幾 cm 的結晶）時相比在 IGZO 是小結晶（例如，上述奈米結晶）時可能在結構上穩定。

[0211]

a-like OS 是具有介於 nc-OS 與非晶氧化物半導體之間的結構的金屬氧化物。a-like OS 包含空洞或低密度區域。也就是說，a-like OS 的結晶性比 nc-OS 及 CAAC-OS 的結晶性低。

[0212]

氧化物半導體（金屬氧化物）具有各種結構及各種特性。本發明的一個實施方式的氧化物半導體也可以包括非晶氧化物半導體、多晶氧化物半導體、a-like OS、nc-OS、CAAC-OS 中的兩種以上。

[0213]

[雜質]

在此，說明金屬氧化物中的各雜質的影響。

[0214]

當雜質混入氧化物半導體中時，有時形成缺陷能階或氧空位。因此，當雜質混入氧化物半導體的通道形成區域中時，使用氧化物半導體的電晶體的電特性容易變動有時會導致可靠性下降。此外，在通道形成區域包括氧空位時，電晶體容易具有常開啟特性。

[0215]

此外，上述缺陷能階有時包括陷阱能階。被金屬氧化物的陷阱能階俘獲的電荷到消失需要較長的時間，有時像固定電荷那樣動作。因此，在陷阱態密度高的金屬氧化物中具有通道形成區的電晶體的電特性有時不穩定。

[0216]

另外，當氧化物半導體的通道形成區域存在雜質時，通道形成區域的結晶性有可能下降，或者與通道形成區域接觸地設置的氧化物的結晶性有可能下降。當通道形成區域的結晶性低時，電晶體的穩定性或可靠性有下降的趨勢。此外，在與通道形成區域接觸地設置的氧化物的結晶性低時，有時形成介面能階導致電晶體的穩定性或可靠性下降。

[0217]

因此，為了提高電晶體的穩定性或可靠性，降低氧化物半導體的通道形成區域及其附近的雜質濃度是有效的。作為雜質有氫、氮、鹼金屬、鹼土金屬、鐵、鎳、矽等。

[0218]

明確而言，將該氧化物半導體的通道形成區域及其附近的藉由 SIMS 得到的上述雜質的濃度設定為 1×10^{18}atoms/cm^3 以下，較佳為設定為 2×10^{16}atoms/cm^3 以下。或者，將該氧化物半導體的通道形成區域及其附近的藉由利用 EDX 的元素分析得到的上述雜質的濃度設定為 1.0atomic%以下。另外，在作為該氧化物半導體使用包含元素 M 的氧化物時，將該氧化物半導體的通道形成區域及其附近的相對於元素 M 的上述雜質的濃度比設定為低於 0.10，較佳為設定為低於 0.05。在此，用來算出上述濃度比的元素 M 的濃度既可以是與算出上述雜質的濃度的區域相同的區域的濃度，也可以是該氧化物半導體中的濃度。

[0219]

因為其雜質濃度得到降低的金屬氧化物的缺陷態密度低，所以有時其陷阱態密度也低。

[0220]

在氫進入金屬氧化物的氧空位中時，有時氧空位和氫鍵合而形成 V_OH。有時 V_OH 被用作施體而產生作為載子的電子。此外，有時由於氫的一部分與鍵合於金屬原子的氧鍵合，產生作為載子的電子。

[0221]

由此，使用包含多量的氫的氧化物半導體的電晶體容易具有常開啟特

性。此外，由於氧化物半導體中的氫容易因受熱、電場等作用而移動，因此當氧化物半導體包含多量的氫時，也有可能導致電晶體的可靠性下降。

[0222]

也就是說，較佳為儘量減少金屬氧化物中的 V_OH 以使該金屬氧化物成為高純度本質或實質上高純度本質。為了得到這種 V_OH 被充分減少的氧化物半導體，重要的是：去除氧化物半導體中的水分、氫等雜質（有時記載為脫水、脫氫化處理）；以及對氧化物半導體供應氧來填補氧空位（有時也稱為加氧化處理）。藉由將 V_OH 等雜質被充分減少的氧化物半導體用於電晶體的通道形成區域，可以賦予穩定的電特性。

[0223]

另外，較佳為將載子濃度低的氧化物半導體用於電晶體。為了降低氧化物半導體的載子濃度，可以降低氧化物半導體中的雜質濃度以降低缺陷態密度。在本說明書等中，將雜質濃度低且缺陷態密度低的狀態稱為高純度本質或實質上高純度本質。另外，作為氧化物半導體中的雜質，例如有氫、氮、鹼金屬、鹼土金屬、鐵、鎳、矽等。

[0224]

特別是，包含在氧化物半導體中的氫與鍵合於金屬原子的氧起反應生成水，因此有時氧化物半導體中形成氧空位。在氧化物半導體中的通道形成區域包含氧空位的情況下，電晶體有可能具有常開啟特性。再者，有時氫進入氧空位中的缺陷被用作施體而產生作為載子的電子。有時由於氫的一部分與鍵合於金屬原子的氧鍵合，產生作為載子的電子。因此，使用包含多量的氫的氧化物半導體的電晶體容易具有常開啟特性。

[0225]

氫進入氧空位中的缺陷（V_OH）有時被用作氧化物半導體的施體。然而，難以對該缺陷定量地進行評價。於是，在氧化物半導體中，有時不是根據施體濃度而是根據載子濃度進行評價。由此，在本說明書等中，有時作為氧化物半導體的參數，不採用施體濃度而採用假定不被施加電場的狀態下的載子濃度。也就是說，有時也可以將本說明書等所記載的“載子濃度”稱為“施體濃度”。

[0226]

由此，較佳為儘可能減少氧化物半導體中的氫。明確而言，在氧化物半導體膜中，利用二次離子質譜（SIMS：Secondary Ion Mass Spectrometry）測得的氫濃度低於 $1\times10^{20}atoms/cm^3$，較佳為低於 $1\times10^{19}atoms/cm^3$，更佳為低

於 5×10^{18}atoms/cm^3，進一步較佳為低於 1×10^{18}atoms/cm^3。藉由將氫等雜質被充分減少的氧化物半導體用於電晶體的通道形成區域，可以賦予穩定的電特性。

[0227]

通道形成區域的氧化物半導體的載子濃度較佳為 1×10^{18}cm^{-3}以下，更佳為低於 1×10^{17}cm^{-3}，進一步較佳為低於 1×10^{16}cm^{-3}，進一步較佳為低於 1×10^{13}cm^{-3}，進一步較佳為低於 1×10^{12}cm^{-3}。另外，對通道形成區域的氧化物半導體的載子濃度的下限值並沒有特別的限定，例如可以為 1×10^{-9}cm^{-3}。

[0228]

根據本發明的一個實施方式可以提供一種可靠性良好的半導體裝置。根據本發明的一個實施方式可以提供一種具有良好的電特性的半導體裝置。根據本發明的一個實施方式可以提供一種通態電流大的半導體裝置。根據本發明的一個實施方式可以提供一種能夠進行微型化或高積體化的半導體裝置。根據本發明的一個實施方式可以提供一種低功耗的半導體裝置。

[0229]

〈〈其他半導體材料〉〉

可以用於氧化物 230 的半導體材料不侷限於上述金屬氧化物。作為氧化物 230，也可以使用具有能帶間隙的半導體材料（不是零能帶間隙半導體的半導體材料）。例如，較佳為將矽等單個元素的半導體、砷化鎵等化合物半導體、被用作半導體的層狀物質（也稱為原子層物質、二維材料等）等用於半導體材料。特別是，較佳為將被用作半導體的層狀物質用於半導體材料。

[0230]

在此，在本說明書等中，層狀物質是具有層狀結晶結構的材料群的總稱。層狀結晶結構是由共價鍵或離子鍵形成的層藉由如范德華力那樣的比共價鍵或離子鍵弱的鍵合層疊的結構。層狀物質在每單位層中具有高導電性，亦即，具有高二維導電性。藉由將被用作半導體並具有高二維導電性的材料用於通道形成區域，可以提供通態電流大的電晶體。

[0231]

作為層狀物質，有石墨烯、矽烯、硫族化物等。硫族化物是包含硫族元素的化合物。此外，硫族元素是屬於第十六族的元素的總稱，其中包括氧、硫、硒、碲、釙、鉝。另外，作為硫族化物，可以舉出過渡金屬硫族化物、第十三族硫族化物等。

[0232]

作為氧化物 230，例如較佳為使用被用作半導體的過渡金屬硫族化物。作為能夠被用作氧化物 230 的過渡金屬硫族化物，具體地可以舉出硫化鉬（典型的是 MoS_2）、硒化鉬（典型的是 $MoSe_2$）、碲化鉬（典型的是 $MoTe_2$）、硫化鎢（典型的是 WS_2）、硒化鎢（典型的是 WSe_2）、碲化鎢（典型的是 WTe_2）、硫化鉿（典型的是 HfS_2）、硒化鉿（典型的是 $HfSe_2$）、硫化鋯（典型的是 ZrS_2）、硒化鋯（典型的是 $ZrSe_2$）等。

[0233]

〈半導體裝置的製造方法〉

接著，參照圖 10A 至圖 26D 說明圖 7A 至圖 7D 所示的包括根據本發明的電晶體 200 的半導體裝置的製造方法。在圖 10A 至圖 26D 中，每個圖式中的 A 示出俯視圖。另外，每個圖式中的 B 示出沿著 A 中的點劃線 A1-A2 的部分的剖面圖，該剖面圖相當於電晶體 200 的通道長度方向上的剖面圖。每個圖式中的 C 示出沿著 A 中的點劃線 A3-A4 的部分的剖面圖，該剖面圖相當於電晶體 200 的通道寬度方向上的剖面圖。每個圖式中的 D 示出沿著 A 中的點劃線 A5-A6 的部分的剖面圖。為了明確起見，在每個圖式中的 A 的俯視圖中省略部分組件。

[0234]

首先，準備基板（未圖示），在該基板上形成絕緣體 211。絕緣體 211 可以利用濺射法、化學氣相沉積（CVD）法、分子束磊晶（MBE：Molecular Beam Epitaxy）法、脈衝雷射沉積（PLD：Pulsed Laser Deposition）法或 ALD 法等形成。

[0235]

注意，CVD 法可以分為利用電漿的電漿 CVD（PECVD）法、利用熱的熱 CVD 法、利用光的光 CVD 法等。再者，CVD 法可以根據使用的源氣體分為金屬 CVD 法及有機金屬 CVD 法。此外，CVD 法還可以根據成膜時的壓力分為大氣壓下進行成膜的常壓 CVD 法及在低於大氣壓的減壓狀態下進行成膜的減壓 CVD 法。

[0236]

藉由利用電漿 CVD 法，可以以較低的溫度得到高品質的膜。另外，因為不使用電漿，熱 CVD 法是能夠減少對被處理物造成的電漿損傷的成膜方法。例如，包括在半導體裝置中的佈線、電極、元件（電晶體、電容器等）等有時因從電漿接收電荷而會產生電荷積聚（charge up）。此時，有時由於

所累積的電荷而使包括在半導體裝置中的佈線、電極、元件等受損傷。另一方面，因為在不使用電漿的熱 CVD 法的情況下不產生上述電漿損傷，所以能夠提高半導體裝置的良率。另外，在熱 CVD 法中，不產生成膜時的電漿損傷，因此能夠得到缺陷較少的膜。

[0237]

作為 ALD 法，採用只利用熱能使前驅物及反應物起反應的熱 ALD（Thermal ALD）法、使用受到電漿激發的反應物的 PEALD（Plasma Enhanced ALD）法等。

[0238]

ALD 法可以利用作為原子的性質的自調節性來沉積每一層的原子，從而具有能夠形成極薄的膜、能夠對縱橫比高的結構形成膜、能夠以針孔等的缺陷少的方式形成膜、能夠形成覆蓋性優良的膜及能夠在低溫下形成膜等的效果。在 PEALD 法中，藉由利用電漿可以在更低溫下進行成膜，所以有時是較佳的。注意，ALD 法中使用的前驅物有時包含碳等雜質。因此，利用 ALD 法形成的膜有時與利用其他的成膜方法形成的膜相比包含更多的碳等雜質。另外，雜質的定量可以利用 X 射線光電子能譜（XPS：X-ray Photoelectron Spectroscopy）進行。

[0239]

不同於使從靶材等中被釋放的粒子沉積的成膜方法，CVD 法及 ALD 法是因被處理物表面的反應而形成膜的成膜方法。因此，藉由 CVD 法及 ALD 法形成的膜不易受被處理物的形狀的影響而具有良好的步階覆蓋性。尤其是，利用 ALD 法形成的膜具有良好的步階覆蓋性和厚度均勻性，所以 ALD 法適合用於要覆蓋縱橫比高的開口的表面的情況等。注意，ALD 法的沉積速度比較慢，所以有時較佳為與 CVD 法等沉積速度快的其他成膜方法組合而使用。

[0240]

CVD 法及 ALD 法可以藉由調整源氣體的流量比控制所得到的膜的組成。例如，當使用 CVD 法或 ALD 法時，可以藉由調整源氣體的流量比形成任意組成的膜。此外，例如，當使用 CVD 法及 ALD 法時，可以藉由在改變源氣體的流量比的同時進行成膜來形成其組成連續變化的膜。當在改變源氣體的流量比的同時進行成膜時，因為不需要傳送及調整壓力所需的時間，所以與使用多個成膜室進行成膜的情況相比可以縮短成膜時間。因此，有時可以提高半導體裝置的生產率。

[0241]

在本實施方式中，作為絕緣體 211，藉由 CVD 法形成氮化矽。接著，在絕緣體 211 上形成絕緣體 212。絕緣體 212 可以利用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成。在本實施方式中，作為絕緣體 212 利用濺射法形成氮化矽。

[0242]

接著，在絕緣體 212 上形成絕緣體 214。絕緣體 214 可以利用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成。在本實施方式中，作為絕緣體 214 使用氧化鋁。

[0243]

藉由作為絕緣體 211 及絕緣體 212 使用氮化矽等不容易使銅透過的絕緣體，並在絕緣體 212 上配置絕緣體 214，即使作為絕緣體 211 的下方的層（未圖示）的導電體使用銅等容易擴散的金屬，也可以抑制該金屬經過絕緣體 211 及絕緣體 212 擴散到上方的層。此外，藉由使用氮化矽等水或氫等雜質不易透過的絕緣體，可以防止水或氫等雜質從絕緣體 211 的下層擴散。

[0244]

絕緣體 212 的氫濃度較佳為低於絕緣體 211 的氫濃度。絕緣體 214 的氫濃度較佳為低於絕緣體 212 的氫濃度。作為絕緣體 212 藉由濺射法形成氮化矽，從而可以形成其氫濃度比藉由 CVD 法形成氮化矽而成的絕緣體 211 低的氮化矽。此外，藉由作為絕緣體 214 採用氧化鋁，可以使其氫濃度低於絕緣體 212。

[0245]

在後面的製程中，在絕緣體 214 上形成電晶體 200。與電晶體 200 鄰接的膜的氫濃度較佳為較低，並且較佳為將氫濃度較高的膜與電晶體 200 離開地配置。

[0246]

接著，在絕緣體 214 上形成絕緣體 216。絕緣體 216 可以利用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成。在本實施方式中，作為絕緣體 216 使用氧化矽或氧氮化矽。此外，絕緣體 216 較佳為採用上述使用氫原子得到減少或被去除的氣體的成膜方法形成。由此，可以降低絕緣體 216 的氫濃度。

[0247]

接著，在絕緣體 216 中形成到達絕緣體 214 的開口。開口例如包括槽或

狹縫等。此外，有時將形成有開口的區域稱為開口。在形成該開口時，可以使用濕蝕刻法，但是對微型加工來說乾蝕刻法是較較佳的。作為絕緣體214，較佳為選擇在對絕緣體216進行蝕刻以形成槽時用作蝕刻停止膜的絕緣體。例如，當作為形成槽的絕緣體216使用氧化矽膜或氧氮化矽膜時，絕緣體214較佳為使用氮化矽膜、氧化鋁膜、氧化鉿膜。

[0248]

在形成開口後，形成成為導電體205a的導電膜。該導電膜較佳為包含具有抑制氧的透過的功能的導電體。例如，可以使用氮化鉭、氮化鎢、氮化鈦等。或者，可以使用該導電體與鉭、鎢、鈦、鉬、鋁、銅或鉬鎢合金的疊層膜。成為導電體205a的導電膜可以利用濺射法、CVD法、MBE法、PLD法或ALD法等形成。

[0249]

在本實施方式中，成為導電體205a的導電膜採用多層結構。首先，利用濺射法進行氮化鉭的成膜，在該氮化鉭上層疊氮化鈦。藉由將這種金屬氮化物用於導電體205b的下層，即使作為後面說明的成為導電體205b的導電膜使用銅等容易擴散的金屬，也可以抑制該金屬從導電體205a擴散到外部。

[0250]

接著，形成成為導電體205b的導電膜。該導電膜可以使用電鍍法、濺射法、CVD法、MBE法、PLD法或ALD法等形成。在本實施方式中，作為成為導電體205b的導電膜，形成銅等低電阻導電材料。

[0251]

接著，藉由進行CMP（Chemical Mechanical Polishing：化學機械拋光）處理，去除成為導電體205a的導電膜以及成為導電體205b的導電膜的一部分，使絕緣體216露出。其結果是，只在開口殘留導電體205a及導電體205b。由此，可以形成其頂面平坦的導電體205。注意，有時由於該CMP處理而絕緣體216的一部分被去除（參照圖10A至圖10D）。

[0252]

另外，在上面記載中，以嵌入絕緣體216的開口中的方式形成導電體205，但是本實施方式不侷限於此。例如，也可以在絕緣體214上形成導電體205，在導電體205上形成絕緣體216，並藉由對絕緣體216進行CMP處理去除絕緣體216的一部分，來使導電體205的表面露出。

[0253]

接著，在絕緣體 216 及導電體 205 上形成絕緣體 222。作為絕緣體 222，較佳為形成包含鋁和鉿中的一者或兩者的氧化物的絕緣體。另外，作為包含鋁和鉿中的一者或兩者的氧化物的絕緣體，較佳為使用氧化鋁、氧化鉿、包含鋁及鉿的氧化物（鋁酸鉿）等。包含鋁和鉿中的一者或兩者的氧化物的絕緣體對氧、氫及水具有阻擋性。當絕緣體 222 對氫及水具有阻擋性時，可以抑制設置在電晶體 200 周圍的結構體所包含的氫及水藉由絕緣體 222 擴散到電晶體 200 的內側，從而可以抑制氧化物 230 中的氧空位的生成。

[0254]

絕緣體 222 可以藉由濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成。

[0255]

接著，在絕緣體 222 上形成絕緣體 224。絕緣體 224 可以利用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成。在本實施方式中，作為絕緣體 224 使用氧化矽或氧氮化矽。此外，絕緣體 224 較佳為採用上述使用氫原子得到減少或被去除的氣體的成膜方法形成。由此，可以降低絕緣體 224 的氫濃度。由於絕緣體 224 在後面製程中成為與氧化物 230a 接觸的絕緣體 224，因此較佳為像上述那樣降低其氫濃度。

[0256]

接著，較佳為進行加熱處理。加熱處理以 250℃以上且 650℃以下，較佳為以 300℃以上且 500℃以下，更佳為以 320℃以上且 450℃以下進行即可。加熱處理在氮或惰性氣體氛圍或者包含 10ppm 以上、1%以上或 10%以上的氧化性氣體的氛圍下進行。加熱處理也可以在減壓狀態下進行。或者，加熱處理也可以在氮或惰性氣體氛圍下進行加熱處理，然後為了填補脫離了的氧在包含 10ppm 以上、1%以上或 10%以上的氧化性氣體的氛圍下進行加熱處理。

[0257]

在本實施方式中，在氮氛圍下以 400℃的溫度進行 1 小時的處理，接下來連續地在氧氛圍下以 400℃的溫度進行 1 小時的處理。藉由進行該加熱處理，可以去除絕緣體 224 所包含的水、氫等雜質。

[0258]

另外，也可以在形成絕緣體 222 之後進行加熱處理。該加熱處理可以採用上述加熱處理的條件。

[0259]

在此，為了在絕緣體 224 中形成過量氧區域，也可以在減壓狀態下進行包含氧的電漿處理。包含氧的電漿處理例如較佳為採用包括用來產生使用微波的高密度電漿的電源的裝置。或者，也可以包括對基板一側施加 RF 等高頻的電源。藉由使用高密度電漿可以生成高密度氧自由基，且藉由對基板一側施加 RF 可以將由高密度電漿生成的氧自由基高效地導入絕緣體 224 中。或者，也可以在使用這種裝置進行包含惰性氣體的電漿處理之後，為填補脫離的氧而進行包含氧的電漿處理。另外，藉由適當地選擇該電漿處理的條件，可以去除絕緣體 224 所包含的水、氫等雜質。此時，也可以不進行加熱處理。

[0260]

在此，例如也可以在絕緣體 224 上藉由濺射法形成氧化鋁，並對該氧化鋁進行 CMP 直到到達絕緣體 224 為止。藉由進行該 CMP，可以進行絕緣體 224 表面的平坦化及絕緣體 224 表面的平滑化。藉由將該氧化鋁配置於絕緣體 224 上進行 CMP，容易檢測出 CMP 的終點。此外，有時由於絕緣體 224 的一部分藉由 CMP 被拋光而絕緣體 224 的厚度變薄，但是在絕緣體 224 的成膜時調整厚度，即可。藉由進行絕緣體 224 表面的平坦化及平滑化，有時可以防止下面進行成膜的氧化物的覆蓋率的降低並防止半導體裝置的良率的降低。此外，藉由在絕緣體 224 上利用濺射法形成氧化鋁，可以對絕緣體 224 添加氧，所以是較佳的。

[0261]

接著，在絕緣體 224 上依次形成氧化膜 230A 以及氧化膜 230B（參照圖 10A 至圖 10D）。較佳為在不暴露於大氣環境的情況下連續地形成上述氧化膜。藉由以不暴露於大氣的方式形成氧化膜，可以防止來自大氣環境的雜質或水分附著於氧化膜 230A 及氧化膜 230B，所以可以保持氧化膜 230A 與氧化膜 230B 的介面附近的清潔。

[0262]

氧化膜 230A 及氧化膜 230B 可以利用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成。

[0263]

例如，在利用濺射法形成氧化膜 230A 以及氧化膜 230B 的情況下，作為濺射氣體使用氧或者氧和稀有氣體的混合氣體。藉由增高濺射氣體所包含的氧的比率，可以增加在形成的氧化膜中的過量氧。另外，在利用濺射法形成上述氧化膜的情況下，例如可以使用上述 In-M-Zn 氧化物靶材。

[0264]

尤其是，在形成氧化膜 230A 時，有時濺射氣體所包含的氧的一部分供應給絕緣體 224。因此，氧化膜 230A 的濺射氣體所包含的氧的比率可以為 70%以上，較佳為 80%以上，更佳為 100%。

[0265]

此外，在利用濺射法形成氧化膜 230B 的情況下，當在濺射氣體所包含的氧的比率設定為 1%以上且 30%以下，較佳為 5%以上且 20%以下的狀態下進行成膜時，形成氧缺乏型氧化物半導體。將氧缺乏型氧化物半導體用於通道形成區域的電晶體可以具有較高的場效移動率。另外，藉由在對基板進行加熱的同時進行成膜，可以提高該氧化膜的結晶性。注意，本發明的一個實施方式不侷限於此。在藉由濺射法形成氧化膜 230B 時，藉由以將濺射氣體所包含的氧的比率設定為超過 30%且 100%以下，較佳為設定為 70%以上且 100%以下的方式形成氧化膜 230B，由此形成氧過剩型氧化物半導體。將氧過剩型氧化物半導體用於通道形成區域的電晶體得到較高的可靠性。

[0266]

在本實施方式中，利用濺射法使用 In：Ga：Zn=1：1：0.5[原子個數比]（2：2：1[原子個數比]）或 1：3：4[原子個數比]的靶材形成氧化膜 230A。另外，利用濺射法使用 In：Ga：Zn=4：2：4.1[原子個數比]或 1：1：1[原子個數比]的靶材形成氧化膜 230B。上述氧化膜可以根據氧化物 230 所需的特性適當地選擇成膜條件及原子個數比來形成。

[0267]

接著，也可以進行加熱處理。作為加熱處理的條件，可以利用上述加熱處理條件。藉由進行加熱處理，可以去除氧化膜 230A 以及氧化膜 230B 中的水、氫等雜質等。在本實施方式中，在氮氛圍下以 400℃的溫度進行 1 小時的處理，接下來連續地在氧氛圍下以 400℃的溫度進行 1 小時的處理。

[0268]

接著，在氧化膜 230B 上形成氧化膜 243A（參照圖 10A 至圖 10D）。氧化膜 243A 可以使用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成。氧化膜 243A 中的相對於 In 的 Ga 的原子個數比較佳為比氧化膜 230B 中的相對於 In 的 Ga 的原子個數比大。在本實施方式中，藉由濺射法使用 In：Ga：Zn=1：3：4[原子個數比]的靶材形成氧化膜 243A。

[0269]

接著，在氧化膜 243A 上形成導電膜 242A（參照圖 10A 至圖 10D）。可以利用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成導電膜 242A。

[0270]

接著，藉由採用光微影法將氧化膜 230A、氧化膜 230B、氧化膜 243A 及導電膜 242A 加工為島狀，來形成氧化物 230a、氧化物 230b、氧化物層 243B 及導電體層 242B（參照圖 11A 至圖 11D）。在此，以至少其一部分與導電體 205 重疊的方式形成氧化物 230a、氧化物 230b、氧化物層 243B 及導電體層 242B。此外，作為該加工可以採用乾蝕刻法或濕蝕刻法。藉由乾蝕刻法進行的加工適合於微型加工。另外，在該製程中，有時絕緣體 224 中的不與氧化物 230a 重疊的區域的厚度變薄。

[0271]

另外，在光微影法中，首先藉由遮罩對光阻劑進行曝光。接著，使用顯影液去除或留下所曝光的區域而形成光阻遮罩。接著，隔著該光阻遮罩進行蝕刻處理來將導電體、半導體或絕緣體等加工為所希望的形狀。例如，可以使用 KrF 準分子雷射、ArF 準分子雷射、EUV（Extreme Ultraviolet：極紫外）光等對光阻劑進行曝光來形成光阻遮罩。此外，也可以利用在基板和投影透鏡之間填滿液體（例如，水）的狀態下進行曝光的液浸技術。另外，也可以使用電子束或離子束代替上述光。注意，當使用電子束或離子束時不需要遮罩。另外，在去除光阻遮罩時，可以進行灰化處理等乾蝕刻處理或濕蝕刻處理，也可以在進行乾蝕刻處理之後進行濕蝕刻處理，又可以在進行濕蝕刻處理之後進行乾蝕刻處理。

[0272]

或者，也可以使用由絕緣體或導電體構成的硬遮罩代替光阻遮罩。當使用硬遮罩時，可以在導電膜 242A 上形成成為硬遮罩材料的絕緣膜或導電膜且在其上形成光阻遮罩，然後對硬遮罩材料進行蝕刻來形成所希望的形狀的硬遮罩。對導電膜 242A 等進行的蝕刻既可以在去除光阻遮罩後進行，又可以不去除光阻遮罩進行。在採用後者的情況下，進行蝕刻時有時光阻遮罩消失。另外，也可以在導電膜 242A 等的蝕刻之後，藉由蝕刻去除硬遮罩。另一方面，在硬遮罩材料沒有影響到後製程或者可以在後製程中使用的情況下，不一定要去除硬遮罩。

[0273]

作為乾蝕刻裝置，可以使用包括平行平板型電極的電容耦合型電漿（CCP：Capacitively Coupled Plasma）蝕刻裝置。包括平行平板型電極的電

容耦合型電漿蝕刻裝置也可以採用對平行平板型電極中的一個施加高頻功率的結構。或者，也可以採用對平行平板型電極中的一個施加不同的多個高頻功率的結構。或者，也可以採用對平行平板型電極的各個施加頻率相同的高頻功率的結構。或者，也可以採用對平行平板型電極的各個施加頻率不同的高頻功率的結構。或者，也可以利用具有高密度電漿源的乾蝕刻裝置。例如，作為具有高密度電漿源的乾蝕刻裝置，可以使用感應耦合電漿（ICP：Inductively Coupled Plasma）蝕刻裝置等。

[0274]

此外，氧化物 230a、氧化物 230b、氧化物層 243B 及導電體層 242B 的側面較佳為對絕緣體 222 的頂面大致垂直。在氧化物 230a、氧化物 230b、氧化物層 243B 及導電體層 242B 的側面對絕緣體 222 的頂面大致垂直時，當設置多個電晶體 200 時能夠實現小面積化、高密度化。但是，不侷限於此，也可以採用氧化物 230a、氧化物 230b、氧化物層 243B 及導電體層 242B 的側面與絕緣體 222 的頂面所形成的角度較小的結構。

[0275]

接著，在絕緣體 224、氧化物 230a、氧化物 230b、氧化物層 243B 及導電體層 242B 上形成絕緣體 272（參照圖 12A 至圖 12D）。絕緣體 272 可以利用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成。在本實施方式中，作為絕緣體 272 利用濺射法形成氧化鋁。可以藉由濺射法形成氧化鋁來對絕緣體 224 注入氧。

[0276]

接著，在絕緣體 272 上形成絕緣體 273（參照圖 12A 至圖 12D）。絕緣體 273 可以利用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成。在本實施方式中，作為絕緣體 273 利用濺射法形成氮化矽。

[0277]

接著，形成絕緣體 280。絕緣體 280 可以利用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成。例如，作為絕緣體 280，可以藉由濺射法形成氧化矽膜，並在其上藉由 PEALD 法或熱 ALD 法形成氧化矽膜。此外，絕緣體 280 較佳為採用上述使用氫原子得到減少或被去除的氣體的成膜方法形成。由此，可以降低絕緣體 280 的氫濃度。

[0278]

接著，對絕緣體 280 進行 CMP 處理來形成頂面平坦的絕緣體 280（參照圖 13A 至圖 13D）。此外，與絕緣體 224 同樣地，例如，也可以在絕緣體

280 上藉由濺射法形成氧化鋁，並對該氧化鋁進行 CMP 直到到達絕緣體 280 為止。

[0279]

接著，對絕緣體 280 的一部分、絕緣體 273 的一部分、絕緣體 272 的一部分、導電體層 242B 的一部分及氧化物層 243B 的一部分進行加工，來形成到達氧化物 230b 的開口（參照圖 14A 至圖 14D）。該開口較佳為與導電體 205 重疊地形成。藉由形成該開口，形成導電體 242a、導電體 242b、氧化物 243a 及氧化物 243b。

[0280]

可以採用乾蝕刻法或濕蝕刻法進行絕緣體 280 的一部分、絕緣體 273 的一部分、絕緣體 272 的一部分、氧化物層 243B 的一部分及導電體層 242B 的一部分的加工。採用乾蝕刻法的加工適合於微型加工。此外，該加工也可以以互不相同的條件進行。例如，也可以藉由乾蝕刻法對絕緣體 280 的一部分進行加工，藉由濕蝕刻法對絕緣體 273 的一部分進行加工，藉由乾蝕刻法對絕緣體 272 進行加工，並藉由乾蝕刻法對氧化物層 243B 及導電體層 242B 的一部分進行加工。

[0281]

藉由進行上述乾蝕刻等的處理，有時起因於蝕刻氣體等的雜質附著於或擴散於氧化物 230a 及氧化物 230b 等的表面或內部。作為雜質，例如有氟或氯等。

[0282]

為了去除上述雜質等，進行洗滌。作為洗滌方法，有使用洗滌液等的濕式洗滌、使用電漿的等離子處理以及使用加熱處理的洗滌等，也可以適當地組合上述洗滌。

[0283]

作為濕式洗滌，可以使用用碳酸水或純水稀釋草酸、磷酸、氨水或氫氟酸等而成的水溶液進行洗滌處理。或者，可以使用純水或碳酸水進行超聲波洗滌。

[0284]

由於上述乾蝕刻等加工或上述洗滌處理而有時氧化物 230b 中的不與氧化物 243a 及氧化物 243b 重疊的區域的厚度比氧化物 230b 中的與氧化物 243a 及氧化物 243b 重疊的區域的厚度薄（參照圖 14A 至圖 14D）。

[0285]

此外，也可以在上述蝕刻或上述洗滌後進行加熱處理。例如，在 100℃以上且 450℃以下，更佳為在 350℃以上且 400℃以下進行加熱處理。另外，在氮氣體或惰性氣體的氛圍或包含 10ppm 以上，1%以上或 10%以上的氧化性氣體的氛圍下進行加熱處理。例如，較佳為在氧氛圍下進行加熱處理。由此，對氧化物 230a 及氧化物 230b 供應氧，從而可以減少氧空位 V_O。此外，也可以在減壓狀態下進行加熱處理。或者，也可以在氧氛圍下進行加熱處理，然後以不暴露於大氣的方式在氮氛圍下連續地進行加熱處理。

[0286]

接著，形成氧化膜 230C（參照圖 15A 至圖 15D）。另外，也可以在形成氧化膜 230C 之前進行加熱處理，該加熱處理較佳為在減壓下進行，並以不暴露於大氣的方式連續地形成氧化膜 230C。此外，該加熱處理較佳為在包含氧的氛圍下進行。藉由進行這種處理，可以去除附著於氧化物 230b 的表面等的水分及氫，而且減少氧化物 230a 及氧化物 230b 中的水分濃度及氫濃度。加熱處理的溫度較佳為 100℃以上且 400℃以下，更佳為 150℃以上且 350℃以下。在本實施方式中，加熱處理的溫度為 200℃，且在減壓下進行加熱處理。

[0287]

在此，較佳為以至少與氧化物 230b 的頂面的一部分、氧化物 243 的側面的一部分、導電體 242 的側面的一部分、絕緣體 272 的側面的一部分、絕緣體 273 的側面的一部分及絕緣體 280 的側面的一部分接觸的方式設置氧化膜 230C。由於導電體 242 被氧化物 243、絕緣體 272、絕緣體 273 及氧化膜 230C 圍繞，可以在後面的製程中抑制導電體 242 的氧化所導致的導電率下降。

[0288]

氧化膜 230C 可以使用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成。氧化膜 230C 中的相對於 In 的 Ga 的原子個數比較佳為比氧化膜 230B 中的相對於 In 的 Ga 的原子個數比大。在本實施方式中，作為氧化膜 230C，利用濺射法使用 In：Ga：Zn =1：3：4[原子個數比]的靶材進行成膜。

[0289]

另外，氧化膜 230C 也可以為疊層。例如，也可以利用濺射法使用 In：Ga：Zn=4：2：4.1[原子個數比]的靶材進行成膜，接著連續地使用 In：Ga：Zn=1：3：4[原子個數比]的靶材進行成膜。

[0290]

在形成氧化膜 230C 時，有時濺射氣體所包含的氧的一部分供應給氧化物 230a 及氧化物 230b。或者，在形成氧化膜 230C 時，濺射氣體所包含的氧的一部分供應給絕緣體 280。因此，氧化膜 230C 的濺射氣體所包含的氧的比率可以為 70%以上，較佳為 80%以上，更佳為 100%。

[0291]

接著，也可以進行加熱處理。該加熱處理也可以在減壓下進行，並其中以不暴露於大氣的方式連續地形成絕緣膜 250A。藉由進行該加熱處理，可以去除附著於氧化膜 230C 的表面等的水分及氫，而且減少氧化物 230a、氧化物 230b 及氧化膜 230C 中的水分濃度及氫濃度。加熱處理的溫度較佳為 100℃以上且 400℃以下。在本實施方式中，加熱處理的溫度為 200℃。

[0292]

接著，在氧化膜 230C 上形成絕緣膜 250A（參照圖 15A 至圖 15D）。可以利用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成絕緣膜 250A。此外，較佳為藉由上述使用氫原子得到減少或被去除的氣體的成膜方法形成絕緣膜 250A。由此，可以降低絕緣膜 250A 的氫濃度。因為絕緣膜 250A 成為在後面的製程中與氧化物 230c 接觸的絕緣體 250，所以較佳為像上述那樣降低其氫濃度。

[0293]

接著，也可以照射微波或 RF 等高頻。照射的微波或 RF 等高頻滲透到絕緣體 280、氧化物 230b 及氧化物 230a 中去除其中的氫。特別是，在氧化物 230a 及氧化物 230b 中，發生 V_OH 鍵被切斷的反應而使其脫氫化。此時產生的氫的一部分有時被從氧化物 230 及絕緣體 280 中去除。此外，氫的一部分有時被導電體 242 吸雜。像這樣，藉由照射微波或 RF 等高頻，可以降低絕緣體 280、氧化物 230b 及氧化物 230a 中的氫濃度。

[0294]

另外，也可以使用微波或 RF 等高頻使氧氣體電漿化來形成氧自由基。也就是說，也可以在包含氧的氛圍下對絕緣體 280、氧化物 230b 及氧化物 230a 進行電漿處理。下面，有時將這種處理稱為氧電漿處理。此外，可以由所形成的氧自由基對絕緣體 280、氧化物 230b 及氧化物 230a 中供應氧。另外，當在包含氧的氛圍下對絕緣體 280、氧化物 230b 及氧化物 230a 進行電漿處理時，也可以採用氧化物 230 不容易被照射微波或 RF 等高頻的結構。

[0295]

氧電漿處理例如較佳為採用包括使用微波的產生高密度電漿的電源的

微波處理裝置。此外，微波處理裝置也可以包括對基板一側施加 RF 的電源。藉由使用高密度電漿，可以生成高密度的氧自由基。藉由對基板一側施加 RF，將由高密度電漿生成的氧離子高效地引入絕緣體 280 及氧化物 230 中。上述氧電漿處理較佳為在減壓下進行，並且其壓力為 60Pa 以上，較佳為 133Pa 以上，進一步較佳為 200Pa 以上，進一步較佳為 400Pa 以上。以 50% 以下的氧流量比（O_2/O_2+Ar），較佳為以 10%以上 30%以下的氧流量比進行。作為處理溫度，例如為 400℃左右，即可。此外，也可以在進行氧電漿處理之後，以不暴露於外氣的方式連續地進行加熱處理。

[0296]

接著，形成導電膜 260A（導電膜 260Aa 及導電膜 260Ab）（參照圖 16A 至圖 16D）。可以利用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成導電膜 260Aa 及導電膜 260Ab。例如，較佳為利用 CVD 法。在本實施方式中，利用 ALD 法形成導電膜 260Aa，利用 CVD 法形成導電膜 260Ab。

[0297]

接著，藉由利用 CMP 處理對氧化膜 230C、絕緣膜 250A、導電膜 260Aa 及導電膜 260Ab 進行拋光直到露出絕緣體 280 為止，形成氧化物 230c、絕緣體 250 及導電體 260（導電體 260a 及導電體 260b）（參照圖 17A 至圖 17D）。

[0298]

接著，也可以進行加熱處理。在本實施方式中，在氮氛圍下以 400℃的溫度進行 1 小時的處理。藉由該加熱處理，可以減少絕緣體 250 及絕緣體 280 中的水分濃度及氫濃度。此外，在上述加熱處理之後，以不暴露於大氣的方式連續地形成絕緣體 282。

[0299]

接著，在導電體 260、氧化物 230c、絕緣體 250 及絕緣體 280 上形成絕緣體 282（參照圖 18A 至圖 18D）。可以藉由採用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成絕緣體 282。作為絕緣體 282，例如較佳為藉由濺射法形成氧化鋁。藉由在包含氧的氛圍下採用濺射法形成絕緣體 282，可以在進行成膜的同時對絕緣體 280 添加氧。此時，較佳為在進行基板加熱的同時形成絕緣體 282。此外，藉由與導電體 260 的頂面接觸地形成絕緣體 282，可以在後面的加熱處理中抑制絕緣體 280 所包含的氧被導電體 260 吸收，所以是較佳的。

[0300]

接著，對絕緣體 282 的一部分、絕緣體 280 的一部分、絕緣體 273 的一

部分、絕緣體 272 的一部分、絕緣體 224 的一部分、絕緣體 222 的一部分、絕緣體 216 的一部分、絕緣體 214 的一部分及絕緣體 212 的一部分進行加工來形成到達絕緣體 211 的開口（參照圖 19A 至圖 19D）。該開口有時以圍繞電晶體 200 的方式形成。或者，該開口有時以圍繞多個電晶體 200 的方式形成。因此，在該開口中，絕緣體 282 的側面的一部分、絕緣體 280 的側面的一部分、絕緣體 273 的側面的一部分、絕緣體 272 的側面的一部分、絕緣體 224 的側面的一部分、絕緣體 222 的側面的一部分、絕緣體 216 的側面的一部分、絕緣體 214 的側面的一部分及絕緣體 212 的側面的一部分露出。

[0301]

可以採用乾蝕刻法或濕蝕刻法對絕緣體 282 的一部分、絕緣體 280 的一部分、絕緣體 273 的一部分、絕緣體 272 的一部分、絕緣體 224 的一部分、絕緣體 222 的一部分、絕緣體 216 的一部分及絕緣體 214 的一部分、絕緣體 212 的一部分進行加工。藉由乾蝕刻法進行的加工適合於微型加工。此外，該加工也可以以互不相同的條件進行。

[0302]

此時，也可以對絕緣體 280 等照射微波或 RF 等高頻。照射的微波或 RF 等高頻滲透到絕緣體 280、氧化物 230b 及氧化物 230a 等中而可以去除其中的氫。例如，在氧化物 230a 及氧化物 230b 中，發生 V_OH 鍵被切斷的反應而使其脫氫化。此時產生的氫的一部分有時被從氧化物 230 及絕緣體 280 中去除。此外，氫的一部分有時被導電體 242 吸雜。

[0303]

接著，覆蓋絕緣體 282、絕緣體 280、絕緣體 273、絕緣體 272、絕緣體 224、絕緣體 222、絕緣體 216、絕緣體 214 及絕緣體 212 地形成絕緣膜 287A（參照圖 20A 至圖 20D）。較佳為以與絕緣體 282 相同的條件形成絕緣膜 287A。例如，可以藉由濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成絕緣膜 287A。

[0304]

明確而言，作為絕緣膜 287A，例如較佳為藉由濺射法形成氧化鋁。藉由在包含氧的氛圍下採用濺射法形成絕緣膜 287A，可以在進行成膜的同時對絕緣體 280 添加氧。此時，較佳為在進行基板加熱的同時形成絕緣膜 287A。此外，因為與導電體 260 的頂面接觸地形成絕緣體 282，所以可以在絕緣膜 287A 的成膜處理中抑制絕緣體 280 所包含的氧被導電體 260 吸收，所以是較佳的。

[0305]

然後，對絕緣膜 287A 進行各向異性蝕刻處理，在絕緣體 282、絕緣體 280、絕緣體 273、絕緣體 272、絕緣體 224、絕緣體 222、絕緣體 216、絕緣體 214 及絕緣體 212 的側面上形成絕緣體 287（參照圖 21A 至圖 21D）。

[0306]

在此，當絕緣體 282 的側端部和絕緣體 287 的頂端部接觸且絕緣體 214 的側端部和絕緣體 287 的底端部接觸時，可以形成密封電晶體 200 及絕緣體 280 的結構。

[0307]

作為上述各向異性蝕刻處理，較佳為進行乾蝕刻處理。由此，可以去除形成在與基板面大致平行的面上的絕緣膜，而自對準地形成絕緣體 272。

[0308]

接著，覆蓋絕緣體 282、絕緣體 287、絕緣體 211 地形成絕緣體 283（參照圖 22A 至圖 22D）。可以利用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成絕緣體 283。此外，絕緣體 283 也可以採用多層結構。例如，可以藉由濺射法形成氮化矽，並在該氮化矽上藉由 CVD 法形成氮化矽。如圖 22A 至圖 22D 所示，絕緣體 283 在上述開口的底面與絕緣體 211 接觸。也就是說，電晶體 200 的頂面及側面由絕緣體 283 包圍，而底面由絕緣體 211 包圍。像這樣，藉由由阻擋性高的絕緣體 283 及絕緣體 211 包圍電晶體 200，可以防止水分及氫從外部進入。

[0309]

接著，也可以進行加熱處理。在本實施方式中，在氮氛圍下以 400℃進行 1 小時的處理。藉由該加熱處理，可以使在形成絕緣體 282 時添加的氧擴散到絕緣體 280，而且將該氧經過氧化物 230c 供應給氧化物 230a 及氧化物 230b。像這樣，對氧化物 230 進行加氧化處理來由氧填補氧化物 230（氧化物 230b）中的氧空位。

[0310]

再者，殘留在氧化物 230 中的氫經過絕緣體 280 擴散到絕緣體 282 及絕緣體 287，而被絕緣體 287 俘獲或固定到絕緣體 287。也就是說，可以抑制殘留在氧化物 230 中的氫與氧空位再結合而形成 V_OH。另外，該加熱處理不侷限於在形成絕緣體 283 之後進行，也可以在形成絕緣體 282 之後進行。

[0311]

此外，也可以在絕緣體 283 上形成絕緣體 284（參照圖 23A 至圖 23D）。

較佳為藉由覆蓋性高的成膜方法形成絕緣體 284。例如，可以藉由濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成絕緣體 284。絕緣體 284 較佳為使用與絕緣體 211、絕緣體 212 及絕緣體 283 相同的材料。

[0312]

明確而言，較佳為藉由 CVD 法形成氮化矽。尤其是，較佳為使用不包含氫原子或氫原子含量少的化合物氣體並採用 CVD 法形成絕緣體 284。

[0313]

藉由採用使用氫原子得到減少或被去除的氣體的成膜方法形成絕緣體 284，可以減少絕緣體 284 所包含的氫量。也就是說，可以降低絕緣體 284 所包含的氫濃度來減少混入氧化物半導體的通道形成區域中的氫。

[0314]

接著，在絕緣體 284 上形成成為絕緣體 274 的絕緣膜。可以藉由濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成成為絕緣體 274 的絕緣膜。此外，較佳為藉由上述使用氫原子得到減少或被去除的氣體的成膜方法形成成為絕緣體 274 的絕緣膜。由此，可以降低成為絕緣體 274 的絕緣膜的氫濃度。

[0315]

接下來，對成為絕緣體 274 的絕緣膜進行 CMP 處理來形成其頂面平坦的絕緣體 274（參照圖 24A 至圖 24D）。

[0316]

接著，在絕緣體 272、絕緣體 273、絕緣體 280、絕緣體 282、絕緣體 283 及絕緣體 284 中形成到達導電體 242 的開口（參照圖 25A 至圖 25D）。可以藉由光微影法形成該開口。注意，在圖 25A 中該開口在俯視時的形狀為圓形，但是不侷限於此。例如，在俯視時，該開口也可以具有橢圓等大致圓形形狀、四角形等多角形形狀、使四角形等多角形的角部帶弧形的形狀。

[0317]

接著，形成成為絕緣體 241 的絕緣膜，並對該絕緣膜進行各向異性蝕刻來形成絕緣體 241（參照圖 25A 至圖 25D）。可以利用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成成為絕緣體 241 的絕緣膜。作為成為絕緣體 241 的絕緣膜，較佳為使用具有抑制氧的透過的功能的絕緣膜。例如，較佳為藉由 PEALD 法形成氧化鋁。或者，與絕緣體 283 的形成同樣地，較佳為藉由 PEALD 法形成氮化矽。氮化矽對氫具有高阻擋性，所以是較佳的。

[0318]

此外，作為對成為絕緣體 241 的絕緣膜進行的各向異性蝕刻，例如可

以採用乾蝕刻法等。藉由在開口的側壁部設置絕緣體 241，可以抑制來自外部的氧的透過，並防止接下來要形成的導電體 240a 及導電體 240b 的氧化。此外，可以防止水、氫等雜質從導電體 240a 及導電體 240b 擴散到外部。

[0319]

接著，形成成為導電體 240a 及導電體 240b 的導電膜。成為導電體 240a 及導電體 240b 的導電膜較佳為包含具有抑制水、氫等雜質的透過的功能的導電體的疊層結構。例如，可以是氮化鉭、氮化鈦等和鎢、鉬、銅等的疊層。成為導電體 240 的導電膜可以利用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成。

[0320]

接著，藉由進行 CMP 處理，去除成為導電體 240a 及導電體 240b 的導電膜的一部分，使絕緣體 284 及絕緣體 274 的頂面露出。其結果是，只在開口殘留該導電膜，由此可以形成其頂面平坦的導電體 240a 及導電體 240b（參照圖 25A 至圖 25D）。注意，有時由於該 CMP 處理而絕緣體 284 的頂面的一部分及絕緣體 274 的頂面的一部分被去除。

[0321]

接著，形成成為導電體 246 的導電膜。成為導電體 246 的導電膜可以藉由濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成。

[0322]

接著，藉由光微影法對成為導電體 246 的導電膜進行加工，來形成與導電體 240a 的頂面接觸的導電體 246a 及與導電體 240b 的頂面接觸的導電體 246b（參照圖 26A 至圖 26D）。此時，導電體 246a 及導電體 246b 與絕緣體 284 不重疊的區域的絕緣體 284 的一部分有時被去除。

[0323]

接著，在導電體 246 及絕緣體 284 上形成絕緣體 286（參照圖 7A 至圖 7D）。另外，可以利用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成絕緣體 286。絕緣體 286 也可以採用多層結構。例如，可以藉由濺射法形成氮化矽，並在該氮化矽上藉由 CVD 法形成氮化矽。當在導電體 246 及絕緣體 284 上形成絕緣體 286 時，導電體 246 的頂面及導電體 246 的側面與絕緣體 286 接觸，而導電體 246 的底面與絕緣體 284 接觸。也就是說，導電體 246 可以採用由絕緣體 284 及絕緣體 286 包圍的結構。藉由採用這種結構，可以抑制來自外部的氧的透過來防止導電體 246 的氧化。此外，可以防止水、氫等雜質從導電體 246 向外擴散，所以是較佳的。

[0324]

藉由上述製程，可以製造包括圖 7A 至圖 7C 所示的電晶體 200 的半導體裝置。如圖 10A 至圖 26D 所示，藉由使用本實施方式所示的半導體裝置的製造方法可以製造電晶體 200。

[0325]

〈半導體裝置的應用例子〉

下面，參照圖 27A 和圖 27B 及圖 28 說明與上述〈半導體裝置的結構例子〉所示的半導體裝置不同的根據本發明的一個實施方式的包括電晶體 200 的半導體裝置的一個例子。注意，在圖 27A 和圖 27B 及圖 28 所示的半導體裝置中，對具有與構成〈半導體裝置的結構例子 1〉所示的半導體裝置（參照圖 7A 至圖 7D）的組件相同的組件的結構附加相同元件符號。在本節中，作為電晶體 200 的構成材料可以使用在〈半導體裝置的結構例子 1〉中進行了詳細說明的材料。

[0326]

〈〈半導體裝置的應用例子 1〉〉

圖 27A 及圖 27B 示出由絕緣體 283 和絕緣體 211 包圍多個電晶體 200_1 至電晶體 200_n 來將其密封的結構。圖 27A 及圖 27B 示出電晶體 200_1 至電晶體 200_n 沿著通道長度方向上排列，但是不侷限於此。電晶體 200_1 至電晶體 200_n 既可以在通道寬度方向上排列，也可以配置為矩陣狀。此外，根據設計，也可以不規則地配置。

[0327]

如圖 27A 所示，在多個電晶體 200_1 至電晶體 200_n 的外側形成有絕緣體 283 與絕緣體 211 接觸的部分（下面，有時稱為密封部 265）。以圍繞多個電晶體 200_1 至電晶體 200_n 的方式形成有密封部 265。藉由採用這種結構，可以由絕緣體 283 和絕緣體 211 包圍多個電晶體 200_1 至電晶體 200_n。因此，基板上設置有多個被密封部 265 圍繞的電晶體群。

[0328]

此外，也可以與密封部 265 重疊地設置切割線（有時稱為劃分線、分割線或截斷線）。因為以切割線分割上述基板，所以將被密封部 265 圍繞的電晶體群作為一個晶片取出。

[0329]

在圖 27A 中示出了由一個密封部 265 圍繞多個電晶體 200_1 至電晶體 200_n 的例子，但是不侷限於此。如圖 27B 所示，也可以由多個密封部圍繞

多個電晶體 200_1 至電晶體 200_n。在圖 27B 中，由密封部 265a 圍繞多個電晶體 200_1 至電晶體 200_n，而且還由外側的密封部 265b 圍繞該電晶體。

[0330]

像這樣，在由多個密封部圍繞多個電晶體 200_1 至電晶體 200_n 時，絕緣體 283 和絕緣體 211 接觸的部分變多，因此可以進一步提高絕緣體 283 和絕緣體 211 的密接性。由此，可以更牢固地密封多個電晶體 200_1 至電晶體 200_n。

[0331]

在此情況下，可以與密封部 265a 或密封部 265b 重疊地設置切割線或在密封部 265a 和密封部 265b 之間設置切割線。

[0332]

〈〈半導體裝置的應用例子 2〉〉

圖 28 是電晶體 200 的剖面圖。圖 28 所示的電晶體 200 的結構與圖 7A 至圖 7D 所示的電晶體 200 的結構的不同之處是不包括氧化物 230b。也就是說，在圖 28 所示的電晶體 200 中，由氧化物 230a、氧化物 230c1 及氧化物 230c2 構成氧化物 230。此外，導電體 242a 的底面及導電體 242b 的底面與氧化物 230a 接觸。

[0333]

在氧化物 230 採用氧化物 230a、氧化物 230c1 和氧化物 230c2 的疊層結構時具有如下優異效果。

[0334]

例如，當氧化物 230a 具有 In：Ga：Zn=1：3：4[原子個數比]的組成、氧化物 230c1 具有 In：Ga：Zn=4：2：3[原子個數比]的組成且氧化物 230c2 具有 In：Ga：Zn=1：3：4[原子個數比]的組成時，可以在氧化物 230c1 中設置通道形成區域。在採用這種該結構時，沿著形成在絕緣體 280、絕緣體 272、絕緣體 273、導電體 242（導電體 242a、導電體 242b）及氧化物 230a 中的開口形成 U 字狀（U-Shape）的氧化物 230c1 及氧化物 230c2。此外，可以使導電體 242a 的側面及導電體 242b 的側面與氧化物 230c1 的側面接觸。此外，氧化物 230c1 的頂面與氧化物 230c2 接觸，因此可以防止絕緣體 250 與氧化物 230c1 接觸。

[0335]

藉由採用上述結構，可以減小導電體 242（導電體 242a 及導電體 242b）和氧化物 230c1 的接觸面積。藉由減小導電體 242 和氧化物 230c1 的接觸面

積，可以減少在導電體 242 和氧化物 230c1 之間會產生的結汲極電流。此外，藉由調整導電體 242 的厚度，可以任意地調整與氧化物 230c1 的接觸面積。

[0336]

例如，圖 28 所示的包括電晶體 200 的半導體裝置適合在如太空梭或人造衛星等宇宙空間中使用。在宇宙空間中，宇宙射線或太陽所釋放的電子或質子會進入半導體裝置內部而給半導體特性帶來影響。由於在圖 28 所示的電晶體 200 中結汲極電流得到減少，因此可以說電晶體 200 對宇宙射線等具有高耐性，且其可靠性高。

[0337]

根據本發明的一個實施方式可以提供一種具有良好的電特性的半導體裝置。根據本發明的一個實施方式可以提供一種具有常關閉的電特性的半導體裝置。根據本發明的一個實施方式可以提供一種可靠性良好的半導體裝置。根據本發明的一個實施方式可以提供一種通態電流大的半導體裝置。根據本發明的一個實施方式可以提供一種具有高頻率特性的半導體裝置。根據本發明的一個實施方式可以提供一種能夠進行微型化或高積體化的半導體裝置。根據本發明的一個實施方式可以提供一種關態電流小的半導體裝置。根據本發明的一個實施方式可以提供一種功耗得到減少的半導體裝置。根據本發明的一個實施方式可以提供一種生產率高的半導體裝置。

[0338]

本實施方式的至少一部分可以與本說明書所記載的其他實施方式等適當地組合而實施。

[0339]

實施方式 3

在本實施方式中說明可以用於本發明的其他實施方式的半導體裝置的一個實施方式。下面，說明半導體裝置的結構例子。

[0340]

〈半導體裝置的結構例子 2〉

圖 29A 是電晶體 2100A 的通道長度方向上的剖面圖。

[0341]

電晶體 2100A 設置在基板 2102 上，並包括絕緣層 2121、絕緣層 2122、絕緣層 2123、導電層 2106、絕緣層 2103、半導體層 2108、絕緣層 2110、金屬氧化物層 2114、導電層 2112、絕緣層 2124、絕緣層 2125 及絕緣層 2126

等。在基板 2102 上依次設置有絕緣層 2121、絕緣層 2122、絕緣層 2123，在絕緣層 2123 上設置有導電層 2106，在絕緣層 2123 及導電層 2106 上設置有絕緣層 2103。島狀的半導體層 2108 設置在絕緣層 2103 上，並包括與導電層 2106 的一部分重疊的區域。絕緣層 2110 設置在半導體層 2108 上。金屬氧化物層 2114 及導電層 2112 在絕緣層 2110 上依次層疊，並包括與半導體層 2108 的一部分及導電層 2106 的一部分重疊的區域。

[0342]

絕緣層 2124 包括與絕緣層 2123 的一部分接觸的區域，並設置在導電層 2106、絕緣層 2103、半導體層 2108、絕緣層 2110、金屬氧化物層 2114 及導電層 2112 上。絕緣層 2125 包括與絕緣層 2122 及絕緣層 2121 的一部分接觸的區域，並設置在絕緣層 2124 上。絕緣層 2126 設置在絕緣層 2125 上。

[0343]

在電晶體 2100A 中，較佳為至少半導體層 2108 設置在絕緣層 2123 和絕緣層 2124 之間，絕緣層 2123 和絕緣層 2124 在半導體層 2108 的外側相接觸。此外，絕緣層 2123 及絕緣層 2124 設置在絕緣層 2121 及絕緣層 2122 和絕緣層 2125 及絕緣層 2126 之間。此時，絕緣層 2125 較佳為至少與絕緣層 2122 接觸，更佳為與絕緣層 2121 接觸。

[0344]

換言之，在電晶體 2100A 中，半導體層 2108 被絕緣層 2123 及絕緣層 2124 圍繞，半導體層 2108、絕緣層 2123 及絕緣層 2124 被絕緣層 2122 及絕緣層 2125 圍繞。再者，因為半導體層 2108、絕緣層 2123、絕緣層 2124、絕緣層 2122 及絕緣層 2125 被設置為夾在絕緣層 2121 和絕緣層 2126 之間，所以可以說它們被絕緣層 2121 及絕緣層 2126 圍繞。

[0345]

也就是說，由絕緣層 2123 及絕緣層 2124 而成的密封結構相當於由上述實施方式所說明的絕緣體 214、絕緣體 287 及絕緣體 282 而成的密封結構。因此，絕緣層 2123 及絕緣層 2124 可以參照絕緣體 214、絕緣體 287 及絕緣體 282 的記載。

[0346]

由絕緣層 2121、絕緣層 2122 及絕緣層 2125 而成的密封結構相當於由上述實施方式所說明的絕緣體 211、絕緣體 212 及絕緣體 283 而成的密封結構。因此，絕緣層 2122 及絕緣層 2125 可以參照絕緣體 211、絕緣體 212 及絕緣體 283 的記載。

[0347]

再者，絕緣層 2126 相當於上述實施方式所說明的絕緣體 284。因此，絕緣層 2126 可以參照絕緣體 284 的記載。

[0348]

導電層 2112 及金屬氧化物層 2114 的端部位於絕緣層 2110 的端部的內側。換言之，絕緣層 2110 至少在半導體層 2108 上包括突出到導電層 2112 及金屬氧化物層 2114 的端部的外側的部分。

[0349]

導電層 2112 的端部較佳為位於金屬氧化物層 2114 的端部的內側。此外，絕緣層 2124 與金屬氧化物層 2114 的頂面的一部分及側面接觸地設置。

[0350]

在電晶體 2100A 中，導電層 2112 的端部位於金屬氧化物層 2114 的端部的內側。換言之，金屬氧化物層 2114 至少在絕緣層 2110 上包括突出到導電層 2112 的端部的外側的部分。

[0351]

在導電層 2112 的端部位於金屬氧化物層 2114 的端部的內側時，導電層 2112 及金屬氧化物層 2114 的側面的步階平緩，形成在導電層 2112 及金屬氧化物層 2114 上的層（例如，絕緣層 2124、絕緣層 2125、絕緣層 2126）的步階覆蓋性得到提高，由此可以抑制該層中出現如斷開或空洞等不良現象。

[0352]

在形成導電層 2112 及金屬氧化物層 2114 時，可以適當地採用濕蝕刻法。此外，藉由在金屬氧化物層 2114 中使用其蝕刻速度比導電層 2112 低的材料，可以使導電層 2112 的端部位於金屬氧化物層 2114 的端部的內側。再者，可以以同一製程形成金屬氧化物層 2114 及導電層 2112 來提高生產率。

[0353]

注意，本實施方式不侷限於上述描述。導電層 2112 的端部也可以與金屬氧化物層 2114 的端部對齊。或者，導電層 2112 的側面和金屬氧化物層 2114 的側面可以具有同一平面上的面。

[0354]

半導體層 2108 包括夾著通道形成區域的一對區域 2108L 及其外側的一對區域 2108N。區域 2108L 是半導體層 2108 中的與絕緣層 2110 重疊而不與金屬氧化物層 2114 及導電層 2112 重疊的區域。

[0355]

區域 2108C 被用作通道形成區域。在此，金屬氧化物層 2114 在具有導電性時被用作閘極電極的一部分，因此閘極電極經過被用作閘極絕緣層的絕緣層 2110 向區域 2108C 施加電場而形成通道。注意，本實施方式不侷限於此。有時還在不與金屬氧化物層 2114 重疊而與導電層 2106 重疊的部分（包括區域 2108L 及區域 2108N 的部分）形成通道。

[0356]

區域 2108L 具有用來緩和汲極電場的緩衝區域的功能。由於區域 2108L 不與導電層 2112 及金屬氧化物層 2114 重疊，因此在對導電層 2112 供應閘極電壓時也幾乎不形成通道。區域 2108L 的載子濃度較佳為比區域 2108C 高。由此可以使區域 2108L 用作 LDD 區域。

[0357]

區域 2108L 也可以說是：與區域 2108C 相比，其電阻與它大致相等或較低的區域；其載子濃度與它大致相等或較高的區域；其氧空位密度與它大致相等或較高的區域；其雜質濃度與它大致相等或較高的區域。

[0358]

區域 2108L 也可以說是：與區域 2108N 相比，其電阻與它大致相等或較高的區域；其載子濃度與它大致相等或較低的區域；其氧空位密度與它大致相等或較低的區域；其雜質濃度與它大致相等或較低的區域。

[0359]

像這樣，藉由在作為通道形成區域的區域 2108C 和作為源極區域或汲極區域的區域 2108N 之間設置被用作 LDD 區域的區域 2108L，可以實現兼具高汲極耐壓及高通態電流的高可靠性的電晶體。

[0360]

區域 2108N 被用作源極區域或汲極區域，其電阻低於半導體層 2108 的其他區域。或者，區域 2108N 也可以說是：與半導體層 2108 的其他區域相比，其載子濃度最高的區域；其氧空位密度最高的區域；或者其雜質濃度最高的區域。

[0361]

區域 2108N 的電阻越低越好，例如區域 2108N 的片電阻值較佳為 1Ω/□以上且低於 1×10^{3}Ω/□，更佳為 1Ω/□以上且 8×10^{2}Ω/□以下。

[0362]

此外，未形成通道的狀態下的區域 2108C 的電阻越高越好。例如，區域 2108C 的片電阻值為 1×10^{9}Ω/□以上，較佳為 5×10^{9}Ω/□以上，更佳為

$1\times10^{10}\Omega/\square$以上。

[0363]

由於未形成通道的狀態下的區域 2108C 的電阻越高越好，因此對其上限值沒有特別的限制。但是，如果設定上限值，則區域 2108C 的片電阻值例如為 $1\times10^{9}\Omega/\square$以上且 $1\times10^{12}\Omega/\square$以下，較佳為 $5\times10^{9}\Omega/\square$以上且 $1\times10^{12}\Omega/\square$以下，更佳為 $1\times10^{10}\Omega/\square$以上且 $1\times10^{12}\Omega/\square$以下。

[0364]

區域 2108L 的片電阻值例如可以為 $1\times10^{3}\Omega/\square$以上且 $1\times10^{9}\Omega/\square$以下，較佳為 $1\times10^{3}\Omega/\square$以上且 $1\times10^{8}\Omega/\square$以下，更佳為 $1\times10^{3}\Omega/\square$以上且 $1\times10^{7}\Omega/\square$以下。藉由將電阻值設定為上述範圍，可以實現電特性良好且可靠性高的電晶體。另外，可以根據電阻值算出片電阻。藉由在區域 2108N 和區域 2108C 之間設置上述區域 2108L，可以提高電晶體 2100A 的源極-汲極耐壓。

[0365]

此外，未形成通道的狀態下的區域 2108C 的電阻可以為區域 2108N 的電阻的 1×10^{6}倍以上且 1×10^{12}倍以下，較佳為 1×10^{6}倍以上且 1×10^{11}倍以下，更佳為 1×10^{6}倍以上且 1×10^{10}倍以下。

[0366]

未形成通道的狀態下的區域 2108C 的電阻可以為區域 2108L 的電阻的 1×10^{0}倍以上且 1×10^{9}倍以下，較佳為 1×10^{1}倍以上且 1×10^{8}倍以下，更佳為 1×10^{2}倍以上且 1×10^{7}倍以下。

[0367]

區域 2108L 的電阻可以為區域 2108N 的電阻的 1×10^{0}倍以上且 1×10^{9}倍以下，較佳為 1×10^{1}倍以上且 1×10^{8}倍以下，更佳為 1×10^{1}倍以上且 1×10^{7}倍以下。

[0368]

藉由將具有上述電阻的區域 2108L 設置在區域 2108N 和通道形成區域之間，可以提高電晶體 2100A 的源極-汲極耐壓。

[0369]

此外，半導體層 2108 中的載子濃度具有按區域 2108C、區域 2108L、區域 2108N 的順序依次增高的分佈。藉由在區域 2108C 和區域 2108N 之間設置區域 2108L，例如即使在製程中氫等雜質從區域 2108N 擴散，也可以將區域 2108C 的載子濃度保持為極低。

[0370]

被用作通道形成區域的區域 2108C 中的載子濃度越低越好，較佳為 $1\times10^{18}cm^{-3}$ 以下，更佳為 $1\times10^{17}cm^{-3}$ 以下，進一步較佳為 $1\times10^{16}cm^{-3}$ 以下，進一步較佳為 $1\times10^{13}cm^{-3}$ 以下，進一步較佳為 $1\times10^{12}cm^{-3}$ 以下。注意，對區域 2108C 的載子濃度的下限值沒有特別的限制，例如可以為 $1\times10^{-9}cm^{-3}$。

[0371]

另一方面，區域 2108N 中的載子濃度例如可以為 $5\times10^{18}cm^{-3}$ 以上，較佳為 $1\times10^{19}cm^{-3}$ 以上，更佳為 $5\times10^{19}cm^{-3}$ 以上。對區域 2108N 中的載子濃度的上限值沒有特別的限制，例如可以為 $5\times10^{21}cm^{-3}$ 或 $1\times10^{22}cm^{-3}$ 等。

[0372]

區域 2108L 中的載子濃度可以為區域 2108C 和區域 2108N 之間的值。例如，可以為 $1\times10^{14}cm^{-3}$ 以上且低於 $1\times10^{20}cm^{-3}$ 的範圍內。

[0373]

區域 2108L 中的載子濃度不一定均勻，而有時具有從區域 2108N 一側越靠近通道形成區域一側越低的梯度。例如，也可以具有區域 2108L 中的氫濃度和氧空位濃度中的一者或兩者從區域 2108N 一側越靠近通道形成區域一側越低的梯度。

[0374]

半導體層 2108 較佳為包含金屬氧化物。可以用於半導體層 2108 的金屬氧化物可以參照其他實施方式或其他結構例子所示的氧化物 230 等。與半導體層 2108 的通道形成區域接觸的絕緣層 2103 和絕緣層 2110 較佳為使用氧化物膜。例如，可以使用氧化矽膜、氧氮化矽膜、氧化鋁膜等氧化物膜。由此，可以將從絕緣層 2103 或絕緣層 2110 脫離的氧供應給半導體層 2108 的通道形成區域來減少半導體層 2108 中的氧空位。

[0375]

絕緣層 2110 的端部的一部分位於半導體層 2108 上。絕緣層 2110 包括與導電層 2112 重疊而被用作閘極絕緣層的部分及不與導電層 2112 及金屬氧化物層 2114 重疊的部分（亦即，與區域 2108L 重疊的部分）。

[0376]

絕緣層 2110 也可以具有兩層以上的疊層結構。圖 29A 示出絕緣層 2110 具有絕緣層 2110a、絕緣層 2110a 上的絕緣層 2110b 以及絕緣層 2110b 上的絕緣層 2110c 的三層結構的例子。另外，由於絕緣層 2110a、絕緣層 2110b 及絕緣層 2110c 可以使用由相同種類的材料而成的絕緣膜，因此有時不能夠明確地確認到絕緣層 2110a、絕緣層 2110b 及絕緣層 2110c 的各介面。因此，

在本實施方式中，由虛線圖示絕緣層 2110a、絕緣層 2110b 及絕緣層 2110c 的各介面。

[0377]

絕緣層 2110a 包括與半導體層 2108 的通道形成區域接觸的區域。絕緣層 2110c 包括與金屬氧化物層 2114 接觸的區域。絕緣層 2110b 位於絕緣層 2110a 和絕緣層 2110c 之間。

[0378]

絕緣層 2110a、絕緣層 2110b 及絕緣層 2110c 較佳為都是包含氧化物的絕緣膜。此時，絕緣層 2110a、絕緣層 2110b 及絕緣層 2110c 較佳為都使用相同的成膜裝置連續地形成。

[0379]

例如，作為絕緣層 2110a、絕緣層 2110b 及絕緣層 2110c，可以使用包含氧化矽膜、氧氮化矽膜、氮氧化矽膜、氧化鋁膜、氧化鉿膜、氧化釔膜、氧化鋯膜、氧化鎵膜、氧化鉭膜、氧化鎂膜、氧化鑭膜、氧化鈰膜及氧化釹膜中的一種以上的絕緣層。

[0380]

此外，與半導體層 2108 接觸的絕緣層 2110 較佳為採用氧化物絕緣膜的疊層結構，更佳為具有氧含量超過化學計量組成的區域。換言之，絕緣層 2110 具有能夠釋放氧的絕緣膜。例如，藉由在氧氛圍下形成絕緣層 2110，對形成後的絕緣層 2110 在氧氛圍下進行加熱處理、電漿處理等或者在絕緣層 2110 上在氧氛圍下形成氧化物膜等，可以將氧供應到絕緣層 2110 中。特別是，與半導體層 2108 接觸的絕緣層 2110a 較佳為與上述實施方式所說明的絕緣體 280 同樣地包含過量氧。

[0381]

例如，絕緣層 2110a、絕緣層 2110b 及絕緣層 2110c 可以利用濺射法、化學氣相沉積（CVD）法、真空蒸鍍法、脈衝雷射沉積（PLD）法、原子層沉積（ALD）法等形成。作為 CVD 法有電漿增強化學氣相沉積（PECVD）法、熱 CVD 法等。

[0382]

特別是，絕緣層 2110a、絕緣層 2110b 及絕緣層 2110c 較佳為藉由電漿 CVD 法形成。

[0383]

絕緣層 2110c 較佳為與絕緣體 250 同樣的非常緻密的膜，其中與絕緣層

2110b 相比，其表面缺陷得到減少，且不容易吸附水等包含在大氣中的雜質。

[0384]

此外，較佳為將絕緣層 2110b 形成得比絕緣層 2110a 及絕緣層 2110c 厚。例如，也可以藉由採用比絕緣層 2110a 及絕緣層 2110c 快的沉積速度條件，將絕緣層 2110b 形成得厚。由此，可以縮短絕緣層 2110 的成膜製程所需的時間。

[0385]

在此，由於有時絕緣層 2110a 和絕緣層 2110b 的邊界及絕緣層 2110b 和絕緣層 2110c 的邊界不清楚，因此在圖 29A 中由虛線明確地表示這些邊界。另外，當絕緣層 2110a 及絕緣層 2110b 的膜密度互不相同時，有時在絕緣層 2110 剖面的穿透式電子顯微鏡（TEM：Transmission Electron Microscopy）影像等中，可以將這些邊界作為對比度的差異而進行觀察。同樣地，有時還可以觀察到絕緣層 2110b 和絕緣層 2110c 的邊界。

[0386]

在形成導電層 2112 及金屬氧化物層 2114 時，不與導電層 2112 重疊的區域的絕緣層 2110 的厚度可能會變薄。圖 29A 示出不與金屬氧化物層 2114 重疊的區域的絕緣層 2110c 被去除，而殘留有絕緣層 2110a 及絕緣層 2110b 的結構。此外，與金屬氧化物層 2114 重疊的區域的絕緣層 2110b 相比，有時不與金屬氧化物層 2114 重疊的區域的絕緣層 2110b 的厚度較薄。

[0387]

藉由減薄不與金屬氧化物層 2114 重疊的區域的絕緣層 2110 的厚度，絕緣層 2110 端部的步階減小，形成在絕緣層 2110 上的層（例如，絕緣層 2124、絕緣層 2125、絕緣層 2126）的步階覆蓋性得到提高，由此可以抑制該層中出現如斷開或空洞等的不良現象。

[0388]

絕緣層 2110 也可以採用與圖 29A 不同的結構，亦即採用不與金屬氧化物層 2114 重疊的區域中殘留有絕緣層 2110a、絕緣層 2110b 及絕緣層 2110c 的結構。此外，也可以採用不與金屬氧化物層 2114 重疊的區域的絕緣層 2110c 的厚度比與金屬氧化物層 2114 重疊的區域的絕緣層 2110c 薄的結構。藉由採用絕緣層 2110c 殘留在不與金屬氧化物層 2114 重疊的區域中的結構，可以抑制水吸附到絕緣層 2110。與金屬氧化物層 2114 重疊的區域的絕緣層 2110c 的厚度為 1nm 以上且 50nm 以下，較佳為 2nm 以上且 40nm 以下，更佳為 3nm 以上且 30nm 以下。

[0389]

此外，絕緣層 2110 也可以採用絕緣層 2110a 和絕緣層 2110a 上的絕緣層 2110c 的兩層結構。或者，絕緣層 2110 也可以採用單層結構。作為絕緣層 2110，可以根據目的適當地選擇上述絕緣層 2110a、絕緣層 2110b 和絕緣層 2110c 中的任一個。

[0390]

絕緣層 2103 可以採用疊層結構。圖 29A 示出絕緣層 2103 具有從導電層 2106 一側依次層疊有絕緣層 2103a、絕緣層 2103b、絕緣層 2103c 及絕緣層 2103d 的結構的例子。絕緣層 2103a 與導電層 2106 接觸。此外，絕緣層 2103d 與半導體層 2108 接觸。

[0391]

絕緣層 2103 較佳為滿足如下條件中的一個以上，最較佳為滿足如下所有條件：耐壓高；膜應力小；不容易釋放氫或水；膜中的缺陷少；抑制包含在導電層 2106 中的金屬元素的擴散。

[0392]

在絕緣層 2103 所包括的四個絕緣層中，位於導電層 2106 一側的絕緣層 2103a、絕緣層 2103b 及絕緣層 2103c 較佳為使用包含氮的絕緣膜。另一方面，與半導體層 2108 接觸的絕緣層 2103d 較佳為使用包含氧的絕緣膜。另外，絕緣層 2103 所包括的四個絕緣層較佳為都使用電漿 CVD 設備以不暴露於大氣的方式連續地形成。

[0393]

作為絕緣層 2103a、絕緣層 2103b 及絕緣層 2103c，例如較佳為使用氮化矽膜、氮氧化矽膜、氮化鋁膜、氮化鉿膜等包含氮的絕緣膜。此外，作為絕緣層 2103d，可以援用可用於絕緣層 2110 的絕緣膜。

[0394]

絕緣層 2103a 及絕緣層 2103c 較佳為能夠防止從下方擴散雜質的緻密的膜。絕緣層 2103a 及絕緣層 2103c 較佳為分別能夠阻擋導電層 2106 所包含的金屬元素及絕緣層 2103b 所包含的氫或水。因此，作為絕緣層 2103a 及絕緣層 2103c，可以應用以比絕緣層 2103b 慢的沉積速度形成的絕緣膜。

[0395]

另一方面，絕緣層 2103b 較佳為使用應力小且以沉積速度快的條件形成的絕緣膜。此外，較佳為將絕緣層 2103b 形成得厚於絕緣層 2103a 及絕緣層 2103c。

[0396]

例如，即使絕緣層 2103a、絕緣層 2103b 及絕緣層 2103c 都使用藉由電漿 CVD 法形成的氮化矽膜，絕緣層 2103b 的膜密度也比其他兩個絕緣層小。因此，在絕緣層 2103 剖面的穿透式電子顯微鏡影像等中，有時可以觀察到對比度的差異。注意，有時絕緣層 2103a 和絕緣層 2103b 的邊界及絕緣層 2103b 和絕緣層 2103c 的邊界不清楚，因此在圖 29A 中由虛線明確地表示這些邊界。

[0397]

作為與半導體層 2108 接觸的絕緣層 2103d，較佳為使用其表面不容易吸附水等雜質的緻密的絕緣膜，其中。此外，較佳為使用缺陷儘量少且水或氫等雜質得到減少的絕緣膜。例如，作為絕緣層 2103d，可以使用與上述絕緣層 2110 所包括的絕緣層 2110c 同樣的絕緣膜。

[0398]

在作為導電層 2106 使用不容易使構成元素擴散到絕緣層 2103 的金屬膜或合金膜的情況等下，也可以不設置絕緣層 2103a 而層疊有絕緣層 2103b、絕緣層 2103c 及絕緣層 2103d 這三個絕緣層。

[0399]

具有這種疊層結構的絕緣層 2103 可以實現可靠性極高的電晶體。

[0400]

作為絕緣層 2123 及絕緣層 2124，較佳為使用吸收半導體層 2108、絕緣層 2103 及絕緣層 2110 等所包含的氫等雜質的材料。作為絕緣層 2123 及絕緣層 2124，例如可以使用包含氧化鋁的材料。此時，絕緣層 2123 及絕緣層 2124 被用作對氫等雜質的吸雜層。注意，在此指的氫包括氫原子、氫分子、與氧等鍵合的氫及它們的離子化物。

[0401]

更佳的是，用於絕緣層 2123 及絕緣層 2124 的材料具有抑制氧透過的效果。

[0402]

如圖 29A 所示，在通道長度方向上，以覆蓋導電層 2112 的頂面及側面、金屬氧化物層 2114 的頂面及側面、絕緣層 2110 的頂面及側面、半導體層 2108 的頂面及側面以及絕緣層 2103 的側面的方式設置有絕緣層 2124。此外，絕緣層 2124 在絕緣層 2103 的外側與絕緣層 2123 接觸。在此，絕緣層 2103 的端部和大致與半導體層 2108 的端部對齊。或者，絕緣層 2103 的側面

和半導體層 2108 的側面具有同一平面上的面。

[0403]

雖然未圖示，但是在通道寬度方向上，不與絕緣層 2110 重疊的區域的絕緣層 2123 較佳為與絕緣層 2124 接觸地設置。

[0404]

藉由採用上述結構，可以將半導體層 2108、絕緣層 2103 及絕緣層 2110 等所含有的氫等雜質高效地吸收到絕緣層 2123 及絕緣層 2124，從而可以對氫等雜質進行吸雜。此外，可以抑制半導體層 2108、絕緣層 2103 及絕緣層 2110 等所包含的氧向絕緣層 2123 及絕緣層 2124 的外側的擴散。

[0405]

絕緣層 2121、絕緣層 2122、絕緣層 2125 及絕緣層 2126 較佳為使用抑制氫透過的材料。作為絕緣層 2121、絕緣層 2122、絕緣層 2125 及絕緣層 2126，例如可以使用含有矽的氮化物或包含氮的矽氧化物的材料。作為這種材料，較佳為使用氮化矽。此時，絕緣層 2121、絕緣層 2122、絕緣層 2125 及絕緣層 2126 被用作對氫等雜質的保護層。注意，在此指的氫包括氫原子、氫分子、與氧等鍵合的氫及它們的離子化物。

[0406]

絕緣層 2125 以覆蓋絕緣層 2124 的方式設置。絕緣層 2125 較佳為以圍繞絕緣層 2123 及絕緣層 2124 的方式接觸於絕緣層 2122。再者，絕緣層 2125 較佳為在絕緣層 2123 及絕緣層 2124 的外側接觸於絕緣層 2121。絕緣層 2126 設置在絕緣層 2125 上。

[0407]

藉由採用上述結構，可以抑制氫等雜質從絕緣層 2121、絕緣層 2122、絕緣層 2125 及絕緣層 2126 的外側混入半導體層 2108 中。換言之，在電晶體 2100A 中，藉由至少由絕緣層 2121、絕緣層 2122、絕緣層 2125 及絕緣層 2126 圍繞半導體層 2108，可以抑制氫等雜質元素從外部混入。

[0408]

注意，在此示出了保護層採用絕緣層 2125 和絕緣層 2126 的疊層結構的情況，但是如果不需要則可以不設置絕緣層 2125 和絕緣層 2126 中的一個。此外，絕緣層 2125 也可以採用兩層以上的疊層結構。同樣地，在此示出了保護層採用絕緣層 2121 和絕緣層 2122 的疊層結構的情況，但是如果不需要則可以不設置絕緣層 2121 和絕緣層 2122 中的一個。此外，絕緣層 2122 也可以採用兩層以上的疊層結構。

[0409]

絕緣層 2110 的端部、金屬氧化物層 2114 的端部及導電層 2112 的端部較佳為都具有錐形形狀。再者，金屬氧化物層 2114 的端部的錐形角較佳為小於絕緣層 2110 的端部的錐形角，導電層 2112 的端部的錐形角較佳為小於金屬氧化物層 2114 的端部的錐形角。藉由採用這種結構，形成在絕緣層 2110、金屬氧化物層 2114 及導電層 2112 上的層（例如，絕緣層 2124、絕緣層 2125 及絕緣層 2126）的覆蓋性得到提高，由此可以抑制該層中出現如斷開或空洞等的不良現象。

[0410]

在本說明書等中，錐形角是指在從垂直於剖面（例如，與基板的表面正交的面）的方向觀察目的的層時，該層的側面和底面所形成的傾斜角。

[0411]

導電層 2106 的一部分具有第一閘極電極（也稱為底閘極電極）的功能，導電層 2112 的一部分具有第二閘極電極（也稱為頂閘極電極）的功能。此外，絕緣層 2103 的一部分被用作第一閘極絕緣層，絕緣層 2110 的一部分被用作第二閘極絕緣層。

[0412]

此外，導電層 2106 也可以開口電連接到導電層 2112。由此，可以對導電層 2106 和導電層 2112 供應同一電位。

[0413]

此外，雖然未圖示，但是較佳為在通道寬度方向上導電層 2112 及導電層 2106 突出到半導體層 2108 端部的外側。此時，導電層 2112 及導電層 2106 隔著絕緣層 2110 及絕緣層 2103 覆蓋整個半導體層 2108 的通道寬度方向。

[0414]

藉由採用這種結構，可以利用由一對閘極電極產生的電場電圍繞半導體層 2108。此時，尤其較佳為對導電層 2106 和導電層 2112 供應同一電位。由此，可以有效地施加用來感生半導體層 2108 中的通道的電場，而可以增大電晶體 2100A 的通態電流。因此，可以實現電晶體 2100A 的微型化。

[0415]

此外，導電層 2112 也可以不與導電層 2106 連接。此時，可以對一對閘極電極中的一個供應固定電位，對另一個供應用來驅動電晶體 2100A 的信號。此時，可以藉由利用供應給一個閘極電極的電位控制用另一個閘極電極驅動電晶體 2100A 時的臨界電壓。

[0416]

此外，如圖 29A 所示，電晶體 2100A 也可以在絕緣層 2126 上具有導電層 2120a 及導電層 2120b。導電層 2120a 及導電層 2120b 被用作源極電極或汲極電極。導電層 2120a 及導電層 2120b 分別藉由設置在絕緣層 2124、絕緣層 2125 及絕緣層 2126 中的開口 2119a 及開口 2119b 電連接於下述的區域 2108N。

[0417]

半導體層 2108 可以使用其他實施方式或其他結構例子所示的可用於氧化物 230 的金屬氧化物等氧化物。例如，半導體層 2108 較佳為包含銦、M（M 為選自鎵、鋁、矽、硼、釔、錫、銅、釩、鈹、鈦、鐵、鎳、鍺、鋯、鉬、鑭、鈰、釹、鉿、鉭、鎢或鎂中的一種或多種）和鋅。尤其是，M 較佳為選自鋁、鎵、釔或錫中的一種或多種。

[0418]

尤其是，作為半導體層 2108，較佳為使用包含銦、鎵及鋅的氧化物。

[0419]

半導體層 2108 也可以採用層疊有組成不同的層、結晶性不同的層或雜質濃度不同的層的疊層結構。

[0420]

導電層 2112 較佳為使用低電阻材料。藉由將低電阻材料用於導電層 2112，可以減少寄生電阻來實現具有高通態電流的電晶體，從而可以提供具有高通態電流的半導體裝置。此外，藉由減少大型顯示裝置、高精細顯示裝置中的佈線電阻，可以抑制信號延遲而實現高速驅動。由於導電層 2112 具有閘極電極的功能，因此可以使用其他實施方式或其他結構例子所記載的可用於導電體 260 或導電體 205 等閘極電極的導電材料。例如，作為導電層 2112，可以使用銅、銀、金或鋁等。因為銅具有低電阻及高量產性，所以是特別較佳的。

[0421]

導電層 2112 也可以採用疊層結構。在導電層 2112 具有疊層結構時，在低電阻的第一導電層的頂部和/或底部設置第二導電層。第二導電層較佳為使用與第一導電層相比不容易被氧化（具有耐氧化性）的導電材料。此外，第二導電層較佳為使用抑制第一導電層的成分擴散的材料。例如，第二導電層可以適當地使用氧化銦、銦鋅氧化物、銦錫氧化物（ITO）、包含矽的銦錫氧化物（ITSO）、氧化鋅等金屬氧化物、或者氮化鈦、氮化鉭、氮化鉬、

氮化鎢等金屬氮化物。

[0422]

位於絕緣層 2110 與導電層 2112 之間的金屬氧化物層 2114 被用作防止絕緣層 2110 所包含的氧擴散到導電層 2112 一側的障壁膜。再者，金屬氧化物層 2114 還被用作防止導電層 2112 所包含的氫或水擴散到絕緣層 2110 一側的障壁膜。金屬氧化物層 2114 例如可以使用至少與絕緣層 2110 相比不容易使氧及氫透過的材料。

[0423]

借助於金屬氧化物層 2114，即使將如鋁或銅等容易抽吸氧的金屬材料用於導電層 2112，也可以防止氧從絕緣層 2110 擴散到導電層 2112。此外，即使導電層 2112 包含氫，也可以防止氫從導電層 2112 藉由絕緣層 2110 擴散到半導體層 2108。其結果是，可以使半導體層 2108 的通道形成區域中的載子濃度極低。

[0424]

作為金屬氧化物層 2114，可以使用絕緣材料或導電材料。當金屬氧化物層 2114 具有絕緣性時，該金屬氧化物層 2114 被用作閘極絕緣層的一部分。另一方面，當金屬氧化物層 2114 具有導電性時，該金屬氧化物層 2114 被用作閘極電極的一部分。

[0425]

作為金屬氧化物層 2114，較佳為使用其介電常數比氧化矽高的絕緣材料。尤其是，較佳為使用氧化鋁膜、氧化鉿膜或鋁酸鉿膜等，因為可以降低驅動電壓。

[0426]

作為金屬氧化物層 2114，可以使用金屬氧化物。例如，可以使用氧化銦、銦鋅氧化物、銦錫氧化物（ITO）或含有矽的銦錫氧化物（ITSO）等具有銦的氧化物。較佳為使用包含銦的導電氧化物，因為其導電性高。此外，由於含矽的 ITSO 不容易晶化並具有高平坦性，因此 ITSO 與形成在其上的膜的密接性得到提高。作為金屬氧化物層 2114，可以使用氧化鋅、包含鎵的氧化鋅等金屬氧化物。另外，作為金屬氧化物層 2114，也可以採用層疊有它們的結構。

[0427]

此外，作為金屬氧化物層 2114，較佳為使用包含一個以上的與半導體層 2108 相同的元素的氧化物材料。尤其是，較佳為使用可應用於上述半導

體層 2108 的氧化物半導體材料。此時，藉由使用利用與半導體層 2108 相同的濺射靶材而形成的金屬氧化物膜作為金屬氧化物層 2114，可以共用設備，所以這是較佳的。

[0428]

此外，在半導體層 2108 和金屬氧化物層 2114 的兩者都使用包含銦及鎵的金屬氧化物材料的情況下，藉由使用其鎵組成（含有比率）高於半導體層 2108 的材料，可以提高對氧的阻擋性，所以這是較佳的。此時，藉由將其銦組成高於金屬氧化物層 2114 的材料用於半導體層 2108，可以提高電晶體 2100A 的場效移動率。

[0429]

此外，金屬氧化物層 2114 較佳為利用濺射裝置形成。例如，在利用濺射裝置形成氧化物膜時，藉由在包含氧氣體的氛圍下形成該氧化物膜，可以適當地對絕緣層 2110 或半導體層 2108 中添加氧。

[0430]

作為導電層 2106，可以使用與導電層 2112、導電層 2120a 或導電層 2120b 相同的材料。尤其是，當將包含銅的材料用於導電層 2106 時，可以降低佈線電阻，所以是較佳的。此外，當將鎢或鉬等高熔點材料用於導電層 2106 時，可以在後面的製程中進行高溫處理。

[0431]

區域 2108N 是包含雜質元素（第一元素）的區域。作為該雜質元素，例如，可以舉出氫、硼、碳、氮、氟、磷、硫、砷、鋁、鎂或稀有氣體等。作為稀有氣體的典型例子，也可以包含氦、氖、氬、氪及氙等。特別是，較佳為包含硼、磷、鎂或鋁。此外，也可以包含這些元素中的兩種以上。

[0432]

在添加上述雜質元素時，可以使用離子植入法、離子摻雜法等。此外，也可以藉由形成與區域 2108N 接觸的絕緣層 2124 將上述雜質元素添加到區域 2108N。

[0433]

可以以絕緣層 2110 為遮罩進行對區域 2108N 添加雜質元素的處理。由此，可以以自對準的方式形成區域 2108N。

[0434]

區域 2108N 較佳為包含雜質濃度為 1×10^{19}atoms/cm^3 以上且 1×10^{23}atoms/cm^3 以下，較佳為 5×10^{19}atoms/cm^3 以上且 5×10^{22}atoms/cm^3 以下，更

佳為 1×10^{20}atoms/cm^3 以上且 1×10^{22}atoms/cm^3 以下的區域。

[0435]

例如，可以利用二次離子質譜測定技術（SIMS：Secondary Ion Mass Spectrometry）、X 射線光電子能譜技術（XPS：X-ray Photoelectron Spectroscopy）等分析技術分析出區域 2108N 所包含的雜質的濃度。在利用 XPS 分析技術的情況下，藉由組合來自表面一側或背面一側的離子濺射和 XPS 分析，可以得知深度方向上的濃度分佈。

[0436]

此外，區域 2108N 中的雜質元素較佳為在被氧化的狀態下存在。例如，作為雜質元素，較佳為使用硼、磷、鎂、鋁、矽等容易被氧化的元素。這種容易被氧化的元素可以在與半導體層 2108 中的氧鍵合而被氧化了的狀態下穩定地存在，因此，即使在後面的製程中被施加高溫（例如為 400℃以上、600℃以上、800℃以上），也可以抑制脫離。此外，雜質元素奪取半導體層 2108 中的氧，由此在區域 2108N 中產生很多氧空位。該氧空位與膜中的氫鍵合而成為載子供給源，使得區域 2108N 成為極低電阻狀態。

[0437]

此外，當在後面的製程中進行高溫處理時，有時多量的氧從外部或區域 2108N 附近的膜被供應到區域 2108N，有時會導致電阻上升。因此，較佳為在半導體層 2108 被氧阻擋性高的絕緣層 2124 覆蓋的狀態下進行高溫處理。

[0438]

絕緣層 2124 與半導體層 2108 中的區域 2108N 接觸地設置。

[0439]

作為絕緣層 2124，例如可以使用包含氧化鋁的絕緣膜。

[0440]

藉由如上所述那樣添加雜質元素，區域 2108N 處於包括多量的氧空位的狀態。

[0441]

藉由採用這種結構，可以實現電特性良好且可靠性高的電晶體 2100A。

[0442]

〈半導體裝置的結構例子 3〉

圖 29B 是電晶體 2100B 的通道長度方向上的剖面圖。

[0443]

電晶體 2100B 設置在基板 2102 上，並包括絕緣層 2121、絕緣層 2122、絕緣層 2123、導電層 2134、絕緣層 2136、半導體層 2138、導電層 2142a、導電層 2142b、絕緣層 2144、絕緣層 2146、絕緣層 2124、絕緣層 2125 及絕緣層 2126 等。基板 2102 上依次設置有絕緣層 2121、絕緣層 2122、絕緣層 2123。絕緣層 2123 上設置有導電層 2134。絕緣層 2136 覆蓋導電層 2134 地設置。半導體層 2138 具有島狀形狀並設置在絕緣層 2136 上。導電層 2142a 及導電層 2142b 各自與半導體層 2138 的頂面接觸，並彼此分開地設置在半導體層 2138 上。此外，覆蓋絕緣層 2136、導電層 2142a、導電層 2142b 及半導體層 2138 設置有絕緣層 2144，並絕緣層 2144 上設置有絕緣層 2146。絕緣層 2124 設置在絕緣層 2146 上，並包括與絕緣層 2123 的一部分接觸的區域。絕緣層 2125 包括與絕緣層 2122 及絕緣層 2121 的一部分接觸的區域，並設置在絕緣層 2124 上。絕緣層 2126 設置在絕緣層 2125 上。

[0444]

在電晶體 2100B 中，較佳為至少半導體層 2138 設置在絕緣層 2123 和絕緣層 2124 之間，絕緣層 2123 和絕緣層 2124 在半導體層 2108 的外側相接觸。此外，絕緣層 2123 及絕緣層 2124 設置在絕緣層 2121 及絕緣層 2122 和絕緣層 2125 及絕緣層 2126 之間。此時，絕緣層 2125 較佳為至少與絕緣層 2122 接觸，更佳為與絕緣層 2121 接觸。換言之，在電晶體 2100B 中，半導體層 2138 被絕緣層 2123 及絕緣層 2124 圍繞，半導體層 2108、絕緣層 2123 及絕緣層 2124 被絕緣層 2122 及絕緣層 2125 圍繞。再者，因為半導體層 2138、絕緣層 2123、絕緣層 2124、絕緣層 2122 及絕緣層 2125 被設置為夾在絕緣層 2121 和絕緣層 2126 之間，所以可以說它們被絕緣層 2121 及絕緣層 2126 圍繞。

[0445]

導電層 2134 被用作閘極電極。絕緣層 2136 的一部分被用作閘極絕緣層。導電層 2142a 被用作源極電極和汲極電極中的一個，導電層 2142b 被用作另一個。半導體層 2138 中的重疊於導電層 2134 的區域被用作通道形成區域。電晶體 2100B 是與半導體層 2138 相比更靠近被形成面一側（基板 2102 一側）設置有閘極電極的所謂的底閘極型電晶體。在此，有時將半導體層 2138 中的與導電層 2134 一側相反一側的面稱為背後通道一側的面。電晶體 2100B 是在半導體層 2138 的背後通道一側和源極電極及汲極電極之間不包括保護層的所謂的通道蝕刻結構的電晶體。

[0446]

半導體層 2138 具有從被形成面一側依次層疊有半導體層 2138a 及半導體層 2138b 的疊層結構。半導體層 2138a 和半導體層 2138b 較佳為都包含金屬氧化物。此外，位於背後通道一側的半導體層 2138b 的結晶性較佳為比位於導電層 2134 一側的半導體層 2138a 高。由此，可以抑制半導體層 2138 的一部分在導電層 2142a 及導電層 2142b 的加工時被蝕刻而消失。

[0447]

半導體層 2138 可以使用其他實施方式或其他結構例子所示的可用於氧化物 230 的金屬氧化物等氧化物。例如，半導體層 2138 較佳為包含銦、M（M 為選自鎵、鋁、矽、硼、釔、錫、銅、釩、鈹、鈦、鐵、鎳、鍺、鋯、鉬、鑭、鈰、釹、鉿、鉭、鎢或鎂中的一種或多種）和鋅。尤其是，M 較佳為選自鋁、鎵、釔或錫中的一種或多種。

[0448]

尤其是，作為半導體層 2138，較佳為使用包含銦、鎵及鋅的氧化物。

[0449]

半導體層 2138a 和半導體層 2138b 也可以使用組成互不相同的層、結晶性不同的層或雜質濃度不同的層。此外，也可以採用三層以上的疊層結構。

[0450]

導電層 2142a 及導電層 2142b 都具有從被形成面一側依次層疊有導電層 2143a、導電層 2143b 及導電層 2143c 的疊層結構。

[0451]

導電層 2143b 較佳為使用包含銅、銀、金或鋁等的低電阻的導電材料。特別是，導電層 2143b 較佳為包含銅或鋁。導電層 2143b 較佳為使用其電阻比導電層 2143a 及導電層 2143c 低的導電材料。由此，可以使導電層 2142a 及導電層 2142b 具有極低的電阻。

[0452]

另外，導電層 2143a 及導電層 2143c 可以各自獨立地使用與導電層 2143b 不同的導電材料。例如，導電層 2143a 及導電層 2143c 較佳為各自獨立地使用包含鈦、鎢、鉬、鉻、鉭、鋅、銦、鉑或釕等的導電材料。

[0453]

如此，藉由由導電層 2143a 和導電層 2143c 夾著包含銅或鋁等的導電層 2143b，可以抑制導電層 2143b 的表面的氧化及導電層 2143b 的元素向其附近的層的擴散。特別是，藉由在半導體層 2138 和導電層 2143b 之間設置導電層 2143a，可以防止導電層 2143b 所包含的金屬元素擴散到半導體層 2138

中，從而可以實現可靠性高的電晶體 2100B。

[0454]

在此，與導電層 2143b 的端部接觸地設置有絕緣層 2144。

[0455]

導電層 2142a 及導電層 2142b 的結構不侷限於三層結構，也可以採用包括包含銅、銀、金或鋁的導電層的兩層結構或者四層結構。例如，作為導電層 2142a 及導電層 2142b，可以採用層疊有導電層 2143a 和導電層 2143b 的兩層結構或層疊有導電層 2143b 和導電層 2143c 的兩層結構。

[0456]

導電層 2134 可以適當地使用可用於導電層 2143a、導電層 2143b、導電層 2143c 的上述導電材料。特別是，較佳為使用包含銅的導電材料。

[0457]

與半導體層 2138 接觸的絕緣層 2136 及絕緣層 2144 較佳為使用包含氧化物的絕緣材料。此外，在絕緣層 2136 及絕緣層 2144 採用疊層結構時，將包含氧化物的絕緣材料用於與半導體層 2138 接觸的層。

[0458]

絕緣層 2136 也可以使用氮化矽或氮化鋁等氮化絕緣膜。在使用不包含氧化物的絕緣材料時，較佳為對絕緣層 2136 的頂部進行添加氧的處理來形成含氧區域。作為添加氧的處理，例如可以舉出在含氧氛圍下的加熱處理或者電漿處理、離子摻雜處理等。

[0459]

絕緣層 2146 被用作保護電晶體 2100B 的保護層。絕緣層 2146 可以使用氮化矽、氮氧化矽、氧化矽、氧氮化矽、氧化鋁、氮化鋁等無機絕緣材料。尤其是，藉由作為絕緣層 2146 使用氮化矽或氧化鋁等不易使氧擴散的材料，可以防止因製程中的加熱等而氧從半導體層 2138 或絕緣層 2144 藉由絕緣層 2146 向外部脫離，所以是較佳的。

[0460]

另外，作為絕緣層 2146 可以使用具有平坦化膜的功能的有機絕緣性材料。或者，作為絕緣層 2146 可以使用含有無機絕緣材料的膜與含有有機絕緣材料的膜的疊層膜。

[0461]

另外，半導體層 2138 位於與導電層 2142a 及導電層 2142b 接觸的部分及其附近並可以形成有用作源極區域及汲極區域的一對低電阻區域。該區

域是半導體層 2138 的一部分是比通道形成區域更低電阻的區域。另外，也可以將低電阻區域稱為載子密度高的區域或 n 型區域等。在半導體層 2138 中，夾在一對低電阻區域之間且與導電層 2134 重疊的區域用作通道形成區域。

[0462]

絕緣層 2123 及絕緣層 2124 可以使用上述結構例子所示的材料。

[0463]

如圖 29B 所示，在通道長度方向上，絕緣層 2136、絕緣層 2144 及絕緣層 2146 在導電層 2134、半導體層 2138、導電層 2142a 及導電層 2142b 的外側部分地被去除。此時，絕緣層 2136 的端部、絕緣層 2144 的端部及絕緣層 2146 的端部各自可以大致對齊。此外，絕緣層 2136 的側面、絕緣層 2144 的側面及絕緣層 2146 的側面各自可以具有同一平面上的面。因此，絕緣層 2123 包括不與絕緣層 2136、絕緣層 2144 及絕緣層 2146 重疊的區域。

[0464]

絕緣層 2124 以覆蓋絕緣層 2146 的頂面及側面、絕緣層 2144 的側面及絕緣層 2136 的側面的方式設置，並包括與絕緣層 2123 的一部分接觸的區域。

[0465]

此外，雖然未圖示，但是在通道寬度方向上，不與絕緣層 2136、絕緣層 2144 及絕緣層 2146 重疊的區域的絕緣層 2123 也較佳為接觸於絕緣層 2124 地設置。

[0466]

藉由採用上述結構，可以將半導體層 2138、絕緣層 2136、絕緣層 2144 及絕緣層 2146 等所包含的氫等雜質高效地吸收到絕緣層 2123 及絕緣層 2124，從而可以對氫等雜質進行吸雜。此外，可以抑制半導體層 2138、絕緣層 2136、絕緣層 2144 及絕緣層 2146 等所包含的氧向絕緣層 2123 及絕緣層 2124 的外側的擴散。

[0467]

絕緣層 2121、絕緣層 2122、絕緣層 2125 及絕緣層 2126 可以使用上述結構例子所示的材料。

[0468]

絕緣層 2125 以覆蓋絕緣層 2124 的方式設置。絕緣層 2125 較佳為以圍繞絕緣層 2123 及絕緣層 2124 的方式接觸於絕緣層 2122。再者，絕緣層 2125 較佳為在絕緣層 2123 及絕緣層 2124 的外側接觸於絕緣層 2121。絕緣層 2126

設置在絕緣層 2125 上。

[0469]

藉由採用上述結構，可以抑制氫等雜質從絕緣層 2121、絕緣層 2122、絕緣層 2125 及絕緣層 2126 的外側混入半導體層 2138 中。換言之，在電晶體 2100B 中，藉由至少由絕緣層 2121、絕緣層 2122、絕緣層 2125 及絕緣層 2126 圍繞半導體層 2138，可以抑制氫等雜質元素從外部混入。

[0470]

注意，在此示出了作為保護層採用絕緣層 2125 和絕緣層 2126 的疊層結構的情況，但是如果不需要則可以不設置絕緣層 2125 和絕緣層 2126 中的一個。此外，絕緣層 2125 也可以採用兩層以上的疊層結構。同樣地，在此示出了保護層採用絕緣層 2121 和絕緣層 2122 的疊層結構的情況，但是如果不需要則可以不設置絕緣層 2121 和絕緣層 2122 中的一個。此外，絕緣層 2122 也可以採用兩層以上的疊層結構。

[0471]

藉由採用這種結構，可以實現電特性良好且可靠性高的電晶體 2100B。

[0472]

本實施方式的至少一部分可以與本說明書所記載的其他實施方式等適當地組合而實施。

[0473]

實施方式 4

在本實施方式中，參照圖 30 至圖 37B 說明半導體裝置的一個實施方式。

[0474]

[記憶體裝置 1]

圖 30 示出根據本發明的一個實施方式的半導體裝置（記憶體裝置）的一個例子。在本發明的一個實施方式的半導體裝置中，電晶體 200 設置在電晶體 300 的上方，電容器 100 設置在電晶體 300 及電晶體 200 的上方。此外，作為電晶體 200，可以使用上述實施方式所說明的電晶體 200 等。另外，作為電晶體 200，也可以使用上述實施方式所說明的電晶體 2100A 或電晶體 2100B。此外，如在上述實施方式中參照圖 1A 和圖 1B 以及圖 2A 和圖 2B 所示，作為電晶體 200，也可以使用記憶體件 290 的電晶體，且作為電容器 100，也可以設置電容器件 292。

[0475]

電晶體 200 是其通道形成在包含氧化物半導體的半導體層中的電晶體。因為電晶體 200 的關態電流小，所以藉由將其用於記憶體裝置，可以長期保持存儲內容。換言之，由於不需要更新工作或更新工作的頻率極低，所以可以充分降低記憶體裝置的功耗。

[0476]

在圖 30 所示的半導體裝置中，佈線 1001 與電晶體 300 的源極電連接，佈線 1002 與電晶體 300 的汲極電連接。此外，佈線 1003 與電晶體 200 的源極和汲極中的一個電連接，佈線 1004 與電晶體 200 的第一閘極電連接，佈線 1006 與電晶體 200 的第二閘極電連接。再者，電晶體 300 的閘極及電晶體 200 的源極和汲極中的另一個與電容器 100 的一個電極電連接，佈線 1005 與電容器 100 的另一個電極電連接。

[0477]

此外，藉由將圖 30 所示的記憶體裝置配置為矩陣狀，可以構成記憶單元陣列。

[0478]

〈電晶體 300〉

電晶體 300 設置在基板 311 上，並包括：用作閘極的導電體 316、用作閘極絕緣體的絕緣體 315、由基板 311 的一部分構成的半導體區域 313；以及用作源極區或汲極區的低電阻區域 314a 及低電阻區域 314b。電晶體 300 可以是 p 通道型或 n 通道型。

[0479]

在此，在圖 30 所示的電晶體 300 中，形成通道的半導體區域 313（基板 311 的一部分）具有凸形狀。此外，以隔著絕緣體 315 覆蓋半導體區域 313 的側面及頂面的方式設置導電體 316。此外，導電體 316 可以使用調整功函數的材料。因為利用半導體基板的凸部，所以這種電晶體 300 也被稱為 FIN 型電晶體。此外，也可以以與凸部的上表面接觸的方式具有用來形成凸部的遮罩的絕緣體。此外，雖然在此示出對半導體基板的一部分進行加工來形成凸部的情況，但是也可以對 SOI 基板進行加工來形成具有凸部的半導體膜。

[0480]

注意，圖 30 所示的電晶體 300 的結構只是一個例子，不侷限於上述結構，根據電路結構或驅動方法使用適當的電晶體即可。

[0481]

〈電容器 100〉

在電容器 100 設置在電晶體 200 的上方。電容器 100 包括被用作第一電極的導電體 110、被用作第二電極的導電體 120 及被用作介電質的絕緣體 130。在此，絕緣體 130 較佳為使用可被用作上述實施方式所示的絕緣體 286 的絕緣體。

[0482]

此外，例如，也可以同時形成設置在導電體 246 上的導電體 112 及導電體 110。此外，導電體 112 用作與電容器 100、電晶體 200 或電晶體 300 電連接的插頭或者佈線。

[0483]

在圖 30 中，導電體 112 及導電體 110 具有單層結構，但是不侷限於該結構，也可以具有兩層以上的疊層結構。例如，也可以在具有阻擋性的導電體與導電性高的導電體之間形成與具有阻擋性的導電體以及導電性高的導電體之間的密接性高的導電體。

[0484]

此外，絕緣體 130 例如可以使用氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鋁、氧氮化鋁、氮氧化鋁、氮化鋁、氧化鉿、氧氮化鉿、氮氧化鉿、氮化鉿等，並以疊層或單層設置。

[0485]

例如，絕緣體 130 較佳為使用氧氮化矽等絕緣耐壓力高的材料和高介電常數（high-k）材料的疊層結構。藉由採用該結構，電容器 100 可以包括高介電常數（high-k）的絕緣體來確保充分的電容，並可以包括絕緣耐壓力高的絕緣體來提高絕緣耐壓力，從而可以抑制電容器 100 的靜電破壞。

[0486]

注意，作為高介電常數（high-k）材料（相對介電常數高的材料）的絕緣體，有氧化鎵、氧化鉿、氧化鋯、具有鋁及鉿的氧化物、具有鋁及鉿的氧氮化物、具有矽及鉿的氧化物、具有矽及鉿的氧氮化物或具有矽及鉿的氮化物等。

[0487]

另一方面，作為絕緣耐壓力高的材料（相對介電常數低的材料），有氧化矽、氧氮化矽、氮氧化矽、氮化矽、添加有氟的氧化矽、添加有碳的氧化矽、添加有碳及氮的氧化矽、具有空孔的氧化矽或樹脂等。

[0488]

〈佈線層〉

在各結構體之間也可以設置有包括層間膜、佈線及插頭等的佈線層。此外，佈線層可以根據設計而設置為多個層。在此，在具有插頭或佈線的功能的導電體中，有時使用同一元件符號表示多個結構。此外，在本說明書等中，佈線、與佈線電連接的插頭也可以是一個組件。就是說，導電體的一部分有時被用作佈線，並且導電體的一部分有時被用作插頭。

[0489]

例如，在電晶體 300 上，作為層間膜依次層疊地設置有絕緣體 320、絕緣體 322、絕緣體 324 及絕緣體 326。此外，與電容器 100 或電晶體 200 電連接的導電體 328 及導電體 330 等嵌入絕緣體 320、絕緣體 322、絕緣體 324 及絕緣體 326 中。此外，導電體 328 及導電體 330 被用作插頭或佈線。

[0490]

此外，用作層間膜的絕緣體可以被用作覆蓋其下方的凹凸形狀的平坦化膜。例如，為了提高絕緣體 322 的頂面的平坦性，也可以藉由利用化學機械拋光（CMP）法等的平坦化處理實現平坦化。

[0491]

此外，也可以在絕緣體 326 及導電體 330 上設置佈線層。例如，在圖 30 中，依次層疊有絕緣體 350、絕緣體 352 及絕緣體 354。此外，在絕緣體 350、絕緣體 352 及絕緣體 354 中形成有導電體 356。導電體 356 被用作插頭或佈線。

[0492]

同樣地，在絕緣體 210、絕緣體 211、絕緣體 212、絕緣體 214 及絕緣體 216 中嵌入有導電體 218 及構成電晶體 200 的導電體（導電體 205）等。此外，導電體 218 用作與電容器 100 或電晶體 300 電連接的插頭或佈線。再者，導電體 120 及絕緣體 130 上設置有絕緣體 150。

[0493]

在此，與上述實施方式所示的絕緣體 241 同樣地，以與用作插頭的導電體 218 的側面接觸的方式設置絕緣體 217。絕緣體 217 以接觸形成於絕緣體 210、絕緣體 211、絕緣體 212、絕緣體 214 及絕緣體 216 中的開口內壁的方式設置。也就是說，絕緣體 217 設置在導電體 218 與絕緣體 210、絕緣體 211、絕緣體 212、絕緣體 214 及絕緣體 216 之間。另外，導電體 205 可以與導電體 218 平行地形成，所以絕緣體 217 也有可能形成為與導電體 205 的側面接觸。

[0494]

絕緣體 217 例如可以使用氮化矽、氧化鋁或氮氧化矽等絕緣體。由於絕緣體 217 以接觸絕緣體 211、絕緣體 212、絕緣體 214 及絕緣體 222 的方式設置，所以可以抑制絕緣體 210 或絕緣體 216 等中的水或氫等雜質藉由導電體 218 混入氧化物 230 中。尤其是，氮化矽對氫的阻擋性高，所以是較佳的。此外，可以防止絕緣體 210 或絕緣體 216 中的氧被導電體 218 吸收。

[0495]

絕緣體 217 可以以與絕緣體 241 同樣的方法形成。例如，可以利用 PEALD 法形成氮化矽再利用各向異性蝕刻形成到達導電體 356 的開口。

[0496]

作為能夠用作層間膜的絕緣體，有具有絕緣性的氧化物、氮化物、氧氮化物、氮氧化物、金屬氧化物、金屬氧氮化物、金屬氮氧化物等。

[0497]

例如，藉由將相對介電常數低的材料用於用作層間膜的絕緣體，可以減少產生在佈線之間的寄生電容。因此，較佳為根據絕緣體的功能選擇材料。

[0498]

例如，較佳為將相對介電常數低的絕緣體用於絕緣體 150、絕緣體 210、絕緣體 352 及絕緣體 354 等。例如，該絕緣體較佳為含有氮氧化矽、氮化矽、添加有氟的氧化矽、添加有碳的氧化矽、添加有碳及氮的氧化矽、具有空孔的氧化矽或樹脂等。或者，該絕緣體較佳為具有氧化矽、氧氮化矽、氮氧化矽、氮化矽、添加有氟的氧化矽、添加有碳的氧化矽、添加有碳及氮的氧化矽或具有空孔的氧化矽和樹脂的疊層結構。由於氧化矽及氧氮化矽具有熱穩定性，因此藉由將其與樹脂組合，可以實現具有熱穩定性且相對介電常數低的疊層結構。作為樹脂，例如可以舉出聚酯、聚烯烴、聚醯胺（尼龍、芳香族聚醯胺等）、聚醯亞胺、聚碳酸酯或丙烯酸等。

[0499]

此外，藉由由具有抑制氫等雜質及氧透過的功能的絕緣體圍繞使用氧化物半導體的電晶體，可以使電晶體的電特性穩定。因此，作為絕緣體 214、絕緣體 211、絕緣體 212 及絕緣體 350 等，可以使用具有抑制氫等雜質及氧的透過的功能的絕緣體。

[0500]

作為具有抑制氫等雜質及氧透過的功能的絕緣體，例如可以以單層或

疊層使用包含硼、碳、氮、氧、氟、鎂、鋁、矽、磷、氯、氬、鎵、鍺、鈰、鋯、鑭、釹、鉿或鉭的絕緣體。明確而言，作為具有抑制氫等雜質及氧透過的功能的絕緣體，可以使用氧化鋁、氧化鎂、氧化鎵、氧化鍺、氧化釔、氧化鋯、氧化鑭、氧化釹、氧化鉿或氧化鉭等金屬氧化物、氮氧化矽或氮化矽等。

[0501]

作為能夠用於佈線、插頭的導電體較佳為使用包含選自鋁、鉻、銅、銀、金、鉑、鉭、鎳、鈦、鉬、鎢、鉿、釩、鈮、錳、鎂、鋯、鈹、銦以及釔等的金屬元素中的一種以上的材料。此外，也可以使用以包含磷等雜質元素的多晶矽為代表的導電率高的半導體以及鎳矽化物等矽化物。

[0502]

例如，作為導電體 328、導電體 330、導電體 356、導電體 218 及導電體 112 等，可以以單層或疊層使用由上述材料形成的金屬材料、合金材料、金屬氮化物材料或金屬氧化物材料等的導電材料。較佳為使用兼具耐熱性和導電性的鎢或鉬等高熔點材料，尤其較佳為使用鎢。或者，較佳為使用鋁或銅等低電阻導電材料形成。藉由使用低電阻導電材料可以降低佈線電阻。

[0503]

〈設置有氧化物半導體的層的佈線或插頭〉

在對電晶體 200 使用氧化物半導體時，有時在氧化物半導體附近設置包括過量氧區域的絕緣體。在此情況下，較佳為在該包括過量氧區域的絕緣體和設置於該包括過量氧區域的絕緣體的導電體之間設置具有阻擋性的絕緣體。

[0504]

例如，在圖 30 中，較佳為在具有過量氧的絕緣體 224 及絕緣體 280 和導電體 240 之間設置絕緣體 241。藉由將絕緣體 241 與絕緣體 222、絕緣體 272、絕緣體 273、絕緣體 282、絕緣體 283 及絕緣體 284 接觸地設置，可以實現由具有阻擋性的絕緣體密封絕緣體 224 及電晶體 200 的結構。

[0505]

也就是說，藉由設置絕緣體 241，可以抑制絕緣體 224 及絕緣體 280 所具有的過量氧被導電體 240 吸收。此外，藉由包括絕緣體 241，可以抑制作為雜質的氫經過導電體 240 向電晶體 200 的擴散。

[0506]

作為絕緣體 241，較佳為使用具有能夠抑制水或氫等雜質及氧擴散的功

能的絕緣性材料。例如，較佳為使用氮化矽、氮氧化矽、氧化鋁或氧化鉿等。尤其是氮化矽對氫的阻擋性高，所以是較佳的。另外，還可以使用如氧化鎂、氧化鎵、氧化鍺、氧化釔、氧化鋯、氧化鑭、氧化鈰或氧化鉭等金屬氧化物等。

[0507]

另外，與上述實施方式同樣，較佳為電晶體 200 由絕緣體 211、絕緣體 212、絕緣體 214、絕緣體 287、絕緣體 282、絕緣體 283 及絕緣體 284 密封。藉由採用這種結構，可以降低包含在絕緣體 274、絕緣體 150 等中的氫混入絕緣體 280 等中。

[0508]

在此，雖然絕緣體 284、絕緣體 283 及絕緣體 282 被導電體 240 貫穿，絕緣體 214、絕緣體 212 及絕緣體 211 被導電體 218 貫穿，但是如上所述，絕緣體 241 以與導電體 240 接觸的方式設置，絕緣體 217 以與導電體 218 接觸的方式設置。因此，可以減少藉由導電體 240 及導電體 218 混入絕緣體 211、絕緣體 212、絕緣體 214、絕緣體 287、絕緣體 282、絕緣體 283 及絕緣體 284 內側的氫。藉由該方法，可以利用絕緣體 211、絕緣體 212、絕緣體 214、絕緣體 287、絕緣體 282、絕緣體 283、絕緣體 284、絕緣體 241 及絕緣體 217 更牢固地密封電晶體 200，由此可以減少絕緣體 274 等所包含的氫等雜質從外側混入。

[0509]

另外，絕緣體 216、絕緣體 224、絕緣體 280、絕緣體 250 及絕緣體 274 如之前的實施方式所示較佳為利用使用氫原子被減少或者被去除的氣體的成膜方法形成。由此，可以降低絕緣體 216、絕緣體 224、絕緣體 280、絕緣體 250 及絕緣體 274 的氫濃度。

[0510]

藉由該方法可以降低電晶體 200 附近的矽類絕緣膜的氫濃度，由此可以降低氧化物 230 的氫濃度。

[0511]

〈〈切割線〉〉

下面，對當將大面積基板按每個半導體元件分割而得到晶片形狀的多個半導體裝置時設置的切割線（也稱為分割線、分離線或截斷線）進行說明。作為分割方法，例如，有時，首先在基板中形成用來分離半導體元件的槽（切割線）之後，在切割線處截斷，得到被分離（被分割）的多個半

導體裝置。

[0512]

在此，例如，如圖 30 所示，較佳為以與絕緣體 283 和絕緣體 211 接觸的區域重疊的方式設計切割線。也就是說，在設置在包括多個電晶體 200 的記憶單元的邊緣的成為切割線的區域附近，在絕緣體 282、絕緣體 280、絕緣體 273、絕緣體 272、絕緣體 224、絕緣體 222、絕緣體 216、絕緣體 214 及絕緣體 212 中設置開口。

[0513]

也就是說，在設置在上述絕緣體 282、絕緣體 280、絕緣體 273、絕緣體 272、絕緣體 224、絕緣體 222、絕緣體 216、絕緣體 214 及絕緣體 212 的開口中絕緣體 211 與絕緣體 283 接觸。此外，也可以在絕緣體 282、絕緣體 280、絕緣體 273、絕緣體 272、絕緣體 224、絕緣體 222、絕緣體 216 及絕緣體 214 中設置開口來實現在該開口中絕緣體 212 和絕緣體 283 接觸的結構。例如，此時，也可以使用相同的材料及相同的方法形成絕緣體 212 和絕緣體 283。藉由使用相同的材料及相同的方法形成絕緣體 212 及絕緣體 283，可以提高密接性。例如，較佳為使用氮化矽。

[0514]

藉由採用該結構，可以使絕緣體 211、絕緣體 212、絕緣體 214、絕緣體 287、絕緣體 282、絕緣體 283 及絕緣體 284 包圍電晶體 200。絕緣體 211、絕緣體 212、絕緣體 214、絕緣體 287、絕緣體 282、絕緣體 283 及絕緣體 284 中的至少一個由於具有抑制氧、氫及水的擴散的功能，所以即使如本實施方式所示那樣按形成有半導體元件的電路區域將基板分割加工為多個晶片，也可以防止氫或水等雜質從截斷的基板的側面方向混入並擴散到電晶體 200。

[0515]

藉由採用該結構，可以防止絕緣體 280 及絕緣體 224 中的過量氧擴散到外部。因此，絕緣體 280 及絕緣體 224 中的過量氧高效地被供應到電晶體 200 中形成通道的氧化物中。藉由該氧，可以減少電晶體 200 中的形成通道的氧化物的氧空位。由此，可以使電晶體 200 中的形成通道的氧化物成為缺陷態密度低且具有穩定的特性的氧化物半導體。也就是說，可以在抑制電晶體 200 的電特性變動的同時提高可靠性。

[0516]

雖然在圖 30 所示的記憶體裝置中，電容器 100 的形狀為平面型，但是

本實施方式所示的記憶體件不侷限於此。例如，如圖 31 所示，電容器 100 的形狀也可以為圓柱型。另外，圖 31 所示的記憶體裝置中絕緣體 150 以下的結構與圖 30 所示的半導體裝置相同。

[0517]

圖 31 所示的電容器 100 包括絕緣體 130 上的絕緣體 150、絕緣體 150 上的絕緣體 142、配置在形成於絕緣體 150 及絕緣體 142 的開口中的導電體 115、導電體 115 及絕緣體 142 上的絕緣體 145、絕緣體 145 上的導電體 125 以及導電體 125 及絕緣體 145 上的絕緣體 152。在此，在形成於絕緣體 150 及絕緣體 142 的開口中配置導電體 115、絕緣體 145 及導電體 125 的至少一部分。

[0518]

導電體 115 被用作電容器 100 的下電極，導電體 125 被用作電容器 100 的上電極，絕緣體 145 被用作電容器 100 的介電質。電容器 100 具有在絕緣體 150 及絕緣體 142 的開口中不僅在底面上而且在側面上上電極與下電極隔著介電質對置的結構，因此可以增加每單位面積的靜電電容。開口的深度越深，電容器 100 的靜電電容越大。如此，藉由增加電容器 100 的每單位面積的靜電電容，可以推進半導體裝置的微型化或高積體化。

[0519]

作為絕緣體 152，可以使用能夠用作絕緣體 280 的絕緣體。另外，作為絕緣體 142，較佳為使用被用作形成絕緣體 150 的開口時的蝕刻停止層並可以用於絕緣體 214 的絕緣體。

[0520]

另外，形成在絕緣體 150 及絕緣體 142 中的開口的俯視時的形狀可以為四角形、四角形以外的多角形狀、其角部呈弧形的多角形狀或橢圓等圓形形狀。在此，在俯視時較佳為該開口與電晶體 200 重疊的面積大。藉由採用這種結構，可以縮減包括電容器 100 及電晶體 200 的半導體裝置的佔有面積。

[0521]

導電體 115 以與形成在絕緣體 142 及絕緣體 150 中的開口接觸的方式配置。導電體 115 的頂面的高度較佳為與絕緣體 142 的頂面的高度大致相同。另外，導電體 115 的底面藉由絕緣體 130 的開口中的導電體 110 接觸。導電體 115 較佳為藉由 ALD 法或 CVD 法等形成，例如使用可用於導電體 205 的導電體即可。

[0522]

絕緣體 145 以覆蓋導電體 115 及絕緣體 142 的方式配置。例如，較佳為藉由 ALD 法或 CVD 法等形成絕緣體 145。作為絕緣體 145，例如使用氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鋯、氧化鋁、氧氮化鋁、氮氧化鋁、氮化鋁、氧化鉿、氧氮化鉿、氮氧化鉿、氮化鉿等，並且可以採用疊層結構或單層結構。例如，作為絕緣體 145，可以使用依次層疊有氧化鋯、氧化鋁及氧化鋯的絕緣膜。

[0523]

例如，絕緣體 145 較佳為使用氧氮化矽等介電強度高的材料或高介電常數(high-k)材料。另外，也可以使用介電強度高的材料或高介電常數(high-k)材料的疊層結構。

[0524]

注意，作為高介電常數(high-k)材料(相對介電常數高的材料)的絕緣體，有氧化鎵、氧化鉿、氧化鋯、具有鋁及鉿的氧化物、具有鋁及鉿的氧氮化物、具有矽及鉿的氧化物、具有矽及鉿的氧氮化物、具有矽及鉿的氮化物等。藉由使用這種 high-k 材料，即使增厚絕緣體 145，也可以充分確保電容器 100 的靜電電容。藉由增厚絕緣體 145，可以抑制在導電體 115 與導電體 125 之間產生的洩漏電流。

[0525]

另一方面，作為介電強度高的材料，有氧化矽、氧氮化矽、氮氧化矽、氮化矽、添加有氟的氧化矽、添加有碳的氧化矽、添加有碳及氮的氧化矽、具有空孔的氧化矽或樹脂等。例如，可以使用依次層疊有藉由 ALD 法形成的氮化矽（SiN_x）、藉由 PEALD 法形成的氧化矽（SiO_x）、藉由 ALD 法形成的氮化矽（SiN_x）的絕緣膜。藉由採用這種介電強度高的絕緣體，可以提高介電強度而能夠抑制電容器 100 的靜電破壞。

[0526]

導電體 125 以嵌入形成在絕緣體 142 及絕緣體 150 中的開口的方式配置。另外，導電體 125 藉由導電體 140 及導電體 153 與佈線 1005 電連接。導電體 125 較佳為藉由 ALD 法或 CVD 法等形成，例如使用可用於導電體 205 的導電體即可。

[0527]

此外，導電體 153 設置在絕緣體 154 上，並被絕緣體 156 覆蓋。導電體 153 使用可用於導電體 112 的導電體即可，絕緣體 156 使用可用於絕緣體 152

的絕緣體即可。在此，導電體 153 與導電體 140 的頂面接觸並被用作電容器 100、電晶體 200 或電晶體 300 的端子。

[0528]

另外，圖 30 及圖 31 示出了在電晶體 300 上層疊一層電晶體 200 的結構，但是本實施方式不侷限於此。例如，也可以在電晶體 300 上設置如圖 1A 和圖 1B 及圖 2A 和圖 2B 所示的記憶體件 290 或如圖 5 及圖 6 所示的在縱方向上層疊的多個記憶體件 290。

[0529]

圖 32A 和圖 32B 示出記憶體件 290_1 至記憶體件 290_n（n 是 2 以上的自然數）。注意，本實施方式例示出設置有記憶體件 290_n 的結構，但是不侷限於此。例如，也可以不設置記憶體件 290_n。另外，對上述 n 的值並沒有特別的限制，但是可以為 2 以上且 200 以下，較佳為 2 以上且 100 以下，更佳為 2 以上且 10 以下。圖 32B 示出記憶體件 290 所包括的電晶體的通道長度方向上的剖面圖。圖 32A 示出沿著圖 32B 的點劃線 A-B 的部分的該電晶體的通道寬度方向上的剖面圖。此外，圖 32A 和圖 32B 所示的記憶體裝置中絕緣體 354 以下的結構與圖 30 所示的記憶體裝置相同。

[0530]

如圖 32A 和圖 32B 所示，絕緣體 354 上層疊有記憶體件 290_1 至記憶體件 290_n。包括記憶體件 290 的各層設置有電容器件 292 及導電體 240。各層的記憶體件 290 藉由各層的導電體 240 與相鄰的層的導電體 240 電連接，並與電晶體 300 電連接。另外，在圖 32B 中，導電體 240_1 至導電體 240_n 的通道寬度方向上的隱藏部分由虛線表示。

[0531]

圖 32A 和圖 32B 所示的記憶體件 290 具有與圖 1A 和圖 1B 所示的記憶體件 290 不同的結構。在圖 32A 和圖 32B 所示的記憶體件 290 中，導電體 240 以橫跨氧化物 230b 等的方式形成，導電體 240 的側面形成有絕緣體 241。在此，因為在導電體 240 的底面沒有形成絕緣體 241，所以各層的導電體 240 的底面與該層的導電體 242a 及下一層的導電體 246a 接觸。由此，各層的記憶體件 290 可以與下一層的導電體 246a 電連接。

[0532]

注意，本實施方式所示的記憶體裝置不侷限於圖 32A 和圖 32B 所示的結構。例如，也可以在上層的導電體 246a 和下層的導電體 246a 之間設置貫穿氧化物 230b 等的導電體 240。此外，例如，也可以由一個貫通電極形成

導電體 240_1 至導電體 240_n。

[0533]

此外，因為在各層中將電容器件 292 形成為平面型，所以可以抑制各層高度的過剩增加。由此，可以較容易增加記憶體件 290 的層數。例如，記憶體件 290 的層也可以為 100 層左右。

[0534]

以上是對結構例子的說明。藉由採用本結構，可以在使用具有包含氧化物半導體的電晶體的半導體裝置中抑制電特性變動的同時提高可靠性。此外，可以提供一種包含通態電流大的氧化物半導體的電晶體。此外，可以提供一種包含關態電流小的氧化物半導體的電晶體。此外，可以提供一種功耗得到降低的半導體裝置。

[0535]

[記憶體裝置 2]

圖 33 示出使用作為本發明的一個實施方式的半導體裝置的記憶體裝置的一個例子。圖 33 所示的記憶體裝置除了包括圖 30 所示的電晶體 200、電晶體 300 及電容器 100 的半導體裝置以外還包括電晶體 400。

[0536]

電晶體 400 可以控制電晶體 200 的第二閘極電壓。例如，採用電晶體 400 的第一閘極及第二閘極與源極二極體連接並且電晶體 400 的源極與電晶體 200 的第二閘極連接的結構。當在該結構中保持電晶體 200 的第二閘極的負電位時，電晶體 400 的第一閘極與源極間的電壓及第二閘極與源極間的電壓成為 0V。在電晶體 400 中，由於第二閘極電壓及第一閘極電壓為 0V 時的汲極電流非常小，所以即使沒有向電晶體 200 及電晶體 400 供應電源，也可以長時間保持電晶體 200 的第二閘極的負電位。由此，包括電晶體 200 及電晶體 400 的記憶體裝置可以長期間保持存儲內容。

[0537]

因此，在圖 33 中，佈線 1001 與電晶體 300 的源極電連接，佈線 1002 與電晶體 300 的汲極電連接。此外，佈線 1003 與電晶體 200 的源極和汲極中的一個電連接，佈線 1004 與電晶體 200 的閘極電連接，佈線 1006 與電晶體 200 的背閘極電連接。再者，電晶體 300 的閘極及電晶體 200 的源極和汲極中的另一個與電容器 100 的一個電極電連接，佈線 1005 與電容器 100 的另一個電極電連接。佈線 1007 與電晶體 400 的源極電連接，佈線 1008 與電晶體 400 的閘極電連接，佈線 1009 與電晶體 400 的背閘極電連接，佈線 1010

與電晶體 400 的汲極電連接。在此，佈線 1006、佈線 1007、佈線 1008 及佈線 1009 電連接。

[0538]

此外，藉由將圖 33 所示的記憶體裝置與圖 30 所示的記憶體裝置同樣地配置為矩陣狀，可以構成記憶單元陣列。注意，一個電晶體 400 可以控制多個電晶體 200 的第二閘極電壓。因此，較佳為使電晶體 400 的個數少於電晶體 200。另外，圖 33 所示的記憶體裝置與圖 30 所示的記憶體裝置同樣地可以將電晶體 200 及電晶體 400 以絕緣體 211、絕緣體 212、絕緣體 214、絕緣體 287、絕緣體 282、絕緣體 283 和絕緣體 284 密封。

[0539]

〈電晶體 400〉

電晶體 400 與電晶體 200 形成在相同層而可以一起製造。電晶體 400 包括用作第一閘極的導電體 460（導電體 460a 及導電體 460b）、用作第二閘極的導電體 405、用作閘極絕緣層的絕緣體 222、絕緣體 224 及絕緣體 450、包括通道形成區的氧化物 430c、用作源極的導電體 442a、氧化物 443a、氧化物 431a 及氧化物 431b、用作汲極的導電體 442b、氧化物 443b、氧化物 432a 及氧化物 432b。此外，與電晶體 200 同樣地，被用作插頭的導電體與導電體 442a 及導電體 442b 接觸地設置。

[0540]

在電晶體 400 中，導電體 405 與導電體 205 為相同層。氧化物 431a 及氧化物 432a 與氧化物 230a 為相同層，氧化物 431b 及氧化物 432b 與氧化物 230b 為相同層。導電體 442 與導電體 242 為相同層。氧化物 443 與氧化物 243 為相同層。氧化物 430c 與氧化物 230c 為相同層。絕緣體 450 與絕緣體 250 為相同層。導電體 460 與導電體 260 為相同層。

[0541]

注意，形成在相同的層中的結構體可以同時形成。例如，氧化物 430c 可以藉由對成為氧化物 230c 的氧化膜進行加工來形成。

[0542]

與氧化物 230 等同樣，在用作電晶體 400 的活性層的氧化物 430c 中，減少了氧空位和氫或水等雜質。因此，可以使電晶體 400 的臨界電壓大於 0V，減少關態電流，並使第二閘極電壓及第一閘極電壓為 0V 時的汲極電流非常小。

[0543]

本實施方式所示的構成、方法等可以與其他實施方式等所示的構成、結構、方法等適當地組合使用。

[0544]

實施方式 5

在本實施方式中，參照圖 34A 至圖 35H，對根據本發明的一個實施方式的使用將氧化物用於半導體的電晶體（以下有時稱為 OS 電晶體）及電容器的記憶體裝置（以下有時稱為 OS 記憶體裝置）進行說明。OS 記憶體裝置是至少包括電容器和控制該電容器的充放電的 OS 電晶體的記憶體裝置。因 OS 電晶體的關態電流極小所以 OS 記憶體件具有優良的保持特性，從而可以被用作非揮發性記憶體。

[0545]

〈記憶體件的結構例子〉

圖 34A 示出 OS 記憶體件的結構的一個例子。記憶體裝置 1400 包括週邊電路 1411 及記憶單元陣列 1470。週邊電路 1411 包括行電路 1420、列電路 1430、輸出電路 1440、控制邏輯電路 1460。

[0546]

列電路 1430 例如包括列解碼器、預充電電路、感測放大器及寫入電路等。預充電電路具有對佈線進行預充電的功能。感測放大器具有放大從記憶單元讀出的資料信號的功能。注意，上述佈線是連接到記憶單元陣列 1470 所包括的記憶單元的佈線，下面描述其詳細內容。被放大的資料信號作為資料信號 RDATA 藉由輸出電路 1440 輸出到記憶體裝置 1400 的外部。此外，行電路 1420 例如包括行解碼器、字線驅動器電路等，並可以選擇要存取的行。

[0547]

對記憶體裝置 1400 從外部供應作為電源電壓的低電源電壓（VSS）、週邊電路 1411 用高電源電壓（VDD）及記憶單元陣列 1470 用高電源電壓（VIL）。此外，對記憶體裝置 1400 從外部輸入控制信號（CE、WE、RE）、位址信號 ADDR 及資料信號 WDATA。位址信號 ADDR 被輸入到行解碼器及列解碼器，WDATA 被輸入到寫入電路。

[0548]

控制邏輯電路 1460 對來自外部的輸入信號（CE、WE、RE）進行處理來生成行解碼器及列解碼器的控制信號。CE 是晶片賦能信號，WE 是寫入

賦能信號，並且 RE 是讀出賦能信號。控制邏輯電路 1460 所處理的信號不侷限於此，根據需要而輸入其他控制信號即可。

[0549]

記憶單元陣列 1470 包括配置為行列狀的多個記憶單元 MC 及多個佈線。注意，連接記憶單元陣列 1470 和行電路 1420 的佈線的數量取決於記憶單元 MC 的結構、包括在一個列中的記憶單元 MC 的數量等。此外，連接記憶單元陣列 1470 和列電路 1430 的佈線的數量取決於記憶單元 MC 的結構、包括在一個行中的記憶單元 MC 的數量等。

[0550]

此外，雖然在圖 34A 中示出在同一平面上形成週邊電路 1411 和記憶單元陣列 1470 的例子，但是本實施方式不侷限於此。例如，如圖 34B 所示，也可以以重疊於週邊電路 1411 的一部分上的方式設置記憶單元陣列 1470。例如，也可以採用以重疊於記憶單元陣列 1470 下的方式設置感測放大器的結構。

[0551]

在圖 35A 至圖 35H 中說明能夠適合用於上述記憶單元 MC 的記憶單元的結構例子。

[0552]

[DOSRAM]

圖 35A 至圖 35C 示出 DRAM 的記憶單元的電路結構例子。在本說明書等中，有時將使用 1OS 電晶體 1 電容器型記憶單元的 DRAM 稱為 DOSRAM（Dynamic Oxide Semiconductor Random Access Memory）。圖 35A 所示的記憶單元 1471 包括電晶體 M1 及電容器 CA。此外，電晶體 M1 包括閘極（有時稱為前閘極）及背閘極。

[0553]

電晶體 M1 的第一端子與電容器 CA 的第一端子連接，電晶體 M1 的第二端子與佈線 BIL 連接，電晶體 M1 的閘極與佈線 WOL 連接，電晶體 M1 的背閘極與佈線 BGL 連接。電容器 CA 的第二端子與佈線 CAL 連接。

[0554]

佈線 BIL 被用作位元線，佈線 WOL 被用作字線。佈線 CAL 被用作用來對電容器 CA 的第二端子施加指定的電位的佈線。在資料的寫入及讀出時，較佳為對佈線 CAL 施加低位準電位。佈線 BGL 被用作用來對電晶體 M1 的背閘極施加電位的佈線。藉由對佈線 BGL 施加任意電位，可以增加

或減少電晶體 M1 的臨界電壓。

[0555]

此外，記憶單元 MC 不侷限於記憶單元 1471，而可以改變其電路結構。例如，記憶單元 MC 也可以採用如圖 35B 所示的記憶單元 1472 那樣的電晶體 M1 的背閘極不與佈線 BGL 連接，而與佈線 WOL 連接的結構。此外，例如，記憶單元 MC 也可以是如圖 35C 所示的記憶單元 1473 那樣的由單閘極結構的電晶體，亦即不包括背閘極的電晶體 M1 構成的記憶單元。

[0556]

在將上述實施方式所示的半導體裝置用於記憶單元 1471 等的情況下，作為電晶體 M1 可以使用電晶體 200，作為電容器 CA 可以使用電容器 100。此外，如在上述實施方式中圖 1A 和圖 1B 及圖 2A 和圖 2B 所示，作為電晶體 M1 可以使用記憶體件 290 的電晶體，作為電容器 CA 可以設置電容器件 292。藉由作為電晶體 M1 使用 OS 電晶體，可以使電晶體 M1 的洩漏電流為極低。換言之，因為可以由電晶體 M1 長時間保持寫入的資料，所以可以降低記憶單元的更新頻率。此外，還可以不進行記憶單元的更新工作。此外，由於洩漏電流極低，因此可以將多值資料或類比資料保持在記憶單元 1471、記憶單元 1472、記憶單元 1473 中。

[0557]

此外，在 DOSRAM 中，在如上所述那樣地採用以重疊於記憶單元陣列 1470 下的方式設置感測放大器的結構時，可以縮短位元線。由此，位元線電容減小，從而可以減少記憶單元的存儲電容。

[0558]

在此，圖 36A 示出記憶體裝置 1400 的例子，其中在週邊電路 1411 上設置記憶單元陣列 1470，在記憶單元陣列 1470 中設置多個記憶單元 1471。

[0559]

在記憶單元陣列 1470 中，多個記憶單元 1471 被配置為矩陣狀，佈線 WOL、佈線 BGL 等也在記憶單元陣列 1470 上延伸在行方向或列方向上。佈線 BIL 與設置於週邊電路 1411 的列電路 1430 連接。記憶單元陣列 1470 藉由佈線 BIL 與感測放大器等電連接。

[0560]

記憶單元陣列 1470 較佳為包括 OS 電晶體，並如上述實施方式所示，由絕緣體 211、絕緣體 212、絕緣體 214、絕緣體 287、絕緣體 282、絕緣體 283 及絕緣體 284 密封。例如，如圖 27A 和圖 27B 所示，記憶單元陣列 1470

的頂面、側面及底面較佳為由絕緣體 211、絕緣體 212、絕緣體 214、絕緣體 287、絕緣體 282、絕緣體 283 及絕緣體 284 密封。

[0561]

此外，如圖 36B 所示，多個記憶單元陣列 1470_1 至記憶單元陣列 1470_n（n 是 2 以上的自然數）也可以採用疊層結構。各記憶單元陣列 1470 的結構與圖 36A 所示的結構幾乎相同，但是列電路 1430 與各記憶單元陣列 1470 的記憶單元 1471 由佈線 BIL 連接。另外，如圖 32A 及圖 32B 所示，佈線 BIL 也可以以用一個或多個導電體 240 貫通記憶單元陣列 1470_1 至記憶單元陣列 1470_n 的方式形成。

[0562]

多個記憶單元陣列 1470 較佳為包括 OS 電晶體並如上述實施方式所示由絕緣體 211、絕緣體 212、絕緣體 214、絕緣體 287、絕緣體 282、絕緣體 283 及絕緣體 284 一併密封。例如，如圖 5 及圖 6 或圖 32A 和圖 32B 所示，多個記憶單元陣列 1470 的頂面、側面及底面較佳為由絕緣體 211、絕緣體 212、絕緣體 214、絕緣體 287、絕緣體 282、絕緣體 283 及絕緣體 284 密封。另外，如圖 5 及圖 6 所示，較佳為在各記憶單元陣列 1470 的邊界上層疊地設置絕緣體 282、絕緣體 296、絕緣體 298 及絕緣體 214。

[0563]

[NOSRAM]

圖 35D 至圖 35H 示出 2 電晶體 1 電容器的增益單元型記憶單元的電路結構例子。圖 35D 所示的記憶單元 1474 包括電晶體 M2、電晶體 M3、電容器 CB。此外，電晶體 M2 包括前閘極（有時簡稱為閘極）及背閘極。在本說明書等中，有時將包括將 OS 電晶體用於電晶體 M2 的增益單元型記憶單元的記憶體裝置稱為 NOSRAM（Nonvolatile Oxide Semiconductor RAM）。

[0564]

電晶體 M2 的第一端子與電容器 CB 的第一端子連接，電晶體 M2 的第二端子與佈線 WBL 連接，電晶體 M2 的閘極與佈線 WOL 連接，電晶體 M2 的背閘極與佈線 BGL 連接。電容器 CB 的第二端子與佈線 CAL 連接。電晶體 M3 的第一端子與佈線 RBL 連接，電晶體 M3 的第二端子與佈線 SL 連接，電晶體 M3 的閘極與電容器 CB 的第一端子連接。

[0565]

佈線 WBL 被用作寫入位元線，佈線 RBL 被用作讀出位元線，佈線 WOL 被用作字線。佈線 CAL 被用作用來對電容器 CB 的第二端子施加指定的電

位的佈線。在資料的寫入、保持及讀出時，較佳為對佈線 CAL 施加低位準電位。佈線 BGL 被用作用來對電晶體 M2 的背閘極施加電位的佈線。藉由對佈線 BGL 施加任意電位，可以增加或減少電晶體 M2 的臨界電壓。

[0566]

此外，記憶單元 MC 不侷限於記憶單元 1474，而可以適當地改變其電路結構。例如，記憶單元 MC 也可以採用如圖 35E 所示的記憶單元 1475 那樣的電晶體 M2 的背閘極不與佈線 BGL 連接，而與佈線 WOL 連接的結構。此外，例如，記憶單元 MC 也可以是如圖 35F 所示的記憶單元 1476 那樣的由單閘極結構的電晶體，亦即不包括背閘極的電晶體 M2 構成的記憶單元。此外，例如，記憶單元 MC 也可以具有如圖 35G 所示的記憶單元 1477 那樣的將佈線 WBL 和佈線 RBL 組合為一個佈線 BIL 的結構。

[0567]

在將上述實施方式所示的半導體裝置用於記憶單元 1474 等的情況下，作為電晶體 M2 可以使用電晶體 200，作為電晶體 M3 可以使用電晶體 300，作為電容器 CB 可以使用電容器 100。此外，如在上述實施方式中圖 1A 和圖 1B 及圖 2A 和圖 2B 所示，作為電晶體 M2 也可以使用記憶體件 290 的電晶體，作為電容器 CB 也可以設置電容器件 292。藉由作為電晶體 M2 使用 OS 電晶體，可以使電晶體 M2 的洩漏電流為極低。由此，因為可以由電晶體 M2 長時間保持寫入的資料，所以可以降低記憶單元的更新頻率。此外，還可以不進行記憶單元的更新工作。此外，由於洩漏電流極低，因此可以將多值資料或類比資料保持在記憶單元 1474 中。記憶單元 1475 至 1477 也是同樣的。

[0568]

此外，電晶體 M3 也可以是在通道形成區中包含矽的電晶體（以下有時稱為 Si 電晶體）。Si 電晶體的導電型可以是 n 通道型或 p 通道型。Si 電晶體的場效移動率有時比 OS 電晶體高。因此，作為用作讀出電晶體的電晶體 M3，也可以使用 Si 電晶體。此外，藉由將 Si 電晶體用於電晶體 M3，可以層疊於電晶體 M3 上地設置電晶體 M2，從而可以減少記憶單元的佔有面積，並可以實現記憶體裝置的高積體化。

[0569]

此外，電晶體 M3 也可以是 OS 電晶體。在將 OS 電晶體用於電晶體 M2、M3 時，在記憶單元陣列 1470 中可以只使用 n 型電晶體構成電路。

[0570]

此外，圖 35H 示出 3 電晶體 1 電容器的增益單元型記憶單元的一個例子。圖 35H 所示的記憶單元 1478 包括電晶體 M4 至 M6 及電容器 CC。電容器 CC 可以適當地設置。記憶單元 1478 與佈線 BIL、RWL、WWL、BGL 及 GNDL 電連接。佈線 GNDL 是供應低位準電位的佈線。此外，也可以將記憶單元 1478 電連接到佈線 RBL、WBL，而不與佈線 BIL 電連接。

[0571]

電晶體 M4 是包括背閘極的 OS 電晶體，該背閘極與佈線 BGL 電連接。此外，也可以使電晶體 M4 的背閘極和閘極互相電連接。或者，電晶體 M4 也可以不包括背閘極。

[0572]

此外，電晶體 M5、M6 各自可以是 n 通道型 Si 電晶體或 p 通道型 Si 電晶體。或者，電晶體 M4 至 M6 都是 OS 電晶體。在此情況下，可以在記憶單元陣列 1470 中只使用 n 型電晶體構成電路。

[0573]

在將上述實施方式所示的半導體裝置用於記憶單元 1478 時，作為電晶體 M4 可以使用電晶體 200，作為電晶體 M5、M6 可以使用電晶體 300，作為電容器 CC 可以使用電容器 100。藉由作為電晶體 M4 使用 OS 電晶體，可以使電晶體 M4 的洩漏電流為極低。此外，如在上述實施方式中圖 1A 和圖 1B 及圖 2A 和圖 2B 所示，作為電晶體 M4 也可以使用記憶體件 290 的電晶體，作為電容器 CC 也可以設置電容器件 292。

[0574]

注意，本實施方式所示的週邊電路 1411 及記憶單元陣列 1470 等的結構不侷限於上述結構。此外，也可以根據需要改變，去除或追加這些電路及連接到該電路的佈線、電路元件等的配置或功能。

[0575]

本實施方式所示的構成、方法等可以與其他實施方式及其他實施例所示的構成、結構、方法等適當地組合使用。

[0576]

實施方式 6

在本實施方式中，參照圖 37A 和圖 38B 說明安裝有本發明的半導體裝置的晶片 1200 的一個例子。在晶片 1200 上安裝有多個電路（系統）。如此，在一個晶片上集成有多個電路（系統）的技術有時被稱為系統晶片（System

on Chip：SoC）。

[0577]

如圖 37A 所示，晶片 1200 包括中央處理器（CPU）1211、圖形處理器（GPU）1212、一個或多個運算部 1213、一個或多個記憶體控制器 1214、一個或多個介面 1215、一個或多個網路電路 1216 等。

[0578]

在晶片 1200 上設置有凸塊（未圖示），該凸塊如圖 37B 所示那樣與印刷線路板（Printed Circuit Board：PCB）1201 的第一面連接。此外，在 PCB1201 的第一面的背面設置有多個凸塊 1202，該凸塊 1202 與主機板 1203 連接。

[0579]

此外，也可以在主機板 1203 上設置有 DRAM1221、快閃記憶體 1222 等的記憶體裝置。例如，可以將上述實施方式所示的 DOSRAM 應用於 DRAM1221。此外，例如，可以將上述實施方式所示的 NOSRAM 應用於快閃記憶體 1222。

[0580]

CPU1211 較佳為具有多個 CPU 核。此外，GPU1212 較佳為具有多個 GPU 核。此外，CPU1211 和 GPU1212 可以分別具有暫時儲存資料的記憶體。或者，也可以在晶片 1200 上設置有 CPU1211 和 GPU1212 共同使用的記憶體。可以將上述 NOSRAM 或 DOSRAM 應用於該記憶體。此外，GPU1212 適合用於多個資料的平行計算，其可以用於影像處理或積和運算。藉由作為 GPU1212 設置使用本發明的氧化物半導體的影像處理電路或積和運算電路，可以以低耗電量執行影像處理及積和運算。

[0581]

此外，因為在同一晶片上設置有 CPU1211 和 GPU1212，所以可以縮短 CPU1211 和 GPU1212 之間的佈線，並可以以高速進行從 CPU1211 到 GPU1212 的資料傳送、CPU1211 及 GPU1212 所具有記憶體之間的資料傳送以及 GPU1212 中的運算結束之後的從 GPU1212 到 CPU1211 的運算結果傳送。

[0582]

類比運算部 1213 具有類比/數位（A/D）轉換電路和數位/類比（D/A）轉換電路中的一者或兩者。此外，也可以在類比運算部 1213 中設置上述積和運算電路。

[0583]

記憶體控制器 1214 具有用作 DRAM1221 的控制器的電路及用作快閃記

憶體 1222 的介面的電路。

[0584]

介面 1215 具有與如顯示裝置、揚聲器、麥克風、影像拍攝裝置、控制器等外部連接設備之間的介面電路。控制器包括滑鼠、鍵盤、遊戲機用控制器等。作為上述介面，可以使用通用序列匯流排（Universal Serial Bus:USB）、高清晰度多媒體介面（High-Definition Multimedia Interface：HDMI）（註冊商標）等。

[0585]

網路電路 1216 具有區域網路（Local Area Network：LAN）等網路電路。此外，還可以具有網路安全用電路。

[0586]

上述電路（系統）可以經同一製程形成在晶片 1200 上。由此，即使晶片 1200 所需的電路個數增多，也不需要增加製程，可以以低成本製造晶片 1200。

[0587]

可以將包括設置有具有 GPU1212 的晶片 1200 的 PCB1201、DRAM1221 以及快閃記憶體 1222 的主機板 1203 稱為 GPU 模組 1204。

[0588]

GPU 模組 1204 因具有使用 SoC 技術的晶片 1200 而可以減少其尺寸。此外，GPU 模組 1204 因具有高影像處理能力而適合用於智慧手機、平板終端、膝上型個人電腦、可攜式（可攜帶）遊戲機等可攜式電子裝置。此外，藉由利用使用 GPU1212 的積和運算電路，可以執行深度神經網路（DNN）、卷積神經網路（CNN）、遞迴神經網路（RNN）、自編碼器、深度波茲曼機（DBM）、深度置信網路（DBN）等運算，由此可以將晶片 1200 用作 AI 晶片，或者，可以將 GPU 模組用作 AI 系統模組。

[0589]

本實施方式所示的構成、方法等可以與其他實施方式等所示的構成、結構、方法等適當地組合使用。

[0590]

實施方式 7

在本實施方式中，說明使用上述實施方式所示的半導體裝置的記憶體裝置的應用例子。上述實施方式所示的半導體裝置例如可以應用於各種電

子裝置（例如，資訊終端、電腦、智慧手機、電子書閱讀器終端、數位相機（也包括攝影機）、錄影再現裝置、導航系統等）的記憶體裝置。注意，在此，電腦包括平板電腦、筆記型電腦、桌上型電腦以及大型電腦諸如伺服器系統。或者，上述實施方式所示的半導體裝置應用於記憶體卡（例如，SD 卡）、USB 記憶體、SSD（固態硬碟）等各種卸除式存放裝置。圖 38A 至圖 38E 示意性地示出卸除式存放裝置的幾個結構例子。例如，上述實施方式所示的半導體裝置加工為被封裝的記憶體晶片並用於各種記憶體件或卸除式記憶體。

[0591]

圖 38A 是 USB 記憶體的示意圖。USB 記憶體 1100 包括外殼 1101、蓋子 1102、USB 連接器 1103 及基板 1104。基板 1104 被容納在外殼 1101 中。例如，基板 1104 上安裝有記憶體晶片 1105 及控制器晶片 1106。可以將上述實施方式所示的半導體裝置組裝於基板 1104 上的記憶體晶片 1105 等。

[0592]

圖 38B 是 SD 卡的外觀示意圖，圖 38C 是 SD 卡的內部結構的示意圖。SD 卡 1110 包括外殼 1111、連接器 1112 及基板 1113。基板 1113 被容納在外殼 1111 中。例如，基板 1113 上安裝有記憶體晶片 1114 及控制器晶片 1115。藉由在基板 1113 的背面一側也設置記憶體晶片 1114，可以增大 SD 卡 1110 的容量。此外，也可以將具有無線通訊功能的無線晶片設置於基板 1113。由此，藉由主機裝置與 SD 卡 1110 之間的無線通訊，可以進行記憶體晶片 1114 的資料的讀出及寫入。可以將上述實施方式所示的半導體裝置組裝於基板 1113 上的記憶體晶片 1114 等。

[0593]

圖 38D 是 SSD 的外觀示意圖，圖 38E 是 SSD 的內部結構的示意圖。SSD1150 包括外殼 1151、連接器 1152 及基板 1153。基板 1153 被容納在外殼 1151 中。例如，基板 1153 上安裝有記憶體晶片 1154、記憶體晶片 1155 及控制器晶片 1156。記憶體晶片 1155 為控制器晶片 1156 的工作記憶體，例如，可以使用 DOSRAM 晶片。藉由在基板 1153 的背面一側也設置記憶體晶片 1154，可以增大 SSD1150 的容量。可以將上述實施方式所示的半導體裝置組裝於基板 1153 上的記憶體晶片 1154 等。

[0594]

本實施方式所示的構成、方法等可以與其他實施方式等所示的構成、結構、方法等適當地組合使用。

[0595]

實施方式 8

在本實施方式中，使用圖 39A 至圖 42B 作為使用 OS 電晶體及電容器的本發明的一個實施方式的半導體裝置的一個例子，對 FPGA（現場可程式邏輯閘陣列）進行說明。在本實施方式的 FPGA 中，將 OS 記憶體用於組態記憶體及暫存器。在此，將上述 FPGA 稱為“OS-FPGA”。

[0596]

〈〈OS-FPGA〉〉

圖 39A 示出 OS-FPGA 的結構實例。圖 39A 所示的 OS-FPGA3110 能夠實現進行利用多上下文結構的上下文切換以及根據每個 PLE 的細粒電源閘控的 NOFF（常關閉）運算。OS-FPGA3110 包括控制器（Controller）3111、字線驅動器（Word driver）3112、資料驅動器（Data driver）3113 和可程式區域（Programmable area）3115。

[0597]

可程式區域 3115 包括兩個輸入輸出塊（IOB）3117 和核心（Core）3119。IOB3117 包括多個可程式輸入輸出電路。核心 3119 包括多個邏輯陣列塊（LAB）3120 和多個開關陣列塊（SAB）3130。LAB3120 包括多個 PLE3121。圖 39B 示出使用五個 PLE3121 構成 LAB3120 的例子。如圖 39C 所示，SAB3130 包括排列為陣列狀的多個開關塊（SB）3131。LAB3120 藉由其輸入端子及 SAB3130 與四個方向（上下左右）上的 LAB3120 連接。

[0598]

參照圖 40A 至圖 40C 對 SB3131 進行說明。圖 40A 所示的 SB3131 被輸入 data、datab、信號 context[1：0]、信號 word[1：0]。data、datab 是組態資料，data 和 datab 的邏輯處於互補關係。OS-FPGA3110 的上下文數為 2，信號 context[1：0]是上下文選擇信號。信號 word[1：0]是字線選擇信號，被輸入信號 word[1：0]的佈線都是字線。注意，圖 40A 所示的 input 相當於 SB3131 的輸入端子，output 相當於 SB3131 的輸出端子。

[0599]

SB3131 包括 PRS（可程式選路開關）3133[0]和 3133[1]。PRS3133[0]和 3133[1]包括能夠儲存互補資料的組態記憶體（CM）。注意，在不區別 PRS3133[0]和 PRS3133[1]的情況下，表示為 PRS3133。這同樣適用於其他組件。

[0600]

圖 40B 示出 PRS3133[0]的電路結構實例。PRS3133[0]和 PRS3133[1]具有相同的電路結構。在 PRS3133[0]與 PRS3133[1]之間，被輸入的上下文選擇信號和字線選擇信號不同。信號 context[0]、word[0]輸入到 PRS3133[0]，信號 context[1]、word[1]輸入到 PRS3133[1]。例如，在 SB3131 中，當信號 context[0]成為“H”時，PRS3133[0]成為活動狀態。

[0601]

PRS3133[0]包括 CM3135、Si 電晶體 M31。Si 電晶體 M31 是由 CM3135 控制的傳輸電晶體(pass transistor)。CM3135 包括記憶體電路 3137 和 3137B。記憶體電路 3137 和 3137B 具有相同的電路結構。記憶體電路 3137 包括電容器 C31、OS 電晶體 MO31 和 MO32。記憶體電路 3137B 包括電容器 CB31、OS 電晶體 MOB31 和 MOB32。

[0602]

當將上述實施方式所示的半導體裝置用於 SAB3130 時，作為 OS 電晶體 M031 及 OS 電晶體 MOB31 可以使用上述實施方式所示的電晶體。由此，可以降低 OS 電晶體 MO31、MOB31 的關態電流，從而可以長時間地保持組態資料。此外，可以縮小由一個電晶體和一個電容器組成的各組的俯視時的佔有面積，因此可以實現本實施方式的半導體裝置的高積體化。

[0603]

OS 電晶體 MO31、MO32、MOB31 和 MOB32 包括背閘極，這些背閘極與分別供應固定電壓的電源線電連接。

[0604]

Si 電晶體 M31 的閘極相當於節點 N31，OS 電晶體 MO32 的閘極相當於節點 N32，OS 電晶體 MOB32 的閘極相當於節點 NB32。節點 N32 和 NB32 是 CM3135 的電荷保持節點。OS 電晶體 MO32 控制節點 N31 與信號 context[0]用信號線之間的導通狀態。OS 電晶體 MOB32 控制節點 N31 與低電位電源線 VSS 之間的導通狀態。

[0605]

記憶體電路 3137 和 3137B 所保持的資料處於互補關係。因此，OS 電晶體 MO32 和 MOB32 中的任一個成為導通狀態。

[0606]

參照圖 40C 對 PRS3133[0]的工作實例進行說明。PRS3133[0]已寫入有組態資料，PRS3133[0]的節點 N32 為“H”，節點 NB32 為“L”。

[0607]

在信號 context[0]為“L”的期間，PRS3133[0]處於非活動狀態。在該期間，即使 PRS3133[0]的輸入端子轉移為“H”，Si 電晶體 M31 的閘極也維持“L”，PRS3133[0]的輸出端子也維持“L”。

[0608]

在信號 context[0]為“H”的期間，PRS3133[0]處於活動狀態。當信號 context[0]轉移為“H”時，根據 CM3135 所儲存的組態資料，Si 電晶體 M31 的閘極轉移為“H”。

[0609]

在 PRS3133[0]處於活動狀態的期間，當輸入端子的電位轉移為“H”時，由於記憶體電路 3137 的 OS 電晶體 MO32 是源極隨耦器，所以藉由升壓（boosting）Si 電晶體 M31 的閘極電壓上升。其結果是，記憶體電路 3137 的 OS 電晶體 MO32 丟失驅動能力，Si 電晶體 M31 的閘極成為浮動狀態。

[0610]

在具有多上下文的功能（multi context function）的 PRS3133 中，CM3135 還被用作多工器。

[0611]

圖 41 示出 PLE3121 的結構實例。PLE3121 包括 LUT（查找表）塊（LUT block）3123、暫存器塊 3124、選擇器 3125 和 CM3126。LUT 塊 3123 根據輸入 inA 至 inD 選擇其內部的資料，並將其輸出。選擇器 3125 根據 CM3126 所儲存的組態資料選擇 LUT 塊 3123 的輸出或暫存器塊 3124 的輸出。

[0612]

PLE3121 藉由功率開關 3127 與電壓 VDD 用電源線電連接。功率開關 3127 的開閉根據 CM3128 所儲存的組態資料而決定。藉由根據各 PLE3121 設置功率開關 3127，可以進行細粒電源閘控。由於細粒電源閘控功能，可以對在切換上下文之後不使用的 PLE3121 進行電源閘控，所以可以有效地降低待機功率。

[0613]

為了實現NOFF運算，暫存器塊3124使用非揮發性暫存器構成。PLE3121 中的非揮發性暫存器是包括 OS 記憶體的正反器（以下，稱為“OS-FF”）。

[0614]

暫存器塊 3124 包括 OS-FF3140[1]和 3140[2]。信號 user_res、load、store 輸入到 OS-FF3140[1]和 3140[2]。時脈信號 CLK1 輸入到 OS-FF3140[1]，時脈

信號 CLK2 輸入到 OS-FF3140[2]。圖 42A 示出 OS-FF3140 的結構實例。

[0615]

OS-FF3140 包括 FF3141 和影子暫存器 3142。FF3141 包括節點 CK、R、D、Q 和 QB。節點 CK 被輸入時脈信號。節點 R 被輸入信號 user_res。信號 user_res 是重設信號。節點 D 是資料輸入節點，節點 Q 是資料輸出節點。節點 Q 和節點 QB 的邏輯處於互補關係。

[0616]

影子暫存器 3142 被用作 FF3141 的備份電路。影子暫存器 3142 根據信號 store 對節點 Q 和 QB 的資料進行備份，並且根據信號 load 將所備份的資料返回到節點 Q、QB。

[0617]

影子暫存器 3142 包括反相器電路 3188 和 3189、Si 電晶體 M37 和 MB37 以及記憶體電路 3143 和 3143B。記憶體電路 3143 和 3143B 具有與 PRS3133 的記憶體電路 3137 相同的電路結構。記憶體電路 3143 包括電容器 C36、OS 電晶體 MO35 和 OS 電晶體 MO36。記憶體電路 3143B 包括電容器 CB36、OS 電晶體 MOB35 和 OS 電晶體 MOB36。節點 N36 和 NB36 分別相當於 OS 電晶體 MO36 和 OS 電晶體 MOB36 的閘極，並它們都是電荷保持節點。節點 N37 和 NB37 相當於 Si 電晶體 M37 和 Si 電晶體 MB37 的閘極。

[0618]

當將上述實施方式所示的半導體裝置用於 LAB3120 時，作為 OS 電晶體 M035 及 OS 電晶體 MOB35 可以使用上述實施方式所示的電晶體。由此，可以降低 OS 電晶體 MO35、MOB35 的關態電流，從而可以在 OS-FF 長時間地保持備份資料。此外，可以縮小由一個電晶體和一個電容器組成的各組的俯視時的佔有面積，因此可以實現本實施方式的半導體裝置的高積體化。

[0619]

OS 電晶體 MO35、MO36、MOB35 和 MOB36 包括背閘極，這些背閘極與分別供應固定電壓的電源線電連接。

[0620]

參照圖 42B 對 OS-FF3140 的工作方法的例子進行說明。

[0621]

（備份（Backup））

當“H”的信號 store 輸入到 OS-FF3140 時，影子暫存器 3142 對 FF3141 的資料進行備份。藉由被輸入節點 Q 的資料，節點 N36 成為“L”，藉由被

寫入節點 QB 的資料，節點 NB36 成為“H”。然後，進行電源閘控，使功率開關 3127 成為關閉狀態。雖然 FF3141 的節點 Q 和 QB 的資料被消失，但是即使在停止供電的狀態下，影子暫存器 3142 也保持所備份的資料。

[0622]

（恢復（Recovery））

使功率開關 3127 成為導通狀態，對 PLE3121 供電。然後，當“H”的信號 load 輸入到 OS-FF3140 時，影子暫存器 3142 將所備份的資料返回到 FF3141。因為節點 N36 為“L”，所以節點 N37 維持“L”，而因為節點 NB36 為“H”，所以節點 NB37 為“H”。因此，節點 Q 成為“H”，節點 QB 成為“L”。換言之，OS-FF3140 恢復到備份工作時的狀態。

[0623]

藉由組合細粒電源閘控與 OS-FF3140 的備份/恢復工作，可以有效地減少 OS-FPGA3110 的功耗。

[0624]

作為可能在記憶體電路中發生的錯誤，可以舉出因輻射入射而產生的軟錯誤。軟錯誤是如下現象：從構成記憶體或封裝的材料等釋放的α線或從宇宙入射到大氣的一次宇宙射線與存在於大氣中的原子的原子核產生核反應而產生的二次宇宙射線中性子等照射到電晶體以生成電子電洞對，由此產生保持在記憶體中的資料反轉等的故障。使用 OS 電晶體的 OS 記憶體的軟錯誤耐性高。因此，藉由安裝 OS 記憶體，可以提供可靠性高的 OS-FPGA3110。

[0625]

本實施方式所示的結構可以與其他實施方式所示的結構適當地組合而實施。

[0626]

實施方式 9

在本實施方式中，對包括上述記憶體裝置等根據本發明的一個實施方式的半導體裝置的 CPU 的一個例子進行說明。

[0627]

〈CPU 的結構〉

圖 43 所示的半導體裝置 6400 包括 CPU 核 6401、電源管理單元 6421 及週邊電路 6422。電源管理單元 6421 包括功率控制器（Power Controller）6402

及功率開關（Power Switch）6403。週邊電路 6422 包括具有快取記憶體的快取記憶體（Cache）6404、匯流排介面（BUS I/F）6405 及除錯介面（Debug I/F）6406。CPU 核 6401 包括資料匯流排 6423、控制裝置（Control Unit）6407、PC（程式計數器）6408、管線暫存器（Pipeline Register）6409、管線暫存器（Pipeline Register）6410、ALU（Arithmetic logic unit：算術邏輯單元）6411 及暫存器檔案（Register File）6412。經過資料匯流排 6423 進行 CPU 核 6401 與快取記憶體 6404 等週邊電路 6422 之間的資料的發送和接收。

[0628]

上述實施方式所示的半導體裝置可以被用於功率控制器 6402、控制裝置 6407 等的很多邏輯電路。由此，可以提供一種能夠減少功耗的半導體裝置 6400。此外，可以提供一種能夠提高工作速度的半導體裝置 6400。另外，可以提供一種能夠減少電源電壓的變動的半導體裝置 6400。

[0629]

另外，較佳為將 p 通道型 Si 電晶體及上述實施方式所記載的在通道形成區域中包含氧化物半導體的電晶體用於半導體裝置 6400。由此，可以提供一種小型的半導體裝置 6400。另外，可以提供一種能夠減少功耗的半導體裝置 6400。此外，可以提供一種能夠提高工作速度的半導體裝置 6400。尤其是，藉由作為 Si 電晶體只採用 p 通道型電晶體，可以降低半導體裝置的製造成本。

[0630]

控制裝置 6407 藉由對 PC6408、管線暫存器 6409、管線暫存器 6410、ALU6411、暫存器檔案 6412、快取記憶體 6404、匯流排介面 6405、除錯介面 6406 及功率控制器 6402 的工作進行整體控制，能夠將被輸入的應用軟體等程式所包含的指令解碼並執行。

[0631]

ALU6411 能夠進行四則運算及邏輯運算等各種運算處理。

[0632]

快取記憶體 6404 能夠暫時儲存使用次數多的資料。PC6408 是能夠儲存接下來執行的指令的位址的暫存器。另外，雖然在圖 43 中沒有進行圖示，但是快取記憶體 6404 還設置有控制快取記憶體的工作的快取記憶體控制器。

[0633]

管線暫存器 6409 是能夠暫時儲存指令的暫存器。

[0634]

暫存器檔案 6412 具有包括常用暫存器的多個暫存器，而可以儲存從主記憶體讀出的資料或者由 ALU6411 的運算處理的結果得出的資料等。

[0635]

管線暫存器 6410 是能夠暫時儲存用於 ALU6411 的運算處理的資料或者由 ALU6411 的運算處理結果得出的資料等的暫存器。

[0636]

匯流排介面 6405 被用作半導體裝置 6400 與位於半導體裝置 6400 外部的各種裝置之間的資料的路徑。除錯介面 6406 被用作用來將控制除錯的指令輸入到半導體裝置 6400 的信號的路徑。

[0637]

功率開關 6403 能夠控制對半導體裝置 6400 所包括的功率控制器 6402 以外的各種電路供應電源電壓。上述各種電路分別屬於幾個電源定域，屬於同一電源定域的各種電路被功率開關 6403 控制是否供應電源電壓。另外，功率控制器 6402 能夠控制功率開關 6403 的工作。

[0638]

藉由具有上述結構，半導體裝置 6400 能夠進行電源閘控。對電源閘控的工作流程的一個例子進行說明。

[0639]

首先，CPU 核 6401 將停止供應電源電壓的時機設定在功率控制器 6402 的暫存器中。接著，從 CPU 核 6401 對功率控制器 6402 發送開始進行電源閘控的指令。接著，半導體裝置 6400 內的各種暫存器及快取記憶體 6404 開始進行資料的備份。接著，利用功率開關 6403 停止對半導體裝置 6400 所包括的功率控制器 6402 以外的各種電路的電源電壓供應。接著，藉由對功率控制器 6402 輸入中斷信號，開始對半導體裝置 6400 所包括的各種電路的電源電壓供應。此外，也可以對功率控制器 6402 設置計數器，不依靠輸入中斷信號而利用該計數器來決定開始供應電源電壓的時機。接著，各種暫存器及快取記憶體 6404 開始進行資料的恢復。接著，再次開始執行控制裝置 6407 中的指令。

[0640]

在處理器整體或者構成處理器的一個或多個邏輯電路中能夠進行這種電源閘控。另外，即使在較短的時間內也可以停止供應電力。因此，可以以空間上或時間上微細的細微性降低功耗。

[0641]

在進行電源閘控時，較佳為在較短的期間中將 CPU 核 6401 或週邊電路 6422 所保持的資訊備份。由此，可以在較短的期間中進行電源的開啟或關閉，從而可以實現低功耗化。

[0642]

為了在較短的期間中將 CPU 核 6401 或週邊電路 6422 所保持的資訊備份，正反器電路較佳為在其電路內進行資料備份（將其稱為能夠備份的正反器電路）。另外，SRAM 電路較佳為在電路內進行資料備份（將其稱為能夠備份的 SRAM 電路）。能夠備份的正反器電路和 SRAM 電路較佳為包括在通道形成區域中包含氧化物半導體（較佳為包含 In、Ga 及 Zn 的氧化物）的電晶體。其結果，電晶體具有小關態電流，由此能夠備份的正反器電路或 SRAM 電路可以長期間保持資訊而不需要電力供應。另外，當電晶體的切換速度快時，能夠備份的正反器電路和 SRAM 電路有時可以在較短的期間中進行資料備份及恢復。

[0643]

參照圖 44 對能夠備份的正反器電路的例子進行說明。

[0644]

圖 44 所示的半導體裝置 6500 是能夠備份的正反器電路的一個例子。半導體裝置 6500 包括第一記憶體電路 6501、第二記憶體電路 6502、第三記憶體電路 6503 以及讀出電路 6504。電位 V1 與電位 V2 的電位差作為電源電壓被供應到半導體裝置 6500。電位 V1 和電位 V2 中的一個為高位準，另一個為低位準。下面，以電位 V1 為低位準而電位 V2 為高位準的情況為例，對半導體裝置 6500 的結構例子進行說明。

[0645]

第一記憶體電路 6501 具有在半導體裝置 6500 被供應電源電壓的期間中被輸入包括資料的信號 D 時保持該資料的功能。而且，在半導體裝置 6500 被供應電源電壓的期間，從第一記憶體電路 6501 輸出包括所保持的資料的信號 Q。另一方面，在半導體裝置 6500 沒有被供應電源電壓的期間中，第一記憶體電路 6501 不能保持資料。就是說，可以將第一記憶體電路 6501 稱為揮發性記憶體電路。

[0646]

第二記憶體電路 6502 具有讀取並儲存（或備份）保持在第一記憶體電路 6501 中的資料的功能。第三記憶體電路 6503 具有讀取並儲存（或備份）

保持在第二記憶體電路 6502 中的資料的功能。讀出電路 6504 具有讀取保持在第二記憶體電路 6502 或第三記憶體電路 6503 中的資料並將其儲存（或恢復）在第一記憶體電路 6501 中的功能。

[0647]

尤其是，第三記憶體電路 6503 具有即使在半導體裝置 6500 沒有被供應電源電壓的期間中也讀取並儲存（或備份）保持在第二記憶體電路 6502 中的資料的功能。

[0648]

如圖 44 所示，第二記憶體電路 6502 包括電晶體 6512 及電容器 6519。第三記憶體電路 6503 包括電晶體 6513、電晶體 6515 以及電容器 6520。讀出電路 6504 包括電晶體 6510、電晶體 6518、電晶體 6509 以及電晶體 6517。

[0649]

電晶體 6512 具有將根據保持在第一記憶體電路 6501 中的資料的電荷充電到電容器 6519 並將該電荷從電容器 6519 放電的功能。電晶體 6512 較佳為將根據保持在第一記憶體電路 6501 中的資料的電荷高速地充電到電容器 6519 並將該電荷從電容器 6519 高速地放電。明確而言，電晶體 6512 較佳為在通道形成區域包含具有結晶性的矽（較佳為多晶矽，更佳為單晶矽）。

[0650]

電晶體 6513 的導通狀態或非導通狀態根據保持在電容器 6519 中的電荷被選擇。電晶體 6515 具有在電晶體 6513 處於導通狀態時將根據佈線 6544 的電位的電荷充電到電容器 6520 並將該電荷從電容器 6520 放電的功能。較佳為電晶體 6515 的關態電流極小。明確而言，電晶體 6515 在通道形成區域包含氧化物半導體（較佳為包含 In、Ga 及 Zn 的氧化物）。

[0651]

以下，明確地說明各元件之間的連接關係。電晶體 6512 的源極和汲極中的一個與第一記憶體電路 6501 連接。電晶體 6512 的源極和汲極中的另一個與電容器 6519 的一個電極、電晶體 6513 的閘極及電晶體 6518 的閘極連接。電容器 6519 的另一個電極與佈線 6542 連接。電晶體 6513 的源極和汲極中的一個與佈線 6544 連接。電晶體 6513 的源極和汲極中的另一個與電晶體 6515 的源極和汲極中的一個連接。電晶體 6515 的源極和汲極中的另一個與電容器 6520 的一個電極及電晶體 6510 的閘極連接。電容器 6520 的另一個電極與佈線 6543 連接。電晶體 6510 的源極和汲極中的一個與佈線 6541 連接。電晶體 6510 的源極和汲極中的另一個與電晶體 6518 的源極和汲極中

的一個連接。電晶體 6518 的源極和汲極中的另一個與電晶體 6509 的源極和汲極中的一個連接。電晶體 6509 的源極和汲極中的另一個與電晶體 6517 的源極和汲極中的一個及第一記憶體電路 6501 連接。電晶體 6517 的源極和汲極中的另一個與佈線 6540 連接。在圖 44 中，電晶體 6509 的閘極與電晶體 6517 的閘極連接，但是電晶體 6509 的閘極不一定必須與電晶體 6517 的閘極連接。

[0652]

作為電晶體 6515，可以使用上述實施方式所例示的電晶體。因為電晶體 6515 的關態電流小，所以半導體裝置 6500 可以長期間保持資訊而不需要電力供應。因為電晶體 6515 的開關特性良好，所以半導體裝置 6500 可以高速地進行備份和恢復。

[0653]

本實施方式所示的結構可以與其他實施方式所示的結構適當地組合而實施。

[0654]

實施方式 10

在本實施方式中，示出組裝有上述實施方式所示的記憶體件的電子構件及電子裝置的一個例子。

[0655]

〈電子構件〉

首先，使用圖 45A 及圖 45B 說明組裝有上述實施方式所示的記憶體件的電子構件的例子。

[0656]

圖 45A 所示的電子構件 7000 是 IC 晶片，包括導線及電路部。電子構件 7000 例如安裝於印刷電路板 7002。藉由組合多個這樣的 IC 晶片並使其在印刷電路板 7002 上彼此電連接，完成安裝有電子構件的基板（安裝基板 7004）。

[0657]

在電子構件 7000 的電路部由基板 7031、層 7032、層 7033 的疊層構成。

[0658]

基板 7031 可以使用能夠用於上述實施方式所示的基板的材料。另外，當作為基板 7031 使用以矽等為材料的半導體基板時，可以在基板 7031 形成

積體電路再在其上形成具有 OS 電晶體的層 7032。

[0659]

層 7032 包括上述實施方式所示的 OS 電晶體。例如，可以將 CPU 等的控制電路設置於層 7032。

[0660]

層 7033 包括記憶體。該記憶體例如可以使用 NOSRAM、DOSRAM（註冊商標）等使用 OS 電晶體的記憶體（以下也稱為 OS 記憶體）。另外，NOSRAM 可以使用上述實施方式所示的記憶體件。

[0661]

OS 記憶體可以與其他的半導體元件層疊地設置，由此可以使電子構件 7000 小型化。另外，OS 記憶體進行資料改寫時的功耗小，由此可以降低電子構件 7000 的功耗。

[0662]

上述 OS 記憶體也可以設置在層 7032 中而不設置在層 7033 中。由此，可以縮短 IC 晶片的製造工程。

[0663]

除了 OS 記憶體以外，層 7033 還可以設置有 ReRAM（Resistive Random Access Memory：電阻隨機存取記憶體）、MRAM（Magnetoresistive Random Access Memory：磁阻式隨機存取記憶體）、PRAM（Phase change RAM：相變隨機存取記憶體）、FeRAM（Ferroelectric RAM：鐵電隨機存取記憶體）等記憶體。

[0664]

雖然在圖 45A 中作為電子構件 7000 的封裝採用 QFP（Quad Flat Package：四面扁平封裝），但是封裝的方式不侷限於此。

[0665]

圖 45B 是電子構件 7400 的示意圖。電子構件 7400 是相機模組，內藏有影像感測器晶片 7451。電子構件 7400 包括固定影像感測器晶片 7451 的封裝基板 7411、透鏡蓋 7421 以及透鏡 7435 等。另外，在封裝基板 7411 與影像感測器晶片 7451 之間也設置有具有攝像裝置的驅動電路及信號轉換電路等功能的 IC 晶片 7490。由此，形成 SiP（System in package：系統封裝）。連接盤（land）7441 與電極焊盤 7461 電連接，電極焊盤 7461 由引線 7471 與影像感測器晶片 7451 或 IC 晶片 7490 電連接。為了示出電子構件 7400 的內部，在圖 45B 中，省略透鏡蓋 7421 及透鏡 7435 的一部分。

[0666]

在影像感測器晶片 7451 的電路部由基板 7031、層 7032、層 7033、層 7034 的疊層構成。

[0667]

關於基板 7031、層 7032、層 7033 的詳細說明，可以參照上述電子構件 7000 的記載。

[0668]

層 7034 包括受光元件。作為該受光元件，例如可以使用光電轉換層中含有硒類材料的 pn 接面型光電二極體等。使用硒類材料的光電轉換元件對可見光具有高外部量子效率，所以可以實現高靈敏度的光感測器。

[0669]

硒類材料可以用於 p 型半導體。作為硒類材料可以使用單晶硒及多晶硒等結晶性硒、非晶硒、銅、銦、硒的化合物（CIS）或者銅、銦、鎵、硒的化合物（CIGS）等。

[0670]

上述 pn 接面型光電二極體的 n 型半導體較佳為由能帶間隙寬且對可見光具有透光性的材料形成。例如，可以使用鋅氧化物、鎵氧化物、銦氧化物、錫氧化物或者上述物質混在一起的氧化物等。

[0671]

另外，作為層 7034 所包括的受光元件也可以使用利用 p 型矽半導體和 n 型矽半導體的 pn 接面型光電二極體。另外，也可以使用在 p 型矽半導體和 n 型矽半導體之間設置 i 型矽半導體的 pin 接面型光電二極體。

[0672]

上述使用矽的光電二極體可以由單晶矽形成。此時，層 7033 及層 7034 較佳為藉由貼合製程進行電連接。另外，上述使用矽的光電二極體也可以由非晶矽、微晶矽、多晶矽等的薄膜形成。

[0673]

實施方式 11

在本實施方式中，參照圖 46A 至圖 46D、圖 46E1、圖 46E2 以及圖 46F 說明可以用於本發明的一個實施方式的半導體裝置的電子裝置的具體例子。

[0674]

更明確而言，根據本發明的一個實施方式的半導體裝置可以應用於如CPU、GPU等處理器或晶片。圖46A至圖46D、圖46E1、圖46E2以及圖46F示出具有根據本發明的一個實施方式的如CPU、GPU等處理器或晶片的電子裝置的具體例子。

[0675]

〈電子裝置及系統〉

根據本發明的一個實施方式的GPU或晶片可以安裝在各種各樣的電子裝置。作為電子裝置的例子，例如除了電視機、桌上型或膝上型個人電腦、用於電腦等的顯示器、數位看板（Digital Signage）、彈珠機等大型遊戲機等具有較大的螢幕的電子裝置以外，還可以舉出數位相機、數位攝影機、數位相框、行動電話機、可攜式遊戲機、可攜式資訊終端、音頻再生裝置等。此外，藉由將根據本發明的一個實施方式的積體電路或晶片設置在電子裝置中，可以使電子裝置具備人工智慧。

[0676]

本發明的一個實施方式的電子裝置也可以包括天線。藉由由天線接收信號，可以在顯示部上顯示影像或資訊等。此外，在電子裝置包括天線及二次電池時，可以將天線用於非接觸電力傳送。

[0677]

本發明的一個實施方式的電子裝置也可以包括感測器（該感測器具有測定如下因素的功能：力、位移、位置、速度、加速度、角速度、轉速、距離、光、液、磁、溫度、化學物質、聲音、時間、硬度、電場、電流、電壓、電力、輻射線、流量、濕度、傾斜度、振動、氣味或紅外線）。

[0678]

本發明的一個實施方式的電子裝置可以具有各種功能。例如，可以具有如下功能：將各種資訊（靜態影像、動態圖片、文字影像等）顯示在顯示部上的功能；觸控面板的功能；顯示日曆、日期或時間等的功能；執行各種軟體（程式）的功能；進行無線通訊的功能；讀出儲存在存儲介質中的程式或資料的功能；等。圖46A至圖46D、圖46E1、圖46E2以及圖46F示出電子裝置的例子。

[0679]

[行動電話機]

圖46A示出資訊終端之一的行動電話機（智慧手機）。資訊終端5500包括外殼5510及顯示部5511，作為輸入介面在顯示部5511中具備觸控面

板，並且在外殼 5510 上設置有按鈕。

[0680]

藉由將本發明的一個實施方式的晶片應用於資訊終端 5500，可以執行利用人工智慧的應用程式。作為利用人工智慧的應用程式，例如，可以舉出識別會話來將該會話的內容顯示在顯示部 5511 上的應用程式、識別由使用者輸入到顯示部 5511 所具備的觸控面板的文字或圖形等來將該文字或該圖形顯示在顯示部 5511 上的應用程式、執行指紋或聲紋等的生物識別的應用程式等。

[0681]

[資訊終端 1]

圖 46B 示出桌上型資訊終端 5300。桌上型資訊終端 5300 包括資訊終端主體 5301、顯示器 5302 及鍵盤 5303。

[0682]

與上述資訊終端 5500 同樣，藉由將本發明的一個實施方式的晶片應用於桌上型資訊終端 5300，可以執行利用人工智慧的應用程式。作為利用人工智慧的應用程式，例如，可以舉出設計支援軟體、文章校對軟體、功能表自動生成軟體等。此外，藉由使用桌上型資訊終端 5300，可以研發新穎的人工智慧。

[0683]

注意，在上述例子中，圖 46A 及圖 46B 示出智慧手機及桌上型資訊終端作為電子裝置的例子，但是也可以應用智慧手機及桌上型資訊終端以外的資訊終端。作為智慧手機及桌上型資訊終端以外的資訊終端，例如可以舉出 PDA（Personal Digital Assistant：個人數位助理）、筆記本式資訊終端、工作站等。

[0684]

[宇宙用]

本發明的一個實施方式的半導體裝置可以用於宇宙用裝置。例如，圖 46C 示出造衛星 5800。人造衛星 5800 包括主體 5801 及太陽能電池板 5802。在人造衛星 5800 的主體 5801 中可以使用本發明的一個實施方式的半導體裝置。此外，由於本發明的一個實施方式的半導體裝置的功耗低，因此有時即使在太陽能電池板 5802 所供應的電力少的情況（例如，太陽能電池板不被太陽光照射的情況）下本發明的一個實施方式的半導體裝置也能夠驅動。此外，在宇宙空間的被太陽光照射的區域中，設置在主體 5801 中的電

子裝置及半導體裝置等有時放置在 200℃以上的高溫環境下。因為本發明的一個實施方式的半導體裝置即使在高溫環境下也具有高可靠性，所以是較佳的。

[0685]

[遊戲機]

圖 46D 示出遊戲機的一個例子的可攜式遊戲機 5200。可攜式遊戲機包括外殼 5201、顯示部 5202 及按鈕 5203 等。

[0686]

藉由將本發明的一個實施方式的 GPU 或晶片應用於可攜式遊戲機 5200，可以實現低功耗的可攜式遊戲機 5200。此外，借助於低功耗，可以降低來自電路的發熱，由此可以減少因發熱而給電路本身、週邊電路以及模組帶來的負面影響。

[0687]

此外，藉由將本發明的一個實施方式的 GPU 或晶片應用於可攜式遊戲機 5200，可以實現具備人工智慧的可攜式遊戲機 5200。

[0688]

遊戲的進展、遊戲中出現的生物的言行、遊戲上發生的現象等的表現本來是由該遊戲所具有的程式規定的，但是藉由將人工智慧應用於可攜式遊戲機 5200，可以實現不侷限於遊戲的程式的表現。例如，可以實現遊戲玩者提問的內容、遊戲的進展情況、時間、遊戲上出現的人物的言行變化等的表現。

[0689]

此外，當使用可攜式遊戲機 5200 玩需要多個人玩的遊戲時，可以利用人工智慧構成擬人的遊戲玩者，由此可以將人工智慧的遊戲玩者當作對手，一個人也可以玩多個人玩的遊戲。

[0690]

雖然圖 46D 示出可攜式遊戲機作為遊戲機的一個例子，但是應用本發明的一個實施方式的 GPU 或晶片的遊戲機不侷限於此。作為應用本發明的一個實施方式的 GPU 或晶片的遊戲機，例如可以舉出家用固定式遊戲機、設置在娛樂設施（遊戲中心，遊樂園等）的街機遊戲機、設置在體育設施的擊球練習用投球機等。

[0691]

[移動體]

本發明的一個實施方式的 GPU 或晶片可以應用於作為移動體的汽車及汽車的駕駛席周邊。

[0692]

圖 46E1 是示出移動體的一個例子的汽車 5700 的圖，圖 46E2 是示出汽車室內的前擋風玻璃周邊的圖。圖 46E2 示出安裝在儀表板的顯示面板 5701、顯示面板 5702、顯示面板 5703 以及安裝在支柱的顯示面板 5704。

[0693]

顯示面板 5701 至顯示面板 5703 可以藉由顯示速度表、轉速計、行駛距離、加油量、排檔狀態、空調的設定等提供各種資訊。此外，使用者可以根據喜好適當地改變顯示面板所顯示的顯示內容及佈局等，可以提高設計性。顯示面板 5701 至顯示面板 5703 還可以用作照明設備。

[0694]

藉由將由設置在汽車 5700 的攝像裝置（未圖示）拍攝的影像顯示在顯示面板 5704 上，可以補充被支柱遮擋的視野（死角）。也就是說，藉由顯示由設置在汽車 5700 外側的攝像裝置拍攝的影像，可以補充死角，從而可以提高安全性。此外，藉由顯示補充看不到的部分的影像，可以更自然、更舒適地確認安全。顯示面板 5704 還可以用作照明設備。

[0695]

因為可以將本發明的一個實施方式的 GPU 或晶片用作人工智慧的組件，例如可以將該晶片用於汽車 5700 的自動駕駛系統。該晶片也可以用於進行導航、危險預測等的系統。可以在顯示面板 5701 至顯示面板 5704 上顯示導航、危險預測等資訊。

[0696]

雖然在上述例子中作為移動體的一個例子說明了汽車，但是移動體不侷限於汽車。例如，作為移動體，也可以舉出電車、單軌鐵路、船舶、飛行物（直升機、無人駕駛飛機（無人機）、飛機、火箭）等，可以對這些移動體應用本發明的一個實施方式的晶片，以提供利用人工智慧的系統。

[0697]

[廣播電視系統]

本發明的一個實施方式的 GPU 或晶片可以應用於廣播電視系統。

[0698]

圖 46F 示意性地示出廣播電視系統中的資料傳送。明確而言，圖 46F 示出從廣播電視臺 5680 發送的電波（廣播電視信號）到達每個家庭的電視

接收機（TV）5600的路徑。TV5600具備接收機（未圖示），由此天線5650所接收的廣播電視信號藉由該接收機輸入TV5600。

[0699]

雖然在圖46F中示出UHF（Ultra High Frequency：超高頻率）天線作為天線5650，但是可以使用BS及110度CS天線、CS天線等作為天線5650。

[0700]

電波5675A及電波5675B為地面廣播電視信號，電波塔5670放大所接收的電波5675A並發送電波5675B。各家庭藉由用天線5650接收電波5675B，就可以用TV5600收看地面TV播放。此外，廣播電視系統可以為利用人造衛星的衛星廣播電視、利用光路線的資料廣播電視等而不侷限於圖46F所示的地面廣播電視。

[0701]

此外，也可以將本發明的一個實施方式的晶片應用於上述廣播電視系統，以形成利用人工智慧的廣播電視系統。當從廣播電視臺5680向每個家庭的TV5600發送廣播電視資料時，利用編碼器進行廣播電視資料的壓縮；當天線5650接收該廣播電視資料時，利用包括在TV5600中的接收機的解碼器進行該廣播電視資料的恢復。藉由利用人工智慧，例如可以在編碼器的壓縮方法之一的變動補償預測中識別包含在顯示影像中的顯示模型。此外，也可以進行利用人工智慧的圖框內預測等。例如，當TV5600接收低解析度的廣播電視資料而進行高解析度的顯示時，可以在解碼器所進行的廣播電視資料的恢復中進行上轉換等影像的補充處理。

[0702]

上述利用人工智慧的廣播電視系統適合用於廣播電視資料量增大的超高清晰度電視（UHDTV：4K、8K）播放。

[0703]

此外，作為TV5600一側的人工智慧的應用，例如，可以在TV5600內設置具備人工智慧的錄影裝置。藉由採用這種結構，可以使該具備人工智慧的錄影裝置學習使用者的愛好，而可以自動對符合使用者的愛好的電視節目錄影。

[0704]

在本實施方式中說明的電子裝置、該電子裝置的功能、人工智慧的應用例子以及其效果等可以與其他的電子裝置的記載適當地組合而實施。

[0705]

本實施方式所示的構成、方法等可以與其他實施方式等所示的構成、結構、方法等適當地組合使用。

[0706]

（關於本說明書等的記載的注釋）

下面，對上述實施方式及實施方式中的各結構的說明附加注釋。

[0707]

各實施方式所示的結構可以與其他實施方式等所示的結構適當地組合而構成本發明的一個實施方式。另外，當在一個實施方式中示出多個結構例子時，可以適當地組合這些結構例子。

[0708]

另外，可以將某一實施方式中說明的內容（或其一部分）應用/組合/替換成該實施方式中說明的其他內容（或其一部分）及/或另一個或多個其他實施方式中說明的內容（或其一部分）。

[0709]

注意，實施方式中說明的內容是指各實施方式中利用各種圖式所說明的內容或者利用說明書所記載的文章而說明的內容。

[0710]

另外，藉由將某一實施方式中示出的圖式（或其一部分）與該圖式的其他部分、該實施方式中示出的其他圖式（或其一部分）及/或另一個或多個其他實施方式中示出的圖式（或其一部分）組合，可以構成更多圖。

[0711]

在本說明書等中，根據功能對組件進行分類並在方塊圖中以彼此獨立的方塊表示。然而，在實際的電路等中難以根據功能對組件進行分類，有時一個電路涉及到多個功能或者多個電路涉及到一個功能。因此，方塊圖中的方塊的分割不侷限於說明書中說明的組件，而可以根據情況適當地不同。

[0712]

為了便於說明，在圖式中，任意示出尺寸、層的厚度或區域。因此，本發明並不侷限於圖式中的尺寸。圖式是為了明確起見而示意性地示出的，而不侷限於圖式所示的形狀或數值等。例如，可以包括因雜訊或定時偏差等所引起的信號、電壓或電流的不均勻等。

[0713]

此外，圖式等所圖示的組件的位置關係具有相對性。因此，在參照圖

式說明組件的情況下，為了方便起見，有時使用表示位置關係的“上”、“下”等詞句。組件的位置關係不侷限於本說明書所記載的內容，根據情況可以適當地改換詞句。

[0714]

在本說明書等中，在說明電晶體的連接關係時，使用“源極和汲極中的一個”（第一電極或第一端子）、“源極和汲極中的另一個”（第二電極或第二端子）的表述。這是因為電晶體的源極和汲極根據電晶體的結構或工作條件等改變的緣故。注意，根據情況可以將電晶體的源極和汲極適當地稱為源極（汲極）端子或源極（汲極）電極等。

[0715]

另外，在本說明書等中，“電極”或“佈線”不在功能上限定其組件。例如，有時將“電極”用作“佈線”的一部分，反之亦然。再者，“電極”或“佈線”還包括多個“電極”或“佈線”被形成為一體的情況等。

[0716]

另外，在本說明書等中，可以適當地調換電壓和電位。電壓是指與參考電位的電位差，例如在參考電位為地電壓（接地電壓）時，可以將電壓稱為電位。接地電位不一定意味著 0V。注意，電位是相對的，對佈線等供應的電位有時根據參考電位而變化。

[0717]

在本說明書等中，節點可以根據電路結構或器件結構等稱為端子、佈線、電極、導電層、導電體或雜質區域等。另外，端子、佈線等也可以稱為節點。

[0718]

在本說明書等中，開關是指具有藉由變為導通狀態（開啟狀態）或非導通狀態（關閉狀態）來控制是否使電流流過的功能的元件。或者，開關是指具有選擇並切換電流路徑的功能的元件。

[0719]

在本說明書等中，例如，通道長度是指在電晶體的俯視圖中，半導體（或在電晶體處於開啟狀態時，在半導體中電流流過的部分）和閘極重疊的區域或者形成通道的區域中的源極和汲極之間的距離。

[0720]

在本說明書等中，例如，通道寬度是指半導體（或在電晶體處於開啟狀態時，在半導體中電流流過的部分）和閘極電極重疊的區域、或者形成

通道的區域中的源極和汲極相對的部分的長度。

[0721]

在本說明書等中，根據情況或狀態，可以互相調換“膜”和“層”等詞句。例如，有時可以將“導電層”調換為“導電膜”。此外，有時可以將“絕緣膜”調換為“絕緣層”。

[0722]

另外，在圖式中，為便於清楚地說明，有時誇大表示大小、層的厚度或區域。因此，本發明並不侷限於圖式中的尺寸。此外，在圖式中，示意性地示出理想的例子，因此本發明不侷限於圖式所示的形狀或數值等。例如，在實際的製程中，有時由於蝕刻等處理而層或光阻遮罩等非意圖性地被減薄，但是為了便於理解有時省略圖示。另外，在圖式中，有時在不同的圖式之間共同使用相同的元件符號來表示相同的部分或具有相同功能的部分，而省略其重複說明。此外，當表示具有相同功能的部分時有時使用相同的陰影線，而不特別附加元件符號。

[0723]

另外，尤其在俯視圖（也稱為平面圖）或透視圖等中，為了便於對發明的理解，有時省略部分組件的記載。另外，有時省略部分隱藏線等的記載。

[0724]

此外，在本說明書等中，為了方便起見，附加了第一、第二等序數詞，而其並不表示製程順序或疊層順序。因此，例如可以將“第一”適當地替換為“第二”或“第三”等來進行說明。此外，本說明書等中所記載的序數詞與用於指定本發明的一個實施方式的序數詞有時不一致。

[0725]

在本說明書等中，為方便起見，使用了“上”、“下”等表示配置的詞句，以參照圖式說明組件的位置關係。另外，組件的位置關係根據描述各組件的方向適當地改變。因此，不侷限於說明書中所說明的詞句，根據情況可以適當地換詞句。

[0726]

例如，在本說明書等中，當明確地記載為“X 與 Y 連接”時，意味著如下情況：X 與 Y 電連接；X 與 Y 在功能上連接；X 與 Y 直接連接。因此，不侷限於圖式或文中所示的連接關係等規定的連接關係，圖式或文中所示的連接關係以外的連接關係也在圖式或文中公開了。

[0727]

這裡，X 和 Y 為物件（例如，裝置、元件、電路、佈線、電極、端子、導電膜及層等）。

[0728]

另外，在使用極性不同的電晶體的情況或電路工作中的電流方向變化的情況等下，源極及汲極的功能有時相互調換。因此，在本說明書等中，有時源極和汲極可以相互調換。

[0729]

另外，在本說明書中，根據電晶體的結構，有時實際上形成通道的區域（通道形成區域）中的通道寬度（以下，也稱為“實效通道寬度”）和電晶體的俯視圖所示的通道寬度（以下，也稱為“外觀上的通道寬度”）不同。例如，在閘極覆蓋半導體的側面的情況下，有時因為實效通道寬度大於外觀上的通道寬度，所以不能忽略其影響。例如，在微型且閘極覆蓋半導體的側面的電晶體中，有時形成在半導體的側面的通道形成區域的比例增高。在此情況下，實效通道寬度大於外觀上的通道寬度。

[0730]

在此情況下，有時難以藉由實測估計實效通道寬度。例如，要從設計值估算出實效通道寬度，需要假定半導體的形狀是已知的。因此，當半導體的形狀不清楚時，難以準確地測量實效通道寬度。

[0731]

在本說明書中，在簡單地描述為“通道寬度”時，有時是指外觀上的通道寬度。或者，在本說明書中，在簡單地描述為“通道寬度”時，有時是指實效通道寬度。注意，藉由對剖面 TEM 影像等進行分析等，可以決定通道長度、通道寬度、實效通道寬度、外觀上的通道寬度等的值。

[0732]

注意，半導體的雜質例如是指半導體的主要成分之外的元素。例如，濃度小於 0.1 原子%的元素可以說是雜質。有時由於包含雜質，例如造成半導體的 DOS（Density of States：態密度）變高，結晶性降低等。當半導體是氧化物半導體時，作為改變半導體的特性的雜質，例如有第 1 族元素、第 2 族元素、第 13 族元素、第 14 族元素、第 15 族元素以及除氧化物半導體的主要成分外的過渡金屬等。例如，有氫、鋰、鈉、矽、硼、磷、碳、氮等。在半導體是氧化物半導體時，有時水也作為雜質起作用。另外，在半導體是氧化物半導體時，有時例如由於雜質的進入導致氧空位的產生。此外，

在半導體是矽時，作為改變半導體特性的雜質，例如有氧、除氫之外的第 1 族元素、第 2 族元素、第 13 族元素、第 15 族元素等。

[0733]

注意，在本說明書等中，氧氮化矽是指在其組成中氧含量大於氮含量的膜。另外，氮氧化矽是指在其組成中氮含量大於氧含量的膜。

[0734]

另外，在本說明書等中，可以將“絕緣體”稱為“絕緣膜”或“絕緣層”。另外，可以將“導電體”稱為“導電膜”或“導電層”。另外，可以將“半導體”稱為“半導體膜”或“半導體層”。

[0735]

在本說明書等中，“平行”是指兩條直線形成的角度為-10°以上且 10°以下的狀態。因此，也包括該角度為-5°以上且 5°以下的狀態。“大致平行”是指兩條直線形成的角度為-30°以上且 30°以下的狀態。另外，“垂直”是指兩條直線的角度為 80°以上且 100°以下的狀態。因此，也包括該角度為 85°以上且 95°以下的狀態。“大致垂直”是指兩條直線形成的角度為 60°以上且 120°以下的狀態。

[0736]

注意，在本說明書等中，障壁膜是指具有抑制水、氫等雜質及氧的透過的功能的膜，在該障壁膜具有導電性的情況下，有時被稱為導電障壁膜。

[0737]

在本說明書等中，金屬氧化物（metal oxide）是指廣義上的金屬的氧化物。金屬氧化物被分類為氧化物絕緣體、氧化物導電體（包括透明氧化物導電體）和氧化物半導體（Oxide Semiconductor，也可以簡稱為 OS）等。例如，在將金屬氧化物用於電晶體的半導體層的情況下，有時將該金屬氧化物稱為氧化物半導體。換言之，可以將 OS FET 或 OS 電晶體稱為包含氧化物或氧化物半導體的電晶體。

[0738]

注意，在本說明書等中，常關閉是指：在不對閘極施加電位或者對閘極施加接地電位時流過電晶體的每通道寬度 1μm 的電流在室溫下為 1×10^{-20}A 以下，在 85℃下為 1×10^{-18}A 以下，或在 125℃下為 1×10^{-16}A 以下。

【符號說明】

[0739]

200 電晶體
200_n 電晶體
200_1 電晶體
205 導電體
205a 導電體
205b 導電體
210 絕緣體
211 絕緣體
212 絕緣體
214 絕緣體
216 絕緣體
217 絕緣體
218 導電體
222 絕緣體
224 絕緣體
230 氧化物
230a 氧化物
230A 氧化膜
230b 氧化物
230B 氧化膜
230c 氧化物
230c1 氧化物
230c2 氧化物
230C 氧化膜
240 導電體
240_n 導電體
240_1 導電體
240a 導電體
240b 導電體
241 絕緣體
241a 絕緣體
241b 絕緣體
242 導電體

242a 導電體
242A 導電膜
242b 導電體
242B 導電體層
243 氧化物
243a 氧化物
243A 氧化膜
243b 氧化物
243B 氧化物層
246 導電體
246a 導電體
246b 導電體
250 絕緣體
250A 絕緣膜
260 導電體
260a 導電體
260A 導電膜
260Aa 導電膜
260Ab 導電膜
260b 導電體
265 密封部
265a 密封部
265b 密封部
272 絕緣體
273 絕緣體
274 絕緣體
280 絕緣體
282 絕緣體
283 絕緣體
284 絕緣體
286 絕緣體
287 絕緣體
287A 絕緣膜

290 記憶體件
290_n 記憶體件
290_1 記憶體件
290_2 記憶體件
292 電容器件
294 導電體
296 絕緣體
298 絕緣體

申請專利範圍

1.一種記憶體件，包括：

電晶體；以及

電容器件，

該電晶體包括：

第一氧化物半導體；

設置在該第一氧化物半導體的頂面上的第一導電體及第二導電體；

形成在該第一氧化物半導體上，並設置在該第一導電體和該第二導電體之間的第二氧化物半導體；

與該第二氧化物半導體接觸地設置的第一絕緣體；以及

與該第一絕緣體接觸地設置的第三導電體，

該電容器件包括：

該第二導電體；

該第二導電體上的第二絕緣體；以及

該第二絕緣體上的第四導電體，

其中，該第一氧化物半導體包括比該第一導電體及該第二導電體的厚度深的槽部，

該第二氧化物半導體具有曲率，

並且該第二氧化物半導體的底面與該第一氧化物半導體的該槽部的表面接觸。

2.根據申請專利範圍第 1 項之記憶體件，

其中該第二氧化物半導體、該第一絕緣體及該第三導電體嵌入該槽部中。

3.根據申請專利範圍第 1 或 2 項之記憶體件，

其中該第一氧化物半導體及該第二氧化物半導體各自具有銦、元素 M（M 是鎵、釔或錫）及鋅。

4.根據申請專利範圍第 3 項之記憶體件，

其中該第一氧化物半導體包括該銦與該元素 M 的原子個數比比該第二氧化物半導體高的區域，

該元素 M 是鋁、鎵、釔或錫。

5.根據申請專利範圍第 1 或 2 項之記憶體件，

其中該第一氧化物半導體及該第二氧化物半導體各自具有結晶性。

6.一種半導體裝置，包括：

申請專利範圍第 1 或 2 項之記憶體件；以及

包含矽的器件，

其中，該記憶體件和該包含矽的器件電連接。

7.一種包括申請專利範圍第 1 或 2 項之記憶體件的半導體裝置，

在將該記憶體件作為第一記憶體件的情況下，

該半導體裝置包括：

該第一記憶體件；

該第一記憶體件上的第 n（n 是 2 以上的自然數）記憶體件；以及

電連接到該第一記憶體件及該第 n 記憶體件的包含矽的器件，

其中，該包含矽的器件、該第一記憶體件及該第 n 記憶體件依次層疊地形成。

8.根據申請專利範圍第 7 項之半導體裝置，

其中該第 n 記憶體件包含氧化物半導體。

圖式

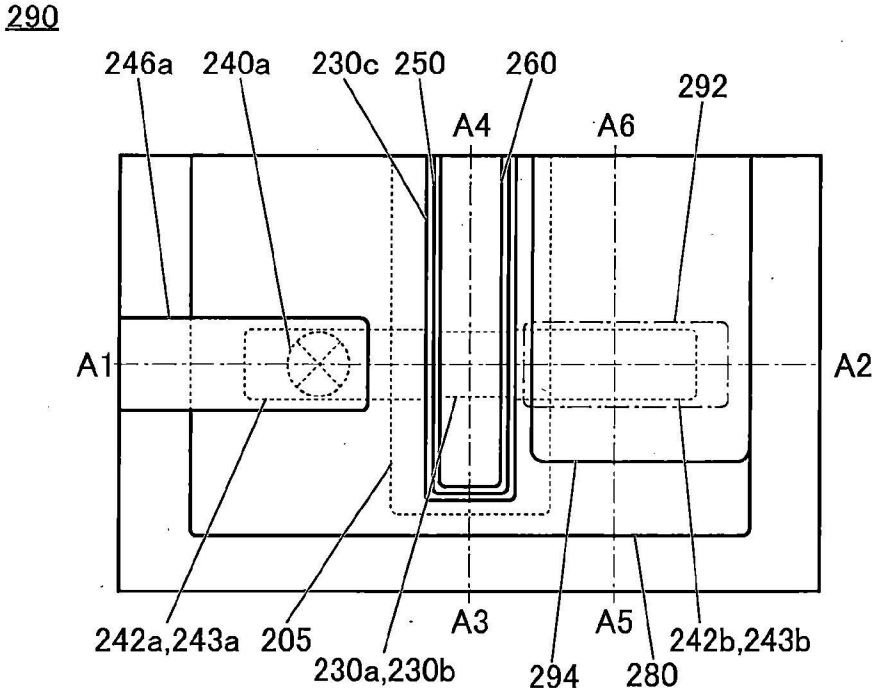

290
246a
240a
230c
250
260
292
A4
A6
A1
A2
242a,243a
205
230a,230b
A3
294
A5
280
242b,243b

圖1A

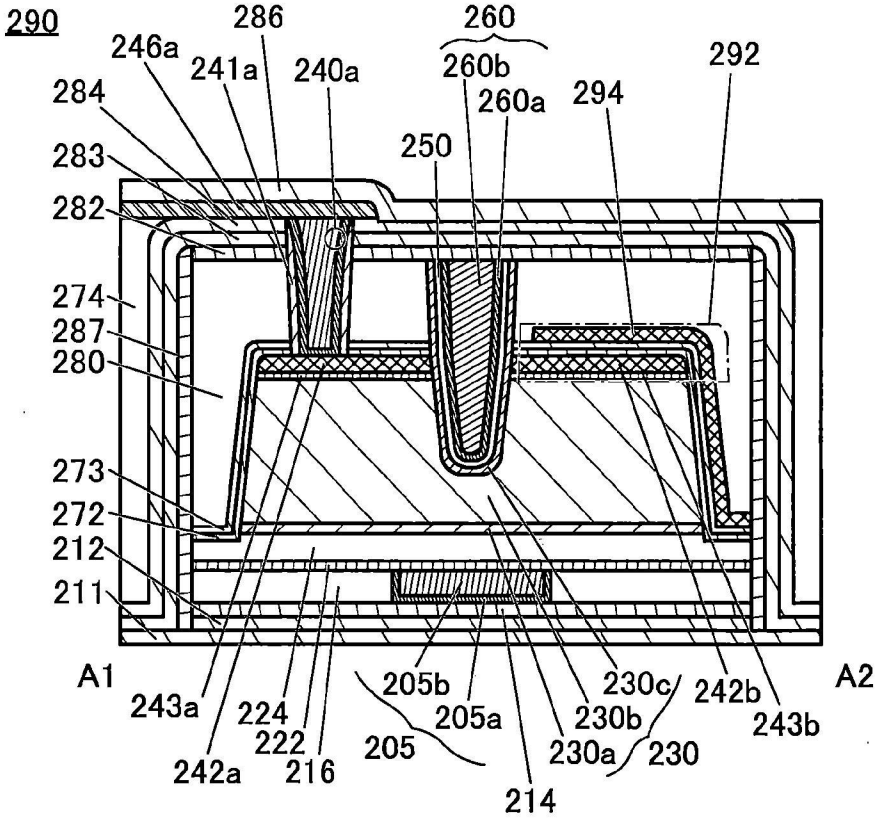

290
286
260
246a
241a
240a
260b
260a
294
292
284
250
283
282
274
287
280
273
272
212
211
A1
A2
243a
224
222
216
242a
205b
205a
205
230c
230b
230a
230
242b
243b
214

圖1B

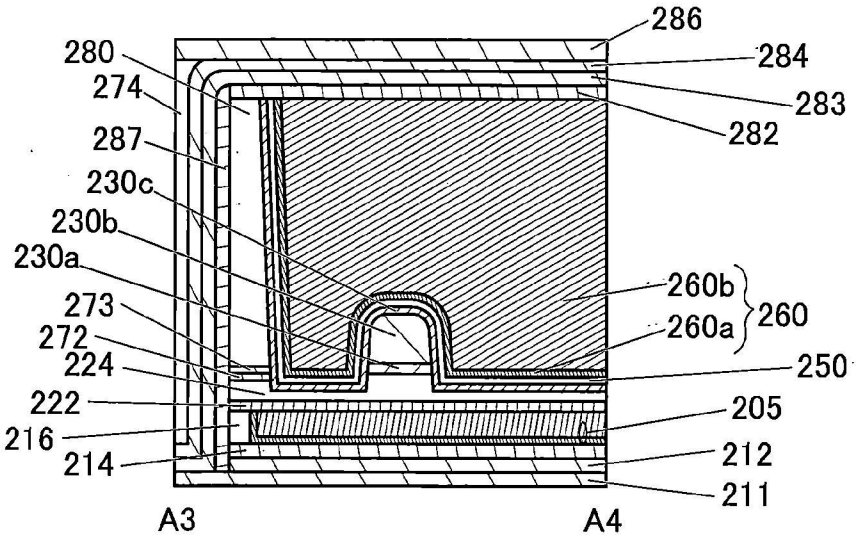

286
280
284
274
283
282
287
230c
230b
230a
260b
260
273
260a
272
224
250
222
205
216
212
214
211
A3
A4

圖2A

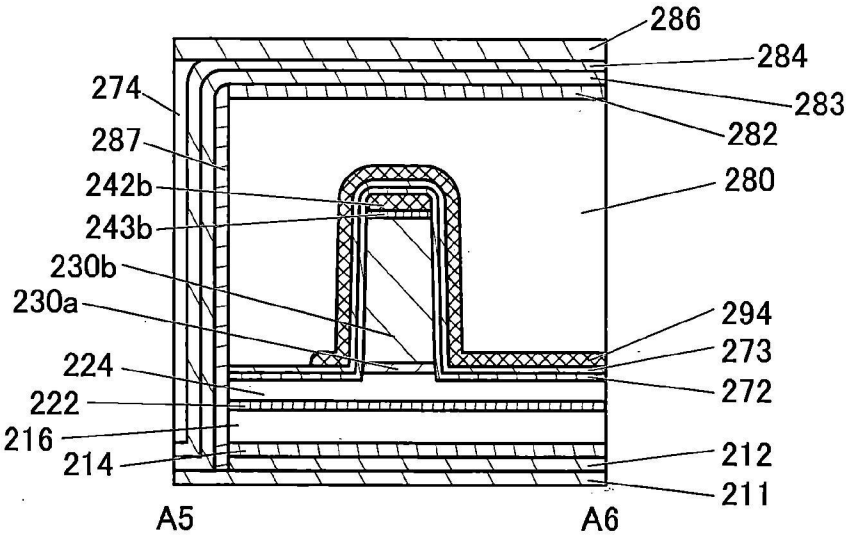

286
284
274
283
282
287
280
242b
243b
230b
230a
294
273
224
272
222
216
212
214
211
A5
A6

圖2B

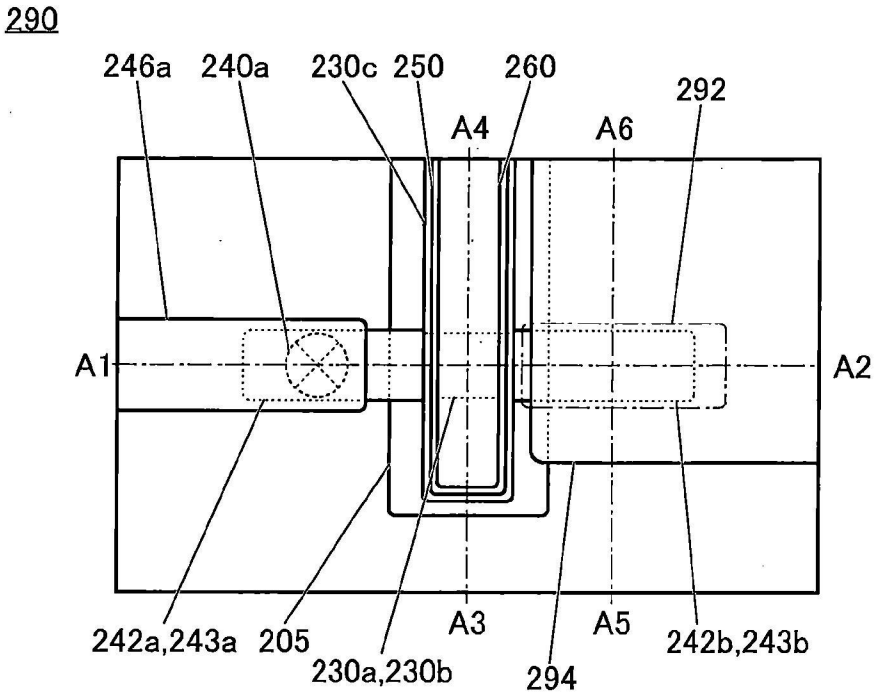

290
246a
240a
230c
250
260
292
A4
A6
A1
A2
242a,243a
205
230a,230b
A3
294
A5
242b,243b

圖3A

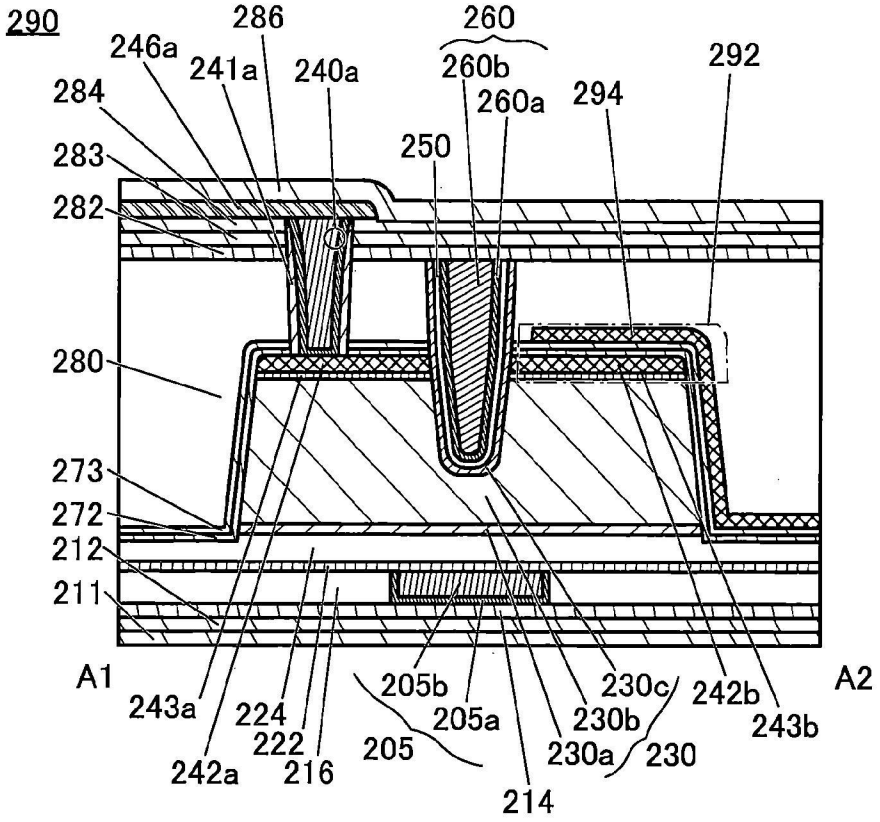

290
286
246a
241a
240a
260
260b
260a
294
292
284
283
250
282
280
273
272
212
211
A1
A2
243a
224
222
216
242a
205b
205a
205
214
230c
230b
230a
230
242b
243b

圖3B

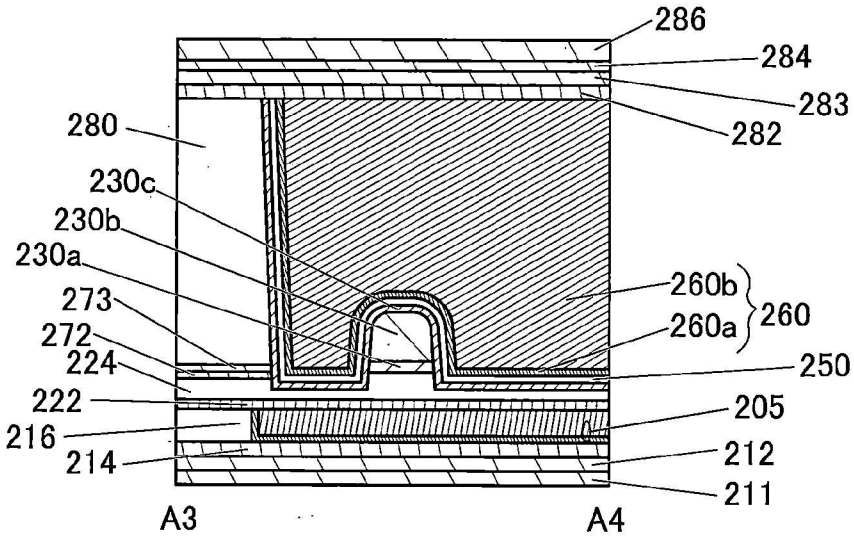

286
284
283
282
280
230c
230b
230a
273
272
224
222
216
214
260b
260a
260
250
205
212
211
A3
A4

圖4A

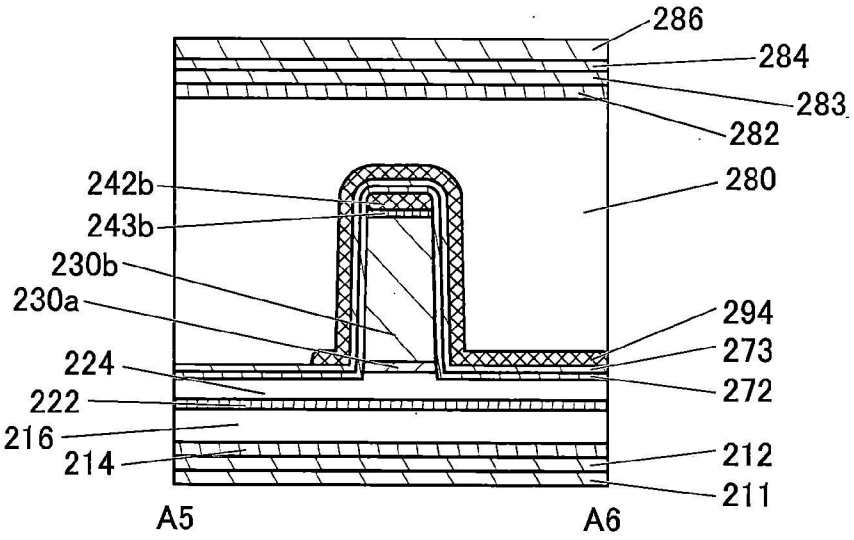

286
284
283
282
280
242b
243b
230b
230a
224
222
216
214
294
273
272
212
211
A5
A6

圖4B

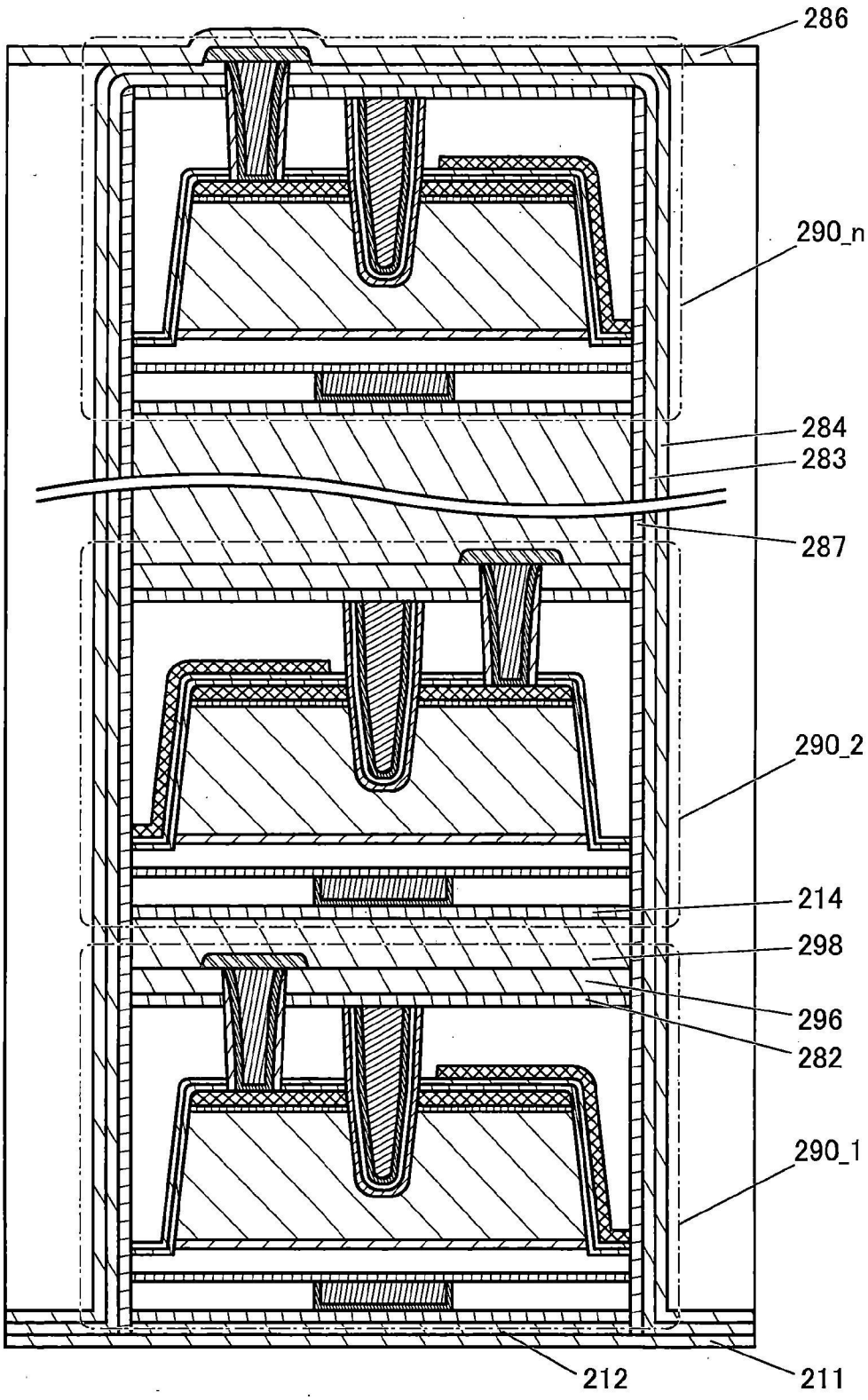


圖5

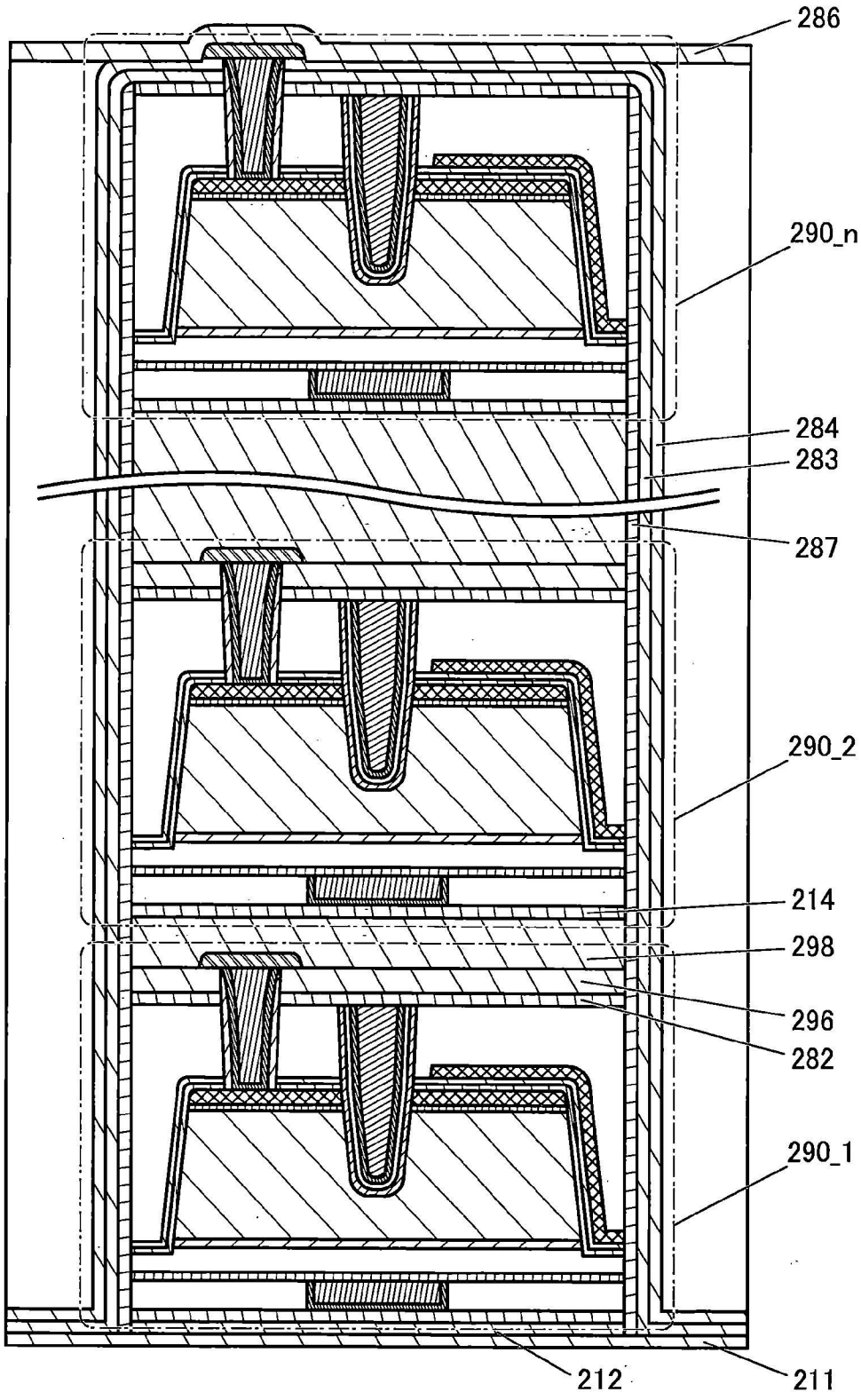


圖6

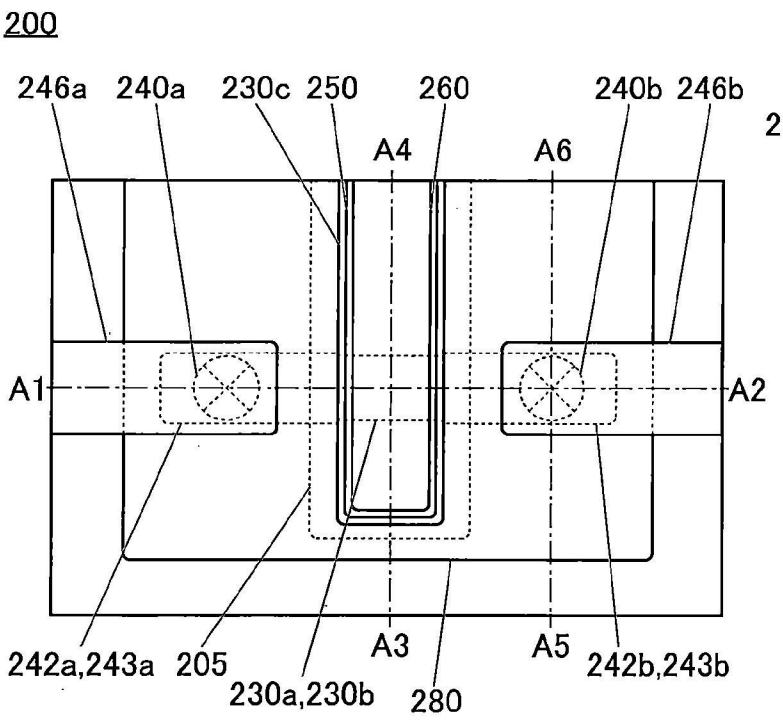


圖7A

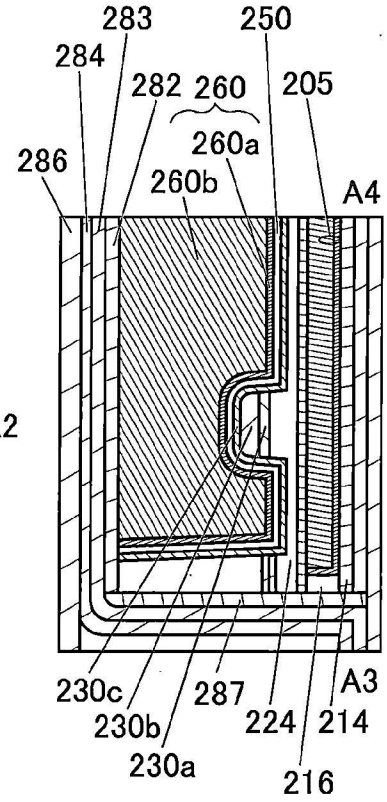


圖7C

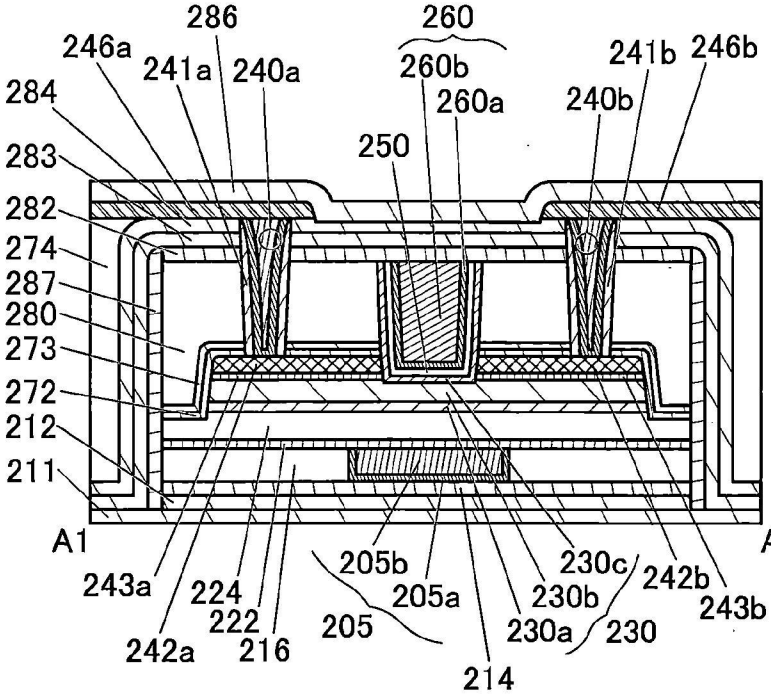


圖7B

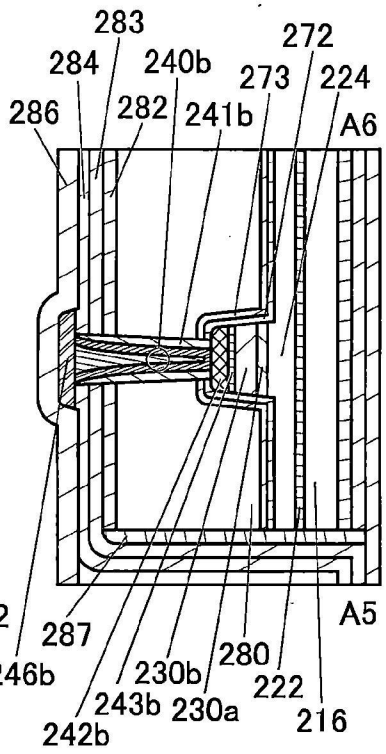


圖7D

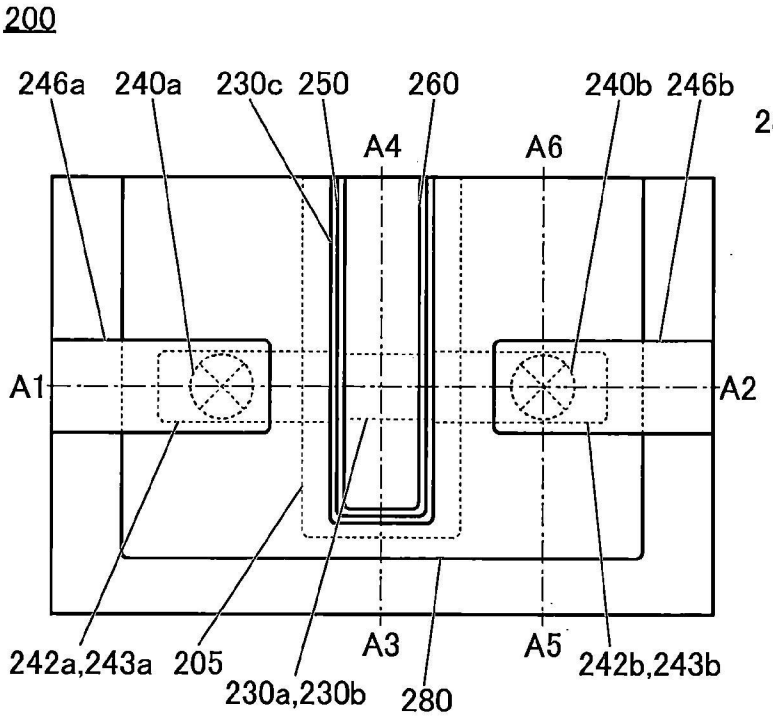


圖8A

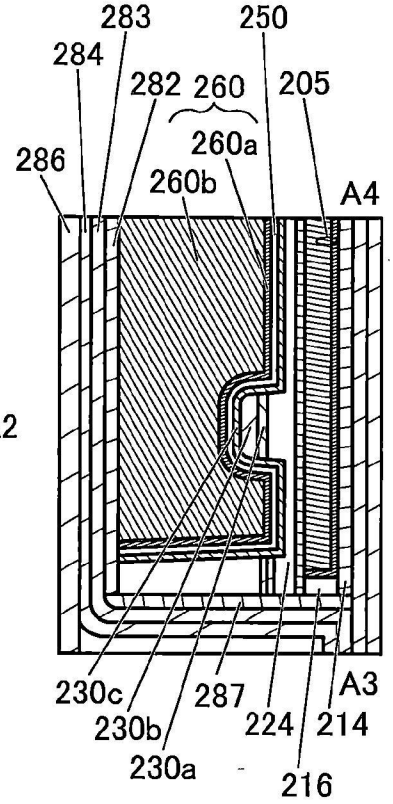


圖8C

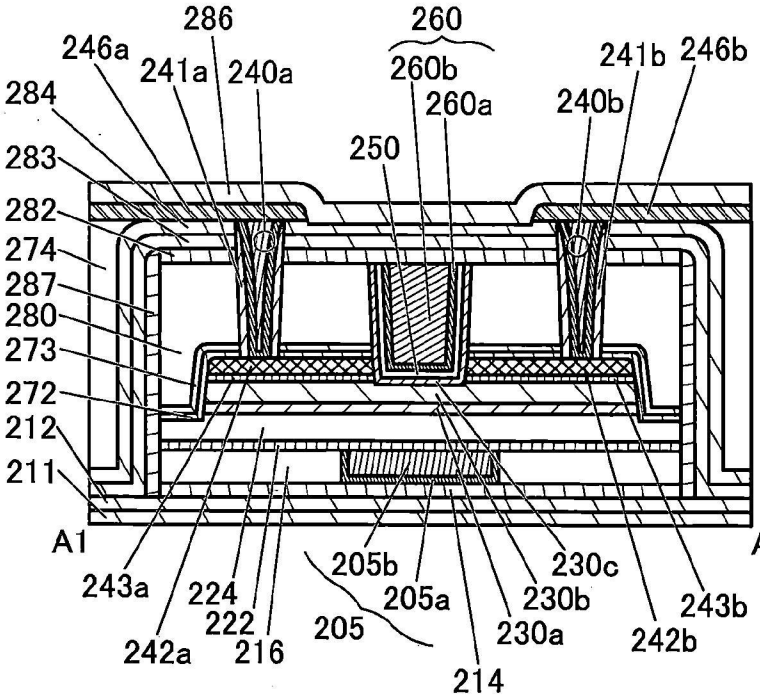


圖8B

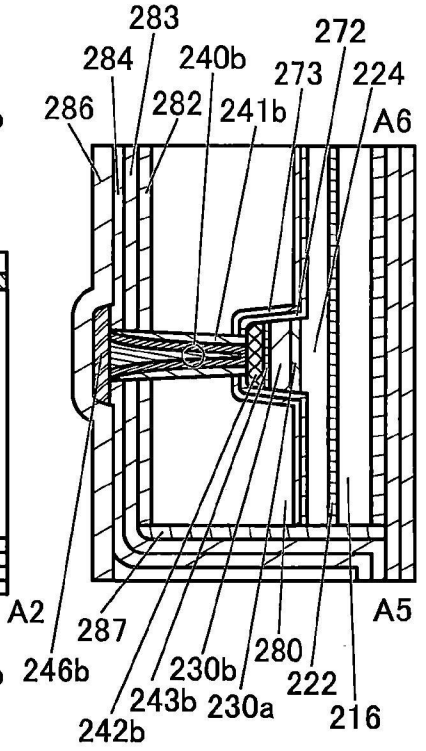


圖8D

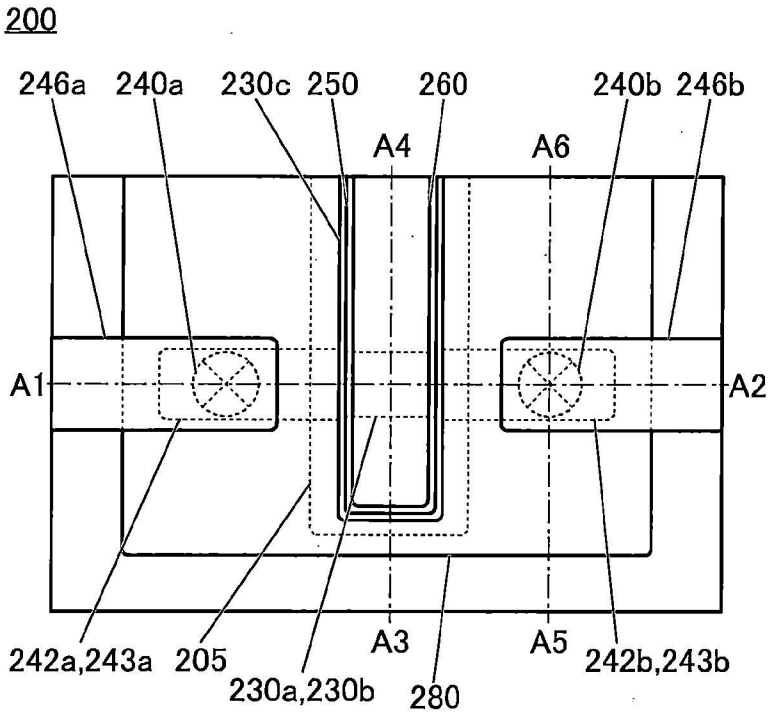


圖9A

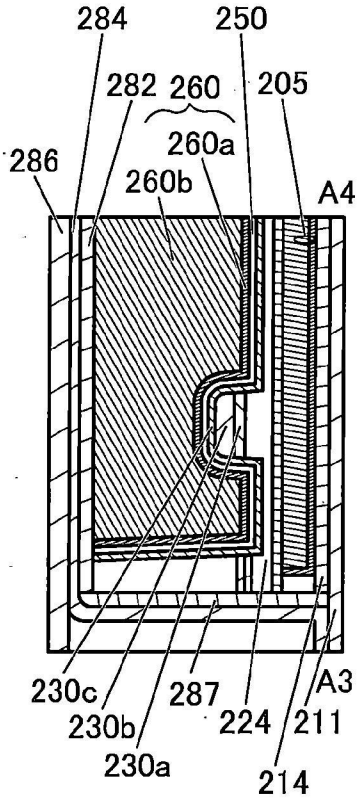


圖9C

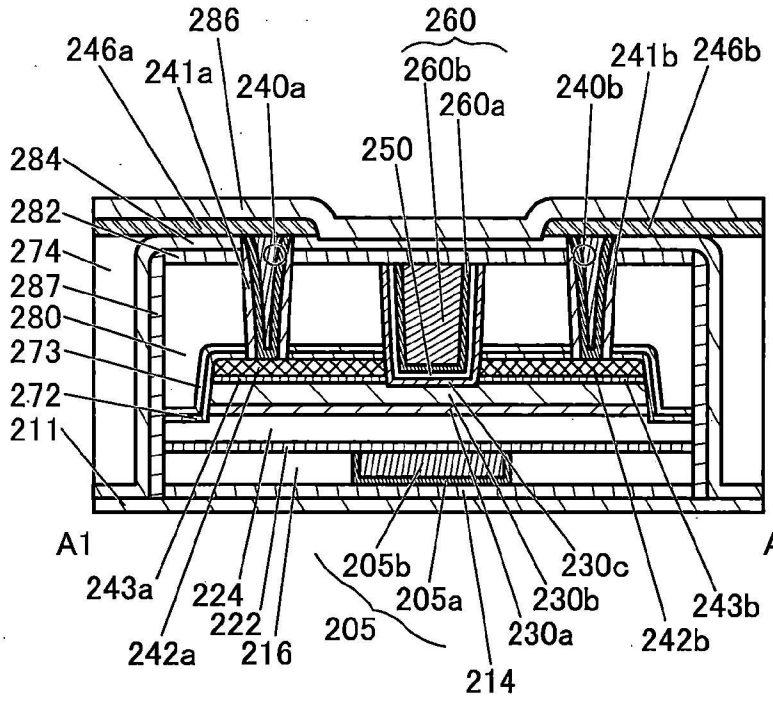


圖9B

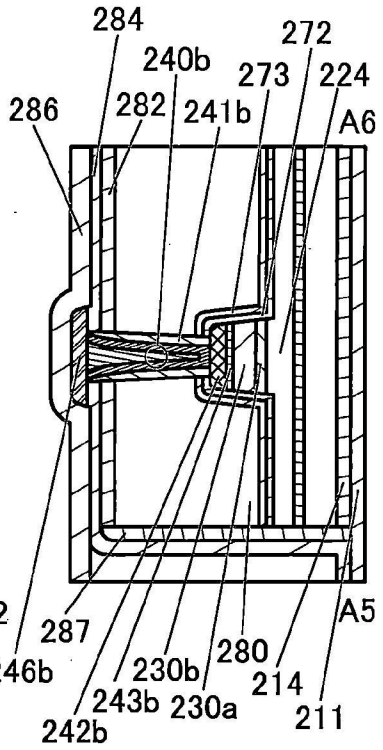


圖9D

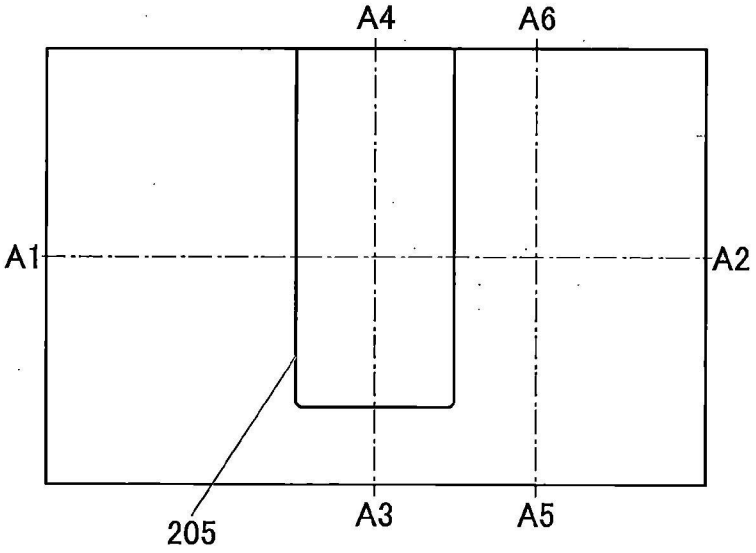


圖10A

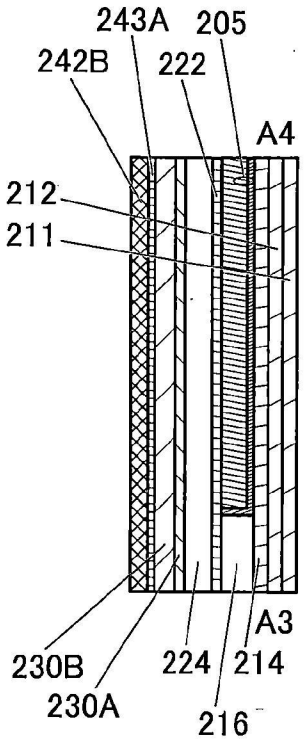


圖10C

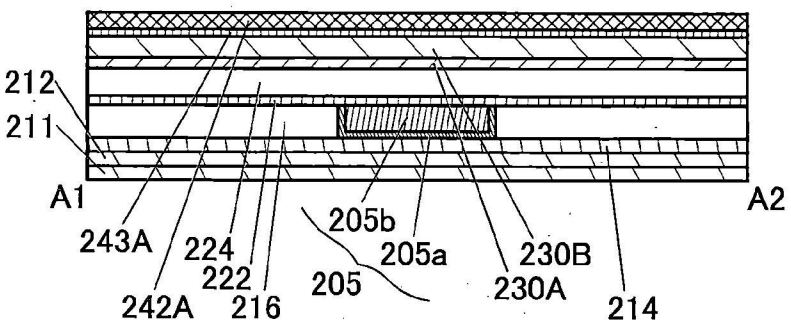


圖10B

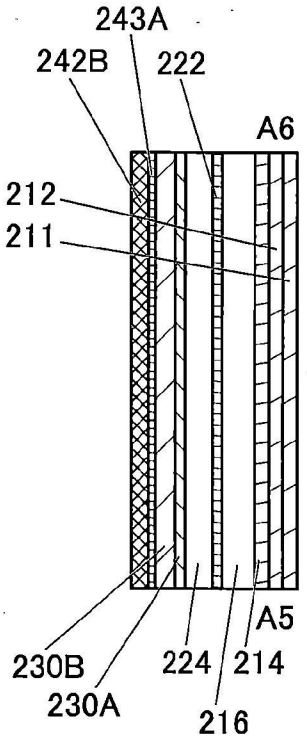


圖10D

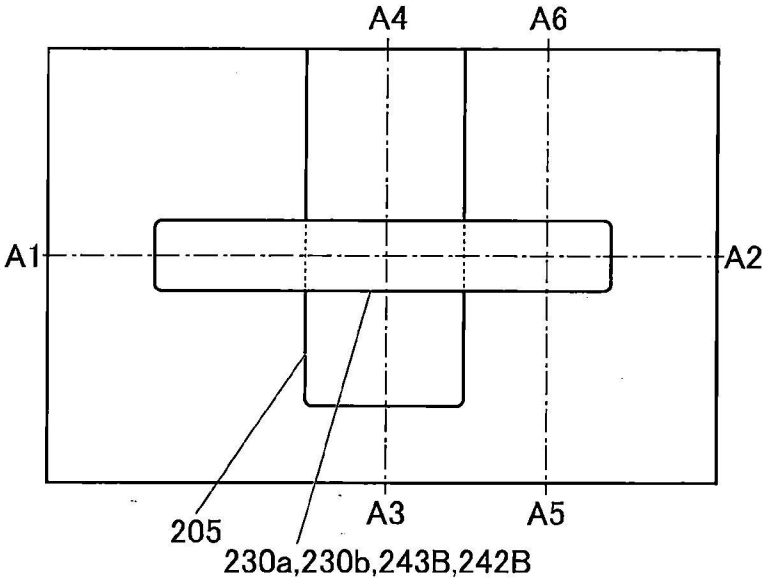


圖11A

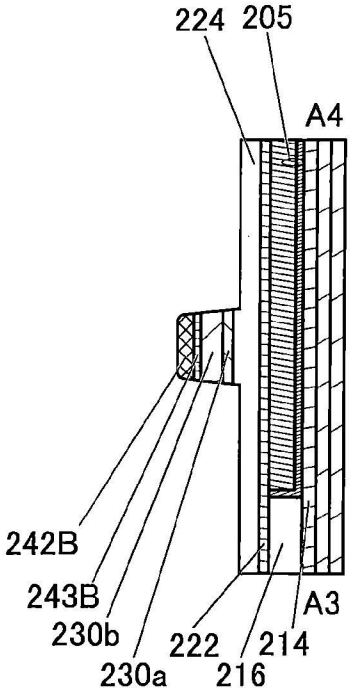


圖11C

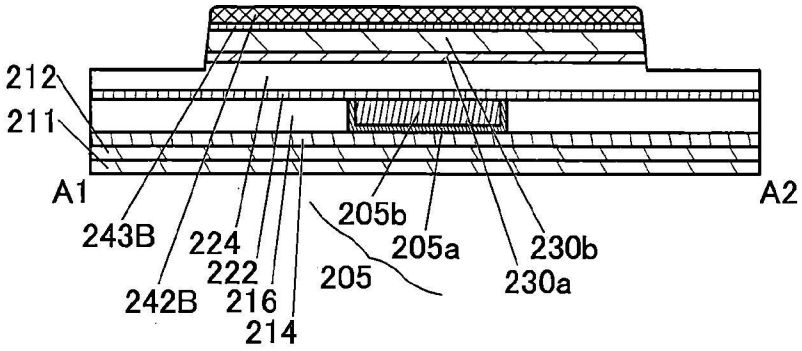


圖11B

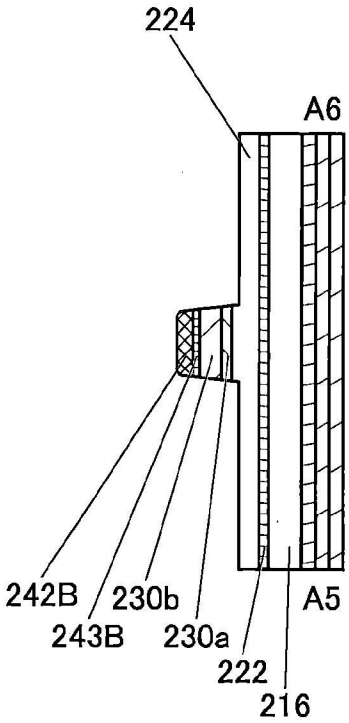


圖11D

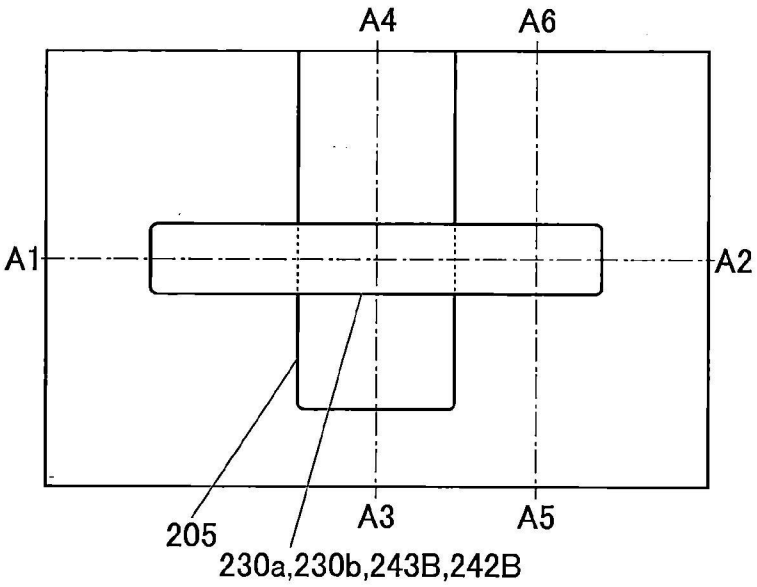


圖12A

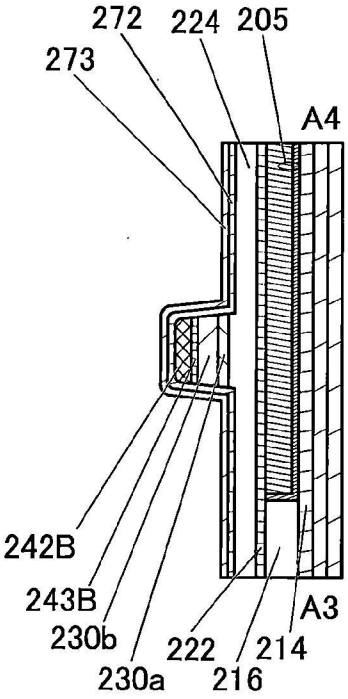


圖12C

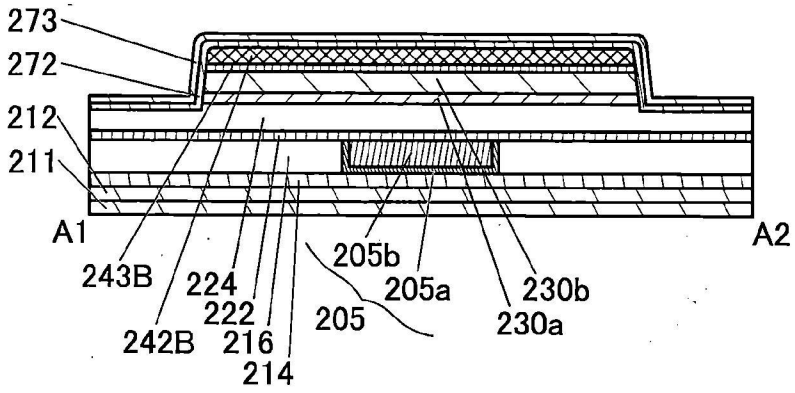


圖12B

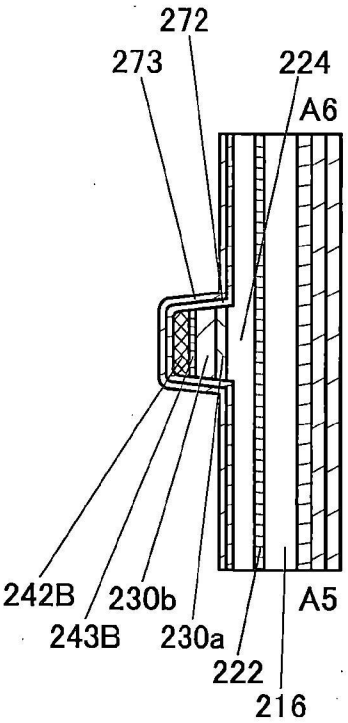


圖12D

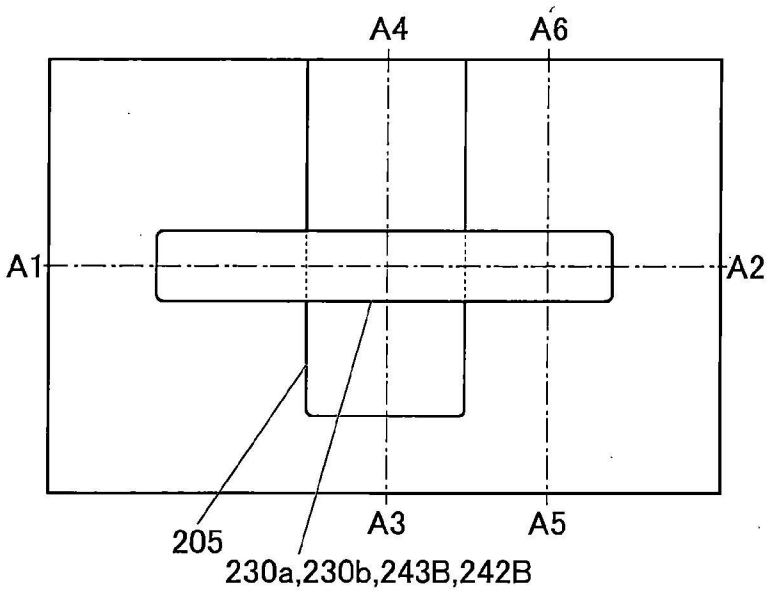


圖13A

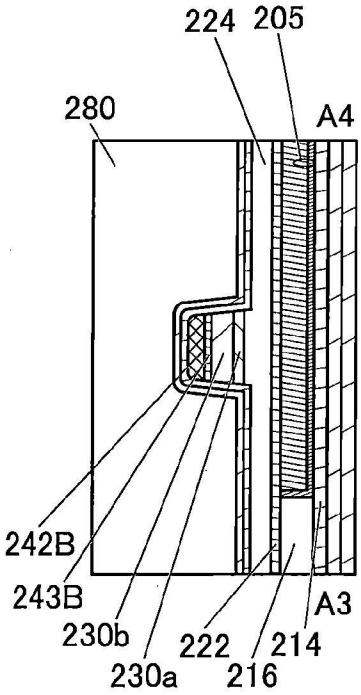


圖13C

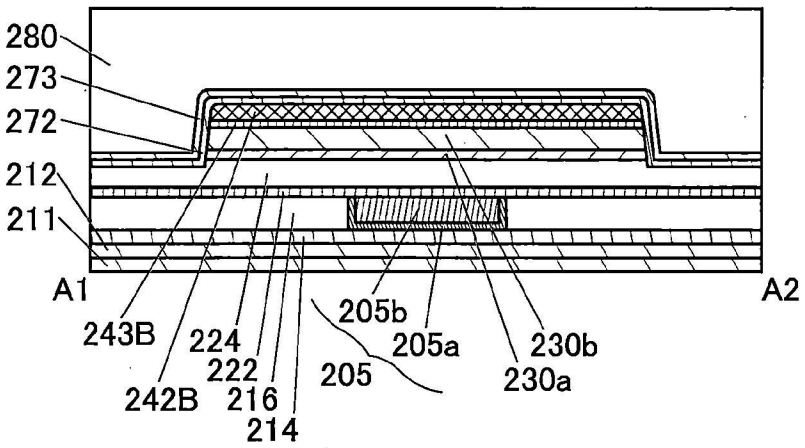


圖13B

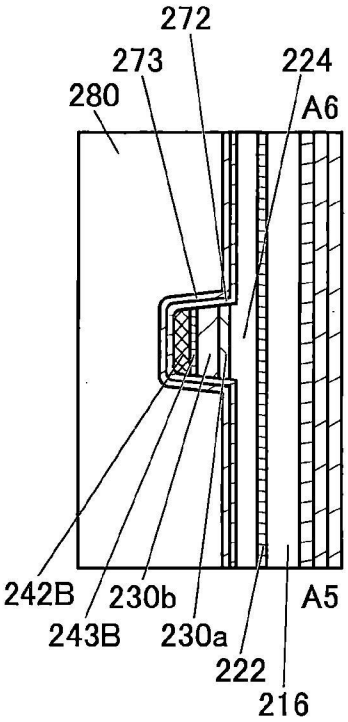


圖13D

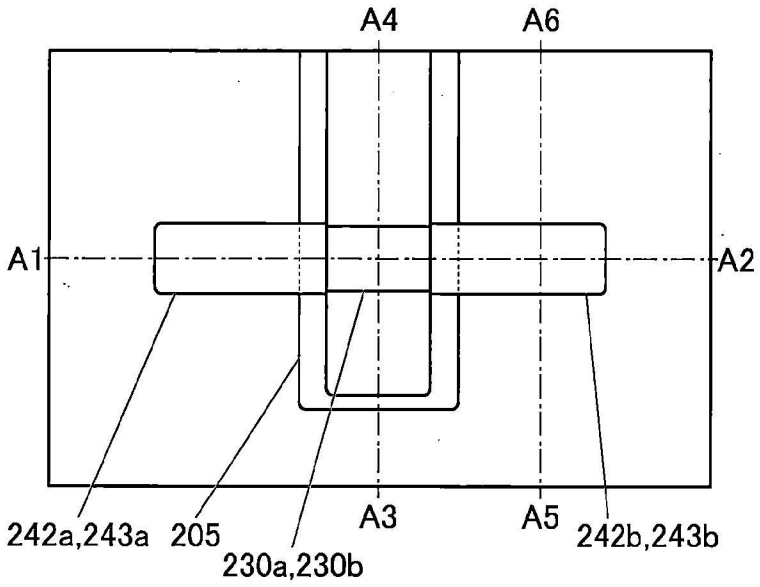


圖14A

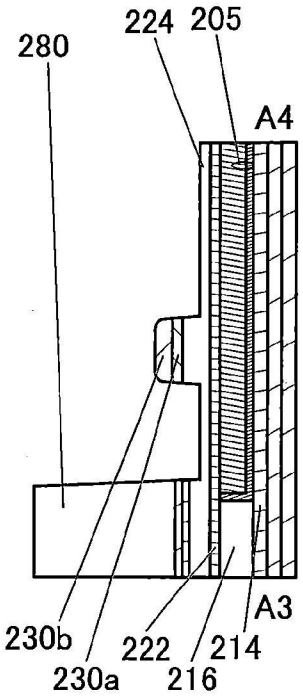


圖14C

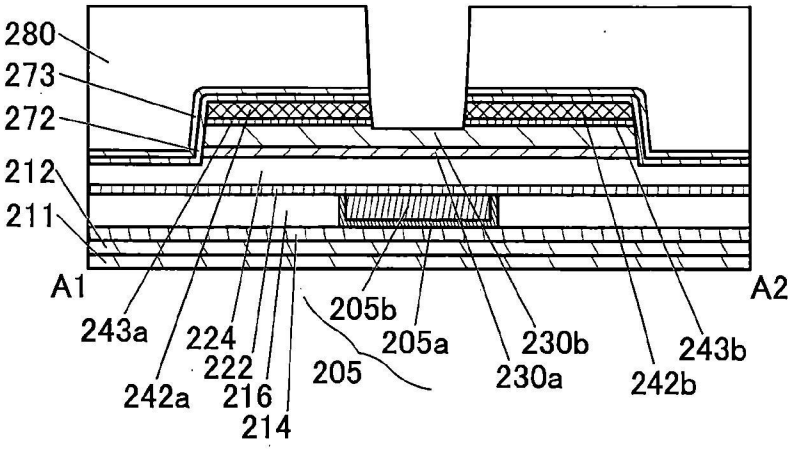


圖14B

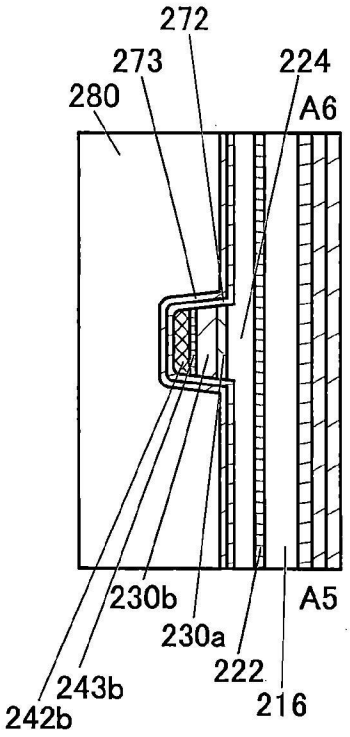


圖14D

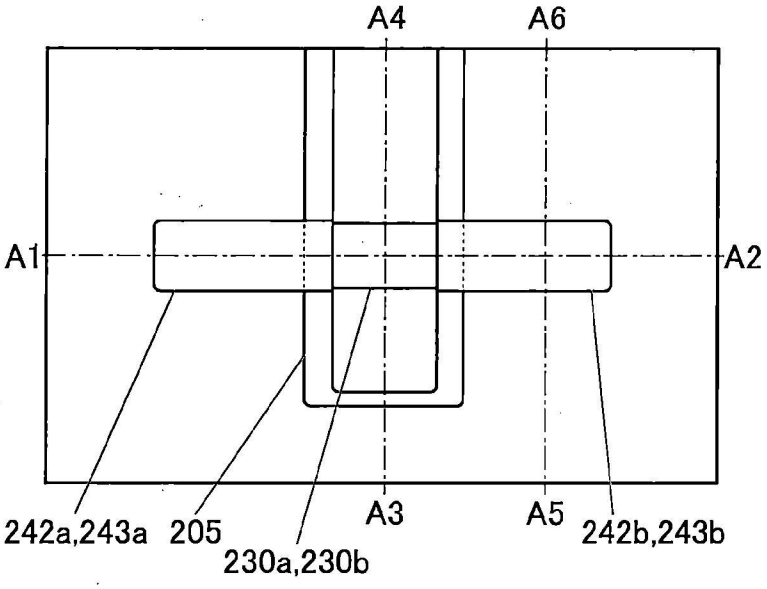


圖15A

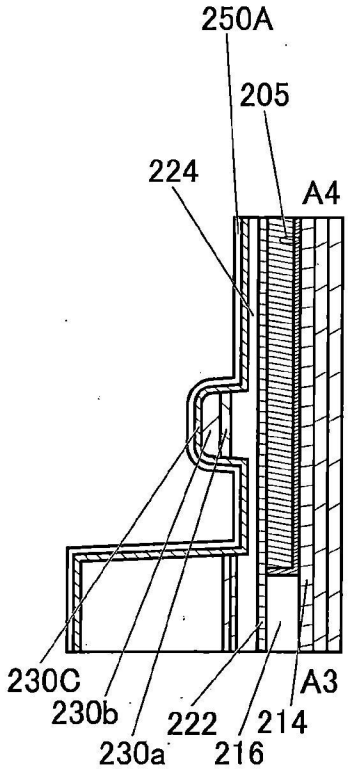


圖15C

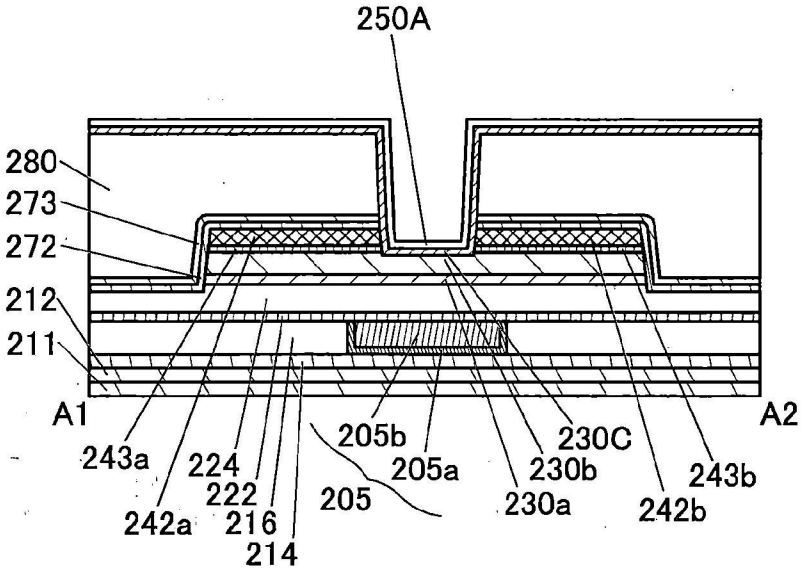


圖15B

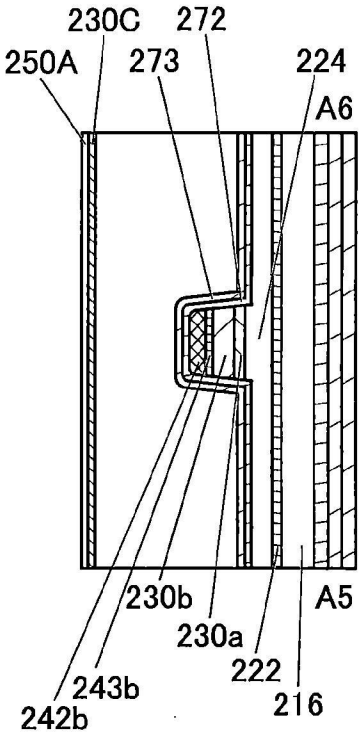


圖15D

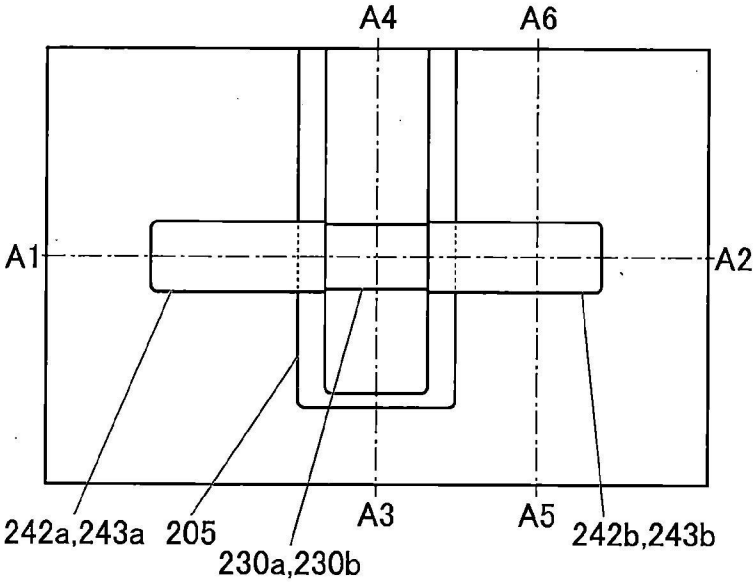


圖16A

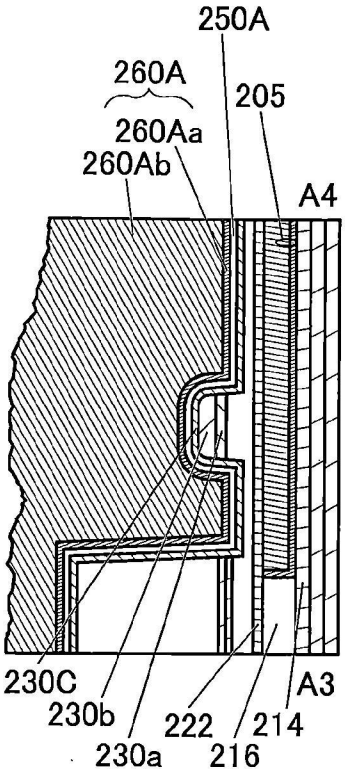


圖16C

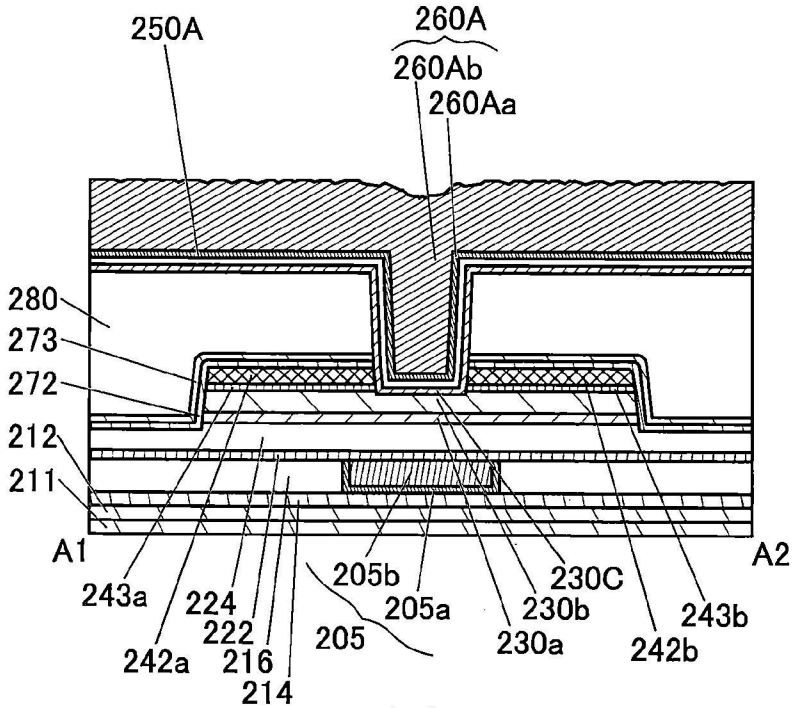


圖16B

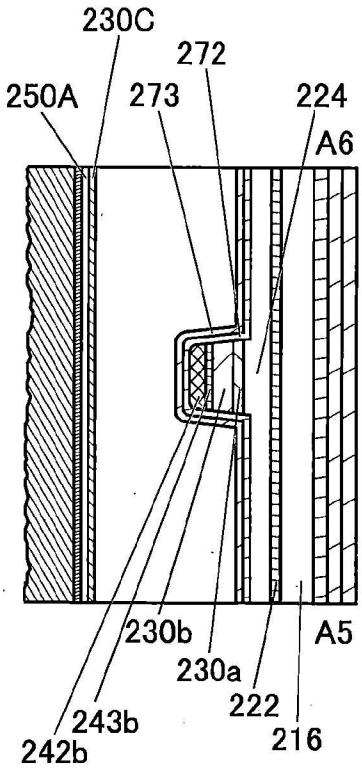


圖16D

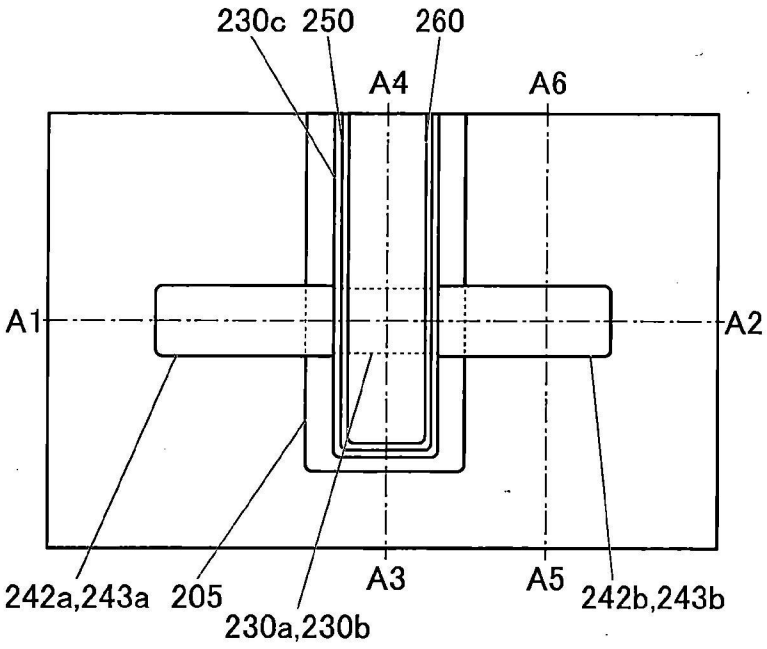


圖17A

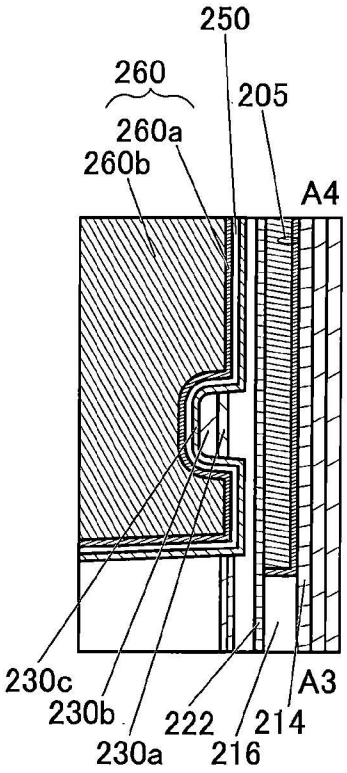


圖17C

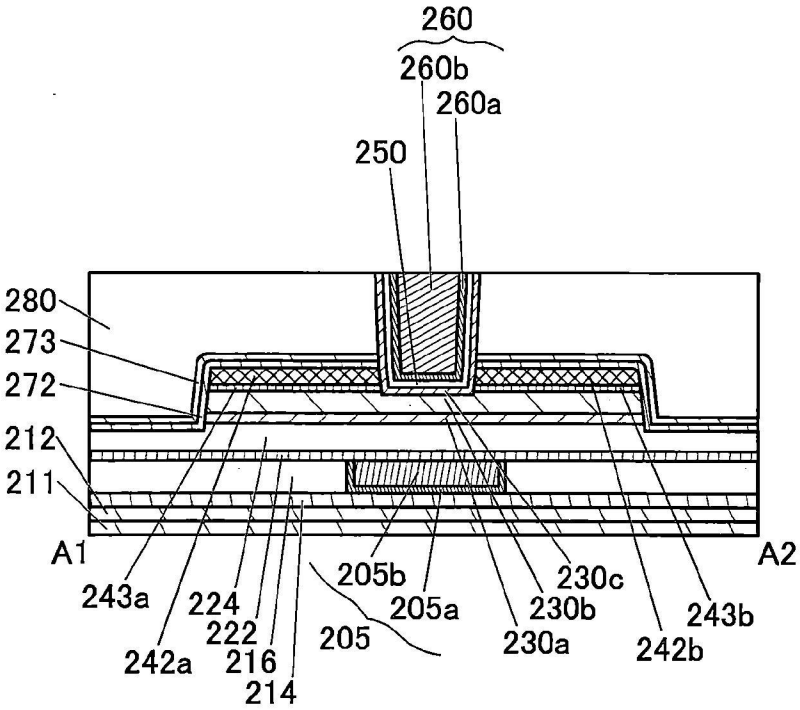


圖17B

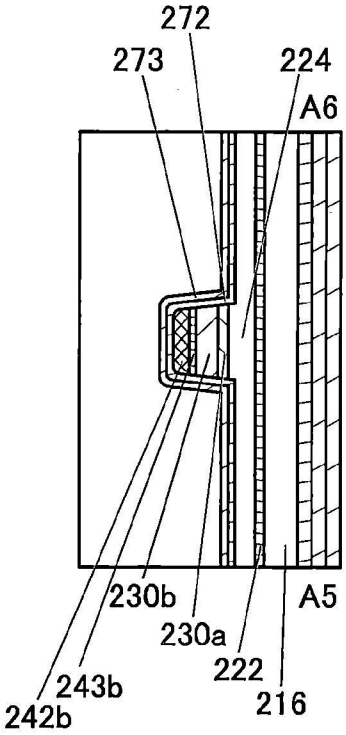


圖17D

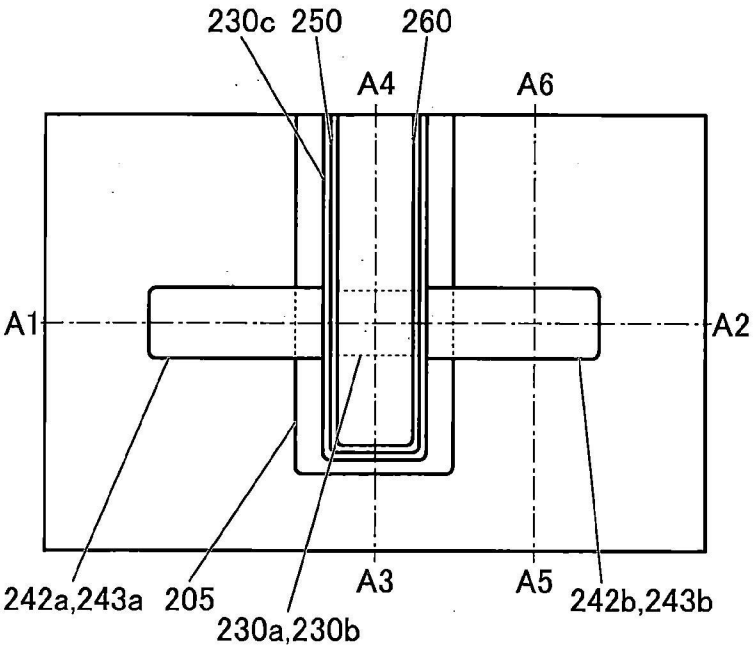


圖18A

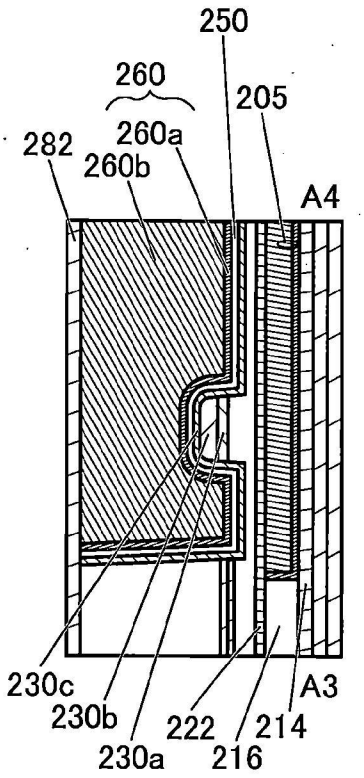


圖18C

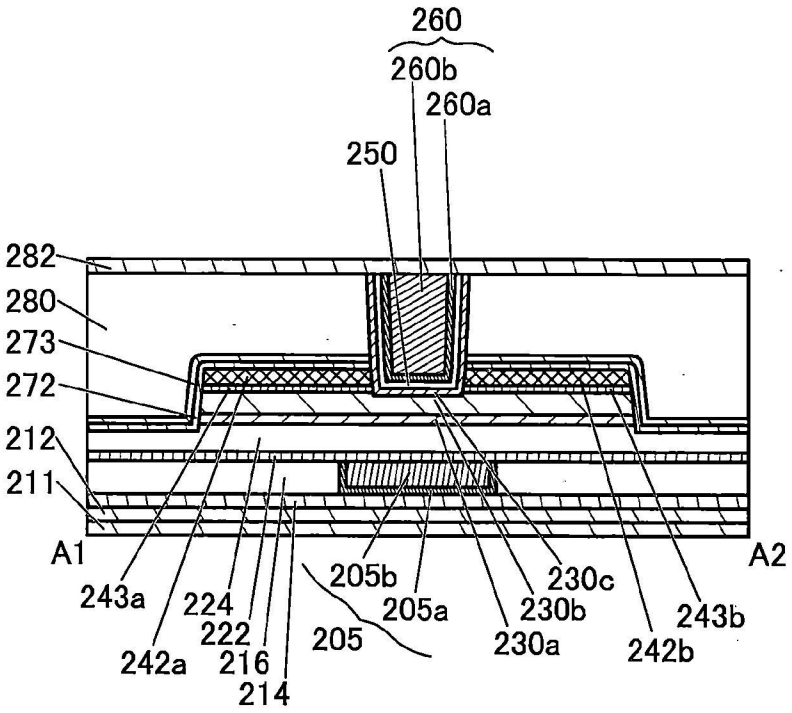


圖18B

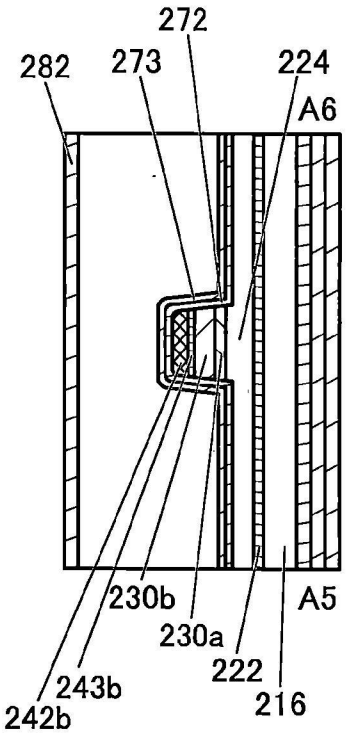


圖18D

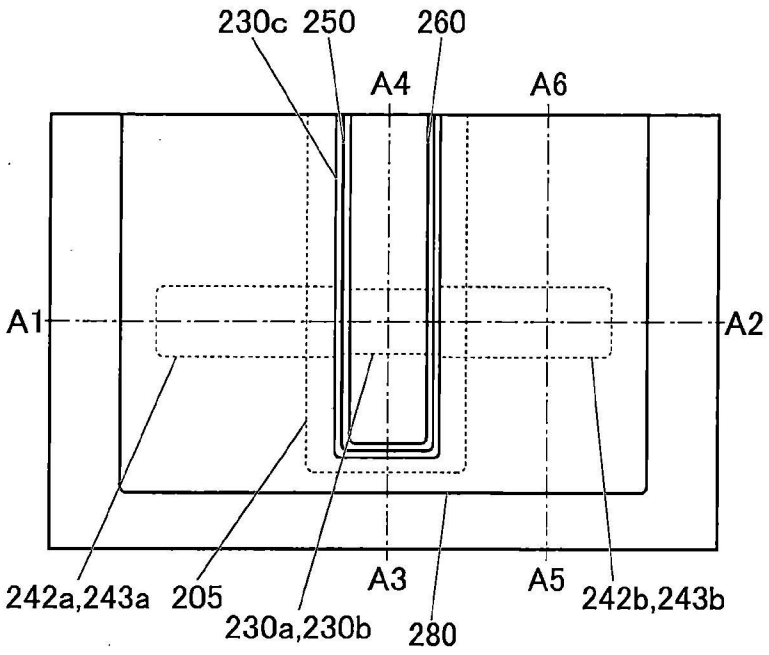


圖19A

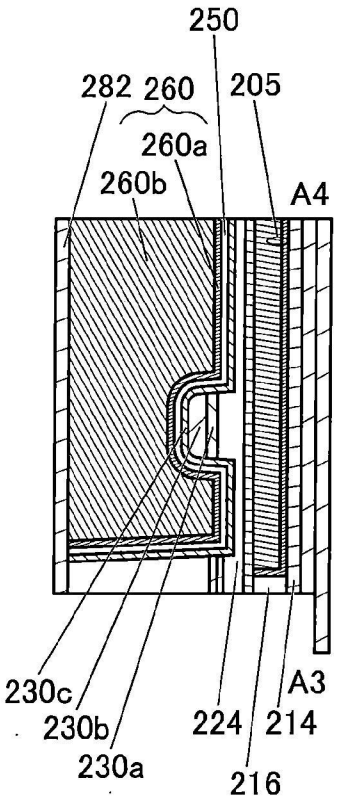


圖19C

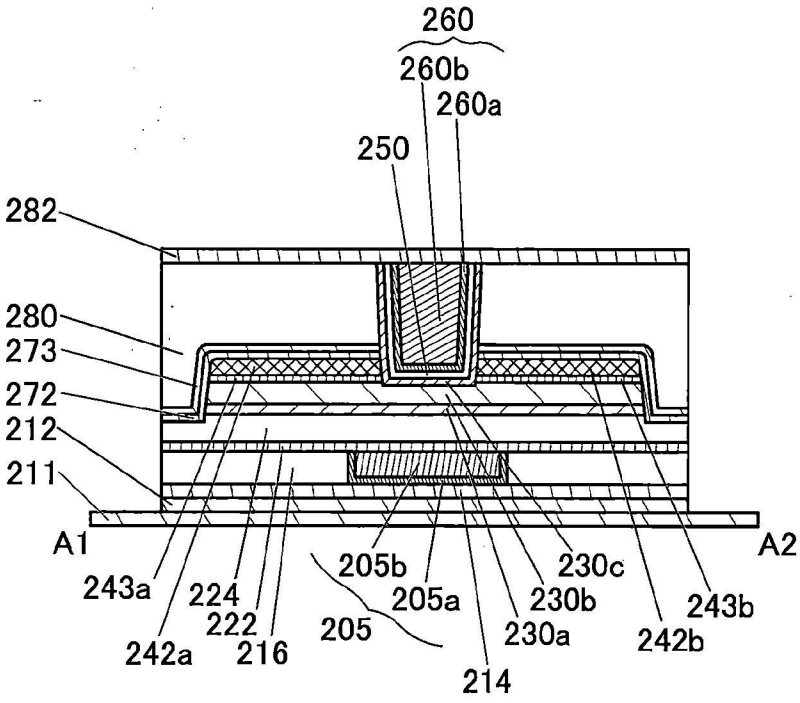


圖19B

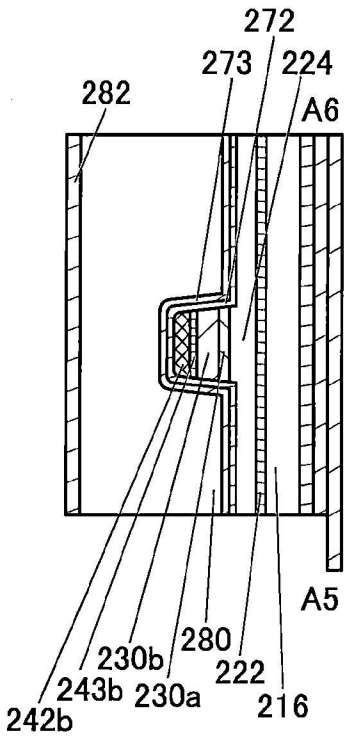


圖19D

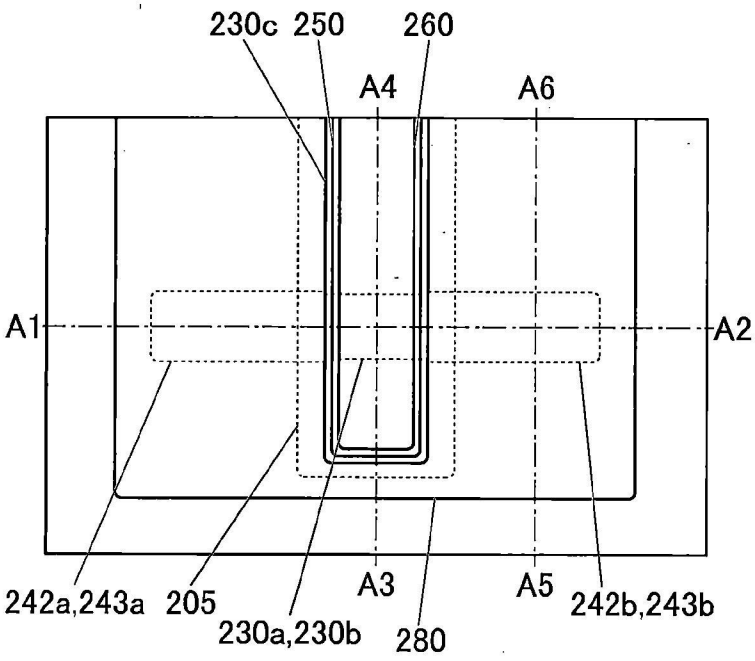


圖20A

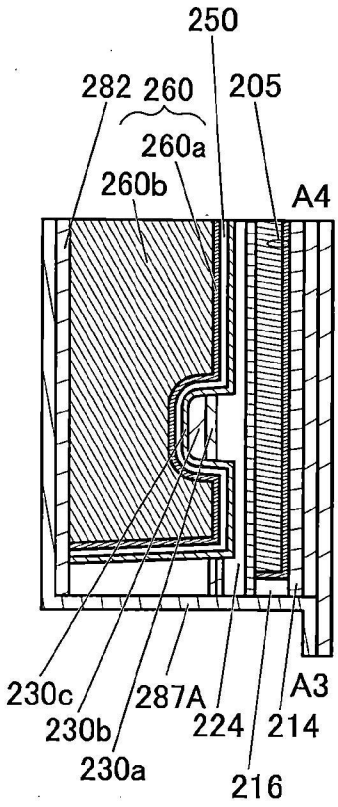


圖20C

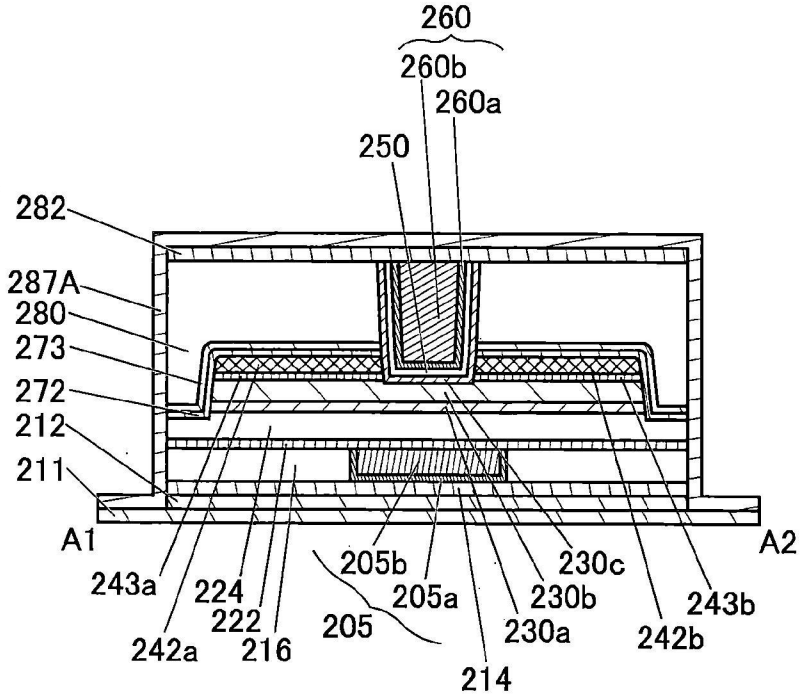


圖20B

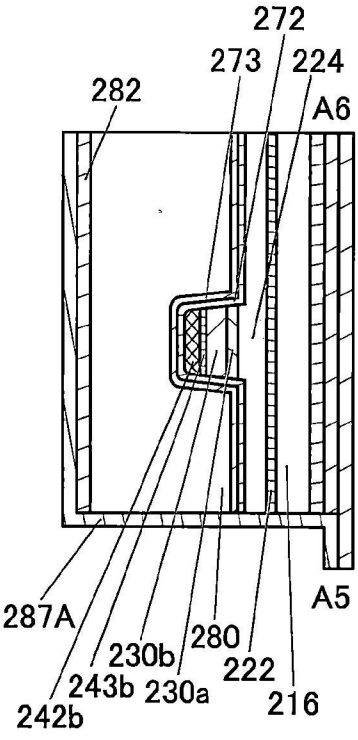


圖20D

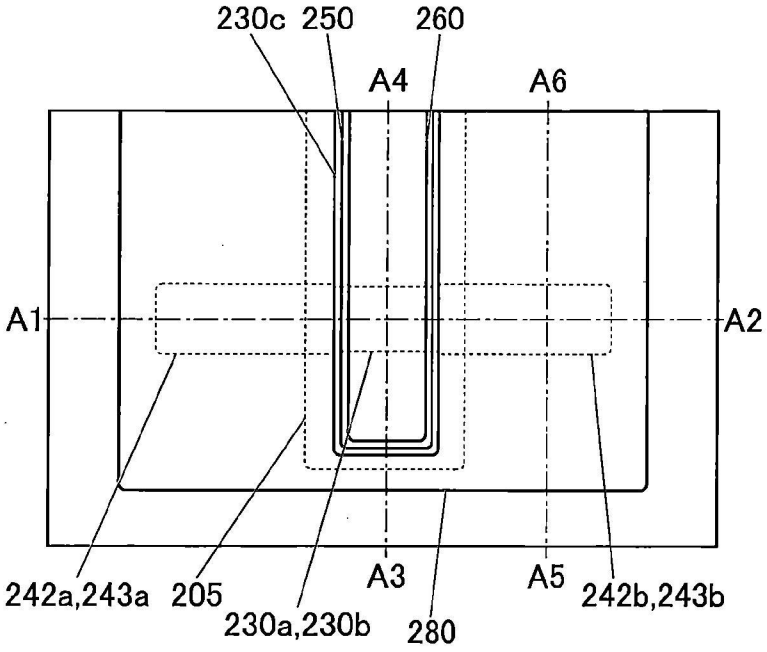


圖21A

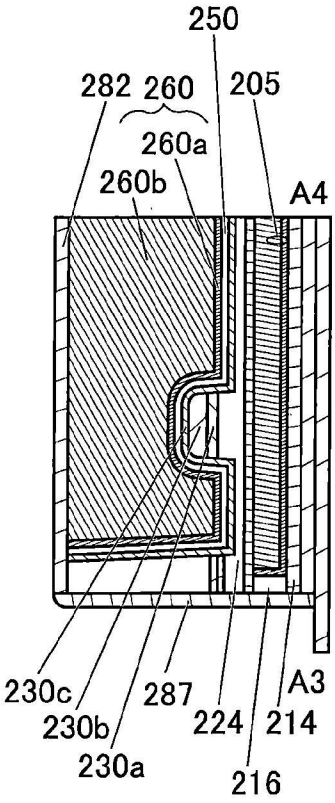


圖21C

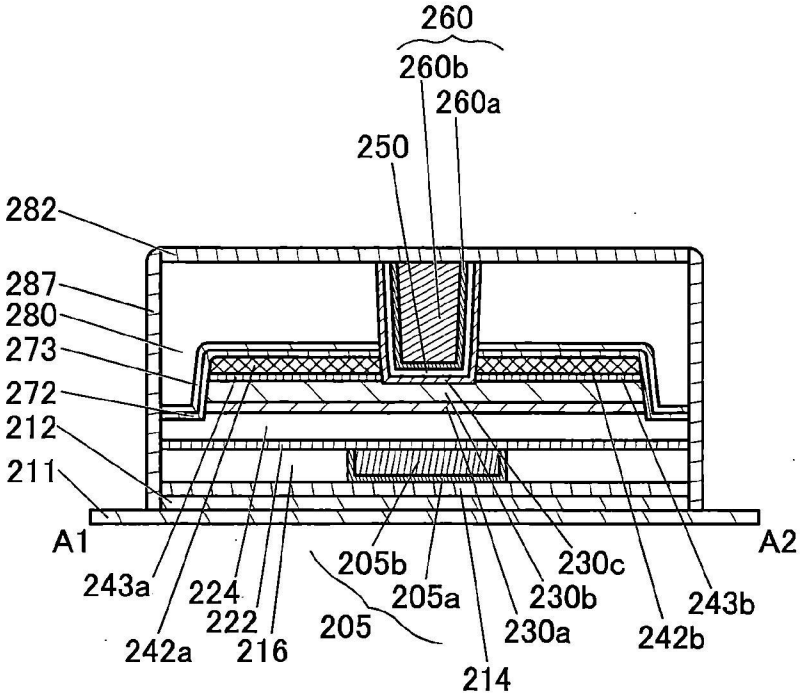


圖21B

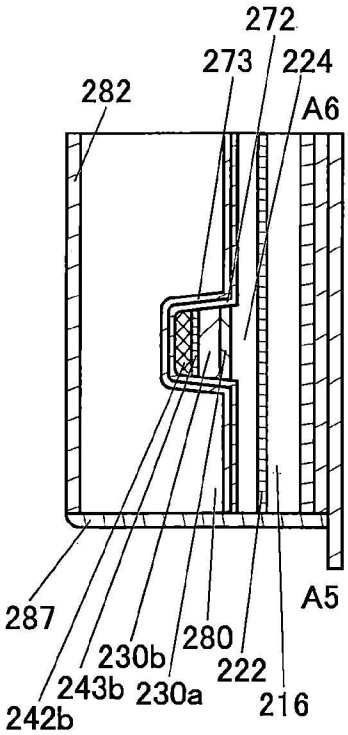


圖21D

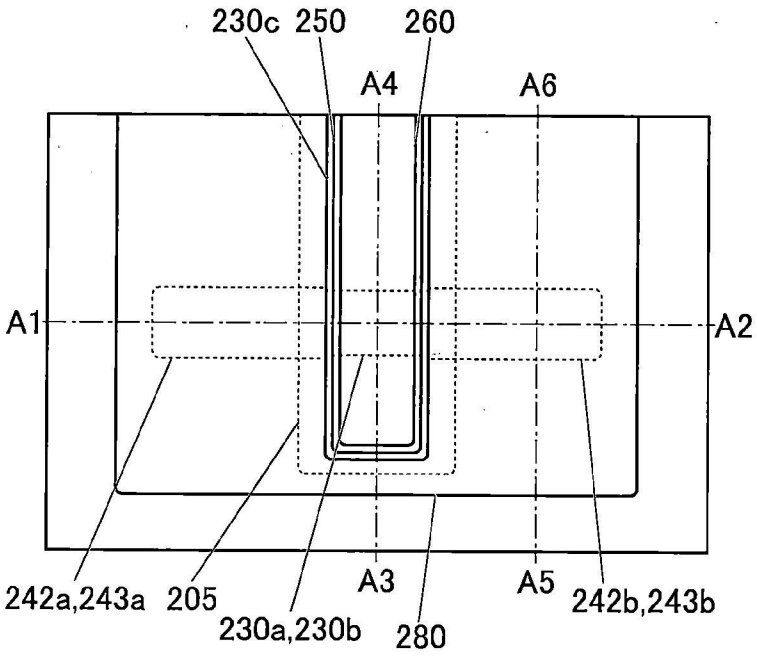


圖22A

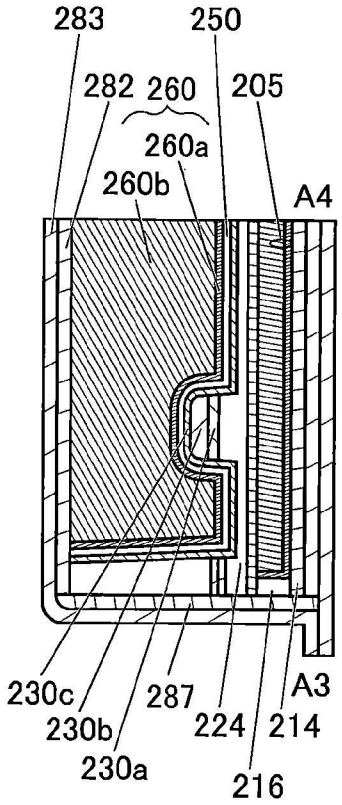


圖22C

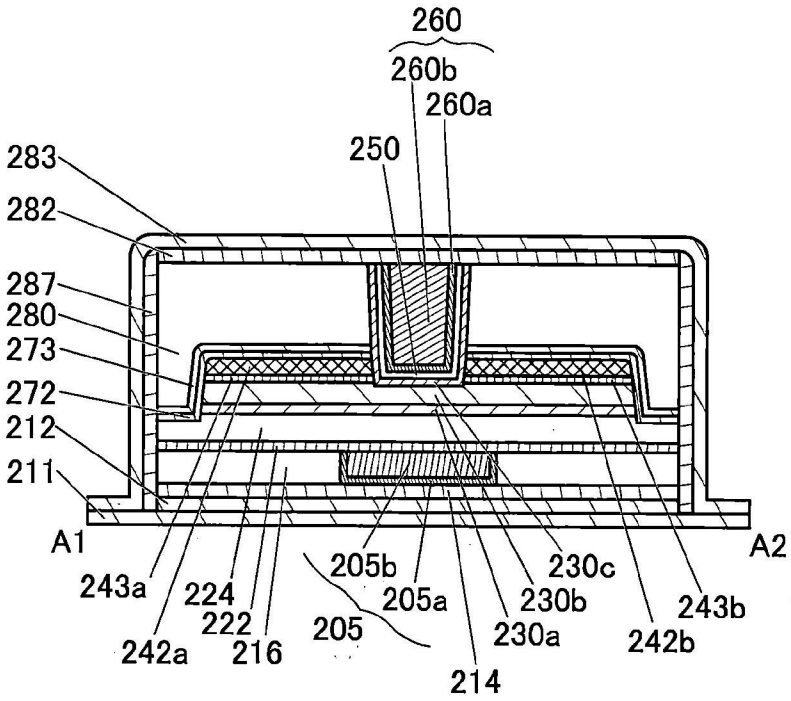


圖22B

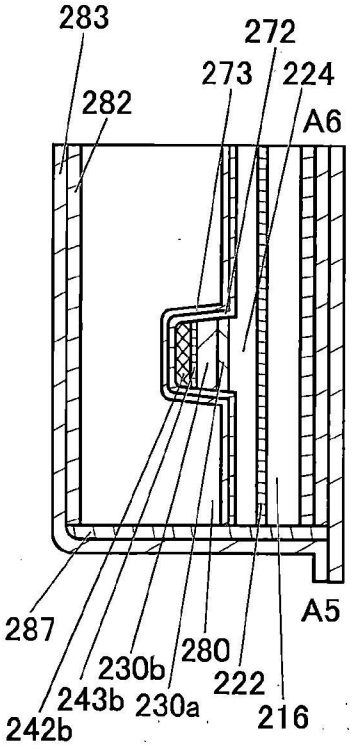


圖22D

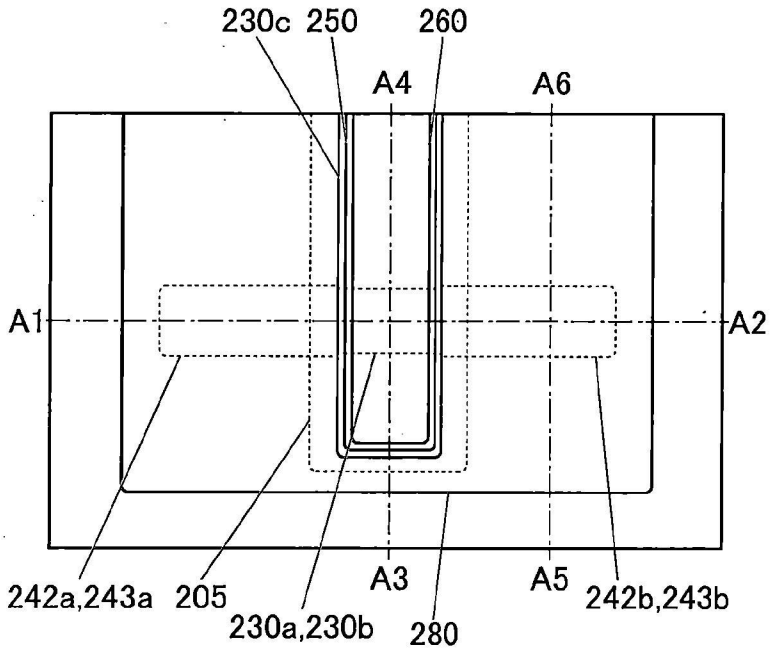


圖23A

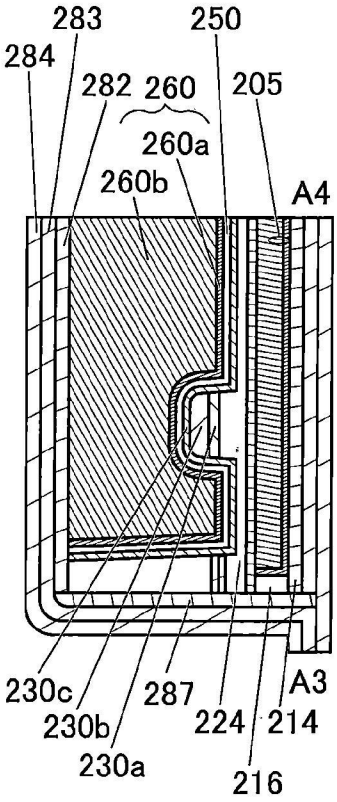


圖23C

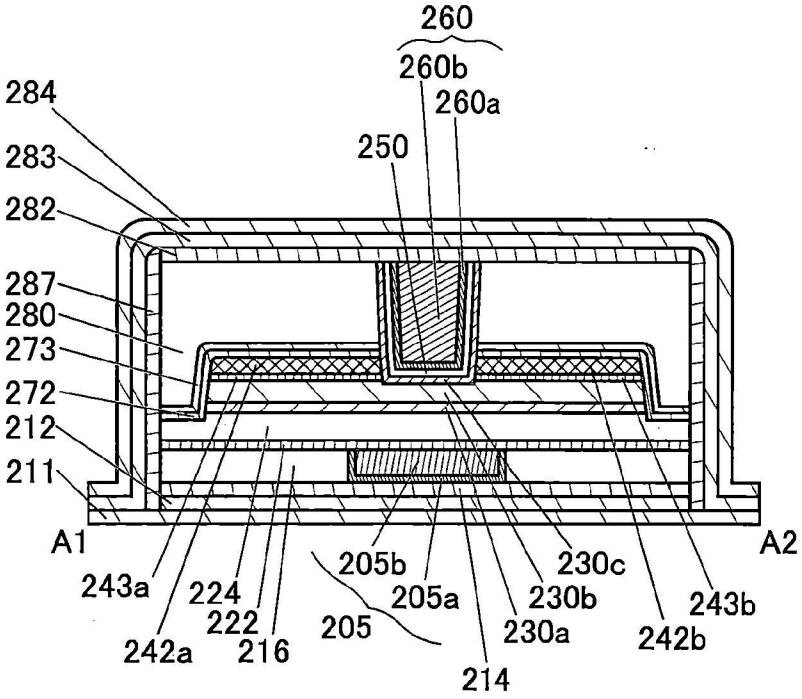


圖23B

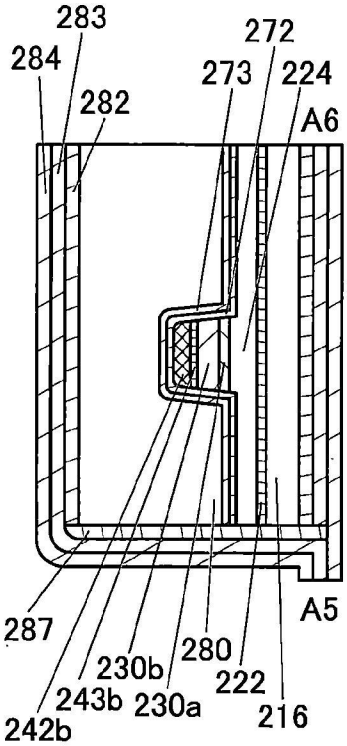


圖23D

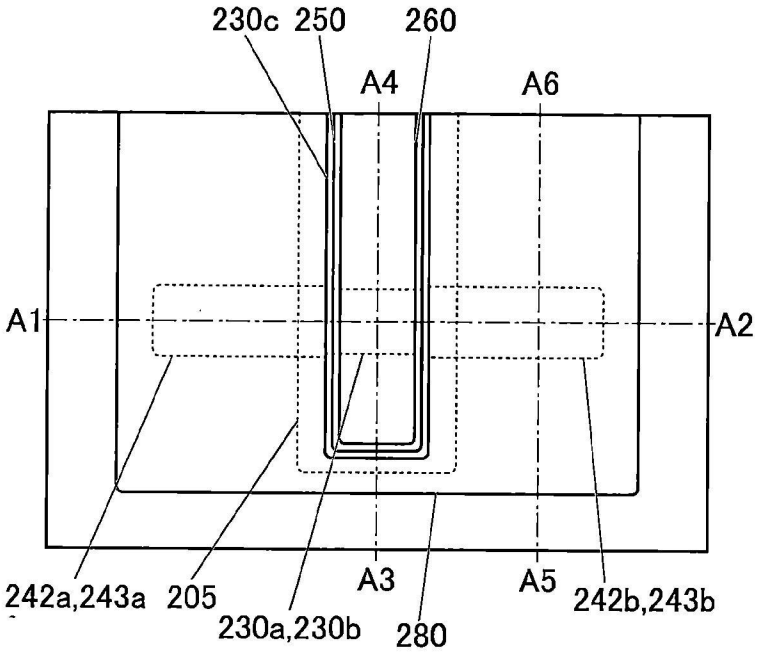


圖24A

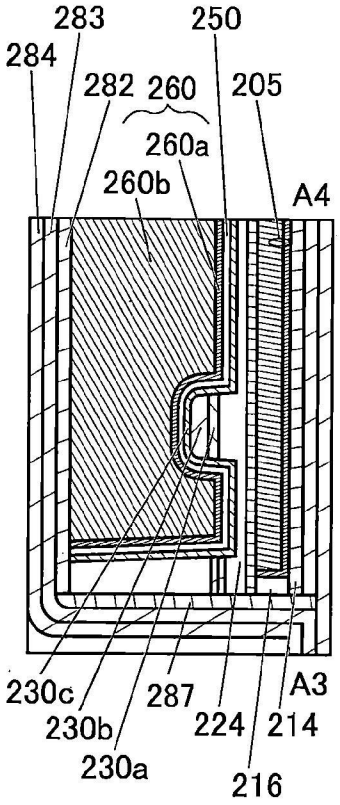


圖24C

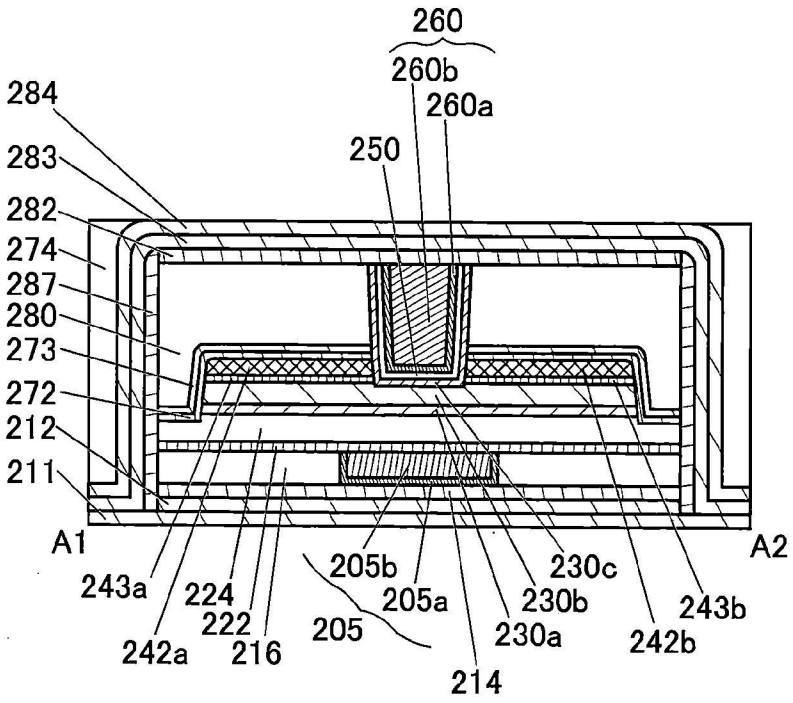


圖24B

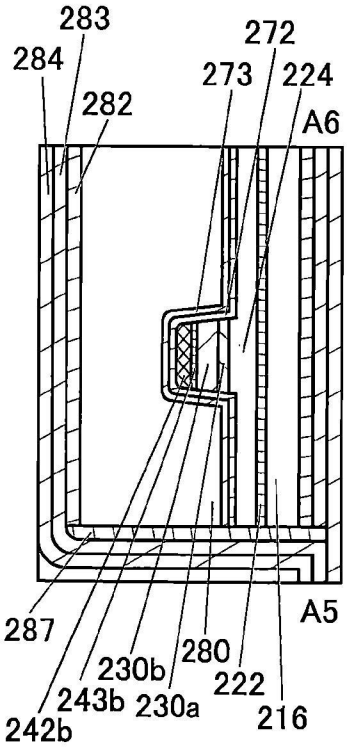


圖24D

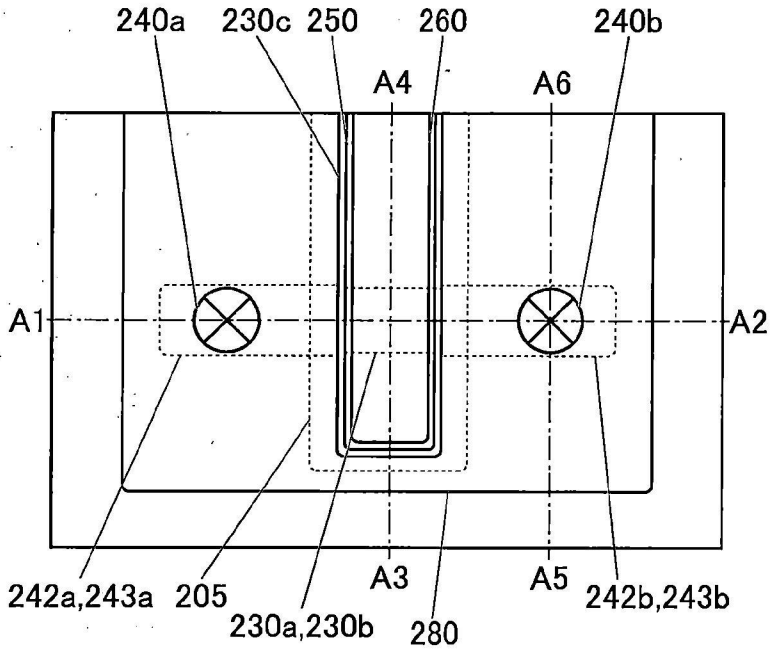


圖25A

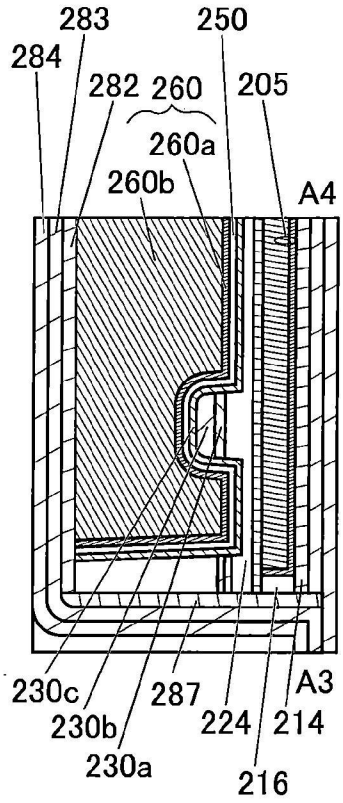


圖25C

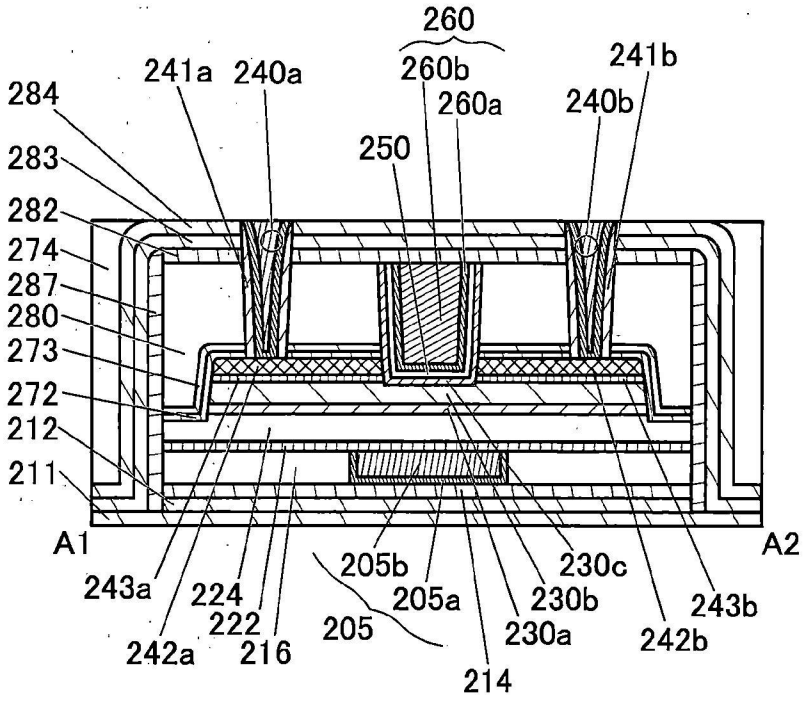


圖25B

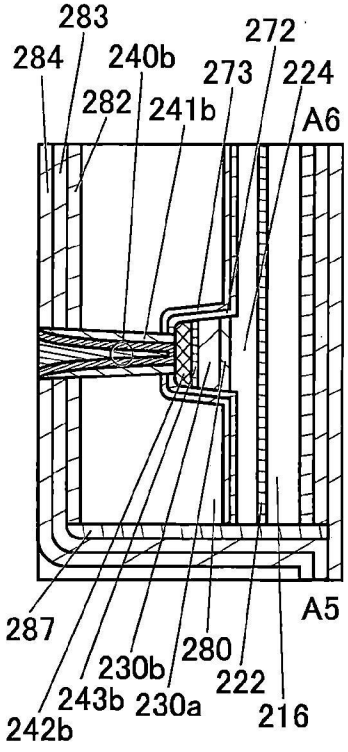


圖25D

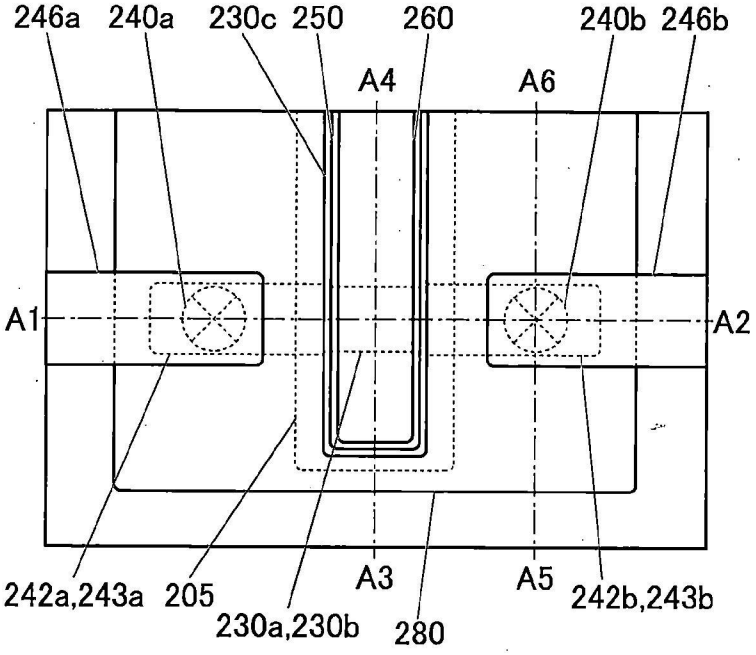


圖26A

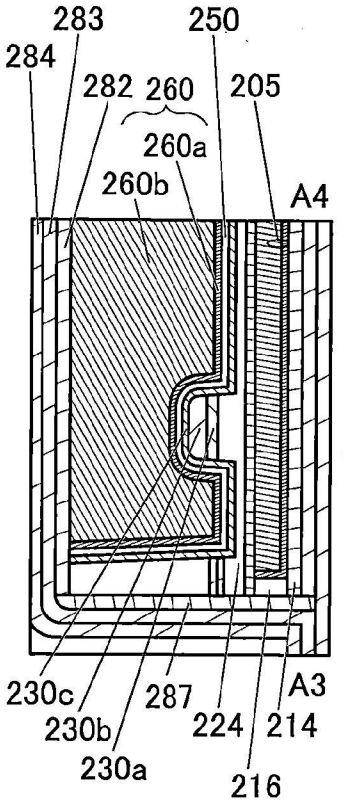


圖26C

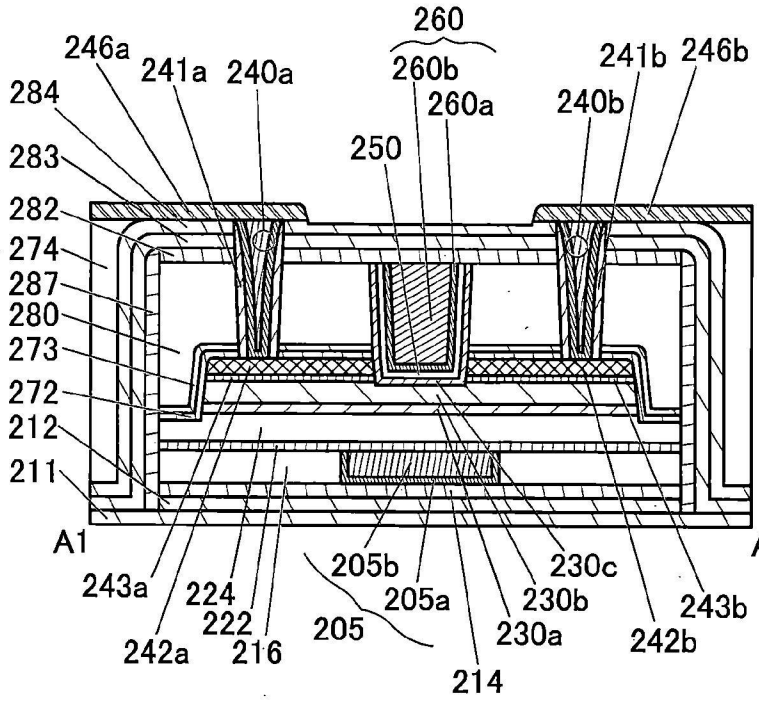


圖26B

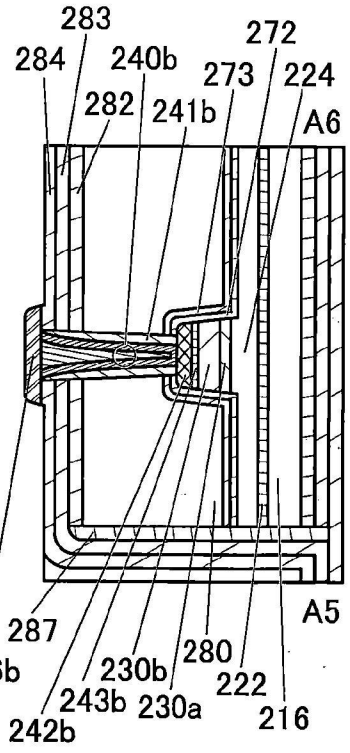


圖26D

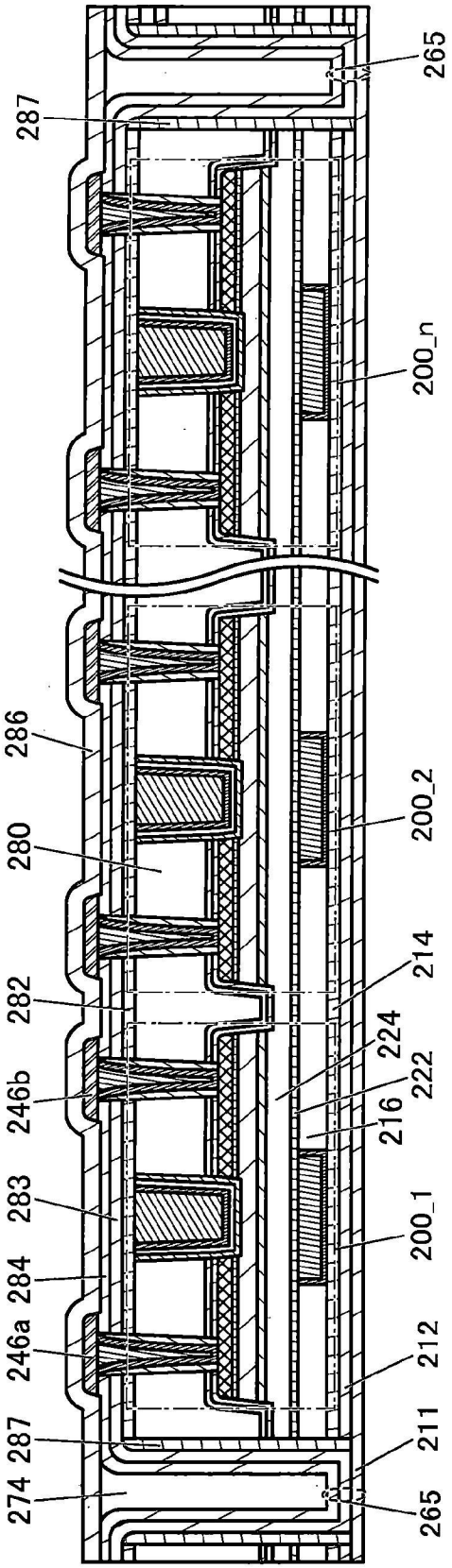

265
287
200_n
286
280
200_2
282
214
246b
224
222
216
283
200_1
284
246a
212
274
287
211
265

圖27A

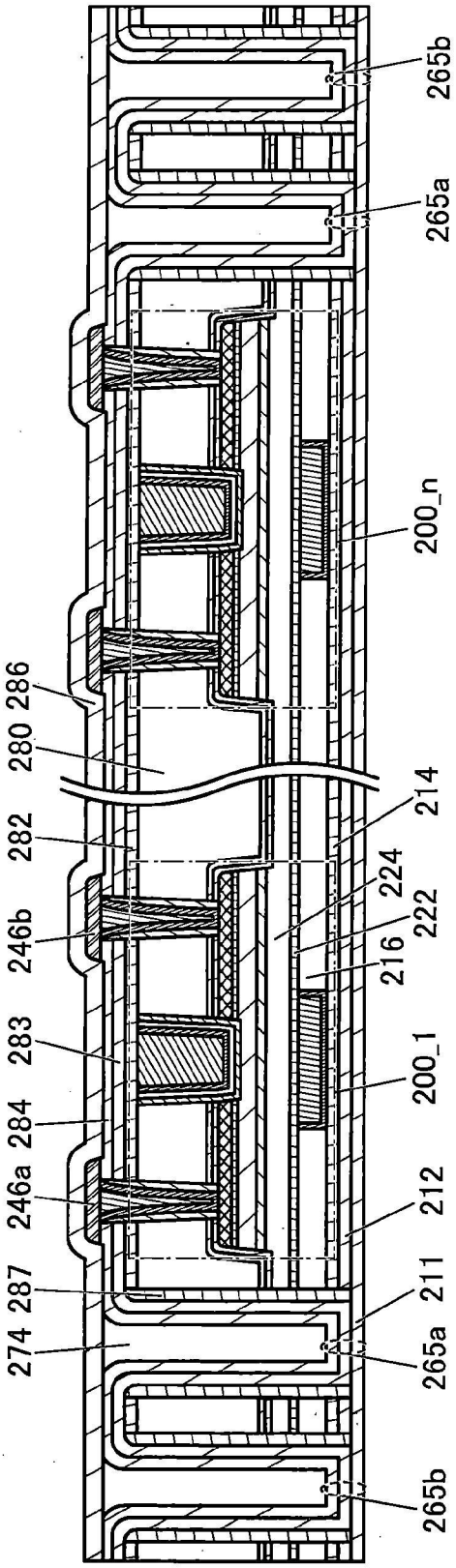

265b
265a
200_n
286
280
214
282
224
246b
222
216
283
200_1
284
246a
212
274
287
211
265a
265b

圖27B

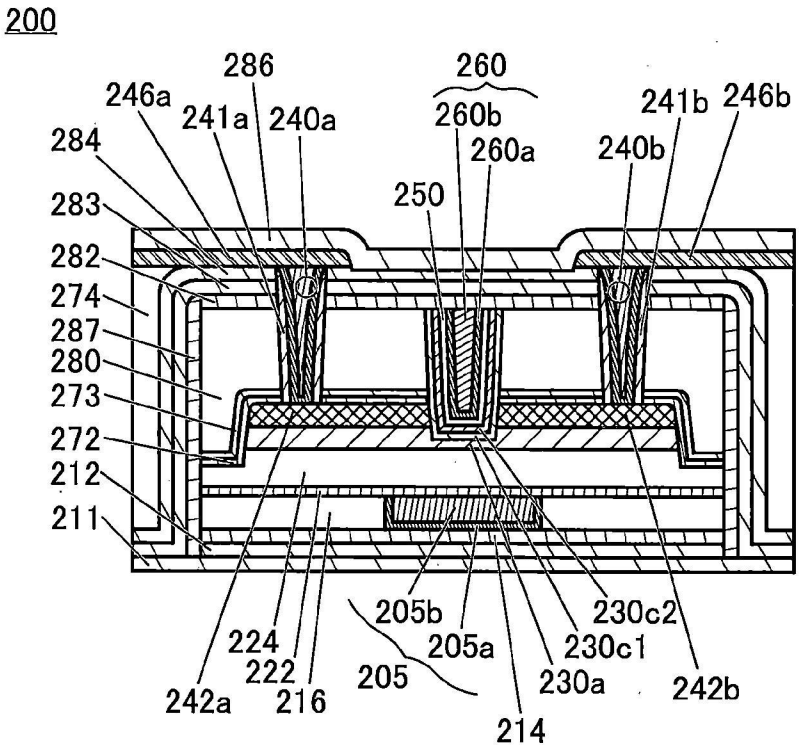

200
286
260
246a
241a
240a
260b
241b
246b
284
260a
240b
250
283
282
274
287
280
273
272
212
211
205b
230c2
224
205a
230c1
222
205
230a
242b
242a
216
214

圖28

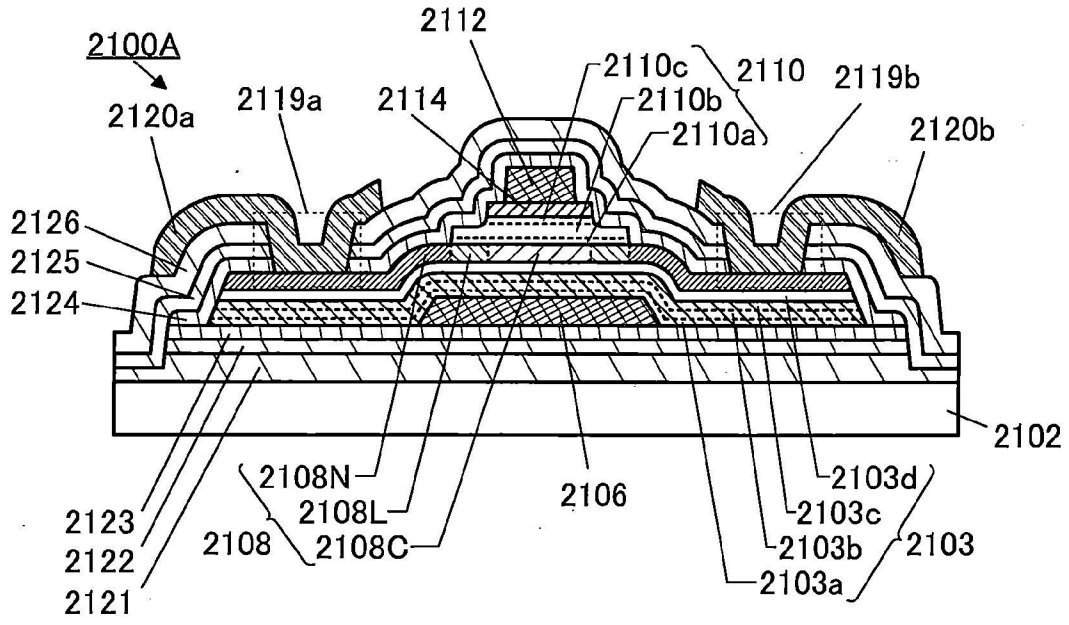

2100A
2112
2110c
2110
2119b
2120a
2119a
2114
2110b
2110a
2120b
2126
2125
2124
2102
2108N
2106
2103d
2108L
2103c
2123
2122
2121
2108
2108C
2103b
2103
2103a

圖29A

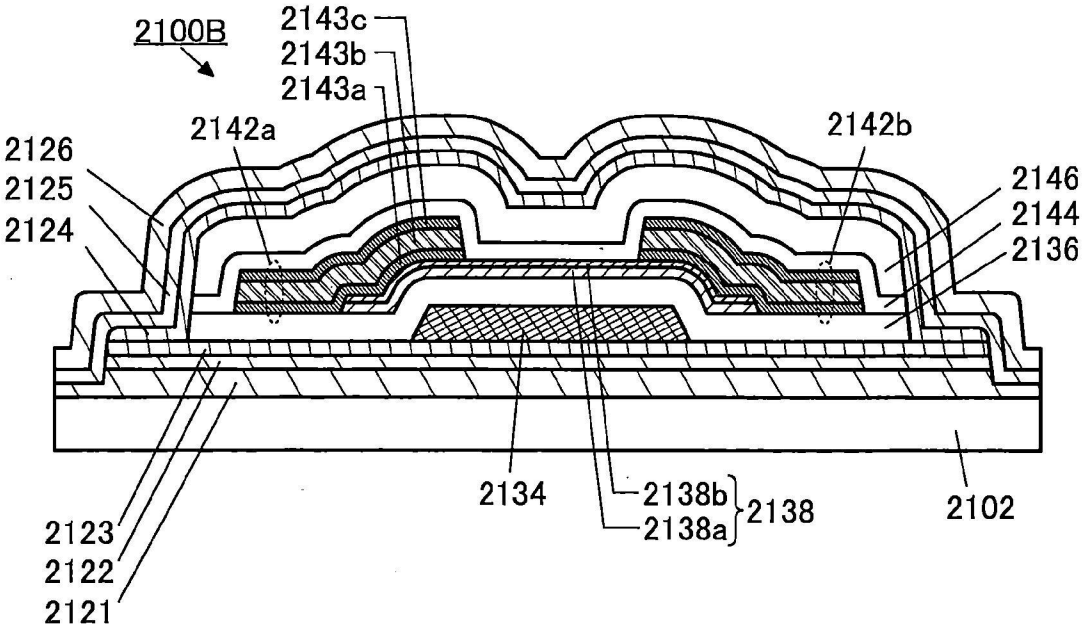

2100B
2143c
2143b
2143a
2142a
2142b
2126
2125
2124
2146
2144
2136
2134
2138b
2138
2102
2138a
2123
2122
2121

圖29B

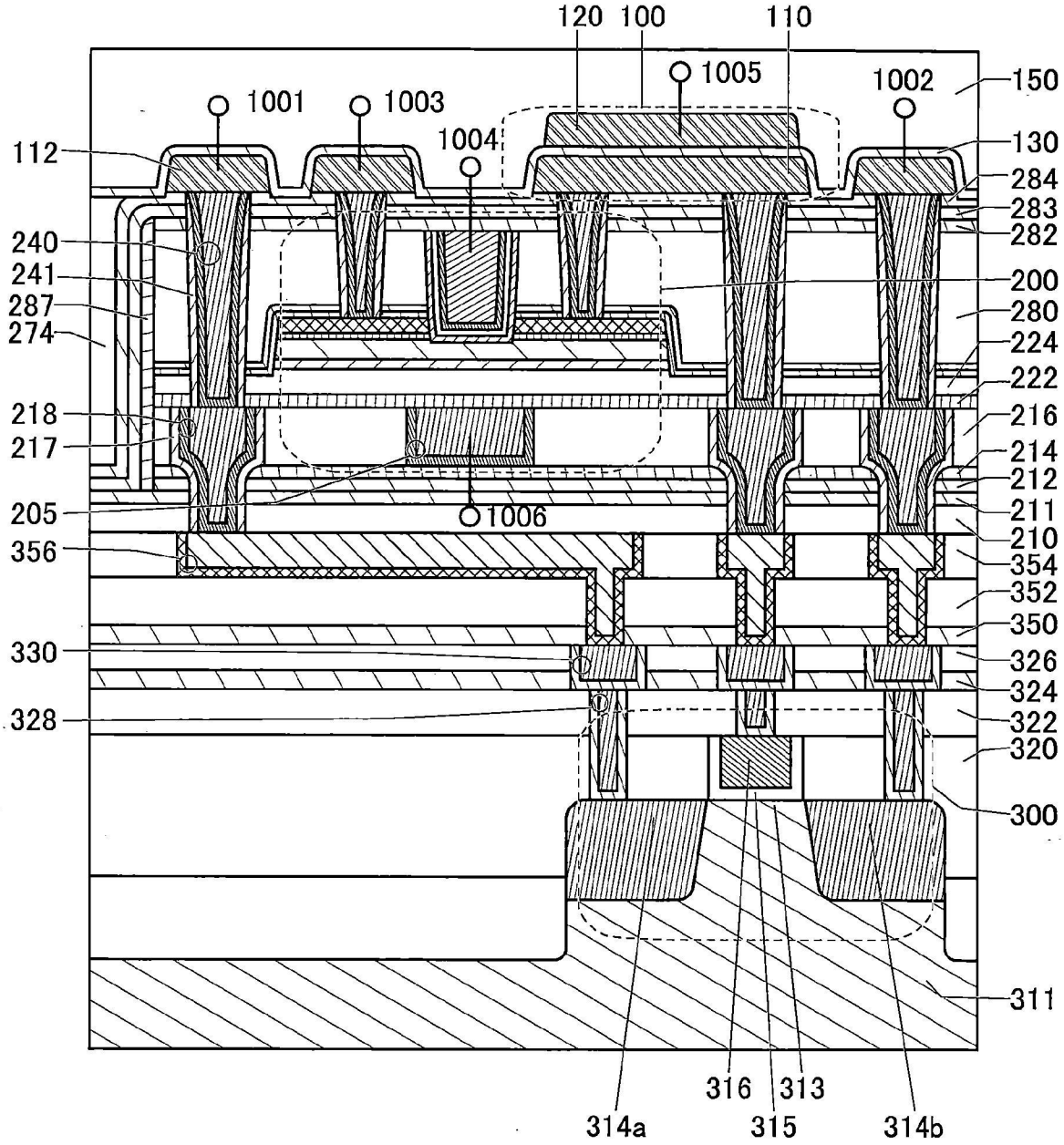

120
100
110
1005
1001
1003
1002
150
1004
130
112
284
283
240
282
241
200
287
280
274
224
222
218
216
217
214
212
205
1006
211
356
210
354
352
330
350
326
328
324
322
320
300
311
316
313
314a
315
314b

圖30

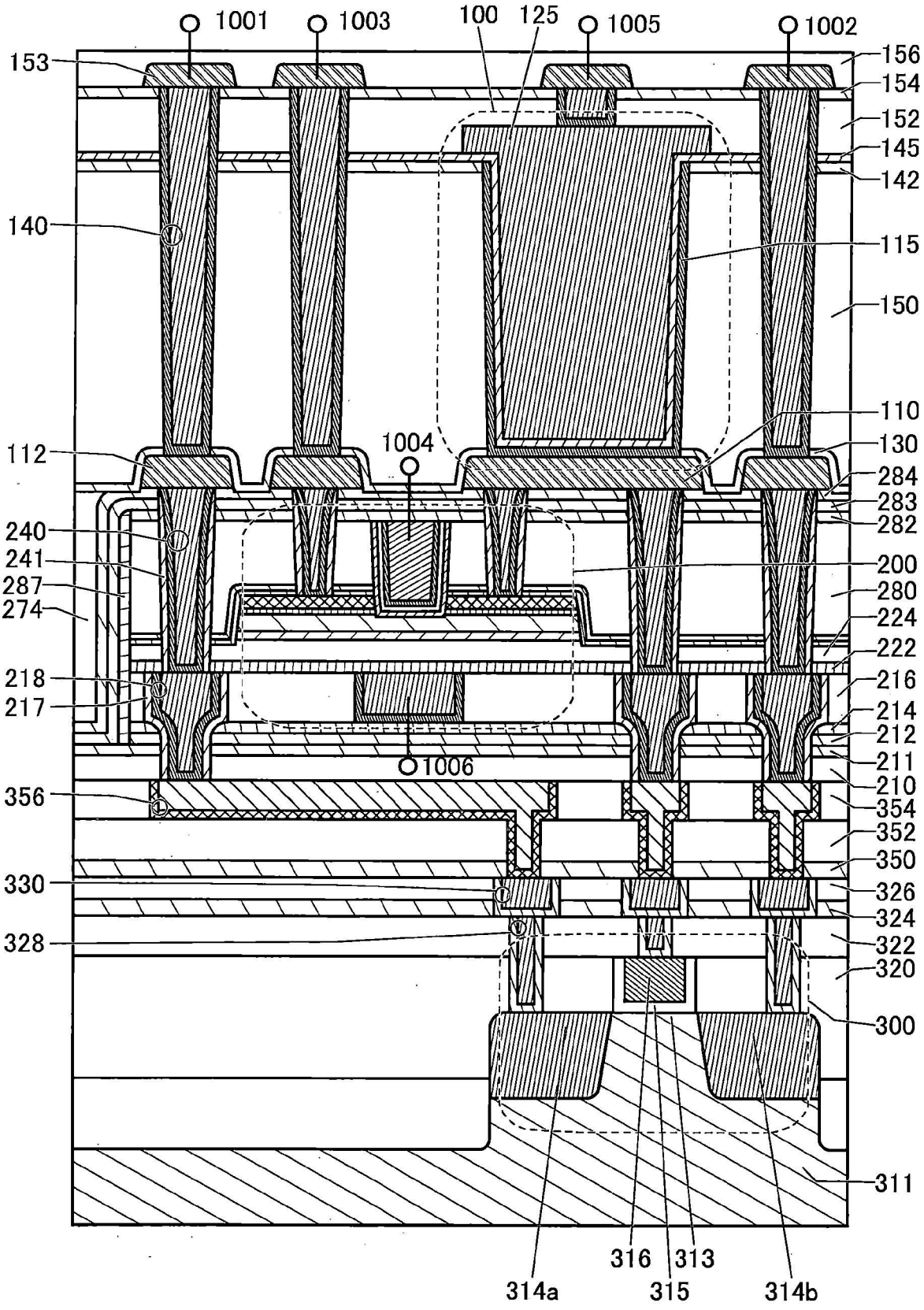

1001
1003
100
125
1005
1002
153
156
154
152
145
142
140
115
150
110
112
1004
130
284
283
282
240
241
287
274
200
280
224
222
218
217
216
214
212
211
1006
210
356
354
352
350
330
326
324
328
322
320
300
311
316
313
314a
315
314b

圖31

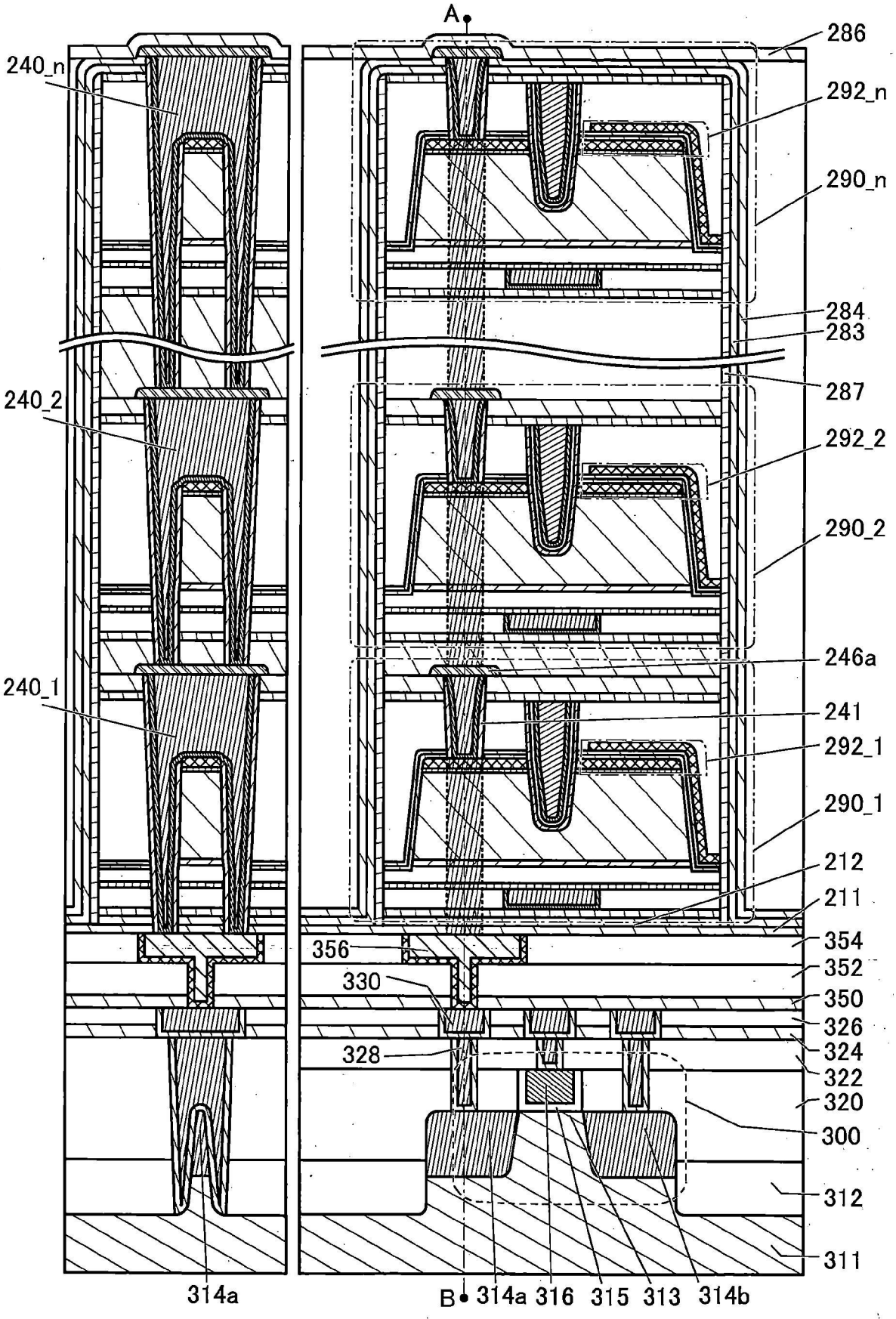

A
B
240_n
240_2
240_1
286
292_n
290_n
284
283
287
292_2
290_2
246a
241
292_1
290_1
212
211
354
356
352
330
350
326
324
328
322
320
300
312
311
314a
314a
316
315
313
314b

圖32A 圖32B

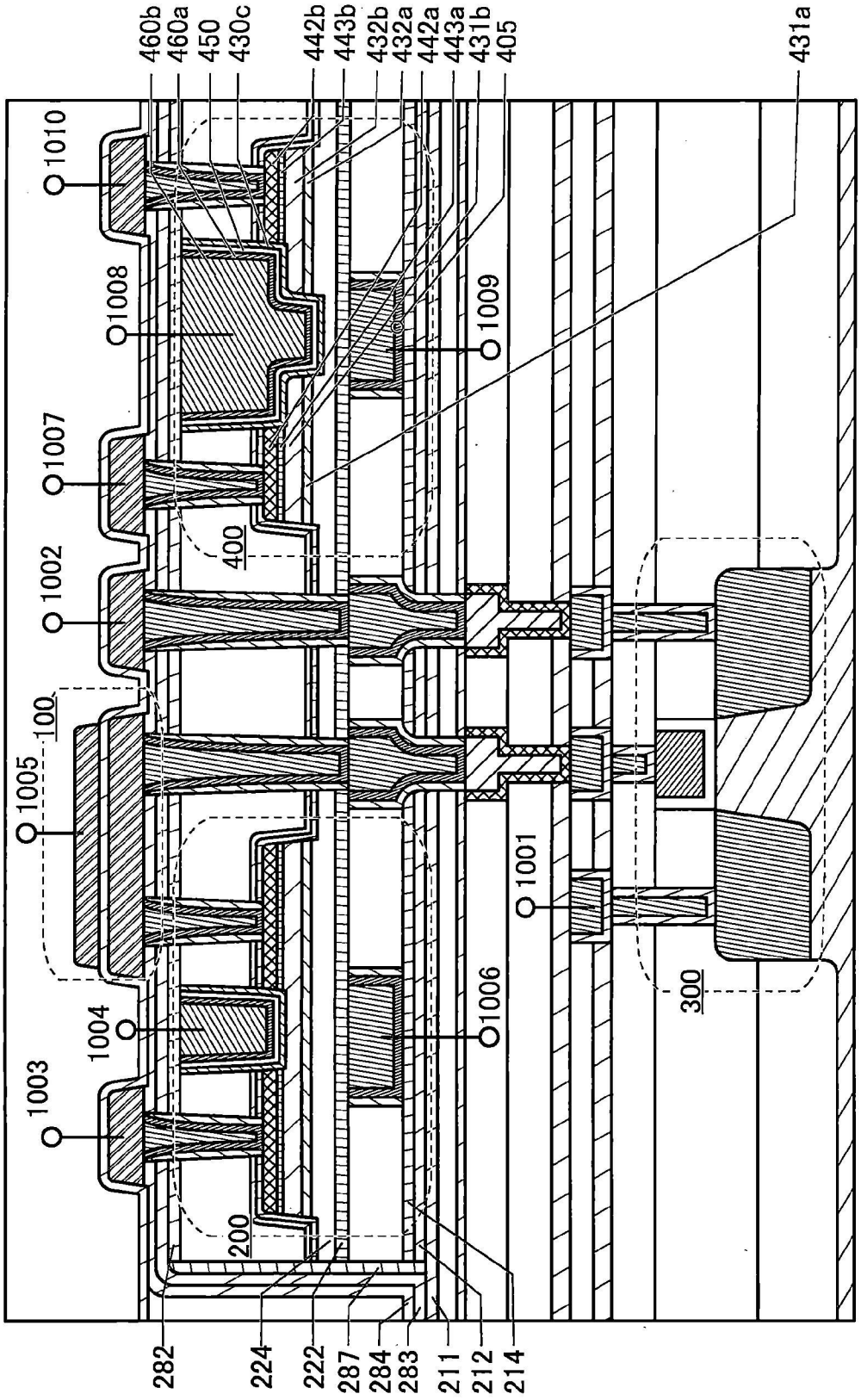

460b
460a
450
430c
442b
443b
432b
432a
442a
443a
431b
405
431a
1010
1008
1009
1007
1002
400
100
1005
1001
1004
1006
300
1003
200
282
224
222
287
284
283
211
212
214

圖33

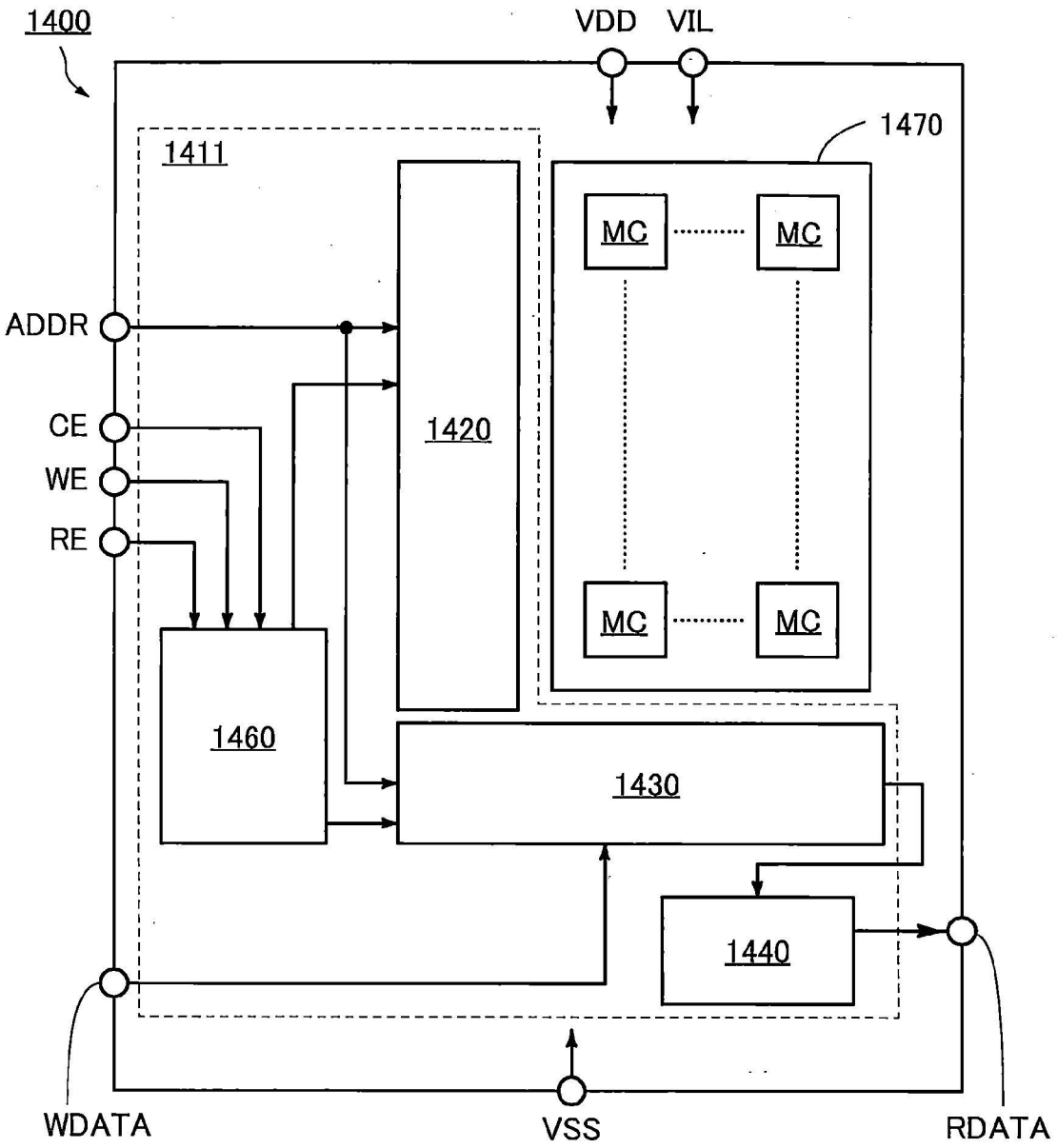

1400
VDD
VIL
1470
1411
MC
MC
MC
MC
ADDR
CE
WE
RE
1420
1460
1430
1440
WDATA
VSS
RDATA

圖34A

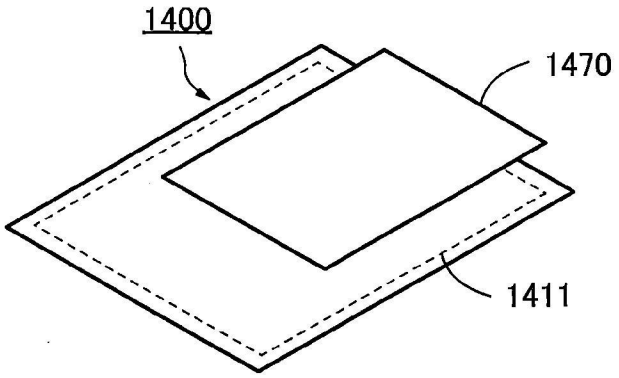

1400
1470
1411

圖34B

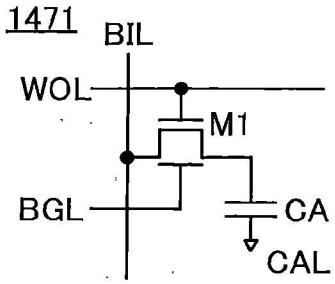


圖35A

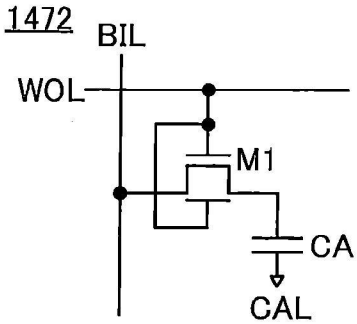


圖35B

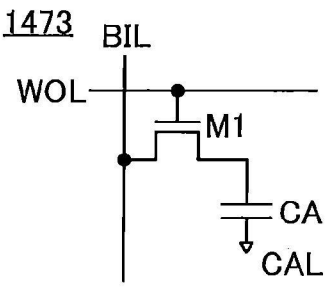


圖35C

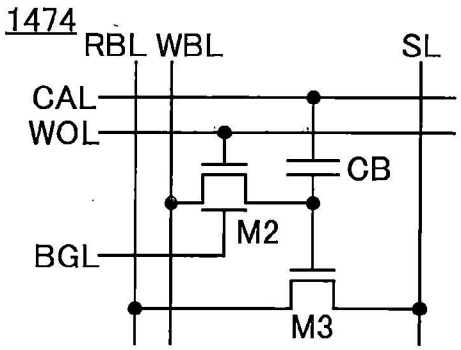


圖35D

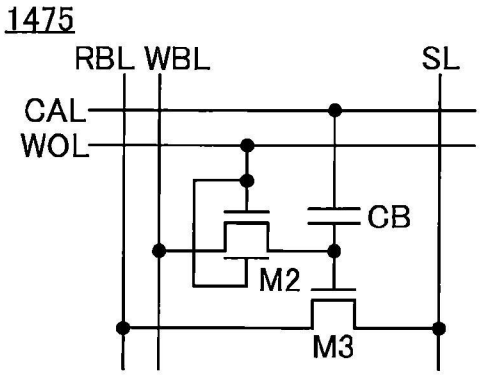


圖35E

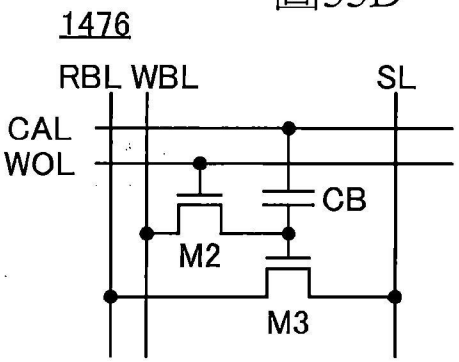


圖35F

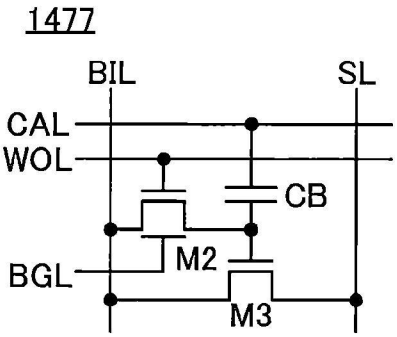


圖35G

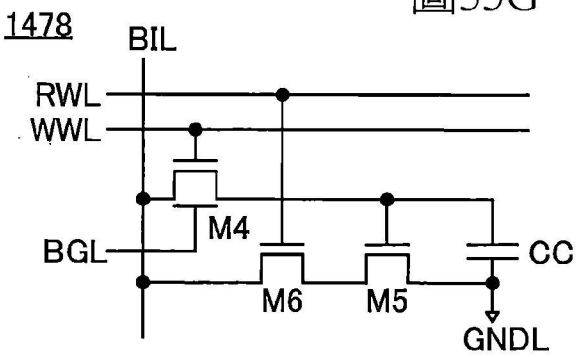


圖35H

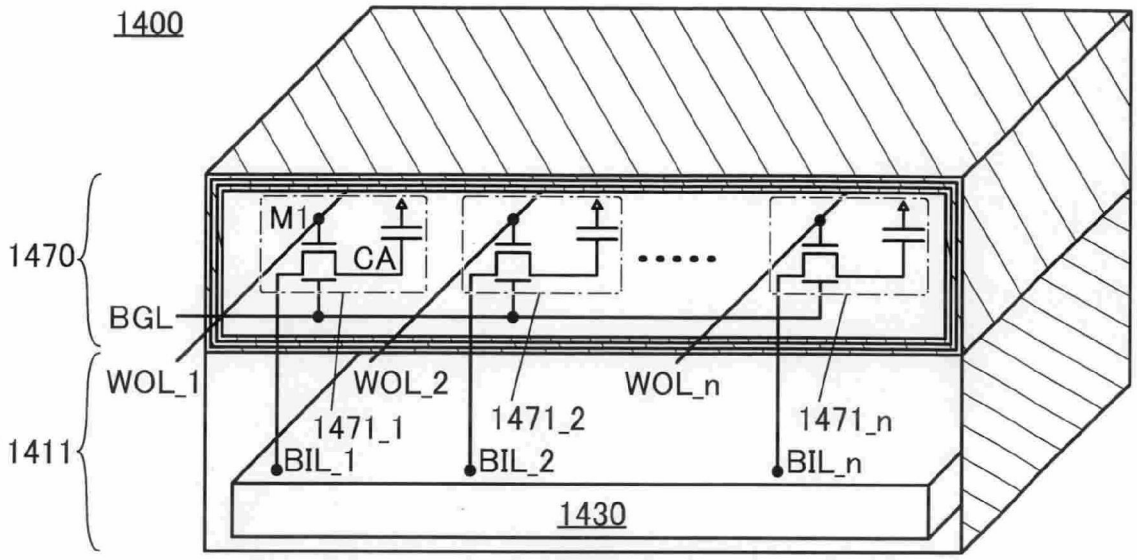

1400
1470
M1
CA
BGL
WOL_1
WOL_2
WOL_n
1471_1
1471_2
1471_n
1411
BIL_1
BIL_2
BIL_n
1430

圖36A

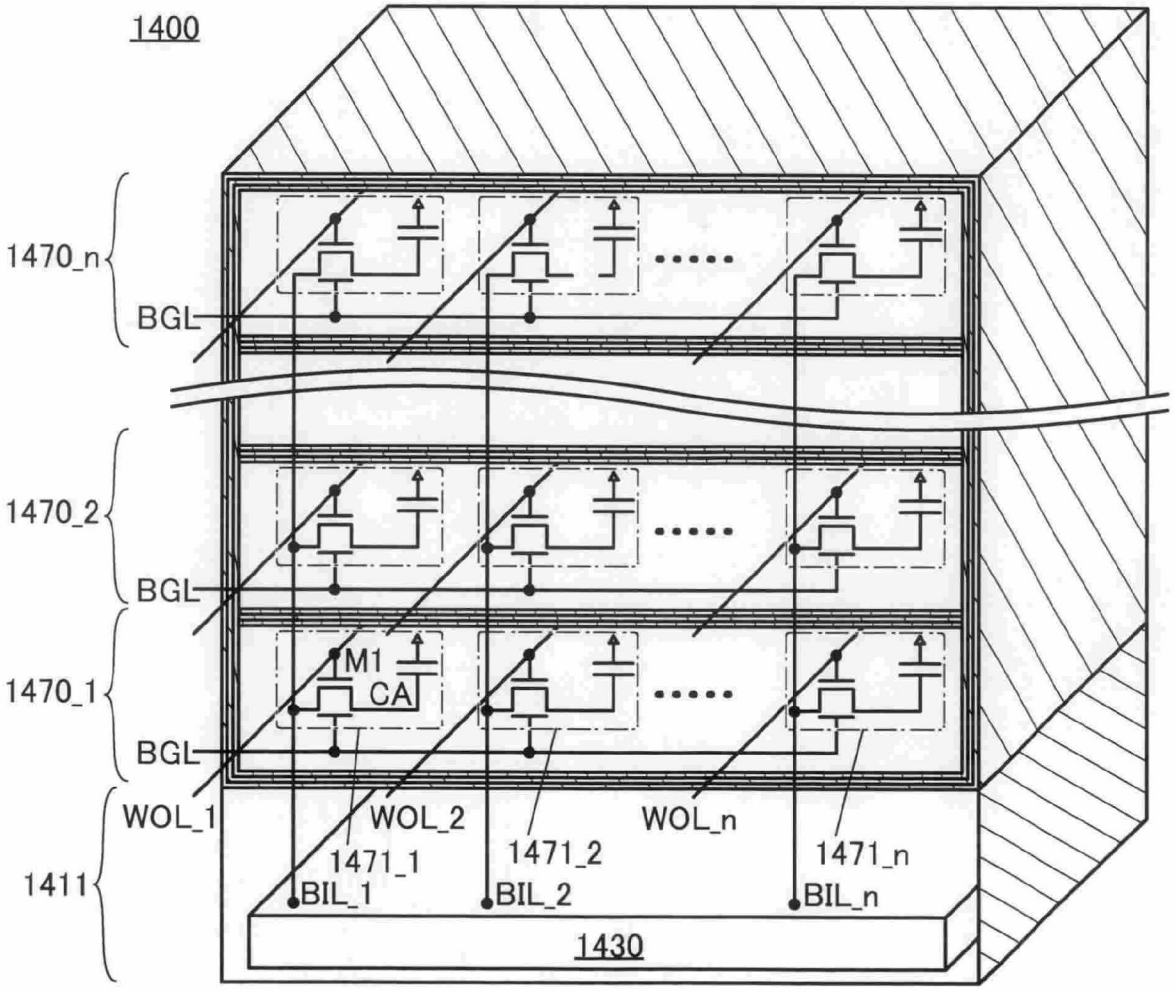

1400
1470_n
BGL
1470_2
BGL
1470_1
M1
CA
BGL
WOL_1
WOL_2
WOL_n
1471_1
1471_2
1471_n
1411
BIL_1
BIL_2
BIL_n
1430

圖36B

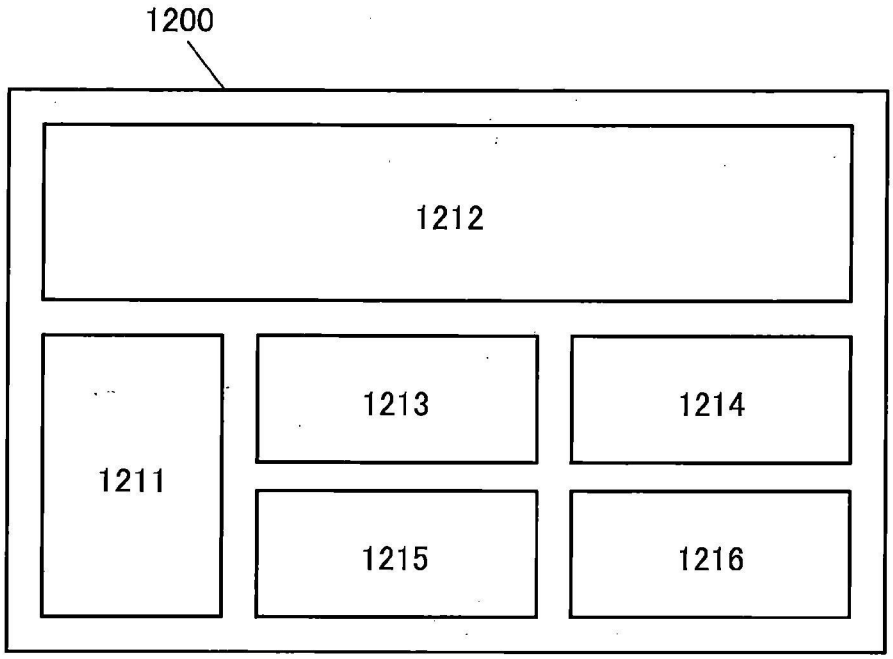

1200
1212
1211
1213
1214
1215
1216

圖37A

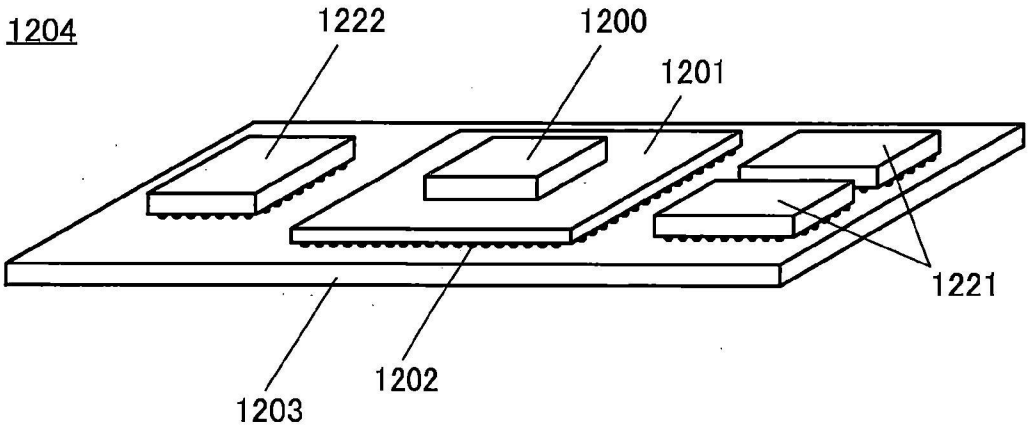

1204
1222
1200
1201
1221
1203
1202

圖37B

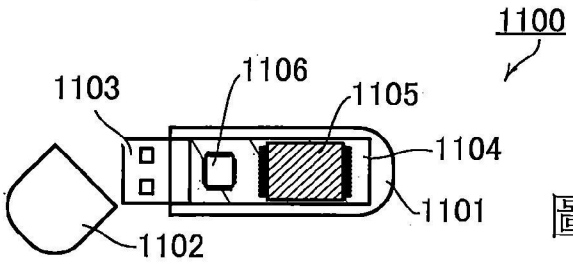


圖38A

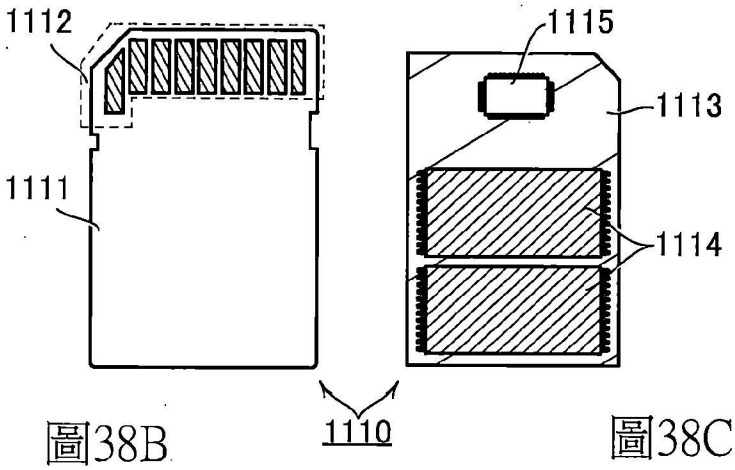


圖38B

圖38C

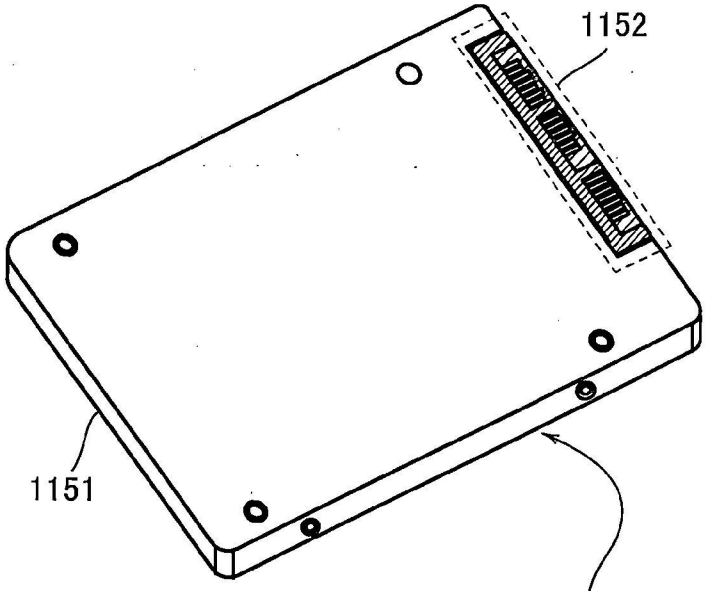


圖38D

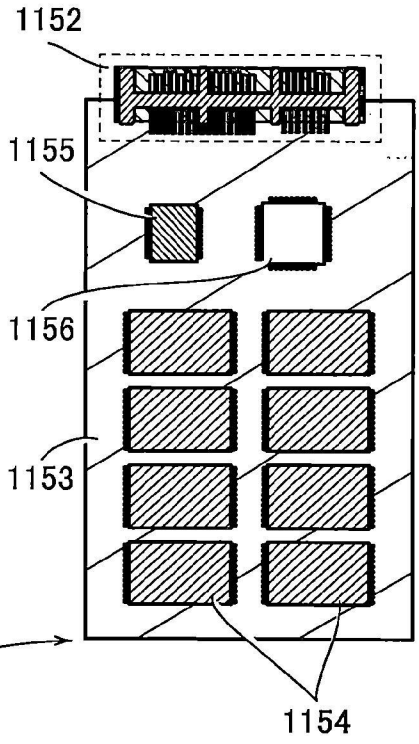


圖38E

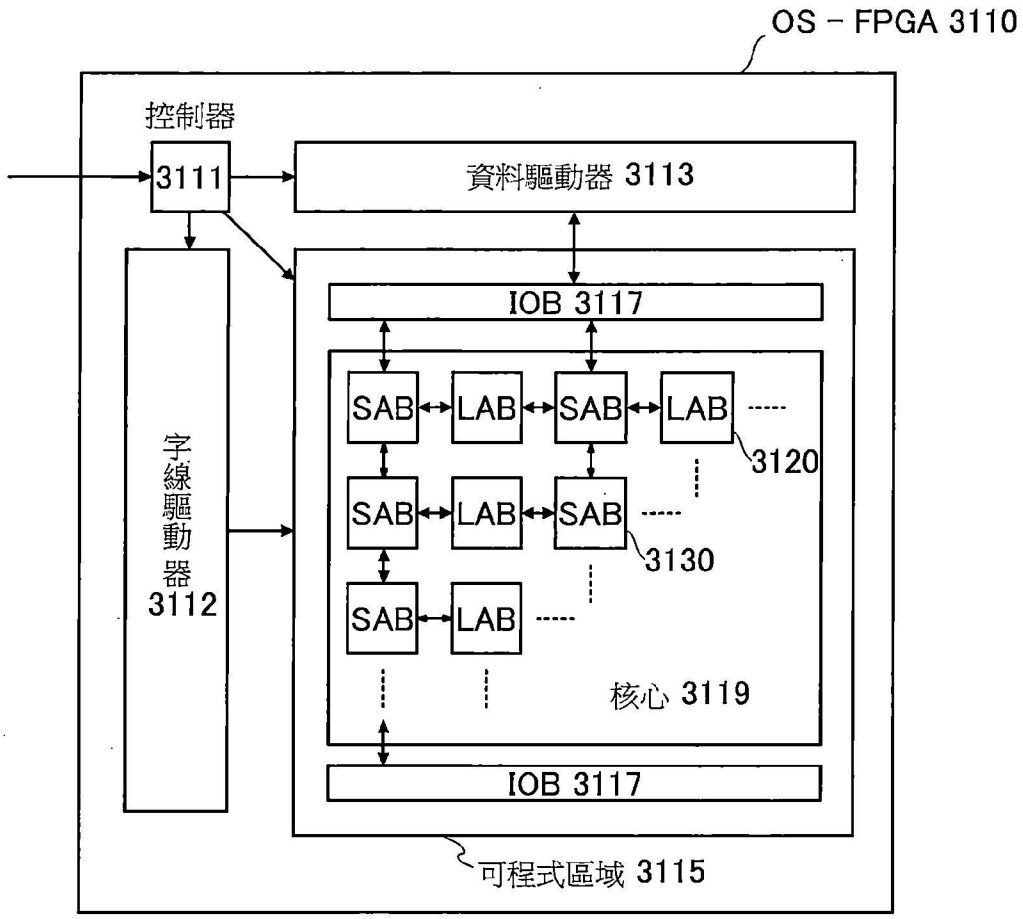


圖39A

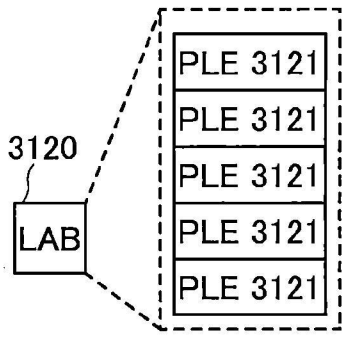


圖39B

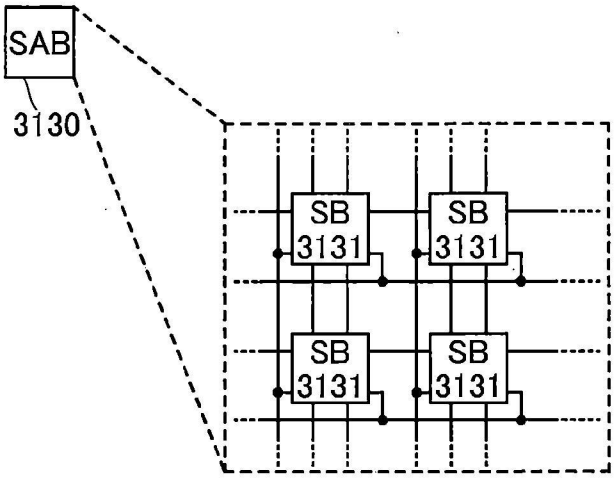


圖39C

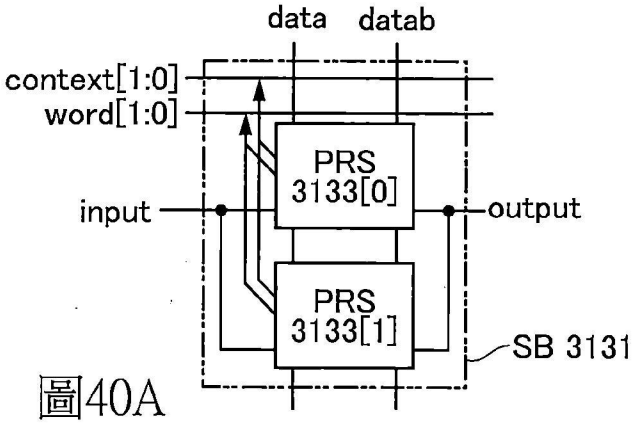


圖40A

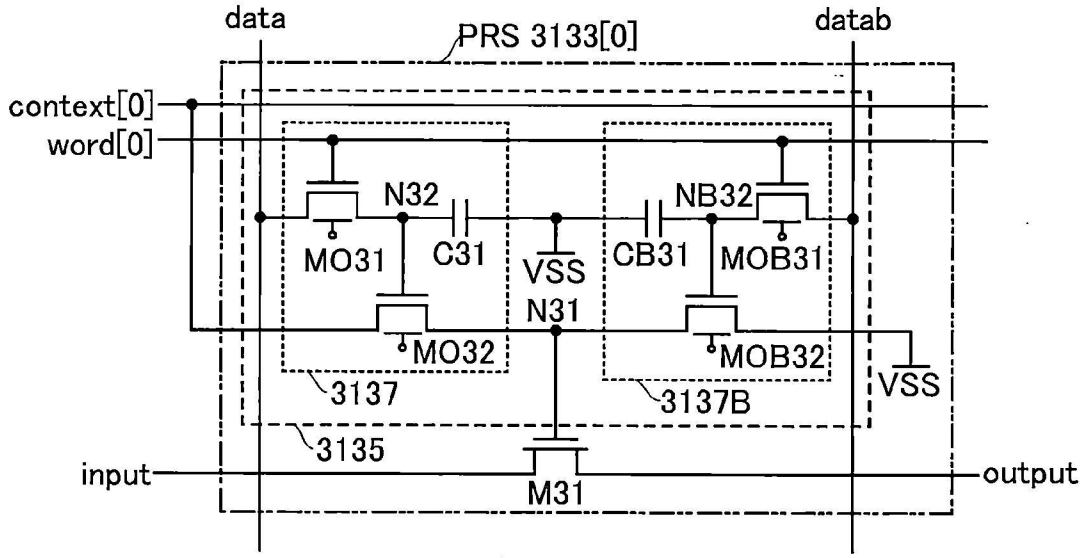


圖40B

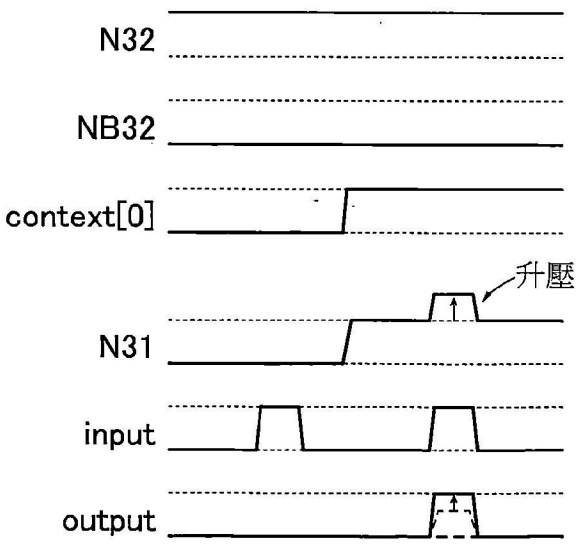


圖40C

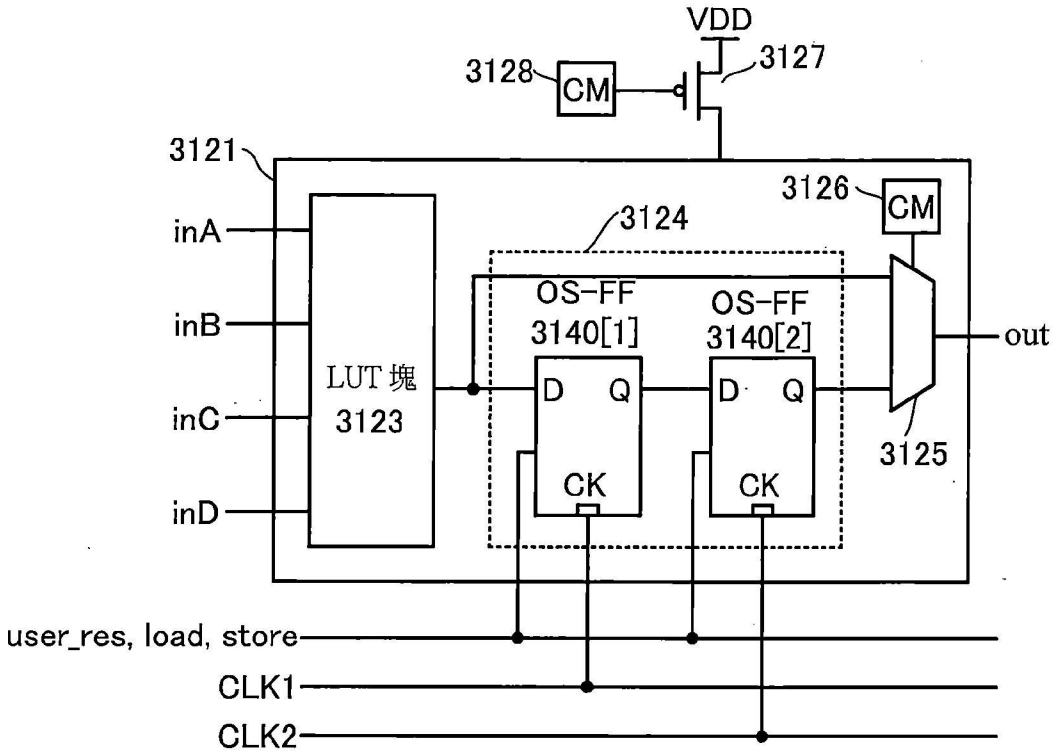

VDD
3127
3128
CM
3121
3126
CM
3124
inA
inB
inC
inD
LUT 塊
3123
OS-FF
3140[1]
OS-FF
3140[2]
D
Q
D
Q
CK
CK
out
3125
user_res, load, store
CLK1
CLK2

圖41

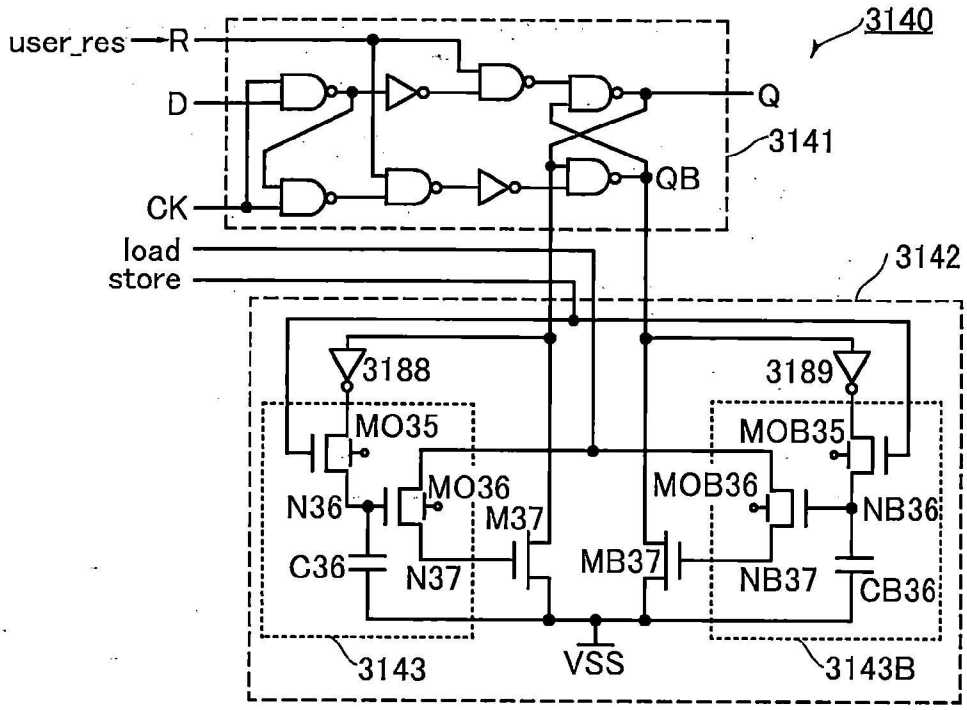

user_res
R
D
CK
load
store
Q
QB
3140
3141
3142
3188
3189
MO35
MOB35
MO36
MOB36
N36
M37
NB36
C36
N37
MB37
NB37
CB36
3143
VSS
3143B

圖42A

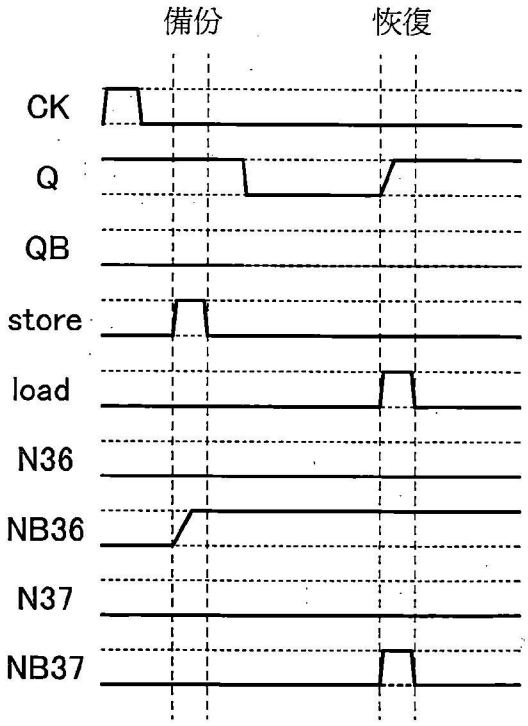

備份
恢復
CK
Q
QB
store
load
N36
NB36
N37
NB37

圖42B

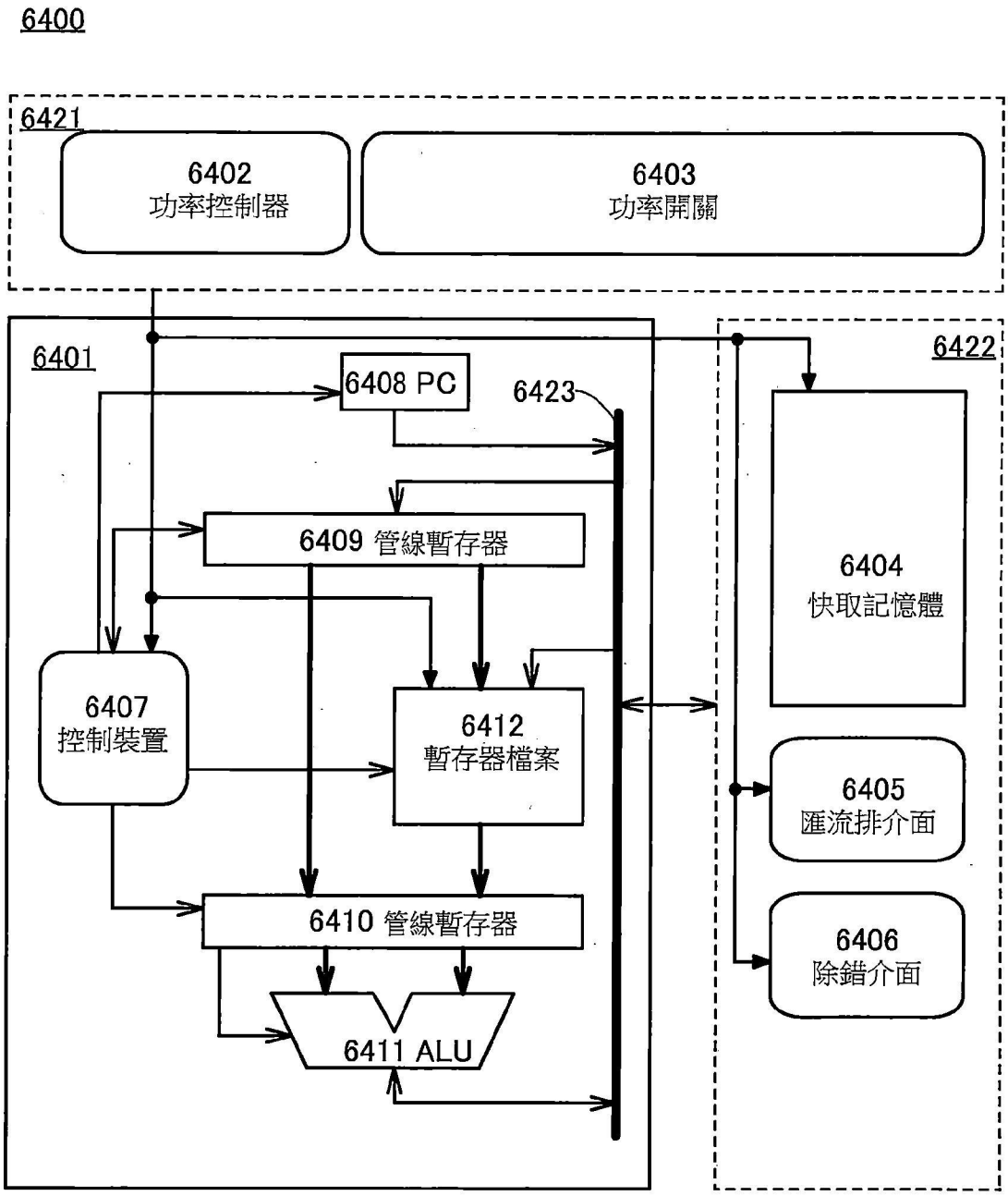

6400
6421
6402
功率控制器
6403
功率開關
6401
6408 PC
6423
6409 管線暫存器
6407
控制裝置
6412
暫存器檔案
6410 管線暫存器
6411 ALU
6422
6404
快取記憶體
6405
匯流排介面
6406
除錯介面

圖43

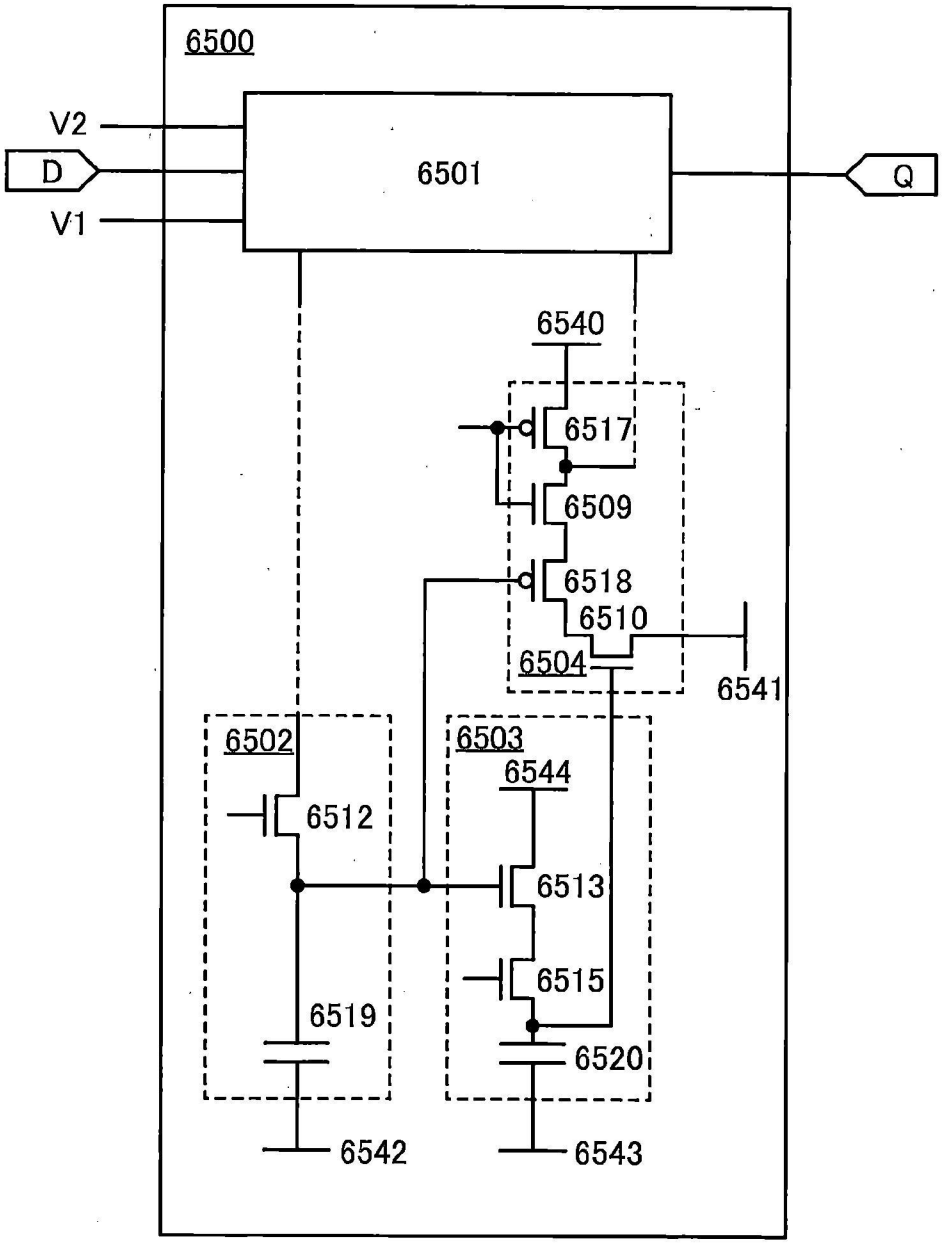

6500
V2
D
V1
6501
Q
6540
6517
6509
6518
6510
6504
6541
6502
6512
6503
6544
6513
6515
6519
6520
6542
6543

圖44

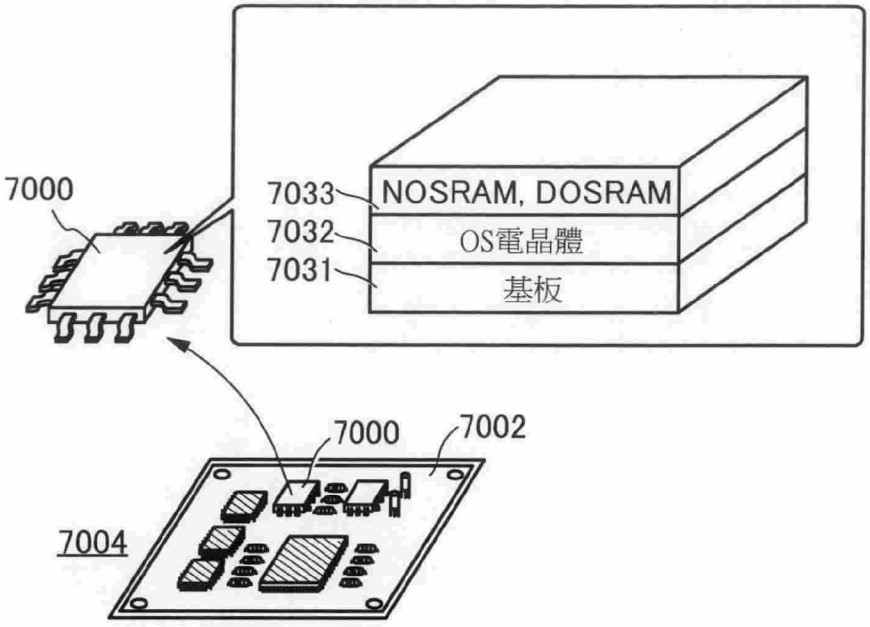

7000
7033
NOSRAM, DOSRAM
7032
OS電晶體
7031
基板
7000
7002
7004

圖45A

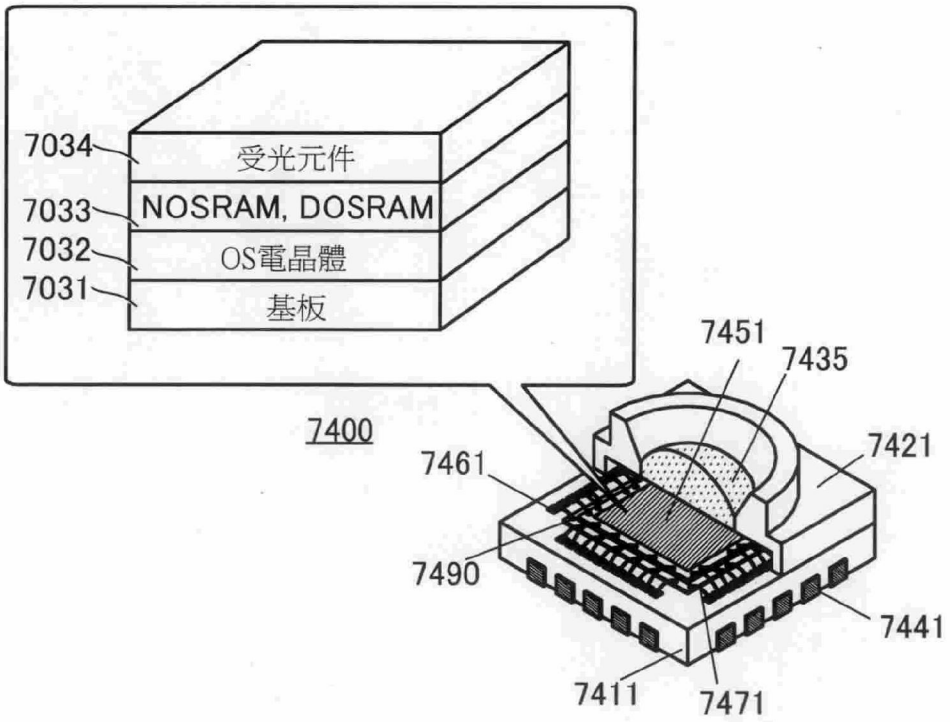

7034
受光元件
7033
NOSRAM, DOSRAM
7032
OS電晶體
7031
基板
7400
7451
7435
7421
7461
7490
7441
7411
7471

圖45B

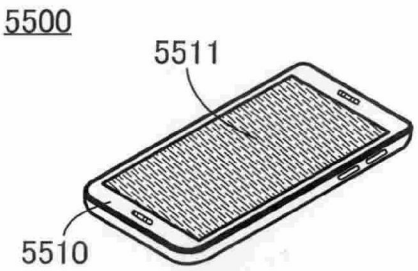


圖46A

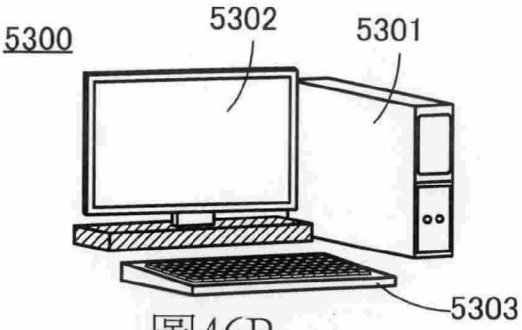


圖46B

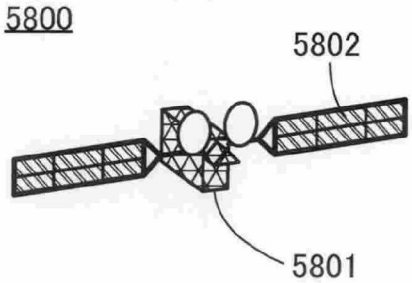


圖46C

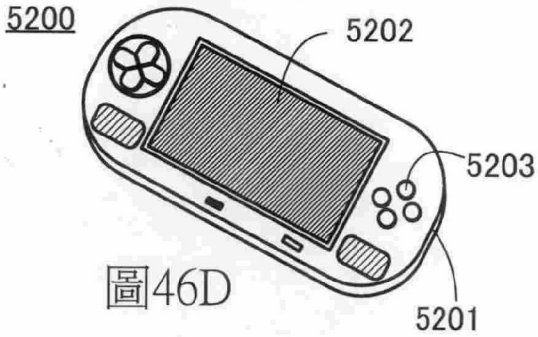


圖46D

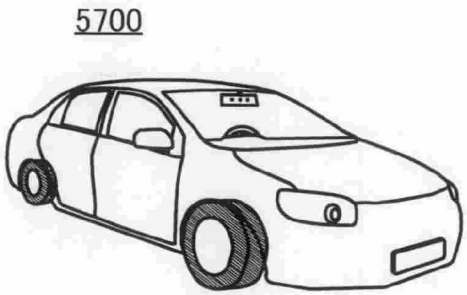


圖46E1

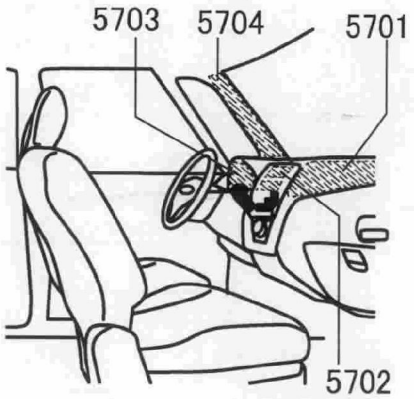


圖46E2

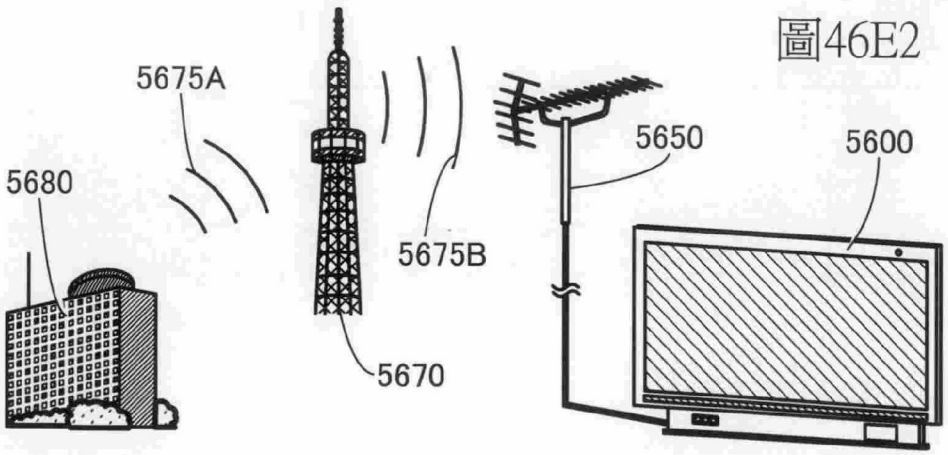


圖46F